

N° d'ordre : 2758

THESE
PRESENTEE A
L'UNIVERSITE BORDEAUX 1

Ecole doctorale des Sciences Physiques et de l'Ingénieur

par **Thierry TARIS**

POUR OBTENIR LE GRADE DE
DOCTEUR
SPECIALITE : **Electronique**

**Conception de circuits
radiofréquences en technologie CMOS
VLSI sous contrainte de basse tension**

Soutenue le : 2 décembre 2003

Après avis de :

MM. PARRA Thierry	Professeur	LAAS Toulouse	Rapporteur
PERSON Christian	Professeur	LEST Brest	Rapporteur

Devant la commission d'examen formée de :

MM. BEGUERET Jean Baptiste	MDC	IXL Bordeaux	CoDirecteur de thèse
BELOT Didier	Ingénieur	ST Microelectronics, Crolles	Examineur
DEVAL Yann	HDR	IXL Bordeaux	Directeur de thèse
LAPUYADE Hervé	MDC	IXL Bordeaux	Membre invité
PARRA Thierry	Professeur	LAAS Toulouse	Examineur
PERSON Christian	Professeur	LEST Brest	Examineur
TOUBOUL André	Professeur	IXL Bordeaux	Président

A ma famille,

« Soyons raisonnable, demandons l'impossible »

Ces travaux de recherche ont été effectués au sein du laboratoire IXL de l'Université de bordeaux I, dirigé par Monsieur TOUBOUL André. Je tiens tout d'abord à remercier Monsieur André TOUBOUL de m'avoir accueilli dans le laboratoire IXL et du grand honneur qu'il me fait en acceptant d'être président de jury de cette thèse.

Mes plus sincères pensées et remerciements vont tout d'abord à Yann DEVAL et Jean Baptiste BEGUERET, respectivement directeur et codirecteur de ma thèse, pour leurs conseils avisés et surtout la confiance qu'ils m'ont témoignée autant au niveau recherche qu'au niveau enseignement...et il en fallait !! Aux côtés de Yann et Jean Baptiste on ne fait pas une thèse mais on vit une petite histoire (de trois ans tout de même) durant laquelle on apprend aussi à faire de l'électronique. Merci messieurs, c'était...gala !!

Un infini « merci » ne suffirait pas à traduire ma reconnaissance envers mon père, ma mère et ma sœur qui m'accompagnent depuis tant d'années. Je leurs dédie aujourd'hui ce mémoire en témoignage de la confiance et du soutien qu'ils m'ont toujours attestés.

A ma douce qui m'entoure chaque jour de tendresse et d'amour sans réserve.

Que Messieurs Christian PERSON, professeur à ENST de Bretagne Brest, et Thierry PARRA, professeur à l'Université Paul Sabatier Toulouse, soient remerciés pour l'attention qu'ils ont accordé à l'amendement de ce mémoire et surtout l'honneur qu'ils m'ont fait en venant juger ce travail.

Mes sincères remerciements vont aussi à Monsieur Didier BELOT, ingénieur R&D STMicroelectronics Grenoble, pour avoir accepté de participer au jury de ma thèse; de même Monsieur Hervé LAPUYADE présent en tant que membre invité.

Un grand clin d'œil à mon inséparable binôme d'aventures IXLiennes et autres fabuleuses, Thomas BEAUCHENE, qui compte aujourd'hui, sans conteste, parmi mes meilleurs amis.

Je tiens à remercier tous les membres de l'équipe de conception de circuit pour leurs contributions professionnelles mais aussi humaines : Franck BADETS, Magalie DE MATOS, David DESCHAN, Alexis GOURRINAT, Patrick HELLMUTH (MUMU), Vincent LAGARESTE (Bixente çafart), Cedric MAJEK, Oliver MAZOUFFRE (OliverTwist), Cyril RECOQUILLON (Coquillet), Christophe ROUGIER (Le portugais), Christophe SCARABELLO (KIK) et Anne SPATARO.

Je pense aussi bien sûr à tous les doctorants aux côtés desquels j'ai travaillé : Frédéric ALICALAPA, Grégory ANDRIAMONGE, Bertrand ARDOUIN, Isabelle BORD, Alexandre CHIRAKAWA (la brésilienne), Laurent COURCELLE (loul l'hostile), Nathalie

Remerciements

DELTIMPLE, Hamed FAKHFAKH, Gilles GASIOT (Gilloux), Pierre GOUGET, Sarah HUYGHE, Jean Christophe MARTIN (sparky), Benoît MONGELLAZ (benedetto), Guillaume MONNERIE, Christian MOREIRA (Vieri), Franck NATALI (Patagonia), Florence RAZAN, Chiheb REBAI (et son maître Dominique Rocheteau), Sylvain SAIGHI, Olivier TAMARIN, Céline ZIMMERMAN.

Sommaire

SOMMAIRE	7
INTRODUCTION.....	9
CHAPITRE 1	11
LES BLOCS RF ET LEURS CARACTÉRISTIQUES	11
Sommaire du chapitre 1.....	13
I/ LES SYSTEMES RADIOFREQUENCES.....	15
II/ LES BLOCS RF ET LEURS CARACTÉRISTIQUES ASSOCIÉES.....	24
III/ LES TECHNOLOGIES ET LEURS CONTRAINTES EN TERME DE CONCEPTION RADIOFREQUENCE	36
IV/ CONCLUSION.....	40
Bibliographie du chapitre 1.....	43
CHAPITRE 2	45
LES AMPLIFICATEURS FAIBLE BRUIT.....	45
Sommaire du chapitre 2.....	47
I/ ETAT DE L'ART.....	49
II/ LES TECHNIQUES MISES EN ŒUVRES.....	56
III/ L'AMPLIFICATEUR FAIBLE BRUIT À DÉGÉNÉRESCENCE INDUCTIVE ET RÉUTILISATION DE COURANT	59
IV/ L'AMPLIFICATEUR FAIBLE BRUIT À CONTRE RÉACTION PAR EFFET DE SUBSTRAT	64
V/ CONCLUSIONS.....	70
Bibliographie du chapitre 2.....	71
CHAPITRE 3	73
LES MÉLANGEURS	73
Sommaire du chapitre 3.....	75
I/ ETAT DE L'ART.....	77
II/ LE MÉLANGEUR GRILLE-SOURCE AVEC PRÉAMPLIFICATION.....	86
III/ LE MÉLANGEUR À EFFET DE SUBSTRAT	90
IV/ MÉLANGEUR À EFFET DE SUBSTRAT ET CHARGE ACTIVE.....	98

V/ CONCLUSION	103
Bibliographie du chapitre 3.....	105
CHAPITRE 4	107
LES AMPLIFICATEURS DE PUISSANCE	107
Sommaire du chapitre 4.....	109
I/ ETAT DE L'ART.....	111
II/ PRÉAMPLIFICATEUR À CLASSE CONTRÔLABLE	125
III/ CONCLUSION	131
Bibliographie du chapitre 4.....	132
CONCLUSION	133
ANNEXES	137

Introduction

Le rapide développement du marché de masse pour les télécommunications, dont le leitmotiv est la performance à bas prix, a nécessité une approche différente dans la façon de concevoir les systèmes radio d'émission/réception. L'orientation prise pour réduire les coûts a été la réduction du nombre de composants discrets autour de la puce radio et de trouver des architectures radiofréquences en accordance. Parmi celles-ci on trouve le système superhétérodyne dont l'efficacité n'a d'égal que sa complexité, paramètre économique restrictif du frontal RF aujourd'hui. Pour pallier ce problème on imagine des architectures et des technologies de développement moins coûteuses aboutissant à l'implantation commune des fonctions analogiques et numériques sur la puce radio en technologie CMOS VLSI. Qu'advient-il alors de la faisabilité et la qualité des blocs RF soumis aux contraintes des technologies numériques ? Des circuits « poussifs » en fragile adéquation avec les systèmes dans lesquels ils sont intégrés. Nous nous sommes donc intéressés dans ce travail de thèse à concevoir de nouveaux circuits, amplificateurs faible bruit, mélangeurs, amplificateurs de puissance, s'adaptant et tirant profit de la technologie CMOS VLSI afin de mieux répondre aux attentes du marché des objets communicants.

Le chapitre premier rappelle les différents types de chaînes d'émission et de réception et définit les blocs qui les composent. Puis les caractéristiques de ces derniers sont présentées accompagnées des compromis qu'impose leur optimisation. Enfin le cadre d'application des circuits réalisés pendant cette thèse est explicité de même que les contraintes conceptuelles qui en découlent.

Le chapitre deux présente les amplificateurs faible bruit. Deux architectures nouvelles, basées sur les mêmes techniques, permettent de fonctionner sous très basse tension tout en couvrant jusqu'à trois standards de communication, DCS1800, UMTS et 802.11b. Le second circuit se détache du premier par l'utilisation de l'effet de substrat pour la mise en place de la contre-réaction de mode commun, améliorant ainsi les caractéristiques générales de ce LNA.

Les mélangeurs sont étudiés dans le chapitre trois avec une première réalisation dite « traditionnelle » ainsi que deux autres basées sur le principe de l'effet de substrat. Ce premier circuit « traditionnel », par opposition aux suivants, montre la faisabilité de ce bloc sous très basse tension pour le standard 802.11a. Par la suite l'effet de substrat est physiquement et analytiquement décrit puis optimisé pour la réalisation de circuit. Un premier mélangeur

valide le principe et un second améliore les caractéristiques par une approche conceptuelle spécifique au phénomène étudié.

Enfin le dernier, et quatrième chapitre, aborde les amplificateurs de puissance. Après une étude théorique du contrôle de la tension de seuil du transistor MOS par effet de substrat, un préamplificateur de puissance à classe contrôlable par effet de substrat est présenté. Ce dernier ouvre la voie à une nouvelle génération d'amplificateurs à classe modulable reconfigurable en temps réel.

Chapitre 1

Les blocs RF et leurs caractéristiques

Sommaire du chapitre 1

LES BLOCS RF ET LEURS CARACTÉRISTIQUES	11
I/ LES SYSTEMES RADIOFREQUENCES	15
I/1. Généralités	15
I/2. Architectures des récepteurs	15
I/3 Architectures des émetteurs	21
II/ LES BLOCS RF ET LEURS CARACTÉRISTIQUES ASSOCIÉES	24
II/1 Gain et adaptation d'impédance	25
II/2 La figure de bruit	27
II/3 La linéarité	30
II/4 L'isolation	35
III/ LES TECHNOLOGIES ET LEURS CONTRAINTES EN TERME DE CONCEPTION RADIOFREQUENCE	36
III/1 Technologie MOS et technologie bipolaire	37
III/2 Les orientations de conception	39
IV/ CONCLUSION	40
Bibliographie du chapitre 1	43

Ce chapitre premier présente tout d'abord les architectures d'émetteurs et de récepteurs radiofréquence ainsi que leurs particularités. En mettant en évidence la récurrence de certains blocs tels les amplificateurs faible bruit, les mélangeurs, les amplificateurs de puissance, le second paragraphe fera l'objet d'une description plus développée de leurs rôles et des caractéristiques qui permettent de définir leurs performances.

Enfin, nous observerons la dualité Bipolaire CMOS en terme de conception de circuits radiofréquences au travers des attentes du marché ainsi que des contraintes qu'impose l'évolution des technologies sur les méthodologies de conception.

// LES SYSTEMES RADIOFREQUENCES

I.1 Généralités

Les systèmes de radiocommunication sont des systèmes qui transmettent les informations par l'intermédiaire des ondes hertziennes. Le schéma de principe d'un tel système est illustré à la Figure I.1, il est composé d'une partie émission et d'une partie réception. Le rôle de la partie émission est d'adapter le signal d'information à la bande passante du canal de transmission, elle module et transpose le signal à une fréquence adaptée à la transmission hertzienne. Le signal modulé peut alors être émis par l'antenne. Le rôle de la partie réception est l'opération inverse, elle démodule le signal reçu et le transpose en basse fréquence pour permettre le traitement de l'information reçue. Afin de transmettre plusieurs informations en parallèle, les systèmes radiofréquences peuvent utiliser plusieurs canaux dans la plage de transmission.

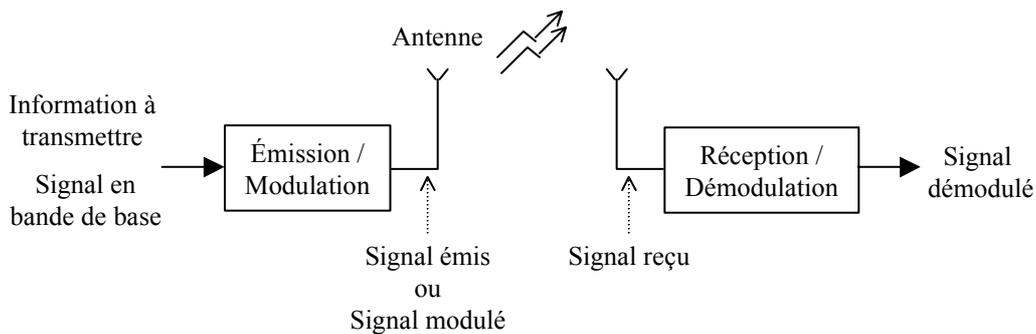


Figure I.1 : Système de radiocommunication

I.2 Architectures des récepteurs

I.2.1 Architecture superhétérodyne

Le récepteur doit sélectionner le canal désiré à partir du signal reçu par l'antenne. Dans les systèmes de télécommunication, l'espacement entre deux canaux étant très faible, cela nécessite un filtrage de forte sélectivité. Comme il est difficile de concevoir un filtre à

coefficient de qualité élevé centré autour de fréquences hautes telles que celles utilisées pour les transmissions, il convient de transposer le signal reçu à des fréquences plus basses afin de relâcher les contraintes sur le filtre assurant la sélection du canal. L'architecture superhétérodyne, [HAY82-1] [LEE98-1] [RAZ98-1], présentée à la Figure I-2, transpose le spectre du signal reçu de la fréquence f_C à la fréquence intermédiaire fixe f_I par l'intermédiaire d'un mélangeur qui multiplie le signal reçu avec une sinusoïde de fréquence f_{OL} telle que $f_I = f_{OL} - f_C$. Le filtre passe bande situé après le mélangeur élimine la composante à la fréquence $f_{OL} + f_C$ et assure la sélection du canal. Le signal à la fréquence f_I peut ensuite être plus facilement amplifié. Avant d'être appliqué au mélangeur, le signal reçu est filtré par un filtre d'antenne puis amplifié par un amplificateur faible bruit afin d'augmenter le niveau du signal tout en limitant le bruit à l'entrée du mélangeur.

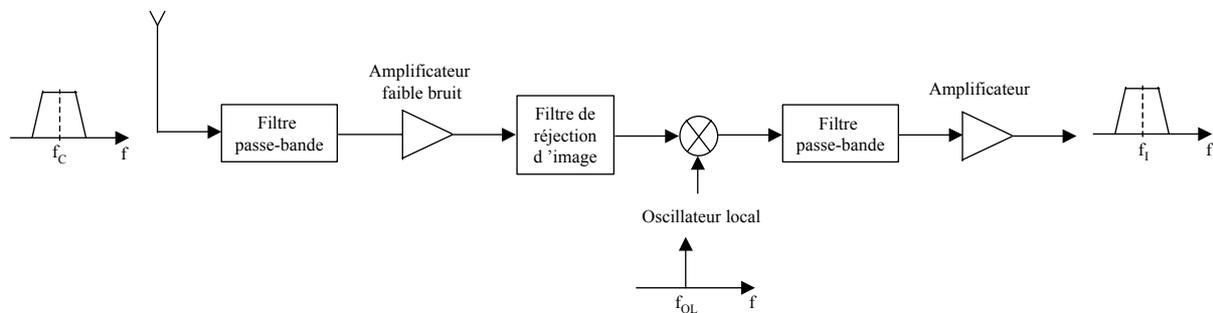


Figure I-2 : Récepteur superhétérodyne

Problème de la fréquence image

Le mélangeur transpose le signal désiré de la fréquence f_C à la fréquence f_I . Si le spectre du signal reçu présente un signal interférent à la fréquence $f_{OL} + f_I$, celui-ci sera également transposé à la fréquence f_I par l'action du mélangeur, comme l'illustre la Figure I-3, et s'ajoutera au signal désiré [ABI97-1] [RAZ98-1]. Pour que l'information ne soit pas corrompue, il est nécessaire de supprimer le signal à la fréquence $f_{OL} + f_I$ avant le mélange. Pour ce faire, on utilise un filtre de réjection d'image centré autour de la fréquence f_C , situé entre l'amplificateur faible bruit et le mélangeur.

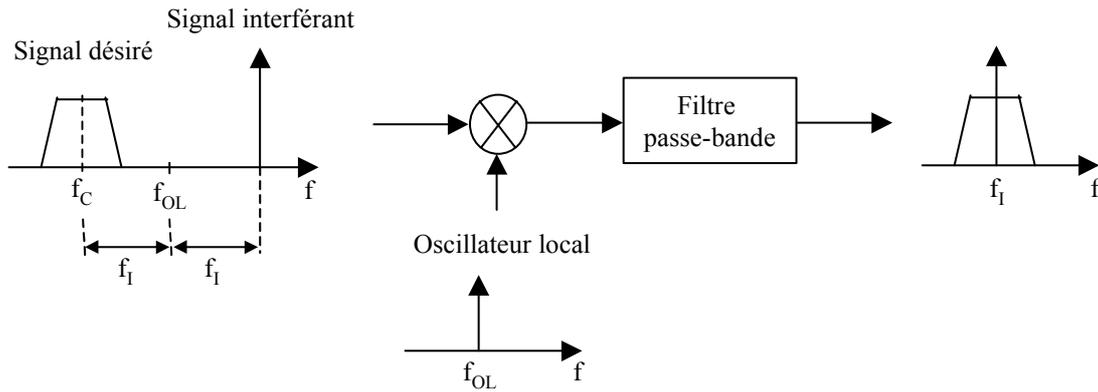


Figure I-3 : Problème de la fréquence image

Le filtre réjecteur d'image centré sur f_C doit présenter une forte atténuation à la fréquence $f_{OL}+f_I$, fréquence qui peut aussi s'exprimer f_C+2f_I . Une grande valeur de f_I est donc favorable à la réjection d'image alors que la sélection de canal nécessite une faible valeur de f_I . Le choix de la valeur de f_I dans une structure superhétérodyne amène donc à un compromis entre réjection d'image et sélectivité du système. Pour remédier à ce problème une structure superhétérodyne à double changement de fréquence est parfois employée [RAZ98-1] [HAY82-1]. L'architecture d'un tel émetteur est présentée à la Figure I-4, elle permet d'assurer à la fois la réjection d'image (en choisissant une valeur f_{I1} suffisamment élevée) et la sélectivité du système (en choisissant une valeur de f_{I2} suffisamment faible). Les coefficients de qualité nécessaires pour réaliser les filtres de réjection d'image et de sélection de canal restent néanmoins trop élevés pour permettre l'intégration en l'état actuel des technologies silicium faibles coûts.

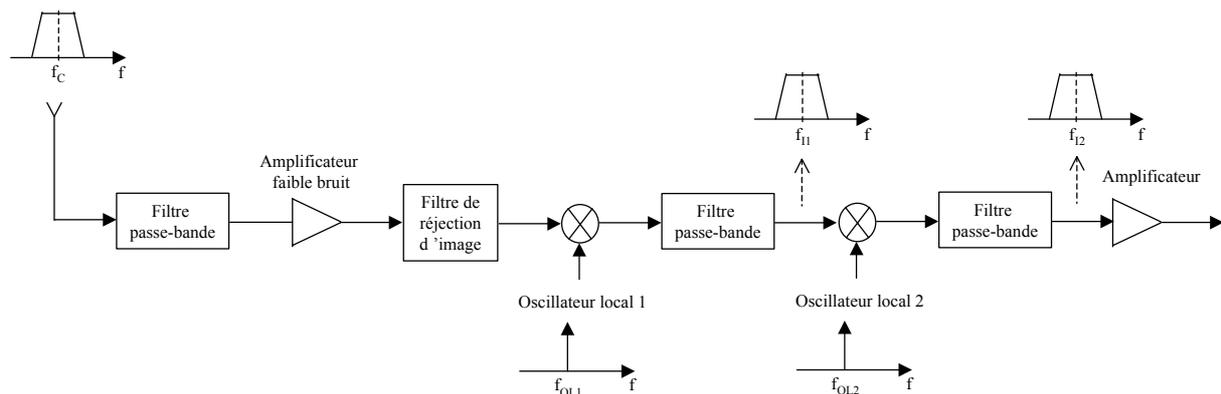


Figure I-4 : Récepteur superhétérodyne à double changement de fréquence

1.2.2 Conversion directe

Avantages

Dans le cas de la structure à conversion directe [RAZ98-1] [HAY82-1], le signal radiofréquence reçu est directement transposé en bande de base en utilisant un oscillateur local travaillant à la fréquence f_c (Figure I-5). Cette structure, grâce à sa simplicité, présente différents avantages par rapport à la structure hétérodyne :

La fréquence intermédiaire étant nulle, le problème de la fréquence image ne se pose pas avec cette structure pour les systèmes transmettant des signaux à spectre symétrique. Elle ne nécessite donc pas de filtre de réjection d'image et le mélangeur n'a plus nécessairement besoin d'être adapté sur 50Ω en sortie.

Le filtre assurant la sélection du canal est remplacé par un filtre passe bas pouvant être intégré.

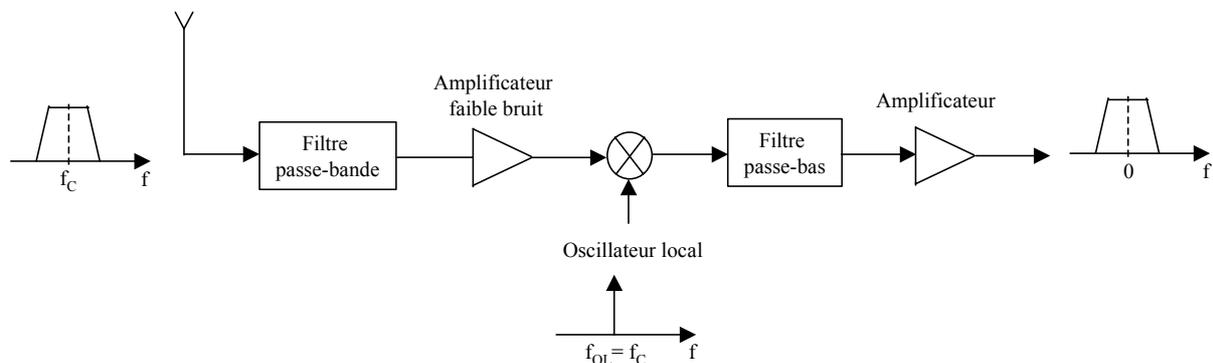


Figure I-5 : Récepteur à conversion directe

Problème de la composante continue

Le récepteur à conversion directe faisant une transposition à la fréquence nulle, le signal désiré peut être corrompu par une composante continue. Or une telle composante peut être produite par le mélangeur. En effet, l'isolation entre les deux voies d'entrée du mélangeur (la voie RF du signal reçu et la voie OL de l'oscillateur local) n'est pas infinie. Une partie du signal de l'oscillateur local peut donc se retrouver sur l'entrée RF du mélangeur. Ce signal de fuite est alors mélangé avec le signal de l'oscillateur local ce qui produit une composante continue en sortie [RAZ98-1] [ABI95-1]. Le niveau du signal reçu pouvant être très faible, le niveau de cette composante continue n'est pas négligeable, il convient donc de l'éliminer. Il existe différentes techniques afin de compenser cette composante mais celles-ci augmentent la complexité du système et réduisent donc l'intérêt d'utiliser une architecture à conversion directe.

1.2.3 Architectures polyphasées

Le circuit de la Figure I-5, lors de la transposition de fréquence, superpose les bandes latérales supérieure et inférieure du spectre du signal désiré. Ceci convient dans le cas d'un signal modulé en amplitude mais pas dans le cas d'un signal modulé en fréquence ou en phase, où les deux bandes contiennent des informations différentes. Pour ne pas perdre d'information, on procède alors à un mélange quadratique comme illustré à la Figure I-6. Le signal reçu est mélangé d'une part par le signal de l'oscillateur local ($\cos 2\pi f_{OL}t$), et d'autre part par le signal de l'oscillateur local déphasé de 90° ($\sin 2\pi f_{OL}t$). On obtient alors deux signaux en quadrature de phase I et Q. Le traitement de ces deux signaux par une méthode de détection de vecteur permet alors de reconstituer le signal désiré [ABI95-1].

Conversion directe

On trouve en Figure I-6 un récepteur polyphasé à conversion directe. L'oscillateur local génère deux signaux de fréquence f_{OL} mais déphasés de 90° qui, mélangés au signal reçu, vont permettre d'en extraire les composantes I et Q d'origine.

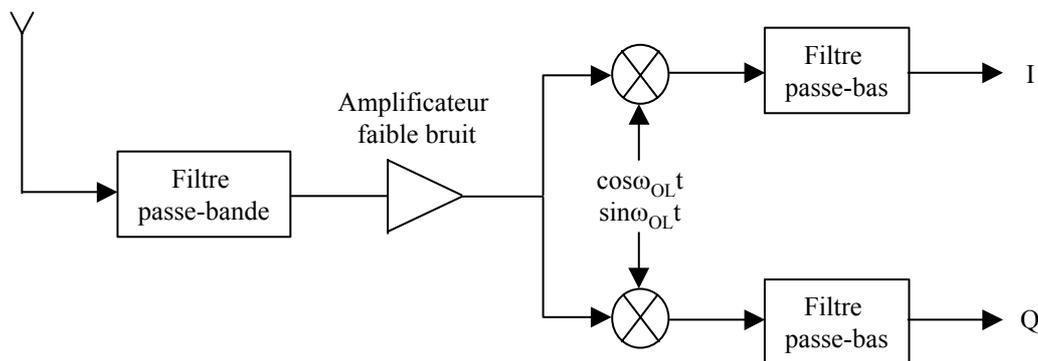


Figure I-6 : Récepteur à conversion directe quadratique

Superhétérodyne

Pour les systèmes analogiques utilisant un récepteur superhétérodyne, la démodulation du signal se fait à la fréquence intermédiaire f_{I2} (Figure I-4). Dans le cas des systèmes à modulation numérique, le second mélange est quadratique et fournit séparément en sortie les deux composantes en quadrature de phase du signal, correspondant aux deux bits transmis $a(t)$ et $b(t)$, comme cela est illustré à la Figure I-7 [RAZ98-1].

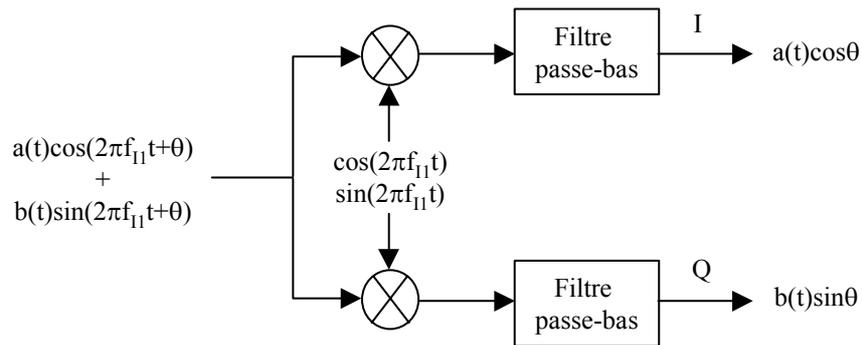


Figure I-7 : Conversion quadratique

Réjection d'image

Dans un récepteur à structure superhétérodyne, l'utilisation d'un filtre de réjection d'image de fréquence centrale élevée augmente la difficulté à réaliser le filtre assurant la sélection du canal. D'autres techniques peuvent être employées pour supprimer l'image, sans imposer de contrainte supplémentaire sur la valeur de la fréquence intermédiaire.

Architecture de Hartley

L'architecture à réjection d'image de Hartley est présentée à la Figure I-8 [LEE98-1] [RAZ98-1]. Un mélange quadratique du signal reçu et un déphasage de 90° produisent deux signaux de même polarité pour la composante du signal désiré et de polarités opposées pour la composante de l'image. En effet, supposons que le signal d'entrée soit $A_c \cos 2\pi f_c t + A_{im} \cos 2\pi f_{im} t$, où le premier terme représente le canal désiré et le second terme l'image ($f_{im} - f_{OL} = f_{OL} - f_c$). Après le mélange quadratique et le filtrage, on obtient :

$$A(t) = \frac{A_c}{2} \sin 2\pi(f_{LO} - f_c)t - \frac{A_{im}}{2} \sin 2\pi(f_{im} - f_{LO})t \quad (1-1)$$

$$B(t) = \frac{A_c}{2} \cos 2\pi(f_{LO} - f_c)t + \frac{A_{im}}{2} \cos 2\pi(f_{im} - f_{LO})t \quad (1-2)$$

Après le déphasage de 90° , on a :

$$C(t) = \frac{A_c}{2} \cos 2\pi(f_{LO} - f_c)t - \frac{A_{im}}{2} \cos 2\pi(f_{im} - f_{LO})t \quad (1-3)$$

L'addition de B(t) et C(t) permet alors d'obtenir en sortie $A_c \cos 2\pi(f_{LO} - f_c)t$, la composante due à la fréquence image est donc supprimée.

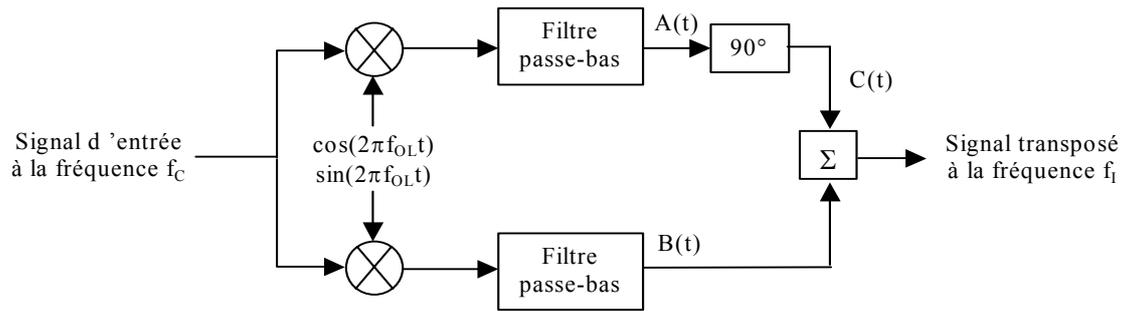


Figure I-8 : Récepteur à réjection d'image de Hartley

En pratique, le déphasage de 90° est remplacé par un déphasage de $+45^\circ$ dans une voie et un déphasage de -45° dans l'autre voie, ce qui est plus facile à réaliser.

Architecture de Weaver

L'architecture à réjection d'image de Weaver [RAZ98-1] [LEE98-1], utilise le même principe que l'architecture de Hartley pour supprimer l'image. Cette architecture est représentée à la figure I.9, le déphaseur de 90° a été remplacé par un deuxième mélange quadratique. Cette architecture présente un avantage par rapport à celle de Hartley pour les systèmes large bande pour lesquels la réalisation d'un déphaseur 90° est difficile.

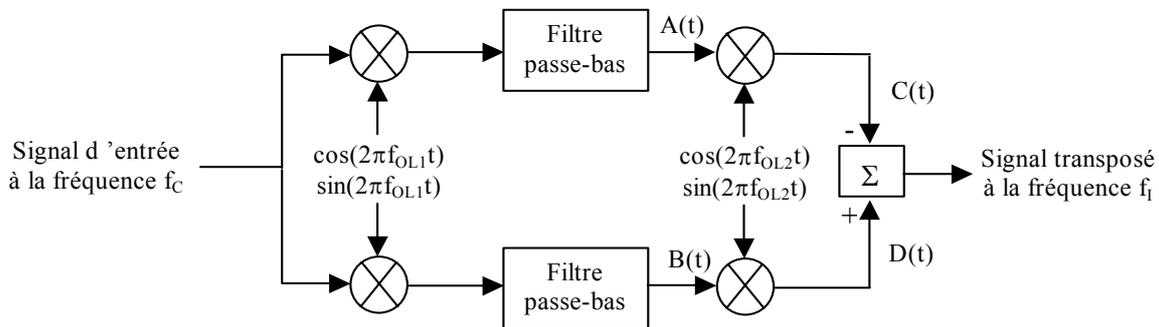


Figure I-9 : Récepteur à réjection d'image de Weaver

I.3 Architectures des émetteurs

Le schéma de principe d'un émetteur radiofréquence est présenté à la Figure 1.10 : le signal en bande de base est d'abord modulé puis transposé à la fréquence de la porteuse, ce signal est alors amplifié par un amplificateur de puissance pour pouvoir être émis à travers l'antenne.

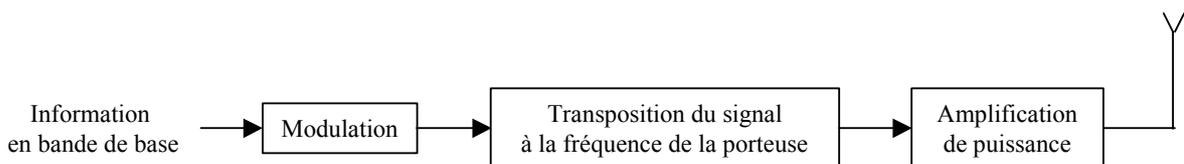


Figure 1.10 : Schéma de principe d'un émetteur radio fréquence

1.3.1 Modulation quadratique

Dans le cas des systèmes numériques, les informations en bande de base sont des grandeurs numériques et plusieurs bits peuvent être transmis en même temps. Pour ce faire, les données numériques sont disponibles sur deux voies I et Q qui sont appliquées à un modulateur quadratique (figure.1.11) et les sorties de chaque mélangeur sont sommées pour former le signal à transmettre [BUR97-1] [RAZ98-1].

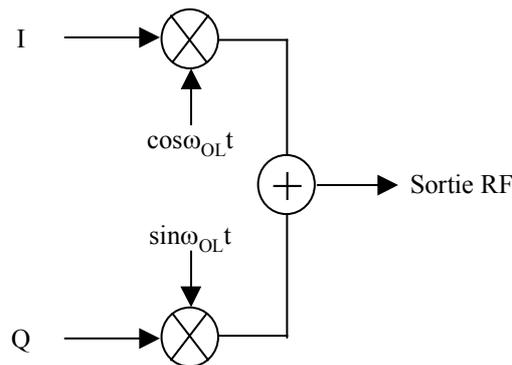


Figure 1.11 : Modulation quadratique

Effets des erreurs de phase et de gain

Si l'oscillateur local fournit deux sinusoïdes ayant un déphasage différent de 90° ou une différence d'amplitude, alors les données de la voie I peuvent être corrompues par celles de la voie Q et inversement. Afin de quantifier le déséquilibre entre les deux sorties de l'oscillateur, on considère que l'on applique sur les voies I et Q du modulateur les signaux $V_0 \sin \omega_{in} t$ et $V_0 \cos \omega_{in} t$. Dans le cas où les deux signaux de l'oscillateur sont en quadrature parfaite et ont la même amplitude, il n'y a en sortie du modulateur quadratique qu'une composante à la pulsation $\omega_{LO} - \omega_{in}$. Dans le cas où il y a une erreur de phase θ et une erreur de gain ε entre les deux signaux de l'oscillateur, alors il y a en sortie du modulateur quadratique une composante à la pulsation $\omega_{LO} - \omega_{in}$ et une composante à la fréquence $\omega_{LO} + \omega_{in}$. Le rapport des puissances de ces composantes s'exprime [RAZ98-1]:

$$\frac{P_{\omega_{LO} + \omega_{in}}}{P_{\omega_{LO} - \omega_{in}}} = \frac{1 - (1 + \varepsilon) \cos \theta + \varepsilon}{1 + (1 + \varepsilon) \cos \theta + \varepsilon} \quad (1-4)$$

En pratique, on considère que les effets des erreurs de phase et de gain sont négligeables si la valeur de ce rapport est inférieure à -30 dB.

1.3.1 Conversion directe

Le schéma d'un émetteur à conversion directe est présenté à la Figure I.12, la modulation et la transposition de fréquence sont assurées par le mélange du signal en bande de base et le

signal d'un oscillateur local de fréquence égale à celle de la porteuse [LEE98-1] [RAZ98-1]. Cette architecture nécessite deux filtres radiofréquences externes placés avant et après l'amplification, afin d'éliminer le bruit et les raies spectrales parasites, ce qui limite son intégration.

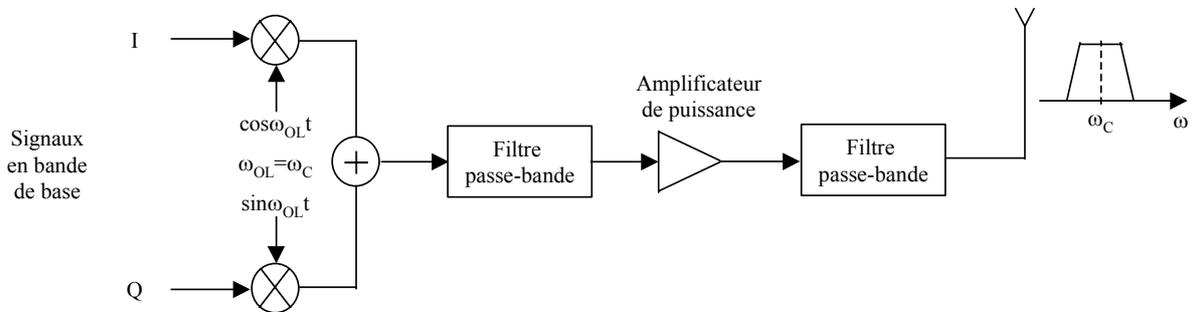


Figure I.12 : Emetteur à conversion directe

L'amplificateur de puissance doit fournir un signal de grande puissance. Or, la fréquence de la porteuse étant la même que la fréquence de l'oscillateur local dans cette architecture, le spectre de l'oscillateur local est alors corrompu par le signal de sortie de l'amplificateur à cause du phénomène de 'pulling'. Une technique qui permet de résoudre ce problème d'injection est d'utiliser deux oscillateurs locaux de fréquences inférieures à la fréquence de la porteuse et dont la somme est égale à la fréquence de la porteuse [LEE98-1] [RAZ98-1]. L'architecture d'un tel émetteur est présentée à la Figure I.13, il nécessite un filtre passe bande supplémentaire.

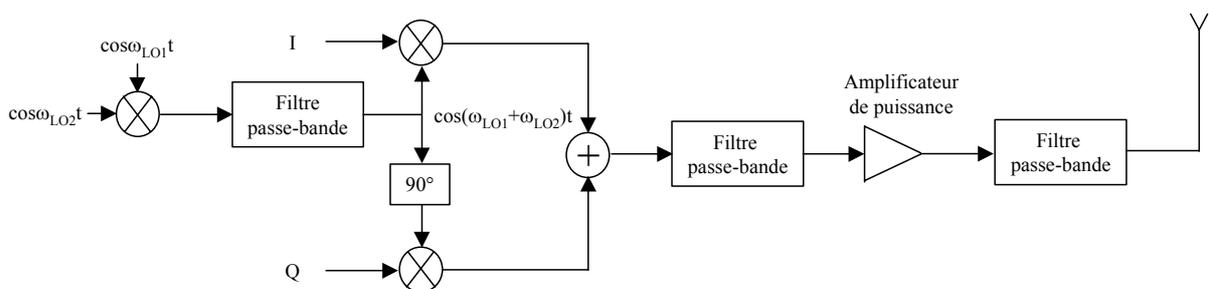


Figure I.13 : Emetteur à conversion directe avec décalage de l'oscillateur local

1.3.3 Emetteur à changement de fréquence

Une autre technique permettant de résoudre le problème du phénomène d'injection dans les émetteurs est de réaliser la transposition de fréquence en deux étapes pour que le spectre du signal de sortie de l'amplificateur de puissance soit éloigné des fréquences des oscillateurs locaux [LEE98-1] [RAZ98-1]. L'architecture d'un tel émetteur est présentée à la Figure 14. Les signaux en bande de base sont modulés et transposés à la fréquence intermédiaire $f_i = f_{OL1}$,

par un mélange quadratique, puis sommés. Le signal obtenu est alors filtré par un filtre passe bande, afin d'éliminer les harmoniques, puis transposé à la fréquence de la porteuse $f_c=f_{OL1}+f_{OL2}$ par un deuxième mélange. Ce mélange transpose également le signal à la fréquence $f_{OL1}-f_{OL2}$, il faut donc un filtre passe bande à fort coefficient de qualité pour éliminer l'image du signal à cette fréquence avant l'amplification.

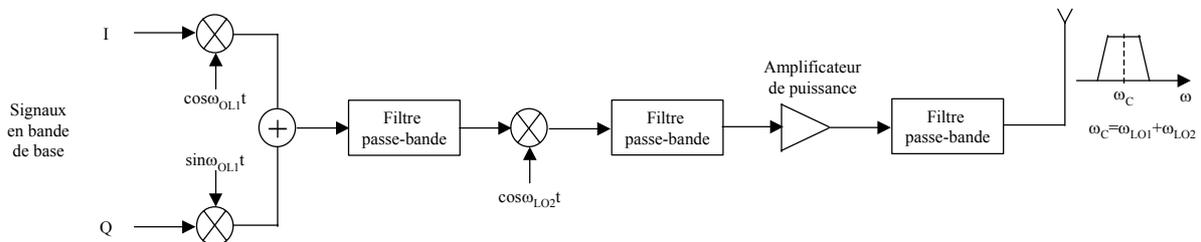


Figure 1.14 : Emetteur à changement de fréquence

L'autre avantage de cette architecture par rapport à la conversion directe est que le mélange quadratique se fait à des fréquences beaucoup plus faibles. Par conséquent, la quadrature entre les deux sorties de l'oscillateur local est généralement plus facile à réaliser.

III/ LES BLOCS RF ET LEURS CARACTERISTIQUES ASSOCIEES

Implicitement, les architectures présentées précédemment mettent en évidence l'utilisation récurrente de certains blocs tels : amplificateurs faible bruit, mélangeurs, amplificateurs de puissance, etc...Toutefois il reste à caractériser ces circuits suivant leurs fonctions propres et leurs places dans la chaîne de traitement. Pour cela des caractéristiques générales (présentées ultérieurement) liées au gain, à la consommation, la linéarité, la production de bruit, etc...leur sont associées.

Brièvement on peut rappeler que :

- L'amplificateur faible bruit (LNA pour Low Noise Amplifier) comme son nom l'indique donne du gain au signal entrant en lui ajoutant un minimum de bruit. Il est en général placé en tête de chaîne de réception derrière le filtre d'antenne.
- Le mélangeur réalise un décalage en fréquence du signal entrant (f_{RF}) en l'additionnant (up) ou (et) en le retranchant (down) au signal de l'oscillateur local (f_{LO}). On récupère en sortie l'information soit à la fréquence ($f_{LO}-f_{RF}$) soit à la

fréquence ($f_{LO}+f_{RF}$), soit aux deux. Ce circuit est largement présent à tous les niveaux d'une chaîne de traitement et notamment radiofréquence.

- L'amplificateur de puissance (PA pour Power Amplifier) a pour rôle de donner de la puissance au signal entrant afin qu'il puisse être émis. On le trouve en sortie de chaîne d'émission.

Nous allons maintenant revenir sur les caractéristiques générales qui permettent de définir ces circuits.

II.1 Gain et adaptation d'impédance

La notion de gain est liée à la transmission de puissance et donc à l'adaptation d'impédance. Intuitivement, si l'on veut amplifier un signal, il convient d'abord de le récupérer correctement. En prenant l'exemple de la figure I.15, nous allons définir l'impédance optimale Z_L permettant de recueillir le maximum de puissance fournie par la source V_s , en fonction de son impédance Z_s .

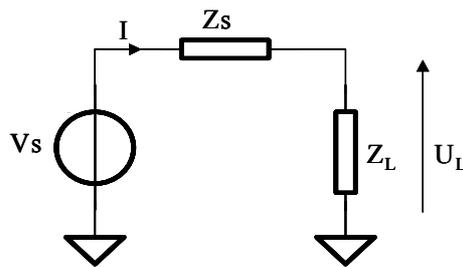


Figure I.15 : adaptation d'impédance

La puissance consommée par la charge s'écrit:

$$P_L = U_L I^*$$

Avec I^* le complexe conjugué du courant I .

En dérivant cette expression (cf. Annexe 1) nous obtenons alors les conditions dites d'adaptation d'impédance assurant un maximum de transfert de puissance de la source vers la charge :

$$Z_S = Z_L^*$$

En appliquant ce résultat à un système deux ports (cf figure I.16), on obtient les conditions d'adaptation optimales permettant un maximum de transfert de puissance entre deux étages :

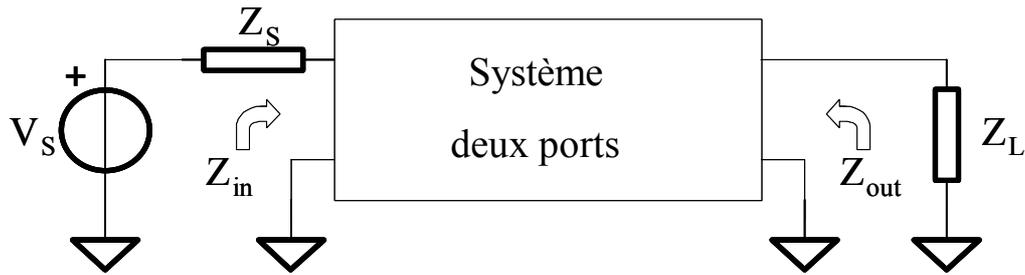


Figure I.16 : adaptation d'impédance d'un bloc dans une chaîne

$$\begin{cases} Z_S = Z_{in}^* \\ Z_L = Z_{out}^* \end{cases}$$

Généralement, les impédances de « source » extérieures telles celles des filtres et antennes présentent une impédance faible et différente de l'impédance d'entrée des blocs de type LNA ou PA. Ainsi il va donc falloir réaliser des adaptations d'impédance qui, de surcroît, ne seront valables qu'à une certaine fréquence de part la nature même des impédances d'entrée des blocs RF.

Cette étape de conception est d'autant plus importante qu'elle va conditionner l'optimisation du gain de l'étage mis en cause. Prenons le système deux ports de la Figure I.16 avec $P_{i\max}$ la puissance maximale que délivre la source et $P_{o\max}$ la puissance maximale en sortie, le gain en puissance se définit comme suit [PAP99-1] :

$$G_\alpha \equiv \frac{P_{o\max}}{P_{i\max}}$$

Si les entrées et sorties sont parfaitement adaptées, alors le maximum de puissance est délivré et s'écrit :

$$G_\alpha = \frac{P_o}{P_i} \text{ avec } R_i = R_S \text{ et } R_o = R_L$$

$$G_\alpha = \left(\frac{V_{o\text{rms}}}{V_{i\text{rms}}} \right)^2 \frac{R_S}{R_L}$$

avec rms = root mean square = valeur efficace du signal

Ainsi si $R_S = R_L$, le gain de conversion en puissance peut s'écrire au moyen du gain en tension G du système :

$$G = \frac{V_o}{V_i} \Rightarrow G_{dB} = 20 \log G$$

$$G_\alpha = \left(\frac{V_o}{V_i} \right)^2 \Rightarrow (G_\alpha)_{dB} = 10 \log \left(\frac{V_o}{V_i} \right)^2 = 20 \log G$$

$$G_{\alpha} = 20 \log \frac{V_o}{V_i}$$

Il faut noter que ce jeu d'écriture est obtenu grâce à une parfaite adaptation d'impédance qui, bien que jamais réellement atteinte, sera, à juste titre, souvent sous-entendue.

D'autre part, il faut noter en pratique que l'on trouvera aussi les puissances exprimées en dBm, cette mesure se définit comme le rapport entre la puissance fournie par le signal ramenée à 50Ω et 1mW :

$$\text{Puissance du signal (dBm)} = 10 \log \frac{V_{rms}^2}{1mW} \frac{50\Omega}{50\Omega}$$

Voici les données élémentaires dans le domaine du gain et de l'adaptation d'impédance qui furent observées lors de la conception des circuits développés dans le cadre de cette thèse.

II.2 Le facteur de bruit

Le consortium IEEE définit le bruit comme l'ensemble de toutes les perturbations indésirables qui se superposent au signal utile et ont tendance à masquer son contenu [VAS99-1].

II.2.1 Généralité

La nature stochastique du bruit rend sa forme d'onde peu intéressante, il est plus significatif de travailler avec la puissance qu'il transporte. Pour cela, on est amené à utiliser sa valeur quadratique moyenne :

$$V_{qm} = (V_{eff})^2 = \frac{1}{T} \int_0^T v^2(t) dt$$

Avec $v(t)$ la forme d'onde temporelle du signal observé pendant une durée de temps T .

Cette valeur quadratique moyenne (notée \bar{v}^2) est exprimée en V^2 et tire son origine de la normalisation par rapport à une résistance de 1Ω du carré de la valeur efficace de la forme d'onde du signal.

Pour un signal $v(t)$ donné sur un temps d'observation T , la puissance dissipée à travers une résistance R peut s'écrire :

$$P_R = \frac{(V_{eff})^2}{R} = \frac{1}{R} \frac{1}{T} \int_0^T v^2(t) dt$$

$$P_R = \frac{V_{eff}^2}{R}$$

V_{eff} est la tension continue équivalente dissipant la même puissance dans R que la forme d'onde du signal $v(t)$. Si $R=1$ alors $v_{\text{eff}}^2 = P_R$ et l'on obtient la puissance normalisée appelée valeur quadratique moyenne, définie précédemment.

En ce qui concerne le bruit, on identifie physiquement quatre sources de bruit, dont on trouvera pour chacune d'elle une description précise de son origine et son mécanisme en annexe 2 [VAS99-1], qui sont :

- le bruit thermique qui trouve son origine dans le mouvement aléatoire des porteurs de charge sous l'effet de la température
- le bruit de grenaille causé par le saut de barrières de potentiel à des instant aléatoires par des porteurs de charge
- le bruit en $1/f$ qui n'a pas de mécanisme universel mais qui est fortement lié aux fluctuations des porteurs ainsi qu'au mécanisme de piégeage.
- le bruit RTS (Random Telegraph Noise) concerne plus particulièrement les TMOS de surface de grille réduite ($<1\mu\text{m}^2$), et qui représente le mécanisme de piégeage unique.

Ces sources de bruit permettent de caractériser les modèles équivalents de bruit des composants, utilisés à leur tour, pour calculer les grandeurs de bruit caractéristiques des systèmes.

En radiofréquence, ce n'est pas la quantification pure du bruit mais son niveau par rapport au signal utile qui nous intéresse, c'est pourquoi on détermine le paramètre de bruit d'un circuit au moyen de ce que l'on appelle le facteur de bruit (ou NF noise figure), définie à partir du facteur de bruit F :

$$\text{NF} = 10 \log F \text{ avec } F = \frac{(S/N)_{\text{entrée}}}{(S/N)_{\text{sortie}}}$$

C'est le quotient du rapport signal sur bruit en entrée par le rapport signal sur bruit en sortie exprimé en dB.

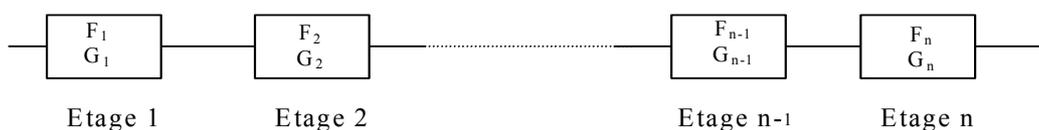


Figure I.17 : facteur de bruit sur une cascade d'étage

Dans une chaîne de n étages, adaptés chacun en entrée et en sortie, du type de celle présentée en figure I.17, on exprime alors le facteur de bruit générale de la chaîne de la manière suivante :

$$F_{total} = F_1 + \frac{F_2 - 1}{G_1} + \frac{F_3 - 1}{G_1 G_2} + \dots + \frac{F_n - 1}{G_1 G_2 \dots G_{n-1} G_n}$$

Cette formule de FRIIS [PAP99-1] permet de mettre en évidence l'importance du facteur de bruit (F_1) et du gain (G_1) du premier bloc d'une chaîne. A lui seul, il conditionne toute la figure de bruit du système. De même, à l'intérieur de ce bloc, ce sera le premier étage qui va être critique pour cette caractéristique. L'étude du facteur de bruit va donc toujours se faire autour du ou des transistors d'entrée du premier bloc actif. Il reste à définir la méthode théorique de calcul de ce facteur de bruit.

II.2.2 Définition

En prenant la définition précédemment donnée mais appliquée au modèle de bruit d'un système deux ports (cf figure I.18), le calcul se développe de la manière suivante [RAZ98-1] :

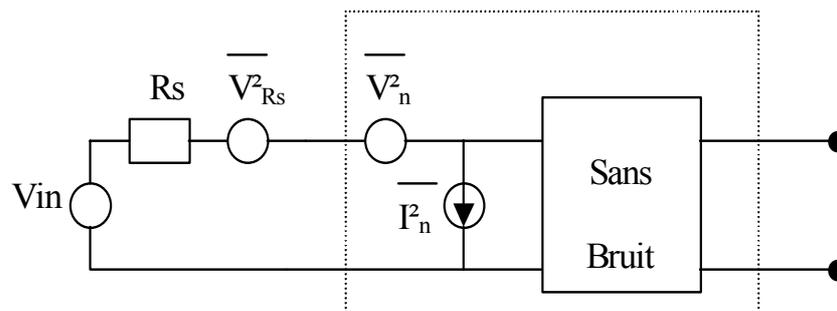


Figure I.18 : modèle de bruit d'un étage

Avec $\overline{V_{RS}^2}$ le générateur de bruit de tension équivalent associé à la résistance R_s du générateur de tension d'entrée V_{in} .

$\overline{V_n^2}$ et $\overline{I_n^2}$ respectivement les générateurs équivalents de bruit en tension et en courant associés à l'étage étudié.

Le rapport signal sur bruit en entrée peut s'écrire :

$$SNR_{in} = \frac{\overline{V_{in}^2}}{\overline{V_{RS}^2}}$$

Avec A_v le gain en tension de l'étage sans bruit, le rapport signal sur bruit en sortie peut s'écrire :

$$SNR_{out} = \frac{A_v^2 \cdot \overline{V_{in}^2}}{[\overline{V_{RS}^2} + (\overline{V_n} + \overline{I_n R_s})^2] A_v^2} = \frac{\overline{V_{in}^2}}{[\overline{V_{RS}^2} + (\overline{V_n} + \overline{I_n R_s})^2]}$$

Ainsi la figure de bruit devient :

$$F = \frac{SNR_{in}}{SNR_{out}} = \frac{[\bar{V}_{RS}^2 + (V_n + I_n R_s)^2]}{\bar{V}_{RS}^2} = 1 + \frac{(V_n + I_n R_s)^2}{\bar{V}_{RS}^2}$$

$$\text{Si } V_n^2 \text{ et } I_n^2 \text{ ne sont pas corrélés} \quad F = 1 + \frac{(\bar{V}_n^2 + \bar{I}_n^2 R_s)}{\bar{V}_{RS}^2}$$

Cette présentation du calcul de la figure de bruit reste générale, nous verrons par la suite que conjecturer sur la non corrélation des sources V_n et I_n n'est justifié que pour une quantification approximative de la caractéristique. Généralement, des calculs drastiques requièrent des approches plus spécifiques du calcul adaptées à la fonctionnalité du bloc auquel on se rapporte [6].

II.3 La linéarité

II.3.1 Généralités

Même si l'on approxime parfois les systèmes et composants électroniques à des structures linéaires, en réalité il n'en est rien. En effet, tous les composants, notamment le transistor, distordent les signaux qui les traversent. En radiofréquence ce phénomène peut donner lieu à des pertes d'informations irréversibles, c'est pourquoi des méthodes de mesure et de calcul précises sont mises en place afin de quantifier ces distorsions.

Observons en premier lieu le problème de générations d'harmoniques d'un système non linéaire : appliquons un signal sinusoïdal ($A \cos \omega t$) à un système non linéaire de réponse $y(t)$ pour mettre en évidence la générations d'harmoniques [GRA93-1]:

$$Y(t) = c_1 A \cos \omega t + c_2 A^2 \cos^2 \omega t + c_3 A^3 \cos^3 \omega t + \dots$$

$$Y(t) = c_1 A \cos \omega t + \frac{c_2 A^2}{2} [1 + \cos 2\omega t] + \frac{c_3 A^3}{4} [3 \cos \omega t + \cos 3\omega t] + \dots$$

$$Y(t) = \underbrace{\frac{c_2 A^2}{2}}_{\text{Composante continue}} + \underbrace{\left(c_1 A + \frac{c_3 A^3}{4} \right) \cos \omega t}_{\text{Fondamental}} + \underbrace{\frac{c_2 A^2}{2} \cos 2\omega t + \frac{c_3 A^3}{4} \cos 3\omega t}_{\text{Harmoniques}} + \dots$$

Nous constatons ici que le fondamental n'est pas linéairement lié au signal d'entrée appliqué.

Le coefficient $\left(c_1 A + \frac{3c_3 A^3}{4} \right)$ est un polynôme de degré trois en fonction de A. Pour un signal d'entrée à une fréquence donnée, un système produit un signal de sortie aux harmoniques nombreuses. Pour quantifier la production et l'impact des composantes fréquentielles d'une architecture, on utilise, en radiofréquence, le point de compression -1 dB et le point d'intermodulation d'ordre 3 auxquels les deux prochains paragraphes sont dédiés.

II.3.2 Point de compression –1 dB ou ICP1

En première approximation, on étudie un circuit avec son schéma équivalent aux petites variations. Cette approche considère que dans la réponse précédente, $(c_1 A)$ est supérieur à tous les autres facteurs des harmoniques et le gain du système est c_1 .

Cependant au fur et à mesure que la puissance du signal d'entrée va augmenter (son amplitude grandit), le gain va varier. C'est le terme $\frac{3}{4}.c_3.A^3$ qui devient prépondérant par

rapport à $c_1 A$. Dans les circuits que nous étudions, ce troisième harmonique c_3 de rang impair est négatif (il vient du développement limité de $\exp(\frac{V_{BE}}{U_T})$ ou $(1+x)^n$), et le terme en $\frac{3}{4}.c_3.A^3$

limite l'amplification linéaire en ajoutant un terme négatif à $(c_1 A)$. En sortie la transmission

du fondamental est pondérée par le terme : $-\frac{3}{4}.c_3.A^2$

Dans les circuits RF, on définit alors le point de compression –1 dB tel que pour une certaine puissance d'entrée donnée le gain en puissance du circuit est inférieur de 1 dB à ce qu'il devrait être. La figure I-19 illustre cette définition [RAZ98-1]:

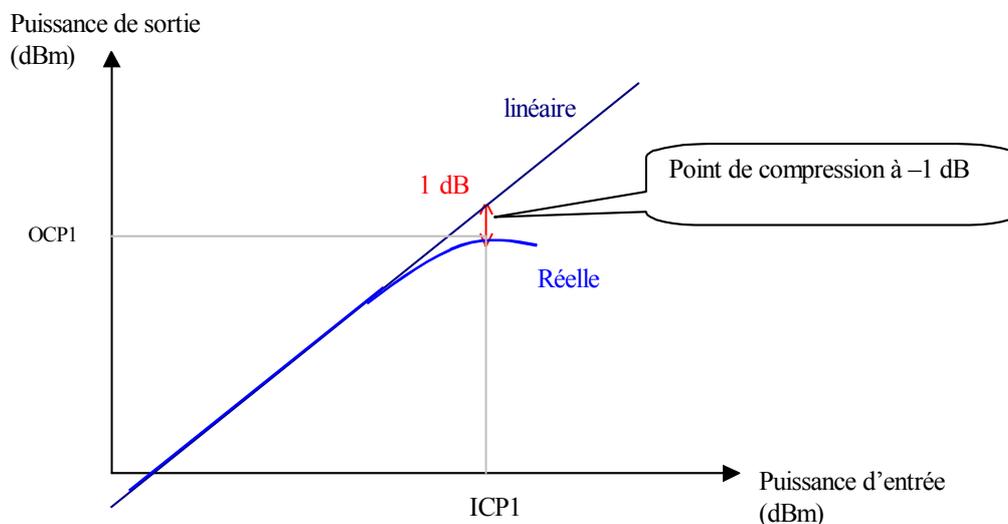


Figure I.19 : point de compression –1 dB ou ICP1

- La droite dite « linéaire » est l'interpolation de la puissance de sortie en fonction de la puissance d'entrée du circuit fonctionnant pour des puissances d'entrée moyennes, c'est-à-dire: $20 \log c_1$

➤ La courbe « réelle » représente la puissance de sortie en fonction de la puissance

$$\text{d'entrée : } 20 \log \left| c_1 + \frac{3}{4} c_3 A^3 \right|$$

Lorsque la réponse réelle diffère de la réponse linéaire de -1 dB, alors on définit le ICP1 :

$$20 \log c_1 - 1 \text{ dB} = 20 \log \left| c_1 + \frac{3}{4} c_3 A_{-1 \text{ dB}}^2 \right|$$

$$A_{-1 \text{ dB}} = \sqrt{0,145 \left| \frac{c_1}{c_3} \right|}$$

De même pour un mélangeur, le point de compression est déterminé par l'inflexion de 1 dB de la courbe de réponse en puissance du signal FI en fonction de la puissance du signal d'entrée RF.

L'ICP1 nous donne une information sur la faculté du circuit à transmettre linéairement de la puissance sur sa plage de fréquence de fonctionnement.

II.3.3 Point d'interception de troisième ordre ou IIP3

Nous avons vu que les systèmes utilisés n'étant pas linéaires, ils produisent des harmoniques à partir d'une seule présente en entrée, le fondamental. Généralement, en radiofréquence, les modes de codage des transmissions utilisent non pas une fréquence mais des canaux (une petite bande de fréquence) pour transmettre l'information. De ce fait, on va retrouver dans le canal de sortie, à cause des non linéarités des systèmes, des harmoniques parasites qui n'appartenaient pas au « canal d'entrée ».

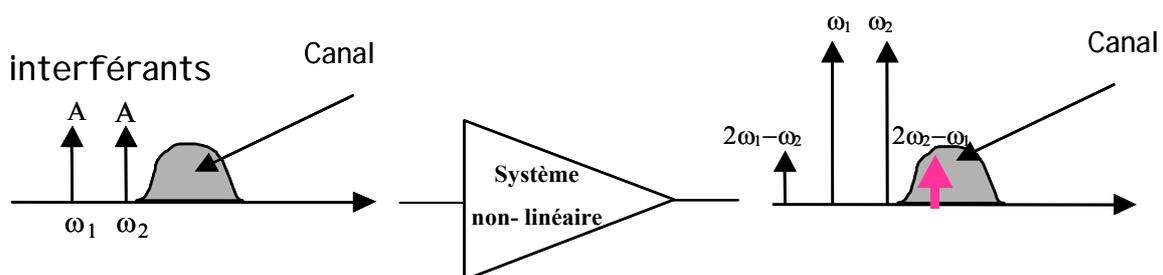


Figure I.20 : intermodulation d'ordre 3 dans un étage non linéaire

Prenons l'exemple de deux interférences, n'appartenant pas au canal, de fréquence ω_1 et ω_2 contenues dans un signal $x(t)$ du type :

$$x(t) = A_1 \cos \omega_1 t + A_2 \cos \omega_2 t$$

Présenté à l'entrée d'un système non linéaire, la réponse $y(t)$ peut alors s'écrire comme suit [RAZ98-1]:

$$y(t) = c_1 (A_1 \cos \omega_1 t + A_2 \cos \omega_2 t) + c_2 (A_1 \cos \omega_1 t + A_2 \cos \omega_2 t)^2 + c_3 (A_1 \cos \omega_1 t + A_2 \cos \omega_2 t)^3$$

$$y(t) = \dots + c_2 A_1 A_2 \cos (\omega_1 + \omega_2) t + c_2 A_1 A_2 \cos (\omega_1 - \omega_2) t + \frac{3}{4} c_3 A_1^2 A_2 \cos (2\omega_1 + \omega_2) t + \frac{3}{4} c_3 A_1^2 A_2 \cos (2\omega_1 - \omega_2) t + \frac{3}{4} c_3 A_2^2 A_1 \cos (2\omega_2 + \omega_1) t + \frac{3}{4} c_3 A_2^2 A_1 \cos (2\omega_2 - \omega_1) t$$

Il apparaît clairement d'un point de vue analytique que l'intermodulation d'ordre 3 du système produit une composante parasite de pulsation $(2\omega_2 - \omega_1)$ appartenant au canal comme il est représenté dans la figure I.21. Cette dernière ne contenant pas d'information va venir perturber l'information contenue dans le canal en sortie du système.

Pour quantifier ce phénomène on va effectuer le calcul du point d'intermodulation d'ordre 3 (IIP3) en présentant en entrée un signal de type $x(t) = A \cos \omega_1 t + A \cos \omega_2 t$ avec A assez faible pour qu'aux petites puissances le fondamental reste proportionnel à A et que l'harmonique en A^3 , issue de l'ordre trois, soit négligeable. On a alors en sortie du système non linéaire la réponse suivante :

$$y(t) = (c_1 + 9/4 c_3 A^2) A \cos \omega_1 t + (c_1 + 9/4 c_3 A^2) A \cos \omega_2 t + \dots + \frac{3}{4} c_3 A^3 \cos (2\omega_1 - \omega_2) t + \frac{3}{4} c_3 A^3 \cos (2\omega_2 - \omega_1) t$$

Si $c_1 \gg 9/4 c_3 A^2$, alors on définit le IIP3 comme le point d'intersection virtuel entre la réponse linéaire du fondamental et l'interpolation de la réponse du produit d'intermodulation de troisième ordre :

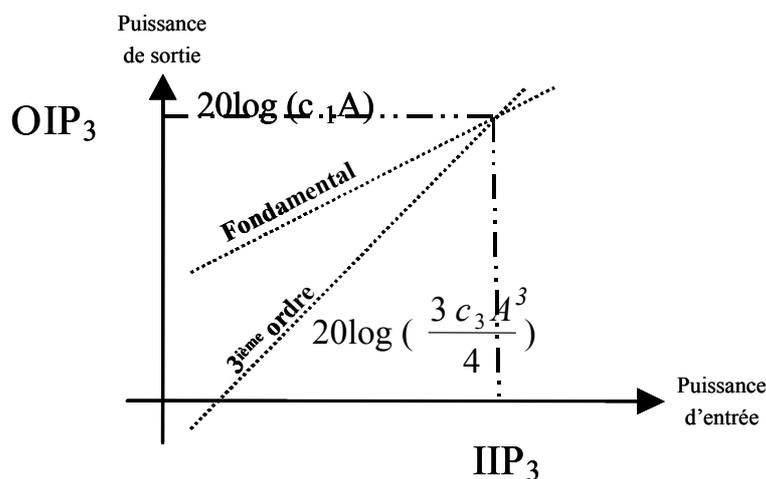


Figure I.21 : point d'interception d'ordre 3 ou IIP3

$$|c_1| A_{IIP3} = \frac{3}{4} |c_3| A_{IIP3}^3$$

$$A_{IIP3} = \sqrt{\frac{4}{3} \left| \frac{c_1}{c_3} \right|}$$

On peut faire le même raisonnement pour un mélangeur mais dans ce cas on regardera alors, en sortie, la transmission de $(2\omega_2 - \omega_1)$ à la fréquence $(2\omega_2 - \omega_1) - \omega_{LO}$.

Intuitivement, il apparaît que moins la structure donne de gain à ses composantes fréquentielles croisées parasites, plus le coefficient directeur de la droite de réponse de 3^{ème} ordre est faible, plus le IIP3 est grand.

Le IIP3 donne une information sur la linéarité en indiquant la puissance des harmoniques parasites générées par le système.

II.3.4 Le point d'interception de troisième ordre au travers des étages

Comme nous avons pu le voir dans la première partie de ce chapitre, les frontals radio comportent plusieurs étages. Il convient donc aussi d'étudier l'évolution du IIP3 au travers des étages afin d'éprouver la linéarité totale d'une chaîne d'émission ou de réception. Prenons l'exemple décrit en figure I.22 d'un système comportant deux étages :

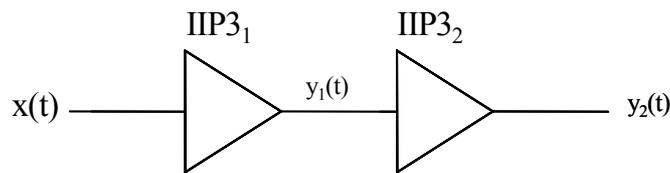


Figure I.22 : chaîne à deux étage

La réponse du premier étage à un signal $x(t)$ peut s'écrire de la manière suivante :

$$y_1(t) = c_1 x(t) + c_2 x^2(t) + c_3 x^3(t)$$

Ainsi en sortie du second étage on a :

$$y_2(t) = d_1 y_1(t) + d_2 y_1^2(t) + d_3 y_1^3(t)$$

$$y_2(t) = d_1 [c_1 x(t) + c_2 x^2(t) + c_3 x^3(t)] + d_2 [c_1 x(t) + c_2 x^2(t) + c_3 x^3(t)]^2 + d_3 [c_1 x(t) + c_2 x^2(t) + c_3 x^3(t)]^3$$

En considérant uniquement le fondamental et les harmoniques de type $(2\omega_2 - \omega_1)$, dont la transmission au travers des étages est décrite en Annexe 4, le point d'interception de troisième ordre de la chaîne entière donne lieu à de lourds calculs dont le résultat s'écrit :

$$A_{IIP3} = \sqrt{\frac{4}{3} \left| \frac{d_1 c_1}{d_1 c_3 + 2d_2 c_2 c_1 + d_3 c_1^3} \right|}$$

En inversant cette expression et en développant par majoration la valeur absolue, on simplifie l'expression ainsi :

$$\frac{1}{A^2_{IIP3}} = \frac{3|d_1c_3| + |2d_2c_2c_1| + |d_3c_1^3|}{4|d_1c_1|}$$

$$\frac{1}{A^2_{IIP3}} = \frac{1}{A^2_{IIP3,1}} + \frac{|3d_2c_2|}{|2d_1|} + \frac{c_1^2}{A^2_{IIP3,2}} \approx \frac{1}{A^2_{IIP3,1}} + \frac{c_1^2}{A^2_{IIP3,2}}$$

Menant finalement à une expression beaucoup plus usuelle du point d'intermodulation de troisième ordre d'une chaîne comportant deux étages [RAZ98-1] :

$$\frac{1}{A^2_{IIP3}} = \frac{1}{A^2_{IIP3,1}} + \frac{c_1^2}{A^2_{IIP3,2}}$$

Par extension, on définit le IIP3 d'un système à n étages ainsi:

$$\frac{1}{A^2_{IIP3}} = \frac{1}{A^2_{IIP3,1}} + \frac{c_1^2}{A^2_{IIP3,2}} + \frac{c_2^2c_1^2}{A^2_{IIP3,3}} + \dots + \frac{c_{n-1}^2 \dots c_2^2c_1^2}{A^2_{IIP3,n}}$$

En conclusion :

- le ICP1 donne la faculté du système à retransmettre l'information à sa fréquence de fonctionnement sans le déformer
- le IIP3 indique la puissance des harmoniques parasites que génère le système
- Ce point d'interception de troisième ordre se dégrade d'autant plus vite relativement au nombre d'étages dans la chaîne

II.4 L'isolation

II.4.1 Le mélangeur

L'isolation d'un mélangeur mesure le transfert de puissance d'un port à un autre par effet de couplage. Les deux isolations que l'on doit absolument prendre en compte sont l'isolation du port OL sur le port RF et du port OL sur le port FI. On remarquera la précaution particulière prise vis à vis du port OL, dû au fait que l'oscillateur local apporte un signal très puissant par rapport aux autres signaux en présence ce qui peut amener une perte d'information si ce dernier vient perturber le signal RF (en entrée ou en sortie) par couplage. D'autre part, la présence de signal à la fréquence de l'oscillateur local sur le port RF induit, en sortie, un indésirable offset par automélange.

On a donc pour coutume de mesurer l'isolation d'un port par rapport à un autre, en exprimant le rapport du signal indésirable sur le signal d'origine en dB.

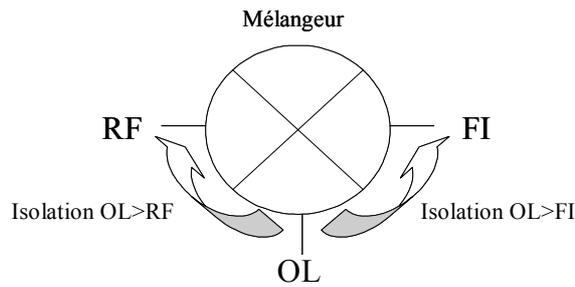


Figure I.24 : isolations critiques du mélangeur

$$isolation\ OL > RF = 20 \log \frac{(P_{OL})_{RF}}{P_{OL}}$$

$$isolation\ OL > FI = 20 \log \frac{(P_{OL})_{FI}}{P_{OL}}$$

II.4.2 L'amplificateur de puissance (PA)

L'amplificateur de puissance est un système deux ports dont l'isolation la plus critique à étudier est celle qui remonte de la sortie vers l'entrée. En effet, le signal de sortie est très puissant, en aucun cas il ne faut que ce dernier remonte la chaîne, sinon les étages précédents ne fonctionneront plus dans leur mode normal.

Comme pour le mélangeur cette isolation est exprimée en dB, c'est le rapport de la puissance du signal de sortie récupéré par couplage en entrée sur la puissance du signal de sortie.

$$isolation\ OUT > IN = 20 \log \frac{(P_{OUT})_{IN}}{P_{OUT}}$$

C'est au travers du paramètre S_{12} que ce dernier est le plus souvent exprimé.

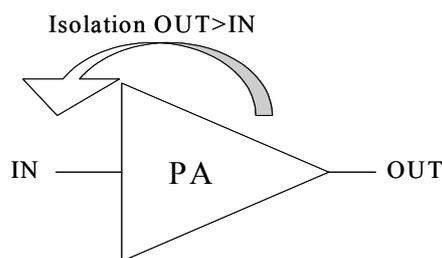


Figure I.25 : isolation critique de l'amplificateur de puissance

III/ LES TECHNOLOGIES ET LEURS CONTRAINTES EN TERME DE CONCEPTION RADIOFREQUENCE

Ce paragraphe présente les orientations de conception induites par le marché ainsi que par l'évolution des moyens à notre disposition. Tout d'abord, la dualité MOS/Bipolaire est développée au travers d'une étude comparative des caractéristiques analogiques respectives.

Puis, l'impact de l'évolution des technologies MOS sur les contraintes de conception pures (basse tension etc....) sont dressées afin de définir les axes conceptuels suivis au cours de ce doctorat.

III.1 Technologie MOS et technologie bipolaire

Nous savons que la technologie bipolaire est la technologie de prédilection de la conception radiofréquence. Les avantages du BJT en matière de conception analogique sont :

- une plus grande faculté que le MOS à faire passer de forts courants, donc adapté pour la puissance

$$\frac{(\text{courant principal})_{BJT}}{(\text{courant principal})_{MOS}} \approx 10 \times \frac{\text{Surface émetteur}}{\text{Surface grille}}$$

Cette expression met en évidence que même à surface égales, ce qui n'est généralement pas le cas pour des technologies MOS et bipolaire appartenant à la même génération, le transistor bipolaire est capable de fournir un courant dix fois supérieur à celui du transistor MOS.

- une transconductance g_m plus grande donc une meilleure prédisposition à faire de l'amplification

La transconductance d'un transistor, paramètre clef du gain que peut fournir un transistor, est défini comme la dérivée du courant de collecteur ou de drain par rapport à la tension de commande V_{BE} ou V_{GS} respectivement pour un transistor bipolaire ou un transistor MOS.

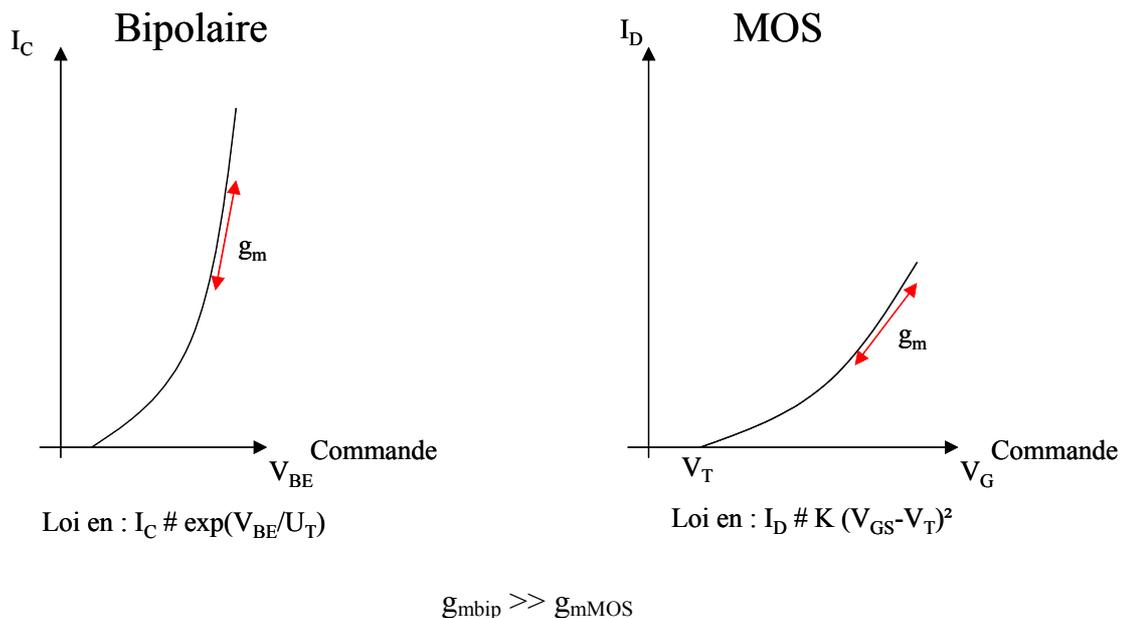


Figure I.26 : caractéristiques de commande des transistors bipolaire et MOS

- d'une manière générale les paramètres dynamiques du transistor bipolaire sont plus intéressants d'un point de vue analogique que ceux du transistor MOS pour une même polarisation :

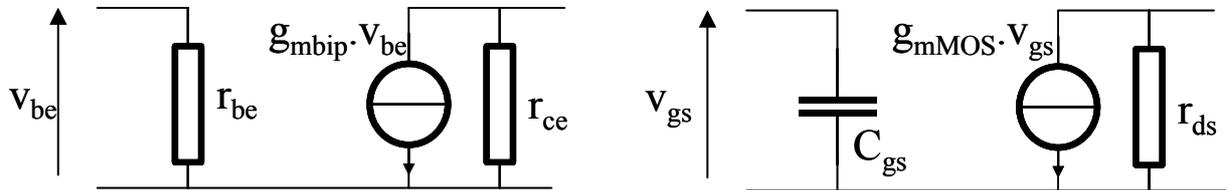


Figure I.27 : modèles petits signaux des transistors bipolaire et MOS

-La résistance r_{ce} de sortie du bipolaire est largement supérieure à celle du MOS r_{ds} modélisant un générateur de courant de meilleure qualité et permettant un gain en tension plus important.

-L'impédance d'entrée du transistor MOS en $1/jc\omega$ rend l'adaptation d'impédance difficile ; d'autre part, à courant de polarisation égal, le transistor MOS présente un pôle de coupure en entrée relativement bas à cause de cette capacité C_{gs} alors que l'impédance d'entrée du transistor bipolaire reste égale à r_{be} sur une plus grande bande de fréquence.

Il est donc légitime de se poser la question quant à la place que peut avoir la technologie MOS dans la conception analogique radiofréquence. De ce point de vue, c'est la philosophie d'évolution du marché de la microélectronique qui permet au transistor MOS d'exister. L'expansion du marché de masse de la radiofréquence requiert des produits dits « faible coût » ; ce qui se traduit, dans le domaine de la microélectronique, par une intégration maximale du composant de base. Le transistor MOS considéré d'un point de vue physique comme à « deux dimensions » apparaît alors comme le meilleur candidat par rapport au transistor bipolaire qui, lui, est réellement un composant à trois dimensions, comme le montre la figure I.28.

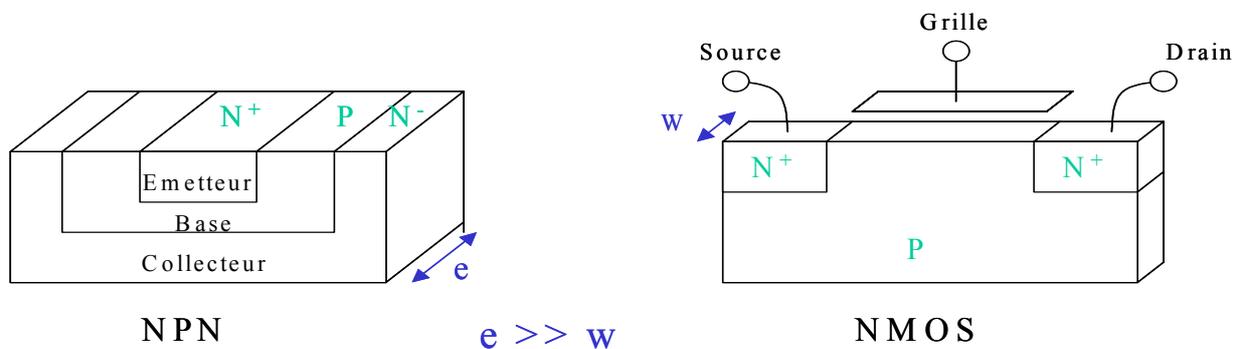


Figure I.28 : comparaison des encombrements volumiques des transistors bipolaire et MOS

Ainsi le transistor bipolaire est physiquement plus encombrant que son homologue MOS. De plus, implanté dans le silicium, le transistor bipolaire requiert des murs d'isolement volumineux contribuant, par-là même, à définitivement céder à la concurrence de la technologie MOS en terme d'intégration.

De la sorte, on retrouve aujourd'hui dans l'électronique de consommation un grand nombre de circuits analogiques réalisés en technologie VLSI (Very Large Scale Integration), essentiellement destinée à la conception numérique dans un premier temps.

Suivant cette tendance nous avons donc pris l'orientation de concevoir des circuits dédiés à la radiofréquence en technologie CMOS VLSI.

III.2 Les orientations de conception

Le support technologique choisi induit cependant quelques contraintes liées à son évolution. Chaque génération technologique MOS est caractérisée par sa longueur de grille à laquelle la tension d'alimentation est très liée par la règle de mise à l'échelle en « lambda constant ». Ainsi on a pu observer l'évolution suivante sur la dernière décennie :

$$0,35 \mu\text{m} \rightarrow 3,5 \text{ V}$$

$$0,25 \mu\text{m} \rightarrow 2,5 \text{ V}$$

$$0,18 \mu\text{m} \rightarrow 1,8 \text{ V}$$

$$0,12 \mu\text{m} \rightarrow 1,2 \text{ V}$$

La prochaine génération approchant naturellement le seuil très critique de 1V de tension d'alimentation. Effectivement cette contrainte de basse tension implique de reconsidérer les méthodes traditionnelles de conception. L'une des architectures les plus répandues pour réaliser un mélangeur, la cellule de Gilbert en MOS (cf. figure I.29) détaillée au chapitre 2 de ce mémoire, n'est pas transposable sous 1V car elle nécessite au moins trois V_T pour fonctionner.

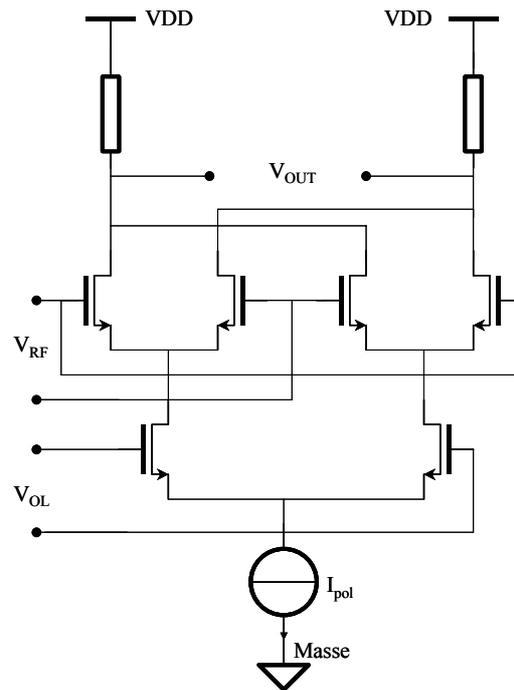


Figure I.29 : cellule de Gilbert

Il a donc été décidé, dans la mesure du possible, de concevoir des architectures capables d'opérer sous 1V afin d'anticiper les futures contraintes de conception. Ce choix est d'autant plus audacieux qu'il implique de lourdes conséquences en terme de caractéristique : la plage dynamique d'excursion en tension est réduite ($<1V$) donc les caractéristiques de gain vont être difficiles à atteindre nécessitant au même titre que la faible consommation de nouvelles architectures adaptées à ces contraintes. D'autre part certaines fonctions comme le mélange requièrent aussi d'être réalisées au moyen de plusieurs étages diminuant ainsi la linéarité de l'ensemble de l'architecture. Il faudra alors mettre en œuvre de nouvelles techniques de linéarisation afin de pourvoir les spécifications des applications visées.

En résumé, et comme l'expliquent E. Sánchez-Sinencio et A. G. Andreou dans leur ouvrage « Low-voltage/Low-power integrated circuits and systems [11] », la conception basse tension faible consommation réclame une connaissance approfondie des effets physiques (même secondaires) des transistors afin de les mettre à profit dans la réalisation de fonctions de base.

IV/ CONCLUSION

Les architectures d'émission et de réception radiofréquence ont été présentées dans un premier temps afin de définir le domaine au sein duquel s'inscrit le travail effectué durant cette thèse. Puis, par une description détaillée des caractéristiques des circuits à réaliser,

l'environnement lexical ainsi que le constat de certaines difficultés liées à la conception ont pu être mis en avant.

Enfin, la dernière partie, dédiée au cadre conceptuel, a permis de comprendre les orientations et les choix pris au cours de cette thèse motivés par les contraintes et les potentielles évolutions du marché auxquelles sont dédiés les circuits qui vont être présentés maintenant.

Bibliographie du chapitre 1

- [1] Asad A. Abidi, "*Direct-Conversion Radio Transceivers for Digital Communications*", IEEE Journal of Solid State Circuits, Vol. 30, n° 12, pp. 1399-1410, Décembre 1995.
- [2] Asad A. Abidi, "*Low-Power Radio-Frequency ICs for Portable Communications*", RF and Microwave Circuit Design for Wireless Communications, Artech House, Norwood, MA, 1997, pp. 43-98.
- [3] Lawrence Burns, "*Digital Modulation and Demodulation*", RF and Microwave Circuit Design for Wireless Communications, Artech House, Norwood, MA, 1997, pp. 199-223.
- [4] P.Gray R.Meyer, "*Analysis and design of analog integrated circuits*", John Wiley & Sons Inc., New York, USA, 1993
- [5] W.H. Hayward, "*Introduction to Radio Frequency Design*", Prentice-Hall, Englewood Cliffs, NJ, 1982, chapitre 8 : The Receiver: An RF System, pp. 341-372.
- [6] Thomas H. Lee, "*The Design of CMOS Radio-Frequency Integrated Circuits*", Cambridge University Press, Cambridge, UK, 1998, chapitre 18 : Architectures, pp. 550-570.
- [7] Y.E Papanonos, "*Radio-frequency microelectronic circuits for telecommunication Applications*", Kluwer Academic Publishers, Boston, USA, 1999
- [8] B. Razavi, "*RF Microelectronics*", Prentice Hall PTR, Upper Saddle River, NJ, USA, 1998
- [10] G.Vasilescu, "*Bruits et signaux parasites*", Dunod, Paris, 1999
- [11] Edgar Sánchez-Sinencio (Editor), Andreas G. Andreou, "*Low-Voltage/Low-Power Integrated Circuits and Systems: Low-Voltage Mixed-Signal Circuits*", Wiley-IEEE Press, Piscataway, USA 2001

Chapitre 2

Les amplificateurs faible bruit

Sommaire du chapitre 2

CHAPITRE 2	45
LES AMPLIFICATEURS FAIBLE BRUIT	45
I/ ETAT DE L'ART	49
I.1 Amplification à terminaison résistive	49
I.2 Amplificateur à contre-réaction résistive	50
I.3 Amplificateur à terminaison en $1/g_m$	52
I.4 Amplificateur à dégénérescence inductive d'émetteur	53
I.5 Conclusion	55
II/ LES TECHNIQUES MISES EN ŒUVRES	56
II.1 La réutilisation de courant	56
II.2 La dégénérescence inductive	57
III/ L'AMPLIFICATEUR FAIBLE BRUIT À DÉGÉNÉRESCENCE INDUCTIVE ET RÉUTILISATION DE COURANT	59
III.1 Origine	59
III.2 Le circuit	60
III.3. Test et résultats	61
IV/ L'AMPLIFICATEUR FAIBLE BRUIT À CONTRE RÉACTION PAR EFFET DE SUBSTRAT	64
IV.1 Origine	64
IV.2 Théorie	65
IV.3 Le circuit	66
IV.4. Test et résultats	67
V/ CONCLUSIONS	70
Bibliographie du chapitre 2	71

II ETAT DE L'ART

Comme nous l'avons vu dans le chapitre premier de ce mémoire, l'amplificateur faible bruit est un élément clef des chaînes de réception puisqu'il doit amener le signal utile à un niveau tel qu'il puisse être correctement traité par l'architecture en aval "sans" lui ajouter de bruit.

On peut classer ces amplificateurs faible bruit suivant quatre familles, définies chacune par le type d'impédance d'entrée que présente le bloc. En effet, le compromis figure de bruit-gain est essentiellement réglé par l'adaptation d'impédance en entrée de la structure. La figure 1 rassemble les différents types de structures couramment rencontrées dans la littérature.

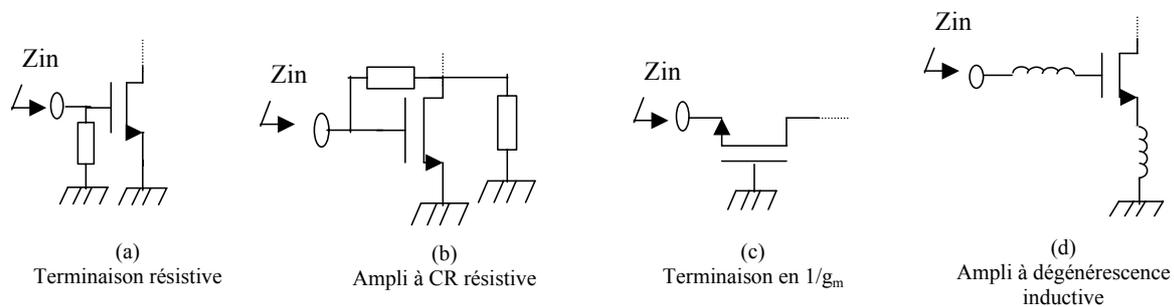


Figure II.1: différentes configurations d'entrée d'amplificateurs faible bruit

I.1. Amplification à terminaison résistive

L'amplification à terminaison résistive réalise son adaptation d'impédance d'entrée (généralement 50Ω) par l'intermédiaire d'une résistance. Il est alors nécessaire de travailler à des fréquences telles que la capacité d'entrée C_{gs} (resp. C_{be}) des transistors MOS et bipolaire respectivement ait une influence négligeable. Ceci est une première grosse limitation ($f < 1$ GHz pour une technologie CMOS de $0,25\mu\text{m}$). D'autre part en récupérant un maximum de puissance par l'intermédiaire de l'adaptation d'impédance d'entrée résistive, un bruit thermique issu de cette résistance va lourdement contribuer à la dégradation de la figure de bruit de cet amplificateur. Ainsi la figure de bruit sera d'autant plus mauvaise que l'impédance vue par le transistor ($50\Omega/2 = 25\Omega$) ne correspond pas non plus à l'impédance de bruit optimale. Il apparaît que cette structure est loin d'être la meilleure candidate à l'amplification faible bruit, ce qui est confirmé par les résultats de la publication de Chang [1] où la figure de bruit atteint 6 dB pour une fréquence de fonctionnement de 750 MHz. Cette

parution date, certes, de 1993, mais il n'y a pas eu depuis d'autres utilisations de ce type de circuit en tant que LNA, confirmant, par-là même, la faiblesse de son architecture.

La figure II.2 propose un LNA à trois étages : un premier cascodé permettant de réduire l'effet Miller donc d'augmenter la bande passante, un second à charge active pour donner du gain et un troisième avec self de choc servant d'étage d'accord. L'adaptation d'entrée de ce circuit se fait grâce à la résistance de drain r_{ds} du transistor M_1 .

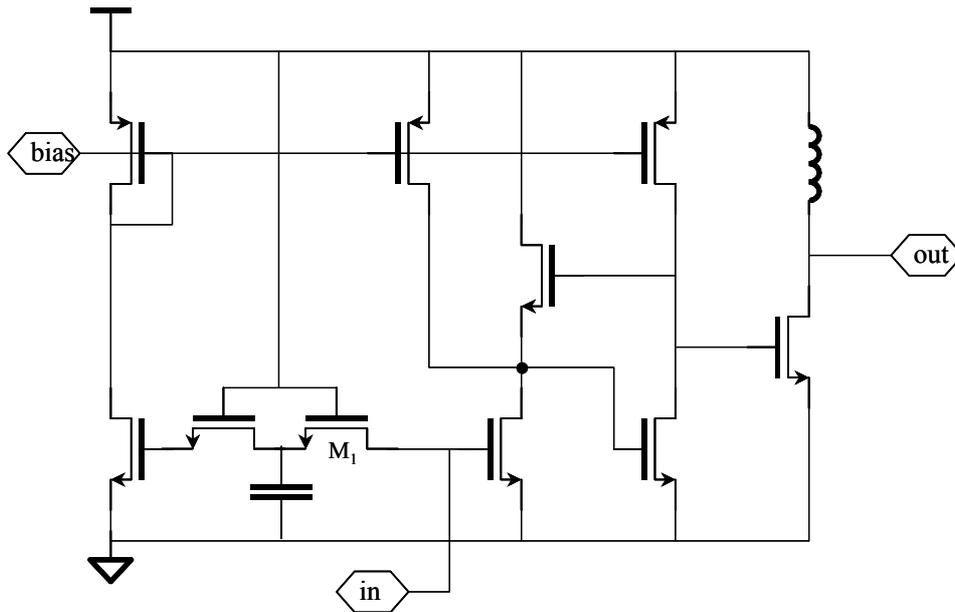


Figure II.2 : amplificateur faible bruit à adaptation résistive (NF=7.5 dB) [2]

Ce circuit comportant peu de composants passifs (même pour son adaptation d'impédance d'entrée résistive) s'appuie parfaitement sur l'intégration microélectronique moderne, mais son principe tire son origine de l'électronique discrète qui n'est pas connue pour la prise en compte de l'optimisation de ce genre de caractéristique. Ainsi la figure de bruit 7,5 dB, plutôt faible, témoigne de la non-aptitude de la 'terminaison résistive' à pourvoir l'une des tâches principale d'un LNA : produire peu de bruit.

I.2. Amplificateur à contre-réaction résistive

Voici en figure II.3 la modélisation d'entrée d'un amplificateur faible bruit à contre-réaction résistive. C_{gs} et C_{ds} sont les capacités parasites associées au transistor NMOS et R_1 et R_2 sont les résistances externes de la contre-réaction.

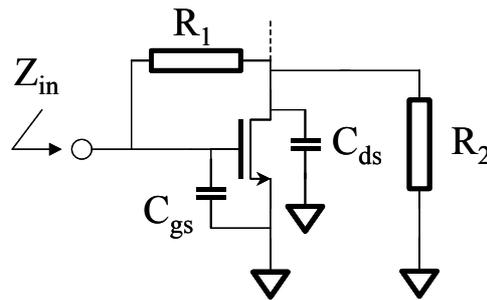


Figure II.3 : amplificateur à CR résistive

La contre-réaction résistive de tension est une architecture plus souple (d'un point de vue impédance) que la précédente. L'impédance d'entrée est ajustée grâce au gain de l'amplificateur, favorisant ainsi une meilleure récupération du signal. Cependant, du point de vue de la figure de bruit, la topologie, elle-même, présente de fortes carences :

- amplificateur large bande qui intègre le bruit sur une grande bande de fréquence
- les résistances ajoutent leur propre bruit
- la contre-réaction ramène en entrée le bruit de sortie

De par ces trois aspects, ce type de circuit est « bruyant » comme le montre les 7,5 dB de figure de bruit de [3] (figure II.4). D'autre part, le gain large bande, induit par la charge résistive du circuit, s'accompagne d'une consommation importante, comme le montrent [3], [4], [5], [6], ne permettant pas à l'architecture de répondre aux attentes du marché des systèmes embarqués. Enfin, la résistance R_1 de contre-réaction associée à la capacité C_{ds} présente un pôle de coupure qui réduit fortement la fréquence de fonctionnement. Dans les standards de communication se situant au-delà de 5 GHz, cette configuration en filtre « RC » est une limitation supplémentaire non négligeable.

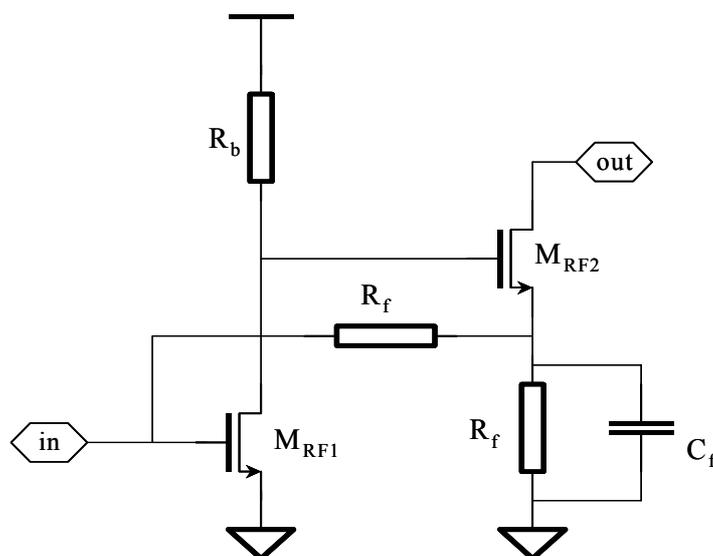


Figure II.4 : LNA à contre réaction résistive (puissance dissipée 50 mW) [3]

Toutefois on peut dire que même si l'amplificateur à CR résistive n'est pas, à proprement parler, une architecture de type LNA, elle contribue largement à édifier certaines d'entre elle. Placée comme second étage, elle offre des caractéristiques (gain, impédance d'entrée et de sortie indépendantes et ajustables) très précieuses.

I.3. Amplificateur à terminaison en $1/g_m$

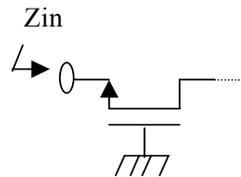


Figure II.5 : amplificateur à terminaison en $1/g_m$

L'amplificateur à terminaison résistive en $1/g_m$ est la topologie la mieux adaptée à l'intégration puisqu'elle réalise effectivement son adaptation d'impédance d'entrée à 50Ω par l'intermédiaire de la transconductance g_m :

$$1/g_m = 50\Omega \Rightarrow g_m = 20 \text{ mS} \text{ au premier ordre}$$

Cet aspect de l'architecture peut cependant s'avérer être un inconvénient puisque par le biais de cette impédance d'entrée on fixe, d'une part, la consommation, ce qui peut être restrictif, d'autre part, on enlève un important degré de liberté d'optimisation de la linéarité. Enfin, un calcul théorique, présenté en annexe 1, montre que le plancher de bruit de cette topologie est supérieur à 3 dB (NF) ce qui, pour certaines applications, est trop élevé.

Ce circuit est toutefois largement capable de fournir d'excellentes caractéristiques comme le confirment [7], [8], [9]. La figure II.6 présente un LNA de ce type [7] accompagné de ses résultats de mesure (tableau II.1), les inductances d'entrée, sont utilisées afin d'annuler la capacité du plot d'accès et, celles de sortie, sont associées aux capacités parasites pour former une charge accordée.

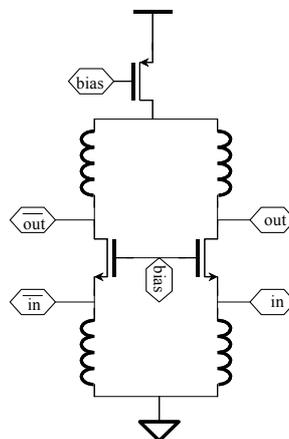


Figure II.6 : LNA à terminaison en $1/g_m$ [7]

Tableau II.1: caractéristiques du LNA à terminaison en $1/g_m$ [7]

Fréquence RF	1 GHz
Gain	22 dB
Figure de bruit	3,2 dB
IIP3	+8 dBm
Consommation	5 mA

De ce fait l'argument de l'intégration n'est pas réellement mis en valeur ici, à cause de l'application bande étroite du circuit. Il n'en reste pas moins que les spécifications relatives à cet amplificateur à 'terminaison en $1/g_m$ ' présentées dans le tableau II.1 témoignent de l'aptitude 'amplificateur faible bruit' de ce circuit.

I.4. Amplificateur à dégénérescence inductive d'émetteur

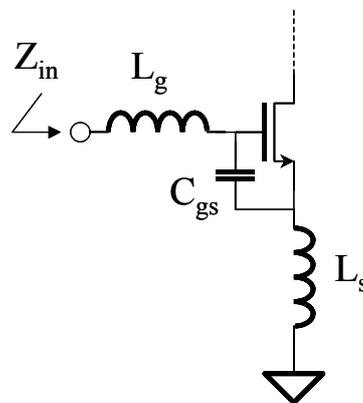


Figure II.7 : LNA à dégénérescence inductive [6]

Aujourd'hui, un grand nombre de publications dédiées au frontal de réception utilisent cette topologie de référence.

Nonobstant, sa théorie n'en est pas pour autant simple : l'inductance L_g vient annuler la capacité C_{gs} à la fréquence du signal radiofréquence. L_s , vue comme une impédance réelle grâce à l'effet transistor, est calculée pour être adaptée à 50Ω . Le coefficient de surtension Q du circuit (L_g , C_{gs} , L_s) permet d'augmenter la transconductance du transistor, donc d'avoir un meilleur gain en tension ; mais ce coefficient de surtension est avant tout optimisé pour diminuer la figure de bruit qui, comme le montre [10] et [11], peut être très faible. Ce compromis « adaptation d'impédance - figure de bruit » est parfaitement développé dans la publication de T. Lee [12].

Cette architecture a longtemps souffert de l'incapacité des technologies à fournir des inductances de bonne qualité. Jusqu'à la fin des années 90, les inductances employées étaient discrètes et très volumineuses au regard des fréquences de travail (plus la fréquence est élevée plus la valeur de l'inductance est faible) ; d'autre part, l'optimisation, très sensible, de la

technique de dégénérescence inductive, n'était pas compatible avec une adaptation externe de la puce. Actuellement, on peut mesurer toute la qualité de ce genre de circuit au travers de publications telles que celles auxquelles font référence les circuits présentés en figure II.8 et II.9 accompagnés de leurs résultats (tableau II.2 et II.3) :

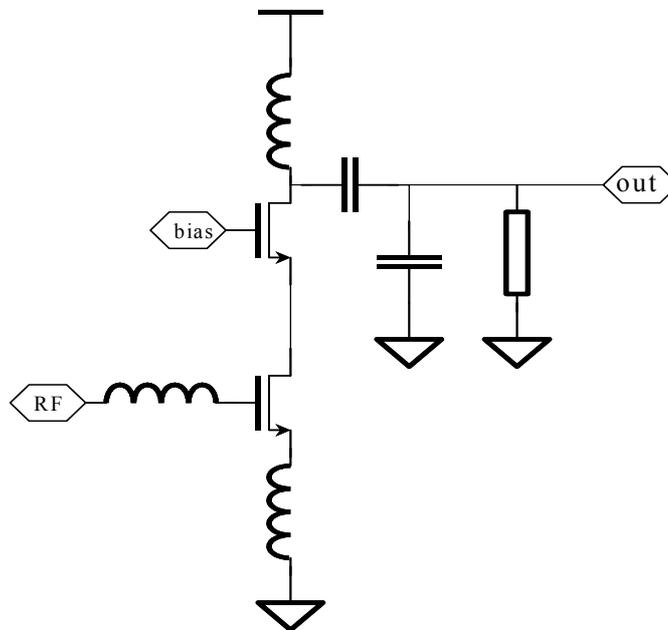


Figure II.8 : LNA à dégénérescence inductive asymétrique [12],[13]

Tableau II.2: caractéristiques du LNA à dégénérescence inductive[13]

Fréquence RF	1,2 GHz
Gain	20 dB
Figure de bruit	0,8 dB
IIP3	-11 dBm
Consommation	6 mA

Cette topologie est de loin la plus prometteuse puisque, outre son excellente aptitude à fournir des LNA de grande qualité, elle s'adapte parfaitement aux futures contraintes de conception basse tension-faible consommation. Il y a cependant un gros point négatif : les inductances employées sont très volumineuses, donc d'un coût élevé ; on touche ici, actuellement, aux limites de l'adéquation de ce concept avec le marché des réseaux sans fil dont la réussite tient essentiellement à son faible coût de revient.

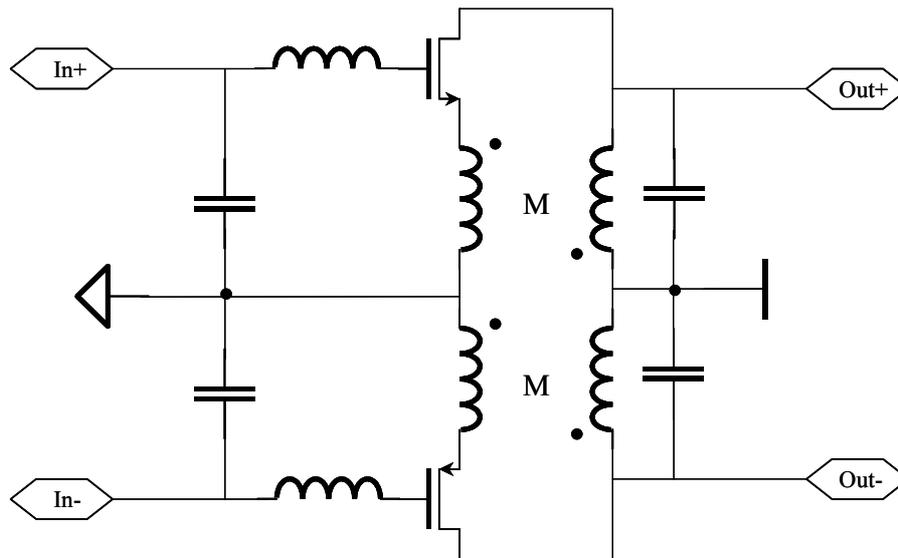


Figure II.9 : LNA à dégénérescence inductive différentielle [14]

Tableau II.3: caractéristiques du LNA à dégénérescence inductive[14]

Fréquence RF	5,75 GHz
Supply Voltage	1 V
Gain	14 dB
Figure de bruit	0,9 dB
ICP1	-9,1 dBm
IIP3	0,9 dBm
Consommation	16 mA

I.5. Conclusion

Les deux premières architectures (terminaisons résistive et contre-réaction série) ne font pas l'unanimité à cause de leur faible potentiel de performances. Directement issues de l'électronique discrète, leurs conceptions n'apportent rien de plus d'un point de vue microélectronique. En revanche, les amplificateurs à terminaison en $1/g_m$ et surtout à dégénérescence inductive d'émetteur offrent d'intéressantes dispositions pour l'amélioration des caractéristiques des LNA.

La tendance actuelle, en conception, est de trouver des architectures d'amplificateur faible bruit adaptées à l'utilité de l'intégration microélectronique afin d'améliorer les performances de ceux-ci (taille des transistors toujours plus petite et adaptée, minimum de désappariement des transistors conduisant à une meilleure recopie des courants, suppression des composantes continues dans les structures différentielle...). A l'instar du travail effectué dans une technologie bipolaire par Zöschg [15] – une structure cascodée dans laquelle l'adaptation

d'entrée à 50Ω est réalisée au moyen de la résistance d'accès de base du transistor (maîtrise du process), un calcul sur le g_m (donc sur les dimensions du transistor) permet de minimiser la figure de bruit, conduisant à une architecture finale sans inductance et totalement intégrée de $550\ \mu\text{m}$ par $450\ \mu\text{m}$ – la conception analogique en technologie CMOS VLSI doit pouvoir, elle-aussi, tirer profit des moyens d'intégration mis à sa disposition afin de proposer des circuits optimisés performants.

Certes la place est mince pour ce qui est de l'innovation conceptuelle des amplificateurs faible bruit. Ces quatre catégories sont le fruit d'une longue recherche débutée bien avant la microélectronique et proposent toujours des solutions d'actualité. Cependant, quelques originalités [16] ont pu être mises en place permettant d'adapter ce bloc aux différentes contraintes imposées par le marché de masse actuel comme : la basse tension, la capacité de travailler avec plusieurs standards de communication à la fois (récepteurs multistandard). C'est donc dans cette perception des tendances conceptuelles modernes que nous avons développé les LNA présentés maintenant.

III/ LES TECHNIQUES MISES EN ŒUVRES

Les deux amplificateurs faible bruit développés durant cette thèse sont basés sur les mêmes techniques : la réutilisation du courant ('reuse') et 'la dégénérescence inductive'. C'est en conjuguant ces méthodes de conception que d'excellents résultats ont pu être atteints.

II.1 La réutilisation de courant

La technique de réutilisation de courant ou 'reuse' permet par une configuration particulière de maintenir la transconductance g_m d'une structure tout en divisant son courant de consommation par deux. Celle-ci est explicitée en figure II.10 :

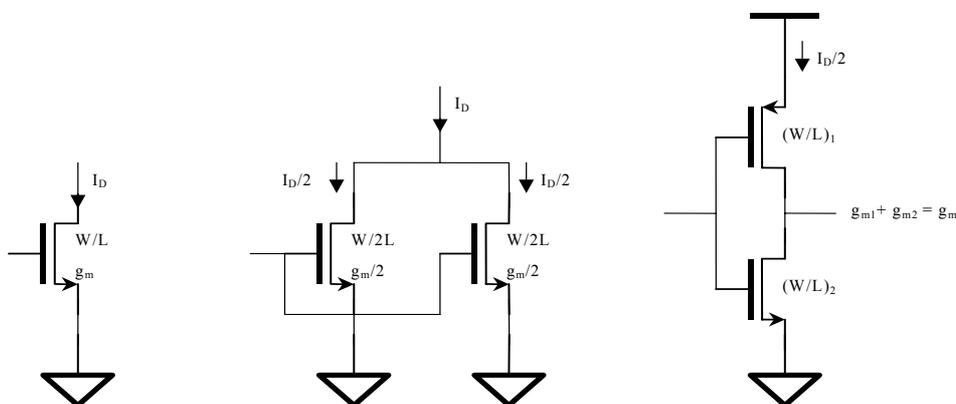


Figure II.10 : technique du 'reuse'

Ainsi en prenant un transistor NMOS de dimension W/L , et de transconductance g_m , (premier cas) on peut diviser ce dernier en deux transistors NMOS de dimension moitié $W/2L$, et de transconductance $g_m/2$, (deuxième cas) consommant le même courant que le transistor d'origine. Enfin en remplaçant un de ces derniers par un transistor PMOS on se trouve alors dans la configuration du 'reuse' ou le transistor PMOS et NMOS sont en cascade l'un sur l'autre, connectés l'un à l'autre par le drain, consommant un courant moitié tout en présentant une transconductance g_m égale à la première lorsque l'on additionne leurs transconductances respectives g_{m1} et g_{m2} .

Cette structure est bien connue en électronique numérique pour faire des inverseurs mais dans ce cas, les transistors sont utilisés en commutation et ne donnent pas de gain. Ici c'est une configuration analogique dans laquelle les deux transistors sont en mode saturé permettant ainsi de produire un grand gain analogique grâce aux hautes impédances de drain mutuelles qu'ils présentent. A ce titre, deux problèmes vont se poser : tout d'abord l'instabilité du point de polarisation des drains en regard va nécessiter une contre réaction afin de maintenir les caractéristiques du circuit, et d'autre part les capacités C_{dg} vont venir perturber le circuit à cause de l'effet Miller.

II.2 La dégénérescence inductive

La dégénérescence est une technique basée sur l'effet transistor permettant de réaliser à la fois une adaptation d'impédance d'entrée à 50Ω ainsi qu'une adaptation d'entrée au bruit. Nous allons ici rappeler les étapes importantes du calcul développé dans l'annexe 4.

Tout d'abord on s'intéresse à l'adaptation de l'impédance d'entrée classique à 50Ω permettant de récolter un maximum de puissance donc d'optimiser le gain. Voici ce que l'on voit en entrée du transistor MOS lors d'une configuration en dégénérescence inductive (cf figure II.11):

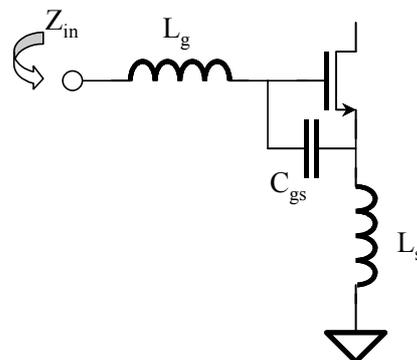


Figure II.11 : adaptation d'entrée par dégénérescence inductive

$$Z_{in} = jL_g\omega + \frac{1}{jC_{gs}\omega} + \omega_T L_s \Rightarrow Z_{in} = j\left(L_g\omega - \frac{1}{C_{gs}\omega}\right) + \omega_T L \quad (eq.II.1)$$

Avec $\omega_T = \frac{g_m}{C_{gs}}$

A la fréquence de fonctionnement ω_0 , Z_{in} doit être égale à 50Ω donc :

$$\begin{cases} \left(L_g\omega - \frac{1}{jC_{gs}\omega}\right) = 0 & \Rightarrow L_g = \frac{1}{j C_{gs}\omega^2} \quad (eq.II.2) \\ \omega_T L_s = 50\Omega & \Rightarrow L_s = 50 \frac{C_{gs}}{g_m} \quad (eq.II.3) \end{cases}$$

L'inductance de grille L_g annule la capacité d'entrée C_{gs} à la fréquence de fonctionnement ω_0 . Grâce à l'effet transistor L_s présente une impédance réelle en entrée qui permet d'adapter le transistor à 50Ω .

Pour ce qui est de l'adaptation d'entrée au bruit, voici l'expression du facteur de bruit dans un quadripôle du type de celui présenté en figure II.12 :

$$F = \frac{i_s^2 + |i_n + Y_s e_n|^2}{i_s^2} \quad (eq.II.4)$$

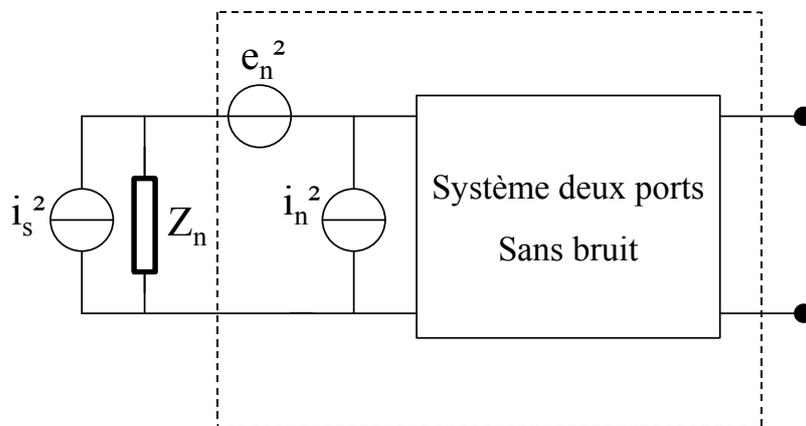


Figure II.12 : modèle de bruit traditionnel d'un système deux ports

En développant l'expression (eq.II.2) avec susceptance et admittance de bruit comme il est fait dans l'annexe 4, le calcul nous mène à exprimer la figure de bruit de la manière suivante :

$$F = F_{min} + \frac{R_n}{G_s} [(G_s - G_{opt})^2 + (B_s - B_{opt})^2] \quad (eq.II.5)$$

Avec : R_n résistance équivalente du générateur de tension de bruit en entrée

G_s et B_s les transconductance et susceptance de source

G_{opt} et B_{opt} les transconductance et susceptance optimales

Les paramètres de bruit du transistor MOS sont présentés dans le tableau II.4 :

Tableau II.4 : paramètres de bruit du transistor MOS

Paramètre	Expression
G_c	$\cong 0$
B_c	$j\omega C_{gs}(1+\alpha c \sqrt{\frac{\delta}{5\gamma}})$
R_n	$\frac{\gamma g_{ds}}{g_m^2} = \frac{\gamma}{\alpha} \cdot \frac{1}{g_m}$
G_u	$\frac{\delta\omega^2 C_{gs}^2(1- c ^2)}{5g_{d0}}$

Il reste donc à satisfaire les conditions d'adaptation :

$$\left\{ \begin{array}{l} G_s = \sqrt{\frac{G_u}{R_n} + G_c^2} = G_{opt} \Rightarrow \frac{1}{50} = \alpha\omega C_{gs} \sqrt{\frac{\delta}{5\gamma}(1-|c|^2)} \Rightarrow W_{opt} = \frac{1}{3\omega.L.C_{ox}.R_s} \quad (eq.II.6) \\ B_s = -B_c = B_{opt} \Rightarrow (L_g)_{NF} = \frac{1}{\omega^2 C_{gs} (1 + \alpha|c|\sqrt{\frac{\delta}{5\gamma}})} \quad (eq.II.7) \end{array} \right.$$

Pour ce qui est de la transconductance G_s elle doit satisfaire l'impédance réelle de 50Ω (soit $1/50$), elle conduit alors à imposer la consommation du courant dans le transistor par le choix des dimensions W et L de celui ci (eq.II.6).

La susceptance B_s induit une forme analytique pour l'inductance de grille L_g de la même forme que l'adaptation d'impédance et, si l'on néglige dans (eq.II.7) le terme au numérateur dans la parenthèse alors les adaptations de bruit et d'impédance s'accordent pour donner la même valeur de L_g .

III/ L'AMPLIFICATEUR FAIBLE BRUIT A DEGENERESCENCE INDUCTIVE ET REUTILISATION DE COURANT

III.1 Origine

Ce circuit tire profit des deux techniques précédemment présentées pour réaliser un LNA capable de fonctionner sous 1V et en limitant sa consommation à 10 mA afin de respecter la contrainte de faible tension faible consommation. Sa mise en place théorique se fait comme illustré ci-après :

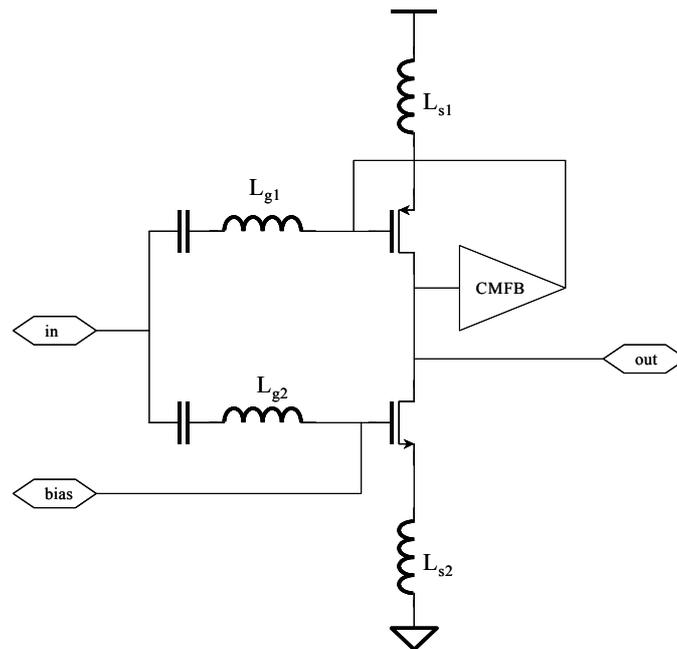


Figure II.13 : circuit théorique du LNA à dégénérescence inductive

Les deux transistors NMOS et PMOS sont bien en configuration de réutilisation du courant. Chacun d'eux utilise la technique de dégénérescence inductive au travers des composants L_{g1} , L_{g2} , C_{gsPMOS} , C_{gsNMOS} , L_{s1} , L_{s2} . Cependant il va falloir adapter chaque 'branche', (L_{g1} , C_{gsPMOS} , L_{s1}) d'une part et (L_{g2} , C_{gsNMOS} , L_{s2}) d'autre part, à 100Ω afin que l'impédance finale vue depuis l'entrée, (L_{g1} , C_{gsPMOS} , L_{s1}) en parallèle avec (L_{g2} , C_{gsNMOS} , L_{s2}), soit bien égale à 50Ω . La contre réaction de mode commun (Common Mode FeedBack = CMFB) prélève la tension continue de sortie et asservie en conséquence la tension de grille du transistor PMOS pour garantir l'obtention d'un point de fonctionnement robuste et maîtrisé de l'amplificateur.

III.2 Le circuit

La topologie finale de l'amplificateur faible bruit fut celle présentée en figure II.14, elle est conçue pour couvrir trois standards : le DCS1800 (1,8 GHz), l'UMTS (2,2 GHz) et bluetooth (2,4 GHz).

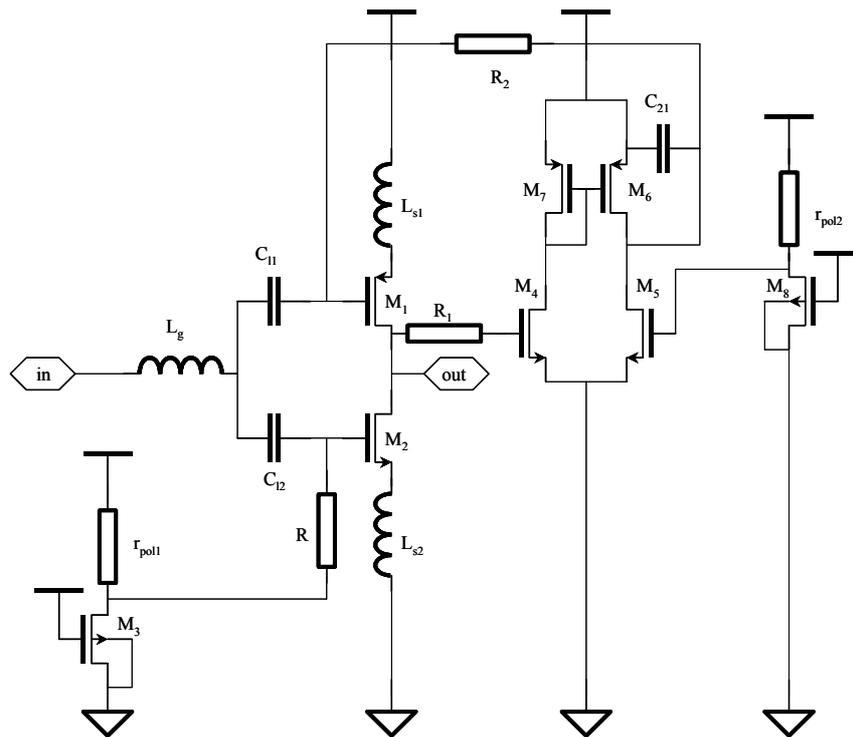


Figure II.14 : LNA 'reuse' à dégénérescence inductive [17]

Ce circuit [17] peut être décomposé en trois parties : la première comporte l'amplificateur en lui-même avec les transistors M_1 et M_2 ainsi que les inductances de dégénérescence L_{s1} , L_{s2} et l'inductance d'adaptation L_g . La partie contre réaction de mode commun est réalisée au moyen de l'amplificateur différentiel (M_4 , M_5) dont les petites dimensions lui confère un caractère de filtre passe bas. En effet les faibles dimensions des transistors M_4 et M_5 réduisent fortement le gain ainsi que la bande passante de la structure à charge active M_4 , M_5 , M_6 , M_7 . Le caractère Mode Commun de cette contre réaction est renforcé par les filtres passifs passe bas R_1C_{gs4} et $R_{SM5M6}C_{21}$. Enfin les deux circuits de polarisation en tension sont composés de diodes réalisées avec des transistors PMOS, M_8 et M_3 , aux larges dimensions afin de limiter l'impact de la dispersion technologique, et d'une résistance de grande valeur R_{poli} (20 k Ω) visant à minimiser la consommation de ces blocs.

III.3. Test et résultats

Ce circuit a été réalisé en technologie CMOS VLSI 0,18 μm contenant 6 niveaux de métal. On peut observer sur la figure II.15 une photo de la puce contenant le circuit. De faibles dimensions, 180 μm *45 μm , cet amplificateur exploite les selfs de bonding (de 1 à 2 nH) pour mettre en place la technique de dégénérescence inductive. Cela permet de fortement réduire les dimensions du circuit et, dans le même temps, d'avoir des inductances de bonne qualité comparé à celles que cette technologie CMOS VLSI est apte à fournir.

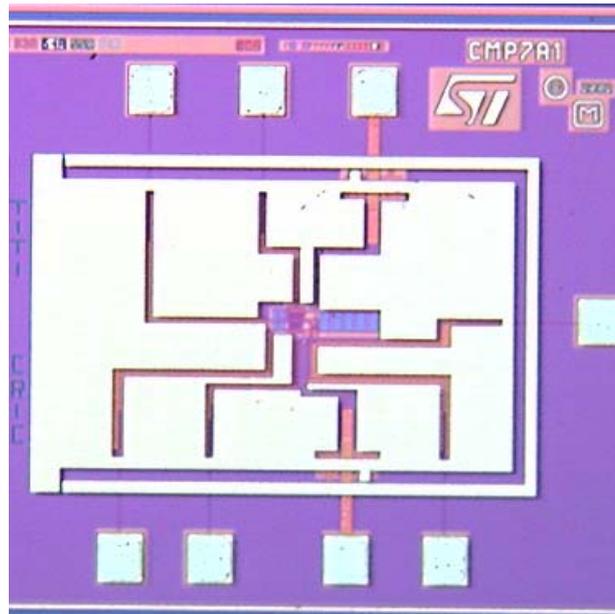


Figure II.15 : photo du LNA 'reuse' à dégénérescence inductive

Dédié à travailler dans une bande de fréquence comprise entre 1,8 GHz et 2,4 GHz nous avons dû réaliser plusieurs cartes de test, une dans la bande 1,8 GHz-2,1 GHz l'autre 2,1 GHz-2,4 GHz. Réalisées au moyen du logiciel PROTEUS nous pouvons observer l'une d'entre elles en figure II.16. Chaque accès comporte une ligne 50Ω, l'autre côté du PCB en FR4 étant un plan de masse, reliant le port SMA à la puce. Les composants présents sur les lignes servent à l'affinement de l'impédance d'entrée de la ligne suivant la fréquence.

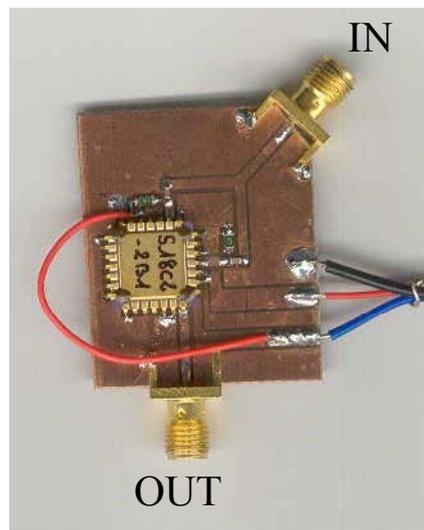


Figure II.16 : carte de test du circuit

Les mesures de ce circuit ont été réalisées au moyen d'un générateur Agilent 89441A, d'une sonde active de type Agilent 85024A, d'un analyseur de réseau HP 8722D et d'un analyseur de spectre HP 54750A.

Tout d'abord la courbe de gain en fonction de la tension d'alimentation présentée en figure II.17 permet de mettre en évidence l'adaptation de l'architecture à la contrainte de faible tension. En effet le gain maximal, 11 dB, est atteint pour une tension d'alimentation de 1V et se maintient constant au-dessus des 10 dB alors que la tension d'alimentation croît jusqu'à 1,8 V de même que la consommation de courant augmente aussi linéairement de 3.5 mA à 6.5 mA.

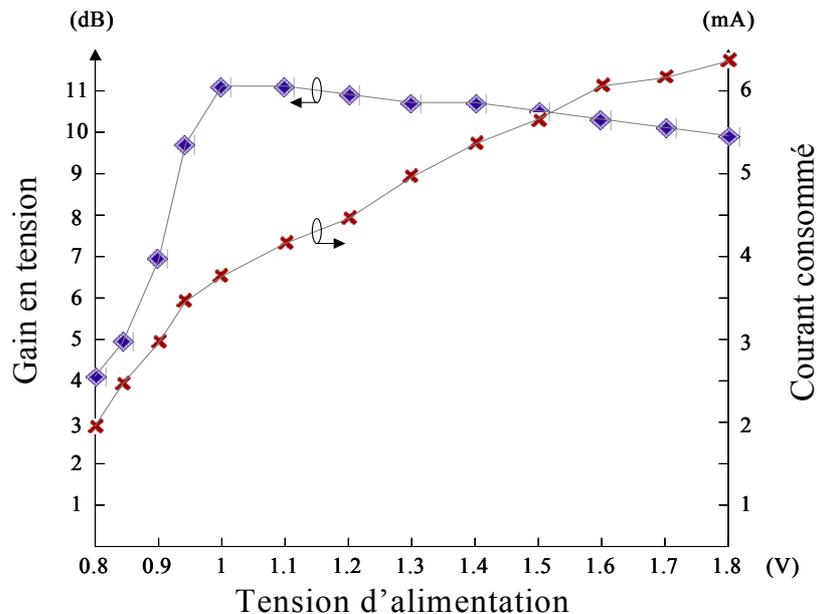


Figure II.17 : gain et consommation en fonction de la tension d'alimentation

La courbe de consommation de courant augmente linéairement, 2,8mA@0,9V à 6,5mA@1,8V, à cause de l'amplificateur différentiel dont la polarisation est linéairement liée à la tension d'alimentation. Le corps de l'amplificateur, lui, n'est pas dépendant de cette dernière, et l'architecture finale, 3,8mA@1V, démontre ainsi son aptitude à fonctionner en mode faible consommation.

Toutes les caractéristiques de cet amplificateur faible bruit sont rassemblées dans le tableau 5. En premier lieu la mise en place de la double dégénérescence inductive permet au paramètre S_{11} d'atteindre $-25\text{dB}@2\text{GHz}$ assurant ainsi une excellente récupération du signal radiofréquence. Dans le même temps la figure de bruit, sensible dans ce cas à l'adaptation de l'impédance d'entrée, se situe aux alentours de 1,8 dB. Ce résultat suffit largement à répondre à la requête commune, 10 dB maximum sur l'UMTS, imposée par les différents standards auxquels le circuit est dédié. Le gain en tension n'a pas de caractéristiques fixes particulières mais doit être suffisant pour minimiser la NF. Egal à 11 dB sous 1 V de tension

d'alimentation, on peut considérer ce dernier comme correcte au regard des structures dites 'faible tension' que l'on peut rencontrer dans la littérature aujourd'hui [16][17].

Tableau II.5 : caractéristiques du LNA 'reuse' à dégénérescence inductive

Technologie	0,18 μm
Fréquence	2 GHz
Tension d'alimentation	1 V
Courant consommé	3,8 mA@1 V
Gain	11 dB
Figure de bruit	1,8 dB
ICP1	-11 dBm
IIP3	0 dBm
Bande passante	600 MHz

Le standard UMTS utilise une modulation QPSK imposant une bonne linéarité de la part des chaînes de réception. Les deux paramètres attestant de cette propriété sont le point de compression -1 dB et l'intermodulation de troisième ordre. Le premier, -11 dBm suffisant pour l'application visée, est particulièrement remarquable au regard de la tension d'alimentation qui n'autorise pas une grande plage dynamique de tension en sortie. La contre réaction contribue largement au maintien de la polarisation des transistors PMOS et NMOS de l'amplificateur loin de leur point de compression. A l'instar du point d'interception d'ordre trois IIP3, 0 dBm, obtenu grâce aux filtres RC passe-bas distribués dans la contre réaction, coupant ainsi les hautes fréquences, et plus généralement, la quasi-absence de composants passifs de types selfs et capacités traditionnellement à l'origine de la création d'harmoniques. Ce LNA a fait l'objet d'une publication et d'une présentation orale en conférence internationale, RFIC, en 2003 à Philadelphie [18].

IV/ L'AMPLIFICATEUR FAIBLE BRUIT A CONTRE REACTION PAR EFFET DE SUBSTRAT

IV.1 Origine

La contre réaction du circuit précédent pose deux limites : tout d'abord en terme de figure de bruit, la résistance de contre réaction connectée à l'entrée ramène beaucoup de bruit et empêche l'optimisation du facteur de bruit, d'autre part cette même résistance déséquilibre

l'adaptation d'impédance d'entrée et réduit la bande passante du LNA basée sur la dégénérescence inductive. Désireux de concevoir un circuit capable de répondre à plusieurs standards simultanément, comme le requiert aujourd'hui fortement le marché de la télécommunication, une amélioration restait donc à apporter de ce point de vue. Nous avons donc conçu un amplificateur faible bruit basé sur la dégénérescence inductive à structure de réutilisation de courant mais à contre réaction par effet de substrat.

IV.2 Théorie

L'effet de substrat ayant largement été étudié dans le chapitre précédent nous allons brièvement rappeler l'expression analytique le mettant en forme et permettant d'expliquer son fonctionnement. Voici la relation liant la tension de seuil V_{BS} , appliquée entre le Bulk et le Substrat, et la tension de seuil V_T du transistor NMOS :

$$V_T = V_{T0} + \gamma[\sqrt{(2\phi_F - V_{BS})} - \sqrt{2\phi_F}] \quad (eq.II.8)$$

Ainsi en appliquant respectivement une tension V_{BS} positive ou négative, inférieure à $|2\phi_F|$ bien sûr, on va pouvoir diminuer ou augmenter la tension de seuil et par-là même contrôler le courant dans le transistor puisque la tension de grille est fixe. Il suffit alors de concevoir la contre réaction prélevant la tension de sortie et asservissant, en conséquence, la tension requise sur le substrat de l'un des transistors de l'amplificateur.

Grâce à la mise en place de cette contre réaction par effet de substrat, il a été possible de développer deux calculs théoriques sur la figure de bruit et la bande passante contrôlée par la dégénérescence inductive. Voici en figure II.18 le circuit sur lequel ces études ont été menées.

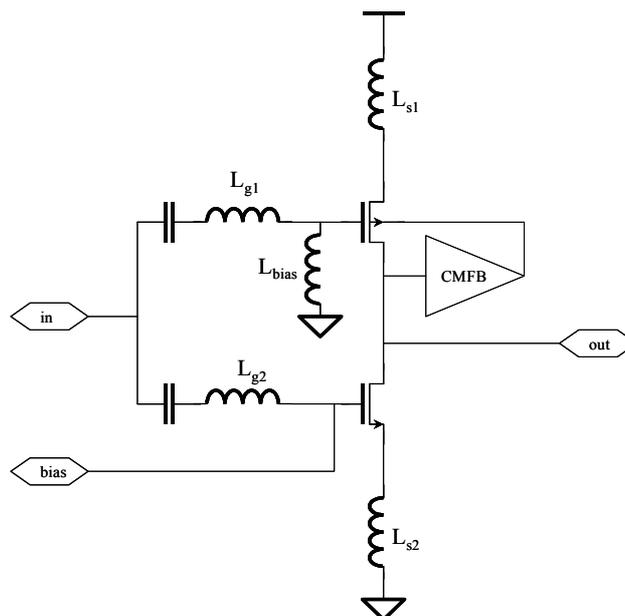


Figure II.18 : circuit théorique de la contre réaction par effet de substrat

En considérant que les capacités drain-source sont faibles compte tenu de la technologie utilisée et que l'effet Miller peut être négligé (au regard de la remarque précédente et du gain du circuit avoisinant les 10 dB) alors on peut se considérer ici dans les mêmes conditions d'étude que pour un étage cascode.

D'un point de vue de la figure de bruit, cela permet de voir ce circuit comme deux étages du type cascode mis en parallèle [16]. L'étude partant du montage traditionnel au calcul des dimensions en passant par le calcul théorique dans le circuit 'reuse' est développée dans l'annexe 4. On peut exprimer la figure de bruit de cet étage comme suit :

$$F_{\min} = 1 + \frac{2}{\sqrt{5}} \omega \left(\frac{1}{\omega_{T/PMOS}} + \frac{1}{\omega_{T/NMOS}} \right) \sqrt{\gamma \cdot \delta \cdot (1 - |c|^2)} \quad (eq.II.9)$$

Ainsi on peut remarquer que ce résultat est en théorie très proche de celui d'une structure cascode traditionnelle (en réalité seul le terme entre parenthèse est différent) offrant, subséquemment, d'excellentes perspectives pouvant répondre à n'importe quel standard de communication actuel.

IV.3 Le circuit

Le circuit réalisé en technologie CMOS VLSI 0,18 μm est présenté en figure II.19, il permet de couvrir trois standards de communications simultanément : DCS1800 (1,8 GHz), UMTS (2,2 GHz) et IEEE 802.11b (2,4 GHz). L'amplificateur faible bruit, en lui-même, reste celui présenté dans la théorie avec traditionnellement les inductances de grille (L_{g1} et L_{g2}) réalisées grâce aux bondings d'encapsulation de la puce. Le corps du LNA est réalisé avec les deux transistors M_N et M_P polarisés par l'intermédiaire de selfs de choc (L_{c1} et L_{c2}) reliées aux rails d'alimentation. Cette configuration de polarisation en tension au VDD contribue à la compacité du circuit en éliminant la mise en place de bloc de polarisation. Le principe de la contre réaction est le même que pour le circuit dit 'traditionnel'. C'est un amplificateur différentiel à charge active dont les faibles dimensions des transistors M_1 et M_2 annihilent presque totalement le gain et la bande passante de ce circuit pour ne laisser place qu'au fonctionnement en mode commun. Le caractère filtrant de la contre réaction est renforcé par deux structures RC distribuées le long de la boucle d'asservissement. On pourra remarquer que dans cette version il nous a fallu utiliser un amplificateur différentiel à base de transistor PMOS, NMOS dans la version dite 'traditionnelle', afin de pourvoir l'asservissement en tension entre la sortie du LNA et l'accès substrat du transistor M_N . La tension de bulk nécessaire au fonctionnement de la contre réaction est proche de la tension d'alimentation du

circuit c'est pourquoi une structure basée sur des transistor PMOS est mieux adapter à cette configuration.

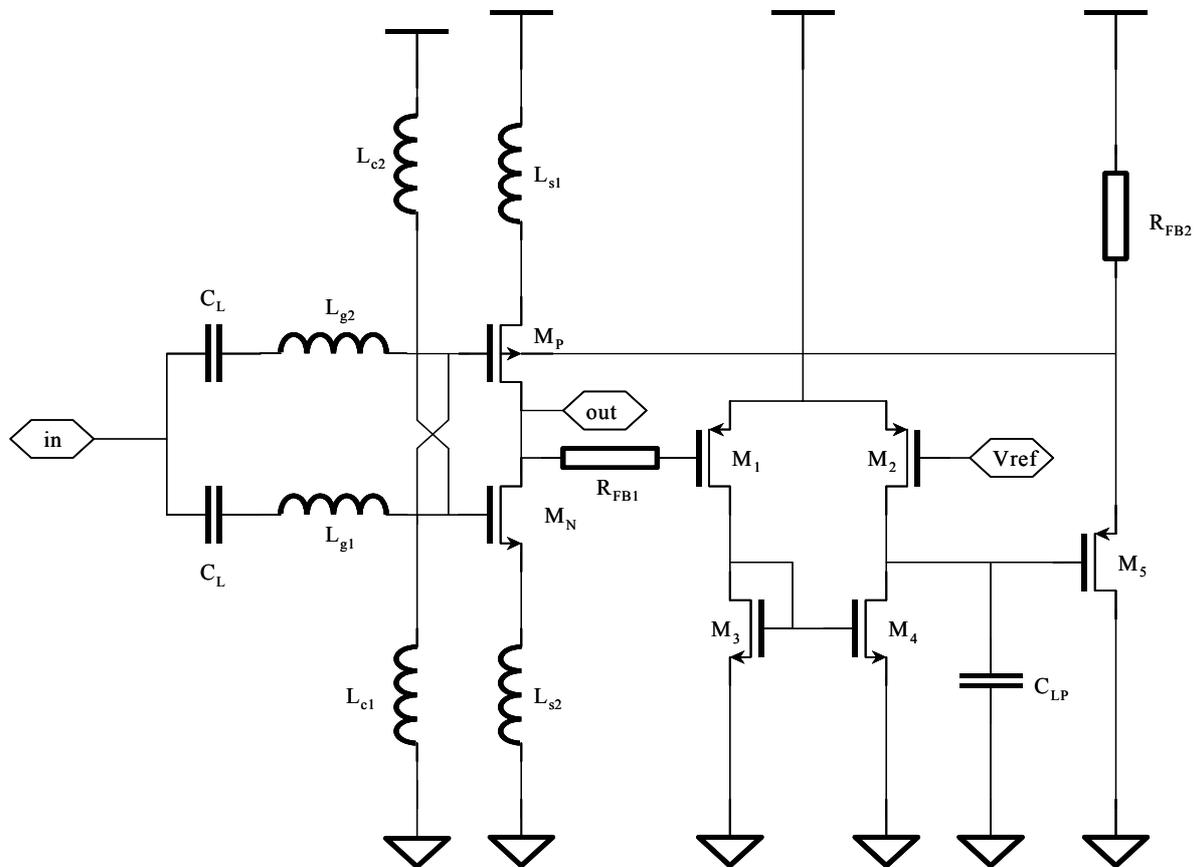


Figure II.19 : LNA 'reuse' à dégénérescence inductive et contre réaction par effet de substrat

IV.4. Test et résultats

Une photo de la puce est proposée en figure II.20. De même que son prédécesseur ce LNA est à faible encombrement, $200\mu\text{m} \times 100\mu\text{m}$, grâce, notamment, aux inductances réalisées au moyen des selfs de bonding.

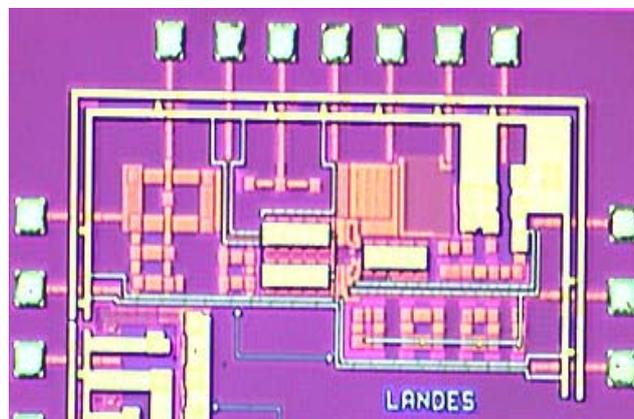


Figure II.20 : photo du LNA 'reuse' à dégénérescence inductive et contre réaction par effet de substrat

Encapsulé dans un boîtier de type JLCC 44 broches le circuit a été reporté sur support FR4 dont la carte de test, figure II.20, a été réalisée au moyen du logiciel PROTEUS. Les accès 50Ω sont obtenus grâce à des lignes microstrips, la face opposée à celle présentée sur la photo etant un plan de masse.

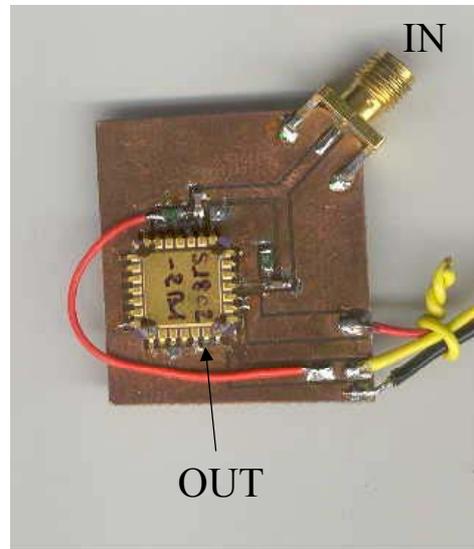


Figure II.21 : photo de la carte de test

Le circuit sort sur une haute impédance et le relier à une charge 50Ω reviendrait à totalement annihiler ses caractéristiques. C'est pourquoi la sortie, notée 'OUT', est uniquement représentée par un petit morceau de piste (broche 25 de la puce), dédié au test par sonde active. On peut justifier cet artifice de mesure par le fait que ce LNA doit, comme son prédécesseur, être inséré à terme dans un « frontal RF » de type LNA+Mélangeur et en aucun cas être connecté à une charge 50Ω .

Les mesures du LNA ont été accomplies au moyen d'un générateur Agilent 89441A, d'une sonde active de type Agilent 85024A, d'un analyseur de réseau HP 8722Det d'un analyseur de spectre HP 54750A.

Une des caractéristiques majeures de ce circuit est sans aucun doute sa faculté à travailler sous très basse tension tout en présentant de très bonnes caractéristiques. Ainsi la figure II.22 présentant le gain et la consommation en fonction de la tension d'alimentation met en évidence que le circuit atteint un optimum de gain de 10dB pour une tension d'alimentation remarquablement faible de 0,9 V et une consommation de 2,5 mA. L'architecture confirme son adaptation à la contrainte de faible consommation sous très faible tension par une constance du gain même lorsque la tension d'alimentation est augmentée.

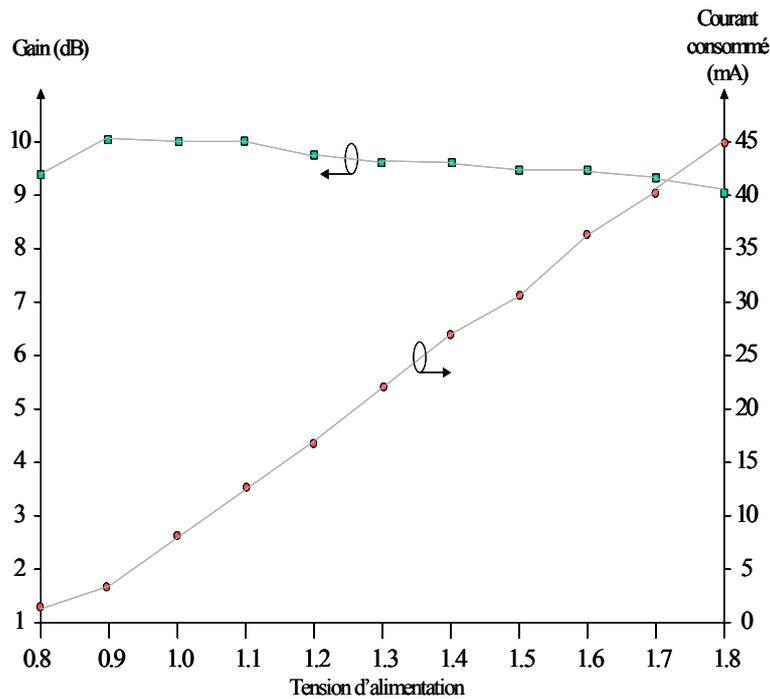


Figure II.22 : gain et courant consommé en fonction de la tension d'alimentation

En ce qui concerne la consommation de courant, cette dépendance linéaire à la tension d'alimentation est causée par l'amplificateur différentiel de contre-réaction. Ce dernier ne contient pas de source de courant donc sa polarisation est directement liée à la tension d'alimentation. Il n'en reste pas moins que sous un tel régime de fonctionnement (0,9 V) la mise en place d'une contre réaction à forte réjection d'alimentation au travers d'un amplificateur est très difficile. La totalité des caractéristiques est présentée dans le tableau II.6.

Tableau II.6 : caractéristiques du LNA 'reuse' à contre-réaction par effet de substrat

Technologie	0,18 μm
Fréquence	2 GHz
Tension d'Alimentation	0,9 V
Courant consommé	2,5 mA@0,9V
Gain	10 dB
Figure de bruit	1,34 dB
ICP1	-16 dBm
IIP3	-4,5 dBm
Bande passante	1,65 GHz à 2,5 GHz

L'expression théorique (8) présentée plus haut estimait la figure de bruit aux alentours de 1,2 dB notre mesure nous donne 1,34 dB permettant de la sorte de valider la méthode présentée. Ce résultat est d'autant plus remarquable que l'étage d'entrée présente de front deux transistors, un PMOS et un NMOS, contribuant à générer plus de bruit que les étages mon transistor dit 'single stage' traditionnels dont les figures de bruit sont de cet ordre. La linéarité est un peu plus faible dans cette version puisque l'ICP1 atteint -16 dBm pour -11 dBm dans le circuit précédent et le IIP3 est de $-4,5$ dBm pour 0 dBm. Cela est essentiellement dû au fait que la réduction de la tension d'alimentation (1V vers 0,9V) supprime 10% de la plage dynamique de tension en sortie dégradant alors logiquement la linéarité. La bande passante mesurée aux alentours de 850 MHz permet à l'amplificateur de couvrir pas moins de trois standards à la fois : DCS1800, UMTS et 802.11b. Ce dernier aspect contribue à faire de ce LNA un amplificateur unique en terme de caractéristiques à l'instar de la contre réaction par effet de substrat faisant du circuit sa singularité en matière d'architecture. Ce LNA a fait l'objet d'une publication et d'une présentation en conférence internationale, ESSCIRC, en 2003 à Lisbonne [19].

V/ CONCLUSIONS

Nous avons présenté ici deux amplificateurs faible bruit basés sur la technique de réutilisation de courant et de la dégénérescence inductive. Parfaitement adaptés aux contraintes de faible tension faible consommation ceux-ci offrent des caractéristiques remarquables au regard de leur tension d'alimentation, 1V et 0,9V respectivement, notamment en dépassant les 10 dB de gain. Le deuxième circuit est une évolution du premier par la mise en place d'une approche innovante : la contre réaction par effet de substrat, faisant de ce dernier une architecture unique en matière de conception et particulièrement adaptée à la technologie CMOS VLSI. Capable de couvrir plusieurs standards à la fois comme le DCS1800, UMTS et 802.11b, il fonctionne sous très basse tension (0,9 V) tout en fournissant un gain de 10 dB pour une figure de bruit de 1,34 dB, proche des meilleurs résultats rencontrés dans la littérature actuelle. De manière générale, la technologie utilisée alliée à la compacité de ces circuits permet à ses structures de s'insérer parfaitement dans les applications du type 'System On a Chip' comptant parmi les vecteurs principaux de développement du marché actuel de la télécommunication.

Bibliographie du chapitre 2

- [1] J.Y.C Chang, A.A.Abidi, M. Gaitan "Large suspended inductors on silicon and their use in a 2 μm CMOS RF Amplifier", *IEEE Electron Device Letters*, vol. 14, pp. 246-248, Mai 1993
- [2] S. Sheng, L.Lynn, J.Peroulas, K.Stone and I.O'Donnell, "A low power CMOS chipset for spread-spectrum communications", *IEEE ISSCC Dig. Tech. papers*, vol. 39, pp. 346-347, 1996
- [3] R Benton et al., "GaAs MMICs for an integrated GPS front-end", in *GaAs IC symp. Dig. The. papers*, pp. 123-126, 1992
- [4] S. Sheng, W.J.Wang, N.L.Pierson, R.L.Asbeck, P.M.Edwards, "A 30 GHz bandwidth AlGaAs-GaAs HBT direct coupled feedback amplifier", *IEEE Microwave Guided Wave Letters*, vol. 1, pp. 208-210, 1991
- [5] K.W.Kobayashi and A.K.Oki, "A low noise base band 5 GHz directcoupled HBT amplifier with common-base active input match", *IEEE Microwave Guided Wave Letters*, vol. 4, pp. 373-375, 1994
- [6] M.Tiebout and E.Paparisto, "LNA design for a fully integrated CMOS Single Chip UMTS transceiver", *IEEE European Solid State Circuits Conference (ESSCIRC2002)*, Florence, Italia, Sept.2002, pp. 825-828
- [7] A.Rofouragan, Y-C.Chang, M.Rofougaran, S.Khorram, A.A.Abidi, "A 1 GHz CMOS RF front-end IC for a direct conversion wireless receiver", *IEEE Journal of Solid State Circuit*, vol. 31, pp. 880-889, 1996
- [8] N.H.Sheng, W.J.Wang, N.L.Pierson, R.L.Asbeck, P.M.Edwards, "A 30 GHz bandwidth AlGaAs-GaAs HBT direct coupled feedback amplifier", *IEEE Microwave Guided Wave Letters*, vol. 4, pp. 373-375, 1994
- [9] F.Tillman and H.Sjöland, "1 Volt CMOS Bluetooth Front-End", *IEEE European Solid State Circuits Conference (ESSCIRC2002)*, Florence, Italia, Sept.2002, pp. 795-798.
- [10] R.G. Meyer and W.D. Mack, "A 1 GHz BiCMOS RF front-end IC", *IEEE Journal of Solid State Circuit*, vol. 29, pp. 350-355, 1994
- [11] R. Shahani, K. Shaeffer, "A 12 mV Wide Dynamic Range CMOS front-end for a portable GPS receiver", *IEEE Journal of Solid State Circuit* , vol. 32, n°12, pp. 2061-2070, 1997
- [12] Derek K. Shaeffer and Thomas H. LEE, "A 1.5V, 1.5GHz CMOS Low Noise Amplifier", *IEEE Journal of Solid State Circuits*, vol 32, n°5, pp. 745-759, 1997

- [13] P.Leroux, J.Janssens and M.Steyaert, "A 0.8 dB NF ESD-protected 9 mW CMOS LNA", *IEEE International Solid State Circuits and Conference (ISSCC2001)*, San Francisco, USA, pp. 410-411
- [14] D.J.Cassan and J.R.Long, "A 1V 0.9 dB NF low noise Amplifier for 5-6 GHz WLAN in 0.18 m CMOS", *IEEE Custom Integrated Circuits Conference (CICC2002)*, Orlando, USA, sept.2002, pp. 419-422
- [15] D. Zöschg. W.Wilhelm, T.F.Meister, H.Knapp, H.-D.Wohlmuth, K.Aufinger, M.Wurzer., J.Böck, H.Schäffer,"A 2 dB noise figure, 10.5 GHz LNA using SiGe bipolar technology", *IEEE Electronics letters*, vol. 35, n°25, pp. 2195-2196, 1995
- [16] Ryuichi Fujimoto; Kenji Kojima; Shoji Otaka, "A 7 GHz 1.8 dB NF CMOS Low Noise Amplifier", *IEEE journal of solid state circuit*, vol.37, n°7, pp. 852-856, 2002
- [17] C.-C. Tang and S.-I. Liu, "Low-voltage CMOS Low-noise Amplifier using planar-interleaved transformer", *IEEE electronics Letters*, Vol. 37, No. 8, pp. 497-498, April 2001.
- [18] M. Harada, and T. Tsukahara, "Low dc Power Si-MOSFET Land C- Band Low Noise Amplifier Fabricated by SIMOX Technology", *IEICE Transaction on ELECTRON.*, Vol.E82-C, No.3, pp. 553-558, March 1999.
- [18] T.Taris, JB.Begueret, H.Lapuyade and Y.Deval, "A 1-V 2GHZ VLSI CMOS Low Noise Amplifier », *IEEE Radio frequency Integrated Circuits symposium (RFIC2003)*, philadelphia, june 2003, pp. 123-126
- [19] T.Taris, JB.Begueret, H.Lapuyade and Y.Deval, "A 0.9V body effect feedback 2 GHz Low Noise Amplifier", *European Solid State Circuit Conference (ESSCIRC2003)*, Lisbonne, Portugal, sept.2003, pp. 324-328.

Chapitre 3

Les mélangeurs

Sommaire du chapitre 3

CHAPITRE 3	73
LES MÉLANGEURS	73
I/ ETAT DE L'ART.....	77
I/1. Les mélangeurs 'up converter'	77
I/2. Les mélangeurs 'down converters'	78
I/3. Conclusion	85
II/ LE MÉLANGEUR GRILLE-SOURCE AVEC PRÉAMPLIFICATION	86
II/1. Origine.....	86
II/2. Théorie.....	86
II/3. Le circuit.....	87
II/4. Le test et les résultats.....	88
III/ LE MÉLANGEUR À EFFET DE SUBSTRAT	90
III/1. Origine.....	90
III/2. Mise en évidence du mélange par 'body effect'	91
III/3. Le circuit	93
III/4. Test et résultats.....	94
IV/ MÉLANGEUR À EFFET DE SUBSTRAT ET CHARGE ACTIVE	98
IV/1. Origine	98
IV/2. Théorie	98
IV/3. Le circuit	99
IV/4. Le test.....	100
V/ CONCLUSION	103
Bibliographie du chapitre 3.....	105

I/ ETAT DE L'ART

Il existe deux types de mélangeurs : les 'up converter' et 'down converter', dédiés aux chaînes d'émission et de réception respectivement. La première catégorie ne requiert généralement pas de gain et l'on utilise alors souvent des 'mélangeurs passifs'. Au contraire les circuits dits 'down converter' doivent avoir du gain et sont, par conséquent, réalisés au moyen de structures actives. Nous allons présenter dans cet état de l'art ces deux grandes catégories de mélangeur.

I/1. Les mélangeurs 'up converter'

Comme leur nom l'indique ces circuits décalent l'information d'une basse fréquence vers une plus haute. Dans les chaînes d'émission c'est pour amener le signal utile de la bande de base, vers la fréquence RF, fréquence à laquelle l'information est transportée par le canal hertzien, que les 'up converters' sont employés.

a. Les structures passives

En appliquant deux signaux de fréquence respective f_1 et f_2 aux bornes d'une diode on crée deux produits de battement, (f_1+f_2) et (f_1-f_2) , grâce au comportement non linéaire du composant. En utilisant ce principe on peut alors réaliser des mélangeurs passifs (cf figure III.1) utilisant le caractère non linéaire des composants :

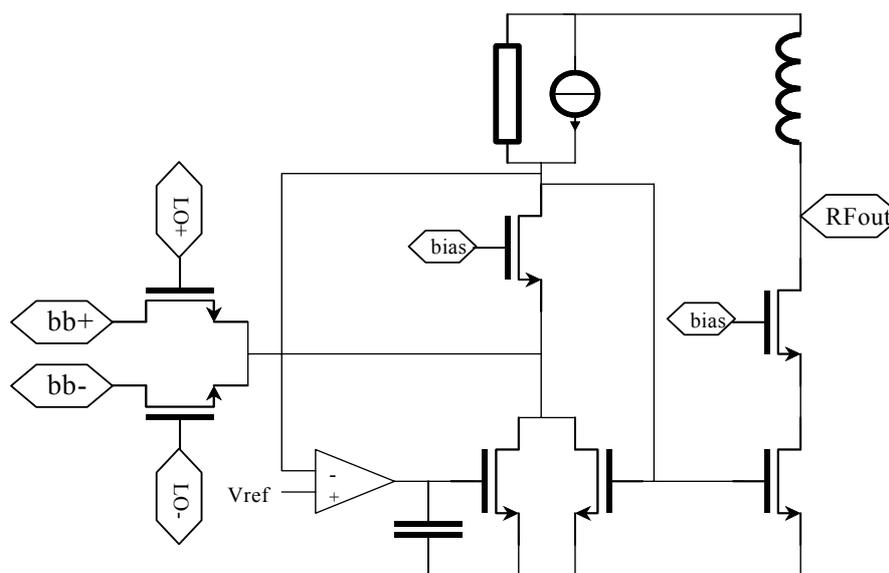


Figure III.1 : Mélangeur à capacités commutées avec buffer isolant (isolation LO>RF = -55 dB) [7]

cellule de Gilbert, très utilisée dans les systèmes à tension d'alimentation non réduite, puis les 'structures optimisées' et enfin les circuits dits 'technologiques'.

a. La cellule de Gilbert

Cette première famille est directement issue de la technologie bipolaire. Elle regroupe tous les circuits basés sur la cellule de Gilbert, reprise, avec succès, en technologie MOS. Leurs performances sont en général tout à fait convenables pour la plupart des circuits dérivés. On attribuera donc à cette famille, tous les circuits mettant en jeu, une source de courant modulée par le signal radiofréquence, alimentant une paire différentielle attaquée (en mode différentiel) par l'oscillateur local. Une structure typique basée sur la cellule de Gilbert est présentée en figure III.3 [1] :

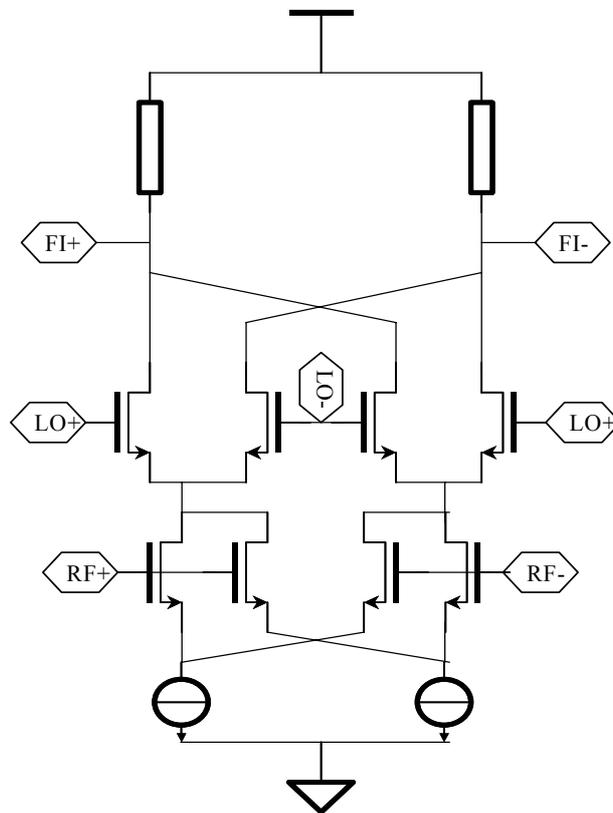


Figure III.3 : cellule de Gilbert avec double paire d'entrée ($IIP3=18$ dBm $NF= 11.5$ dB) [2]

Le circuit présenté en figure III.3 [2] propose exactement le schéma conventionnel d'une cellule de Gilbert au détail près de la deuxième paire différentielle « croisée » rajoutée en parallèle sur la paire recevant le signal RF. Cette amélioration vise à augmenter la linéarité d'une part (grâce à une paire de transistors de petites dimensions permettant de récupérer un maximum de tension en présentant une grande impédance) et de minimiser la figure de bruit (en optimisant les grandes dimensions de l'autre paire). On retrouve souvent cette structure de

base de Gilbert autour de laquelle des transistors sont ajoutés pour optimiser ou améliorer certaines caractéristiques.

Offrant des caractéristiques très homogènes, la cellule de Gilbert convient parfaitement pour un grand nombre d'applications. Facile à mettre en oeuvre, la souplesse de son architecture se prête aisément aux améliorations comme il a été montré précédemment. Cependant, celle-ci trouve aujourd'hui ses limites dans les systèmes radiofréquences à cause de la réduction des tensions d'alimentation qui empêche l'empilement des trois ou quatre transistors de l'architecture entre les deux rails d'alimentation. Aussi certaines applications requièrent des caractéristiques spécifiques que la cellule de Gilbert n'est pas apte à fournir. C'est pourquoi il faut parfois se tourner vers d'autres circuits comme ceux que nous allons présenter dans le paragraphe suivant.

b. Les Structures à topologie optimisée

La seconde famille rassemble tous les circuits faisant référence à des techniques de mélange différentes de celle de la cellule de Gilbert mais qui n'utilisent pas une « option » de fonderie particulière ; c'est à dire une amélioration quelconque de la physique même des composants utilisés lors de leur réalisation. De nos jours, les performances requises pour des mélangeurs posent des problèmes aux concepteurs. Il faut souvent faire des compromis, pour privilégier l'optimisation d'une ou plusieurs caractéristiques au détriment d'autres. Voici quelques circuits mettant en avant le perfectionnement de certaines d'entre elles.

- Le principe même de décalage en fréquence induit une production de bruit importante en ramenant le bruit haute fréquence à la fréquence FI. D'autre part les mélangeurs doivent être capable de 'couvrir' la bande de fréquence contenant à la fois le signal RF et le signal OL, donc ce bruit haute fréquence est intégré sur une large bande. Pour ces raisons le facteur de bruit n'était pas jusqu'alors le paramètre clef de ces structures. On considérait que compris entre 10 et 20 dB il restait acceptable. Aujourd'hui, il n'en est rien et certaines applications requièrent des figures de bruit inférieures à la dizaine de dB. Le circuit de la figure III.4 [5] répond à ce type de demande. La topologie est celle d'une cellule mélangeuse traditionnelle utilisant la transconductance d'un transistor MOS pour réinjecter le signal radiofréquence dans une paire différentielle commutée par le signal de l'oscillateur local. Une optimisation des tailles des transistors injectant le signal RF permet d'atteindre une NF de 5,8 dB.

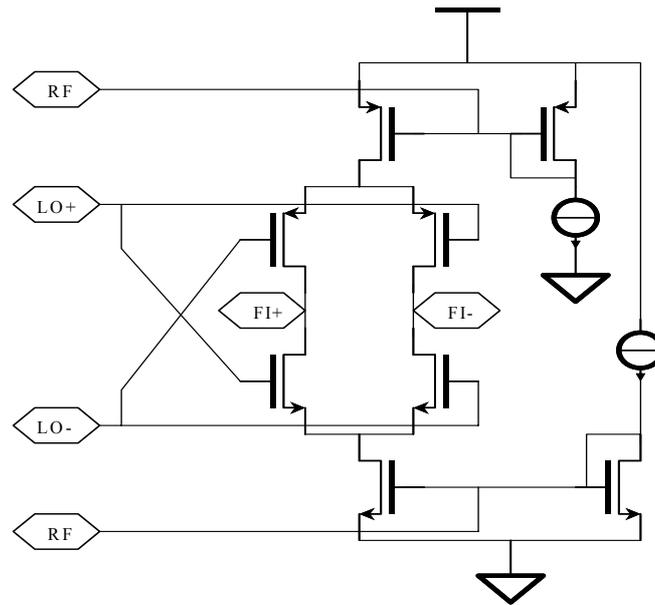


Figure III.4 : mélangeur basé sur la technique de réutilisation de courant (NF=5,8 dB) [5]

- Les technologies CMOS, soumises aux règles de mise à l'échelle, voient leur tension d'alimentation réduire vers le seuil critique des 1V. Dans ce cas précis la mise en place d'une cellule de Gilbert est totalement impossible il faut donc concevoir de nouveaux circuits capables de fonctionner sous 'ultra basse tension'. La figure II.5 présente une réalisation fonctionnant sous 0,9 V [8] :

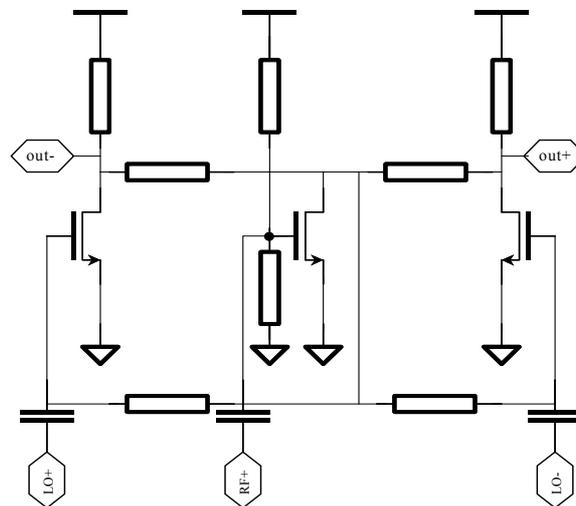


Figure III.5 : cellule mélangeuse fonctionnant sous 0.9 V [8]

Cet exemple, dont la version finale comporte plusieurs cellules de ce type, s'adapte parfaitement aux contraintes modernes de faible tension d'alimentation en réalisant l'opération de mélange au travers de plusieurs étages afin de conserver un gain de conversion correct. Chaque signal est appliqué sur un étage de type « source commune », ces derniers reliés entre eux par leur drain, créant ainsi un nœud de courant où le mélange a lieu. Cette

structure différentielle opérant sous seulement 0,9 V produit un gain de conversion de 3 dB et une NF de 13,5 dB.

On remarque dans ce genre de circuits une volonté d’orienter la conception vers l’optimisation d’une caractéristique. Répondant à des exigences que des structures basées sur la cellule de Gilbert ne sont pas aptes à remplir les mélangeurs présentés ci-dessus restent cependant très spécifiques. Dédiés à une application précise, il est rare de pouvoir les utiliser de façon universelle à l’instar de la cellule de Gilbert.

c. Les mélangeurs « technologiques »

La troisième et dernière catégorie est plus récente, elle diffère des deux autres par une approche différente du composant lui-même. Elle fait appel à des transistors particuliers ou utilise des accès peu traditionnels pour réaliser le mélange. Ce sont souvent des modifications technologiques qui sont à l’origine des mélangeurs de cette catégorie. Les circuit proposés ici sont le fruit d’une approche différente de la fonction « mélange ».

- Le premier est une structure hybride dite « double grille ». Ce composant comporte quatre ports dont le fonctionnement s’apparente un peu à celui de deux transistors montés en cascade. En réalité, la forte corrélation entre les phénomènes physiques mis en jeu dans ce composant hybride rend la modélisation difficile, seules quelques courbes expérimentales expliquent son fonctionnement. Les signaux sont appliqués tel que le montre la figure II.6 :

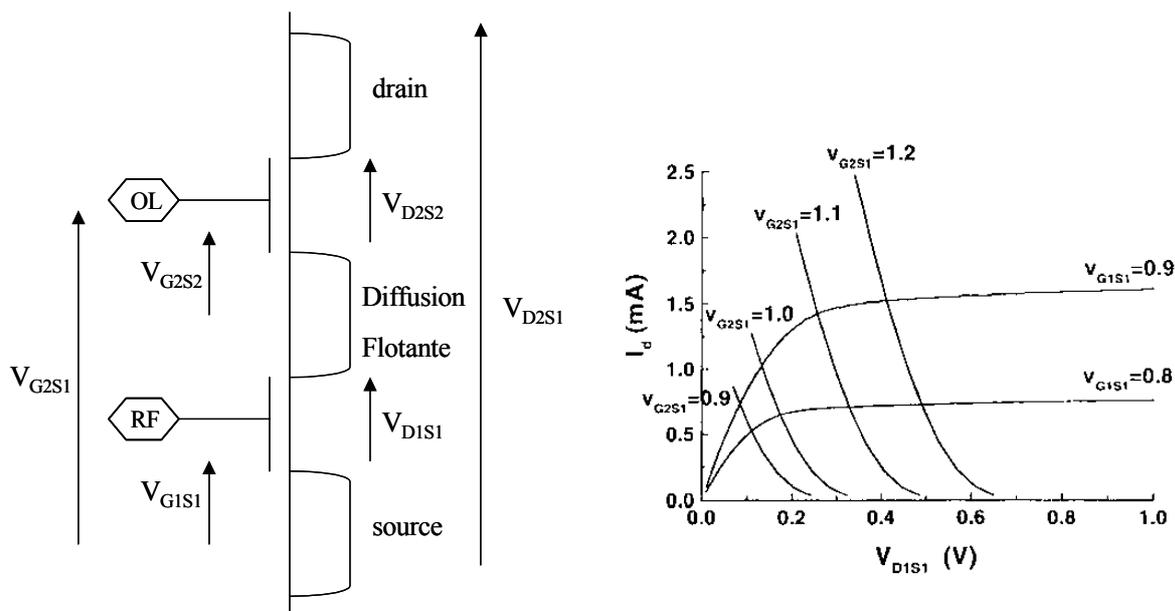


Figure III.6 : mélangeur double grille avec ses courbes de fonctionnement [10]

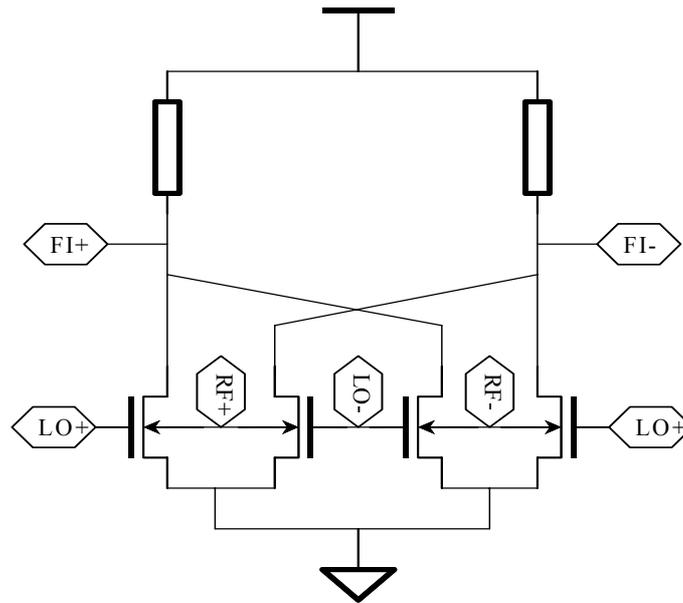


Figure III.8 : mélange par effet de substrat sous 1V[11]

Le tableau II.2 présente les résultats de ce mixer obtenus sous seulement 1V de tension d'alimentation. Toutefois l'utilisation de l'accès substrat d'un transistor NMOS, comme dans ce cas précis, implique l'emploi d'une technologie dite 'triple well' à isolation de substrat P ce qui est très coûteux.

Tableau III.2 : mélangeur double grille [11]

Gain de conversion	2 dB
ICP1	0 dBm
IIP3	13 dBm
Figure de bruit	20,5 dB
consommation	1,6 mW

La figure III.9 présente une autre version du mélangeur à effet de substrat sous 1 V d'alimentation compatible avec des technologies dites 'VLSI' puisque l'accès au substrat se fait sur un transistor PMOS. Les caractéristiques de ce mélangeur sont présentées dans le tableau III.3.

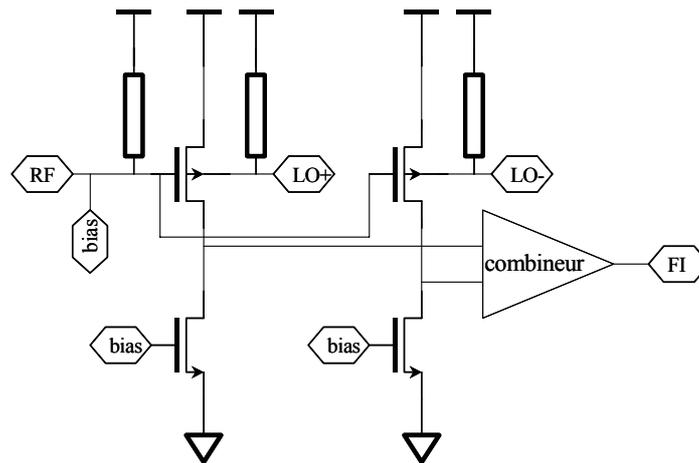


Figure III.9 : mélange par effet de substrat de Wang[12]

Tableau III.3 : mélangeur à effet de substrat de Wang[12]

RF (GHz)	2,088	6,912
Puissance dissipée (mW)	14	18
Gain (dB)	6	6
Figure de bruit (dB)	9,6	18
IIP3 (dBm)	10	-2
LO>RF isolation (dB)	53	29

Ainsi les résultats sont tout à fait adaptés aux contraintes conceptuelles actuelles de mélangeur ; cependant l'utilisation de cet effet parasite n'est jamais analytiquement démontré ni modélisé rendant sa maîtrise floue et quelque peu hasardeuse dans les cas présentés ici. C'est en travaillant sur ces axes de développement que nous avons conçu des mélangeurs à effet de substrat présentés ultérieurement dans ce mémoire.

I/3. Conclusion

Les mélangeurs du type 'up converter' sont donc soit passifs soit actifs, le choix de leur utilisation se faisant essentiellement suivant la nécessité d'avoir du gain ou non lors de la transposition de l'information à la fréquence de transmission.

En ce qui concerne les structures mélangeuses actives dédiées aux chaînes de réception, ce seront les caractéristiques de l'application visée qui induiront l'emploi d'un mélangeur à base de cellule de Gilbert ou bien la nécessité d'utiliser un mélangeur plus spécifique pour répondre à des caractéristiques sévères.

Enfin la tendance générale de conception faible tension faible consommation dans des technologies toujours moins coûteuses crée aussi une forte demande en circuits innovants plutôt orientée vers l'optimisation des technologies. C'est dans cette approche de la conception moderne que les mélangeurs présentés maintenant ont été réalisés.

III/ LE MELANGEUR GRILLE-SOURCE AVEC PREAMPLIFICATION

III/1. Origine

Ce premier mélangeur, exclusivement dédié à travailler sous 1V, a été conçu afin de faire référence en matière de ‘conception basse tension traditionnelle’, c’est à dire par étage successif, en opposition aux autres circuits développés durant cette thèse suivant la voie de la ‘conception à architecture innovante’. Pour réaliser son produit de mélange ce circuit utilise un principe appelé l’attaque ‘grille-source’.

III/2. Théorie

Présenté en figure III.10 le circuit théorique grâce auquel le mélange ‘grille-source’ est mis en avant, se compose d’un transistor NMOS sur la grille duquel est appliqué un signal radiofréquence. Le signal de l’oscillateur local est injecté sur sa source. La charge accordée tient lieu de filtre en présentant une grande impédance Z_{FI} à la fréquence intermédiaire.

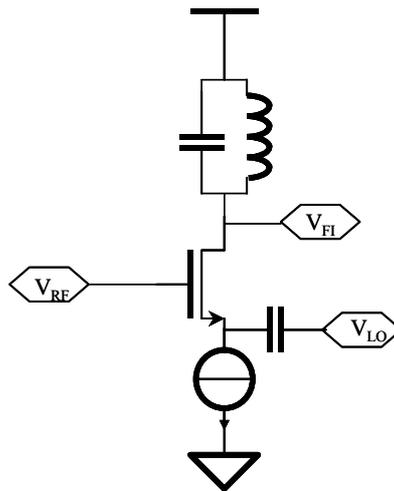


Figure III.10 : mélangeur grille source théorique

Le courant du transistor en saturation peut s’écrire :

$$I_D = \frac{\mu_n \cdot C_{ox} \cdot W}{2L} (V_{GS} - V_T)^2$$

Avec $V_{GS} = V_{POL} + V_{RF} \cos(\omega_{RF} t) - V_{LO} \cos(\omega_{LO} t)$

Ainsi, en développant le calcul et en éliminant toutes les composantes continues et différentes de la fréquence $f_{IF} = f_{LO} - f_{RF}$, la composante alternative de I_D s’écrit :

$$i_D = \frac{\mu_n \cdot C_{ox} \cdot W}{2L} \cdot 2V_{RF} \cdot V_{LO} \cdot \frac{1}{2} \cos(\omega_{RF} - \omega_{LO})t$$

Si Z_{FI} est l’impédance équivalente du circuit parallèle LC à la résonance, la tension V_{FI} devient alors, aux petites variations :

$$V_{FI} = Z_{FI} \cdot i_d$$

$$V_{FI} = Z_{FI} \cdot \frac{\mu_n \cdot C_{ox} \cdot W}{2L} V_{RF} \cdot V_{LO} \cdot \cos(\omega_{RF} - \omega_{LO})t$$

On définit alors le gain de conversion G_C comme tel :

$$G_C = \frac{V_{FI}}{V_{RF}} = Z_{FI} \cdot \frac{\mu_n \cdot C_{ox} \cdot W}{2L} V_{LO}$$

II/3. Le circuit

Le circuit présenté dans la figure III.11 a donc été réalisé pour fonctionner dans la bande de fréquence 5,1-5,3 GHz et répondre au standard HiperLAN2 et 802.11a. L'annexe 6 résume les caractéristiques liées à ceux-ci.

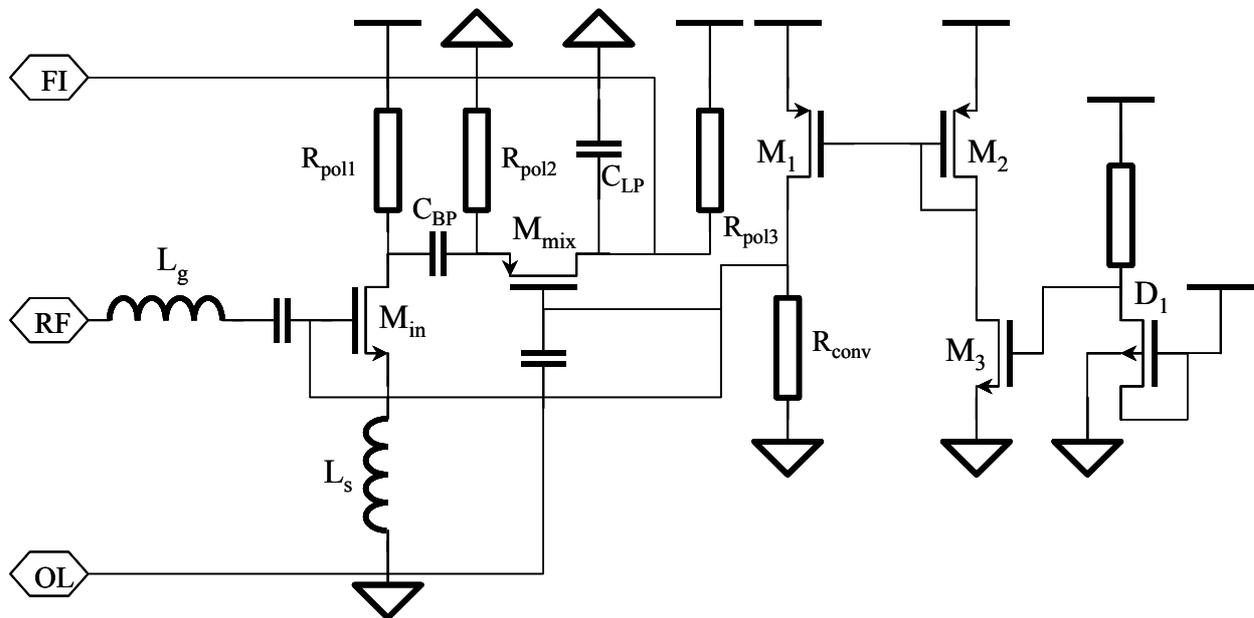


Figure III.11 : mélangeur low voltage

Le mélangeur comporte deux parties : une de préamplification du signal RF par un étage source commune à dégénérescence inductive, L_g et L_s autour de M_{in} , permettant l'adaptation à 50Ω en entrée et l'optimisation de la figure de bruit de cet étage. Le gain en tension théorique de cette structure s'exprime ainsi :

$$G_{RF} = Q_{L_g C_{gs} L_s} \cdot g_{mMin} \cdot R_{pol1}$$

Avec: $Q_{L_g C_{gs} L_s}$ le coefficient de surtension à la fréquence RF

g_{mMin} la transconductance du transistor d'entrée M_{in}

R_{pol1} la résistance de charge

L'autre partie tient lieu de mélangeur pur basé sur le principe de l'attaque 'grille-source' présenté précédemment autour de M_{mix} . Le signal RF est transmis à la source du transistor

M_{mix} par l'intermédiaire de la capacité de liaison C_{BP} et le signal d'oscillateur local est appliqué directement sur la grille de M_{mix} .

Les résistances R_{pol1} , R_{pol2} et R_{pol3} réalisent la conversion courant-tension des différents signaux RF et FI, et constituent dans le même temps les filtres passe-bande et passe-bas en association respective avec les capacités C_{BP} et C_{LP} . Nous avons vu dans le paragraphe antérieur que le principe de mélange de la structure donne lieu à une production importante d'harmonique menant à une dégradation générale de la linéarité. Les différents filtres distribués visent à endiguer ce phénomène.

Fonctionnant sous 1 V, ce circuit, pouvant être vu comme l'association d'un LNA et d'un mélangeur (frontal RF), est polarisé grâce à un miroir de courant, M_1 , M_2 et M_3 , ayant pour référence la diode D_1 . Dans sa version finale, le frontal comporte deux structures de ce type, une pour l'étage LNA, l'autre pour l'étage mélangeur, afin de ne pas réduire l'isolation entre le port RF et le port OL au travers d'une polarisation commune.

II/4. Le test et les résultats

Ce circuit a été réalisé en technologie CMOS VLSI 0,18 μm contenant 6 niveaux de métal, et encapsuler dans un boîtier de type JLCC 44. Tous les composants passifs furent intégrés, notamment les inductances L_g et L_s réalisées grâce aux bondings de cablage. On peut observer une photo de la puce en figure III.12, son faible encombrement, ($120\mu\text{m} \times 40\mu\text{m}$), lui permet de s'insérer dans une application de type System On a Chip (SoC).

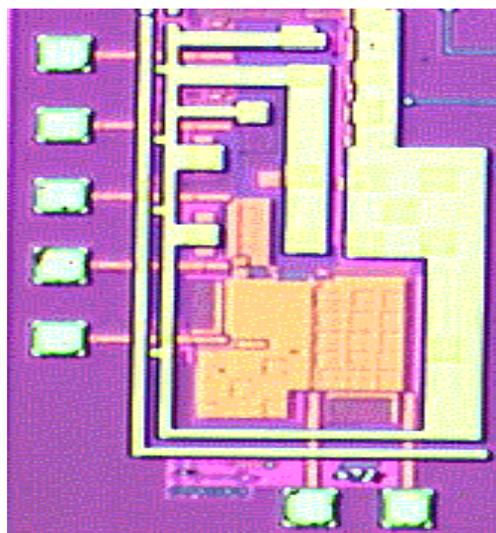


Figure III.12 : photo du circuit

A de telles fréquences de fonctionnement, le test sur PCB requiert des connaissances relevant du domaine des micro-ondes si l'on désire effectuer des mesures correctes du circuit. La carte

de test a été dessiné au moyen du logiciel PROTEUS. Comme on peut l'observer sur la figure III.13, celle-ci comporte un grand plan de masse sur une face, et des lignes microstrip sur l'autre représentant les accès 50Ω d'entrée et de sortie. On pourra remarquer l'utilisation de prises SMA transversales permettant de récupérer un maximum de signal dans le connecteur.

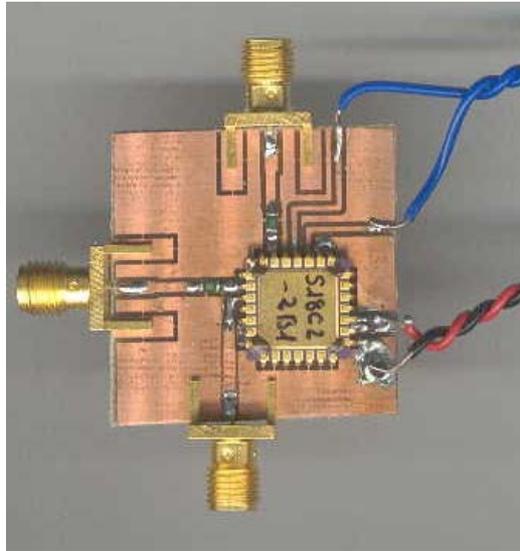


Figure III.13 : photo du PCB

Les mesures de ce circuit ont été réalisées au moyen d'un générateur Agilent 89441A, d'une sonde active de type Agilent 85024A, d'un analyseur de réseau HP 8722Det d'un analyseur de spectre HP 54750A. Les résultats relatifs à cette structure présentés dans le tableau II.4 répondent parfaitement aux requêtes des standards HiperLAN2 et 802.11a (5,1 GHz à 5,3 GHz) pour lequel elle est dédiée. Le circuit tire pleinement profit de l'étage de préamplification à dégénérescence inductive 'accordé' sur la fréquence RF donnant ainsi un remarquable gain de conversion de 10 dB pour une architecture fonctionnant seulement sous 1V. La consommation reste dans les normes, plutôt subjectives, de 'faible consommation' avec 4 mA. La linéarité bénéficie de la large dynamique en tension autorisée par le point de polarisation de sortie ; le point de compression -1 dB atteint -10 dBm. Pour ce qui est des harmoniques et plus particulièrement celles du troisième et du second ordre, les capacités de filtrage C_{PB} et C_{LP} associées aux résistances R_{POL1} , R_{POL2} , R_{POL3} repoussent l'intermodulation de troisième ordre à -1 dBm. Enfin la figure de bruit, 10 dB, est obtenue grâce au gain donné au signal RF par le premier étage.

Tableau III.4 : tableau de mesures du mélangeur low voltage

Technologie	HCMOS8
Tension d'alimentation	1V
Courant consommé	4 mA
Gain de conversion	10 dB
Figure de bruit	14 dB
ICP1	-10 dBm
IIP3	-1 dBm
LO>RF isolation	-33 dB
Fréquence OL	5,2 GHz (-10 dBm)

Au regard de ses caractéristiques, cette architecture de réception tient parfaitement lieu de « frontal radiofréquence » fonctionnant sous 1 V dédié au standard HiperLAN2 et 802.11a. D'une grande compacité, ce circuit, réalisé en technologie 0,18 μm CMOS VLSI, pourvoit dans le même temps les contraintes d'application du type System on Chip. Ce circuit a fait l'objet d'une publication et d'une présentation orale lors de la conférence FTFC en 2003 à Paris [14].

III/ LE MELANGEUR A EFFET DE SUBSTRAT

III/1. Origine

Ce concept a été développé par Wang[12] 1998. Il met en œuvre le principe de modulation de la tension de seuil V_T d'un transistor MOS par l'application d'un signal sur le substrat de ce dernier comme le montre la figure III.14. Cependant ne faisant état d'aucune théorie le circuit d'origine paraît difficile à reproduire c'est pourquoi nous nous sommes dans un premier temps attachés à mettre en avant le principe analytique du mélange, puis de l'éprouver au travers d'un circuit simple.

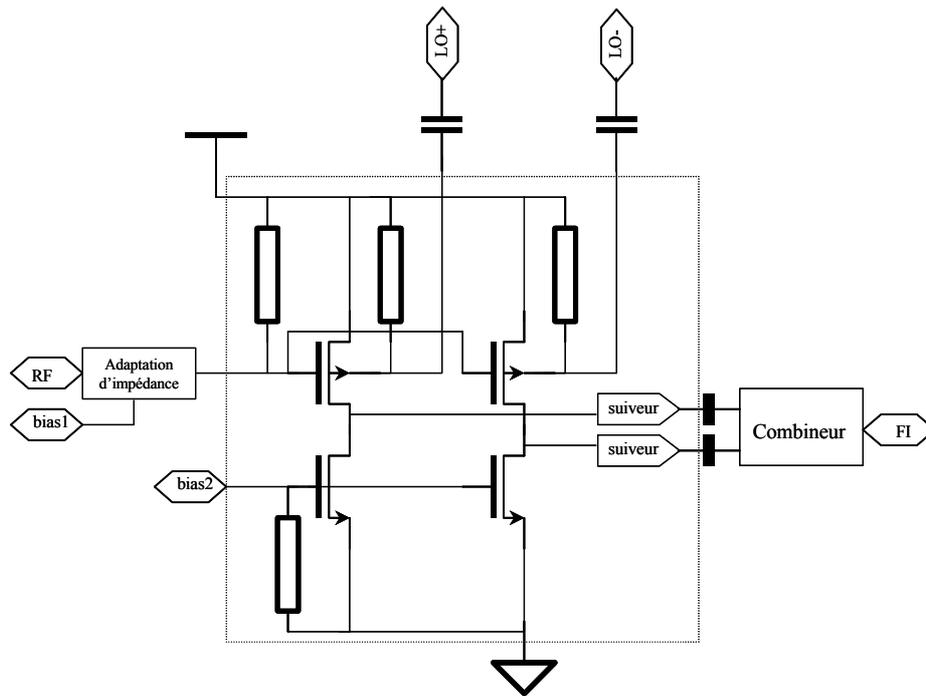


Figure III.14 : mélange par effet de substrat [12]

III/2. Mise en évidence du mélange par ‘body effect’

Nous allons démontrer tout d’abord le principe sur un circuit théorique, dans un second temps, nous proposerons le véritable modèle qui fut employé pour exprimer le signal de sortie en fonction du signal d’entrée. Le schéma de base sur lequel le principe fut mis en place est présenté en figure III.15 :

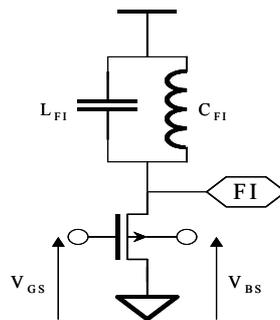


Figure III.15 : circuit théorique du mélangeur à effet de substrat

C_{FI}/L_{FI} : circuit d’accord servant à filtrer la fréquence ($f_{LO}-f_{RF}$)

V_{BS} : signal fourni par l’oscillateur local de fréquence f_{LO} $V_{BS} = V_{LO} \cos(\omega_{LO}.t)$

V_{GS} : signal RF, $V_{GS} = V_{G0} + \Delta V_{GS}$ avec V_{G0} et ΔV_{GS} respectivement composante continue et alternative de V_{GS}

Le courant dans le transistor MOS en saturation peut s’écrire :

$$I_D = \frac{\mu_n C_{ox} W}{2L} . (V_{GS} - V_T)^2 = G . (V_{GS} - V_T)^2 \quad (eq.III.1)$$

Avec $V_T = V_{T0} + \gamma [\sqrt{2\varphi_F - V_{BS}} - \sqrt{2\varphi_F}]$

V_{T0} : composante continue de V_T

γ : le coefficient d'arrière grille

$2\varphi_F$: potentiel de régime forte inversion

V_{BS} : tension bulk-substrat

$$V_T = V_{T0} + \gamma \sqrt{2\varphi_F} \left[\sqrt{\left(1 - \frac{V_{BS}}{2\varphi_F}\right)} - 1 \right] \quad (eq.III.2)$$

Considérons dans *eq.III.2* que $2\varphi_F$ est très petit, on peut alors effectuer un développement en série de Taylor du 1^{er} ordre au voisinage de 0 :

$$V_T = V_{T0} - \gamma \cdot \sqrt{2\varphi_F} \left[\left(1 - \frac{V_{BS}}{2\varphi_F}\right) - 1 \right]$$

$$V_T = V_{T0} - \gamma \cdot \frac{1}{2} \cdot \sqrt{2\varphi_F} \frac{V_{BS}}{2\varphi_F}$$

$$V_T = V_{T0} - \gamma \cdot \frac{1}{2} \cdot \frac{V_{BS}}{\sqrt{2\varphi_F}}$$

Soit:

$$V_T = V_{T0} + \alpha V_{BS} \quad \text{avec : } \alpha = -\frac{1}{2\sqrt{2\varphi_F}} \quad (eq.III.3)$$

Ce qui met en évidence la dépendance linéaire entre V_{BS} et V_T .

En réintroduisant *eq.III.3* dans *eq.III.1* on a :

$$I_D = G \cdot [V_{GS} - (V_{T0} + \alpha V_{BS})]^2 \quad (eq.III.4)$$

Ne conservant alors que la composante continue et le signal à la fréquence désirée, les autres harmoniques étant supposées toutes éliminées par le circuit résonnant, le développement de l'expression *eq.III.4* mène à :

$$I_D = G \cdot [(V_{GS0} - V_{T0})^2 - 2\Delta V_{GS} \alpha V_{BS}]^2 \# I_{D0} + i_d \quad (eq.III.5)$$

Avec I_{D0} : composante continue de I_D

i_d : composante alternative de I_D

ΔV_{GS} : signal RF de la forme $V_{RF} \cos(\omega_{RF} \cdot t)$

V_{BS} : signal délivré par l'oscillateur local de la forme $v_{LO} \cos(\omega_{LO} \cdot t)$

La composante alternative simplifiée contenue dans *eq.III.5* s'écrit :

$$i_d = -G \cdot \alpha \cdot V_{RF} \cdot V_{LO} \cdot \cos(\omega_{RF} - \omega_{LO})t \quad (eq.III.6)$$

Si Z_{FI} est l'impédance équivalente du circuit d'accord aux petites variations, la tension de sortie s'exprime:

$$V_{FI} = Z_{FI} \times i_d \text{ (eq.III.7)}$$

Introduisant eq.II.6 dans eq.III.7 il vient :

$$V_{FI} = -Z_{FI} \cdot G \cdot \alpha \cdot V_{RF} \cdot V_{LO} \cdot \cos(\omega_{RF} - \omega_{LO})t$$

Nous constatons effectivement que le signal FI contient le produit du signal radiofréquence par le signal de l'oscillateur local.

Toutefois, cette démonstration utilise un modèle très simple du fonctionnement du transistor MOS, afin de pouvoir être plus proche des résultats de simulation, il nous a fallu utiliser un modèle dit « 3/2 », présenté comme suit :

$$I_D = \frac{\mu_p \cdot C_{ox} W}{L} \left[(|V_G| - V_{FB} - 2\varphi_F) |V_{DS}| - \frac{V_{DS}^2}{2} - \frac{2}{3} \gamma (|V_{DS}| - V_{BS} + 2\varphi_F)^{3/2} - \frac{2}{3} \gamma (2\varphi_F - V_{BS})^{3/2} \right]$$

Effectuant le même type de calcul sur cette nouvelle expression le signal de sortie FI s'exprime de la manière suivante :

$$V_{FI} = -\frac{1}{4} \gamma \frac{\mu_p C_{ox} W}{L} (V_{G0} - V_T + 2\varphi_F)^{-1/2} \cdot (1 - \alpha) \cdot V_{LO} \cdot R_{FI} V_{RF}$$

Ainsi apparaît dans cette expression un grand nombre de paramètres au travers desquels on peut contrôler le gain de conversion de la structure mélangeuse à effet de substrat.

III/3. Le circuit

On trouve en figure III.16 le schéma du mélangeur dédié au standard UMTS dont les caractéristiques sont proposées dans l'annexe 6. Deux versions de ce circuit ont été réalisées : l'une comportant un mur d'isolement dopé P, connecté à la masse, entourant le transistor et l'autre non. En effet dans le circuit d'origine, l'application directe de l'oscillateur local sur le substrat peut avoir pour conséquence de diffuser au travers de ce dernier et de remonter dans le circuit. En isolant la structure mélangeuse (transistor M_{mixer}) on limite fortement la diffusion du signal de l'oscillateur local améliorant ainsi grandement l'isolation critique entre le port OL et le port RF mais aussi avec le port FI.

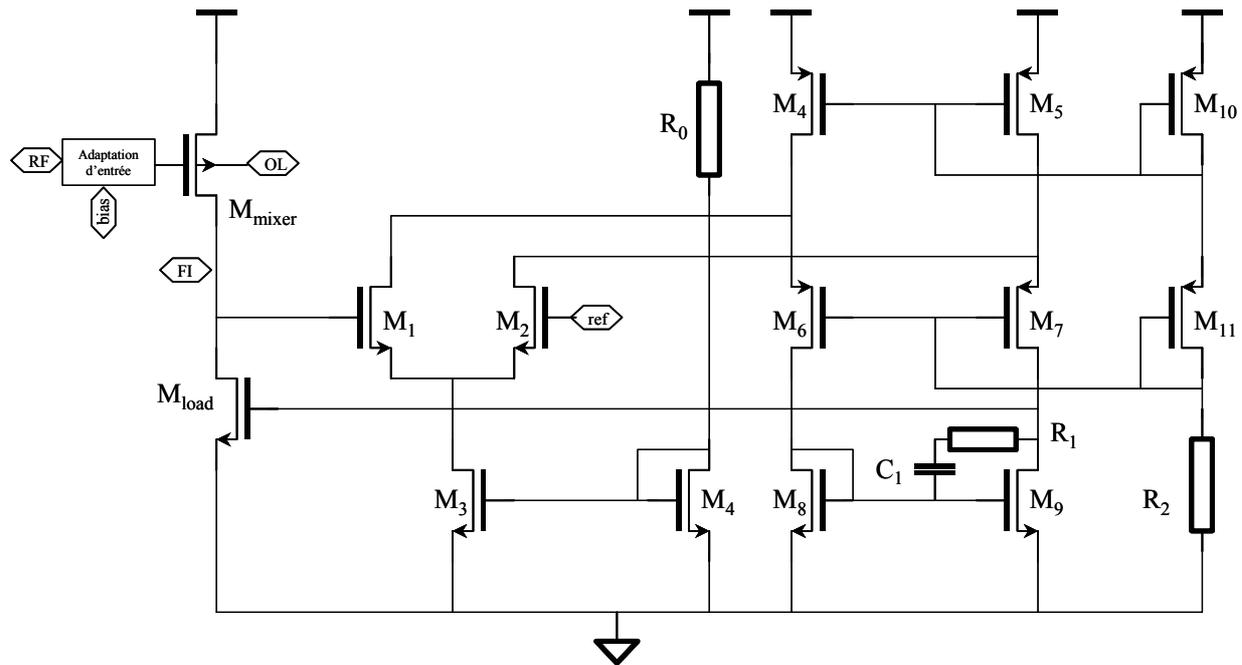


Figure III.16 : schématique du circuit

La fonction principale de mélange est réalisée par le transistor PMOS M_{mixer} , suivant les investigations analytiques menées dans le paragraphe précédent. La conversion courant-tension du produit de mélange se fait au moyen du transistor NMOS M_{load} . L'utilisation d'un transistor de ce type (par opposition à un transistor PMOS) permet de présenter une grande impédance de sortie, donc un gain de conversion en tension important.

La connexion de M_{mixer} et M_{load} par leurs drains respectifs conduit cependant à une instabilité du point de polarisation de sortie. Pour combattre ce phénomène une contre-réaction a été mise en place entre la sortie FI et la grille du transistor M_{load} . Cette dernière comporte une paire différentielle M_1 - M_2 , alimentée par le miroir de courant M_3 - M_4 , connectée à une charge dite retournée. En effet l'asservissement entre le point FI et la grille du transistor M_{load} requiert un décalage en tension que seule la charge retournée, M_4 - M_5 - M_6 - M_7 - M_8 - M_9 , est apte à pourvoir. Le bloc M_{10} - M_{11} - R_2 fournit les tensions de polarisations nécessaires au fonctionnement de cette charge. Enfin le filtre R_1 - C_1 sert à éliminer les composantes hautes fréquences présentes dans la contre-réaction.

III/4. Test et résultats

Ce circuit a été réalisé en technologie CMOS VLSI $0,18\mu\text{m}$ contenant 6 niveaux de métal. On peut observer sur la figure III.17 une photo de la puce contenant le circuit sans mur d'isolement (à gauche) et avec murs d'isolement (à droite). L'encombrement pris par

l'architecture $150\mu\text{m} \times 100\mu\text{m}$ reste compatible avec une application de type System On a Chip (SoC).

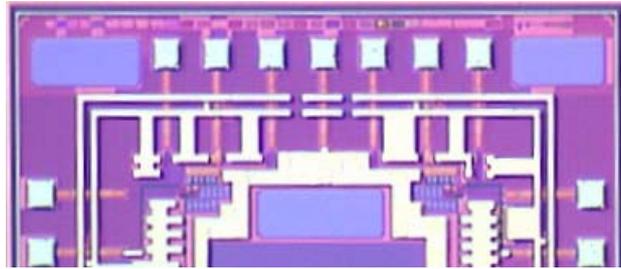


Figure III.17 : photo de la puce contenant les deux versions

Le schéma et le routage physique de la carte de test tels qu'ils apparaissent lors de leur création sur le logiciel Proteus sont présentés en figure II.18. On peut observer dans ce cas que chaque port d'accès est adapté par des lignes couplées à des selfs et des capacités en série. Fonctionnant à la fréquence de 2 GHz ($f_{OL}=2.2\text{GHz}$, $f_{RF}=2.010\text{GHz}$) ce circuit requiert des aptitudes de test relevant du domaine micro-onde comme le montre les lignes microstrip 50Ω reliant chaque prise SMA à l'entrée de la puce qui lui correspond. Cette adaptation d'impédance est affinée par l'association de capacités et de selfs en série sur chaque port d'entrée comme le montre le schéma de la carte de test de la figure III.18.

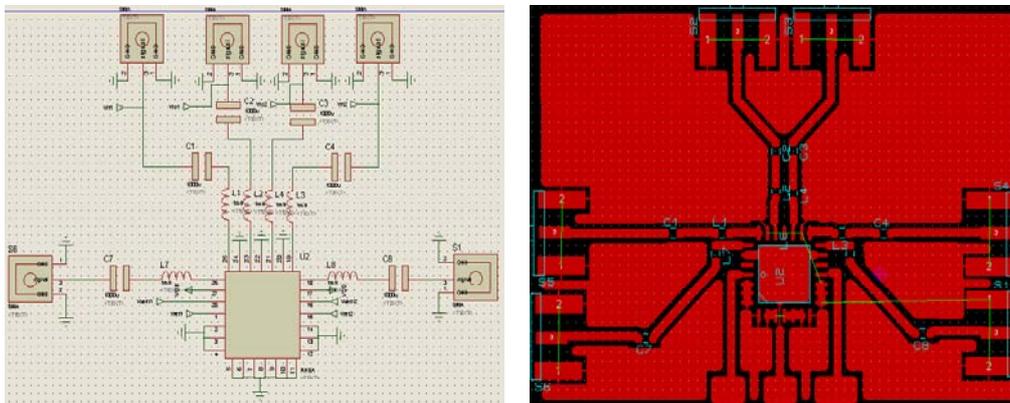


Figure III.18 : schéma du PCB

Les deux versions du mélangeur se trouvant à gauche et à droite à l'intérieur de la puce, nous avons réalisé, comme le montre la photo de la carte de test en figure III.19, une symétrie des pistes d'accès afin que les mesures comparatives d'isolation entre les ports RF, OL et IF soient faites dans les mêmes conditions. Toutes les inductances $L_{\text{tune}i}$ et capacités $C_{\text{tune}i}$ sont utilisés pour l'affinage de l'adaptation d'entrée à 50Ω .

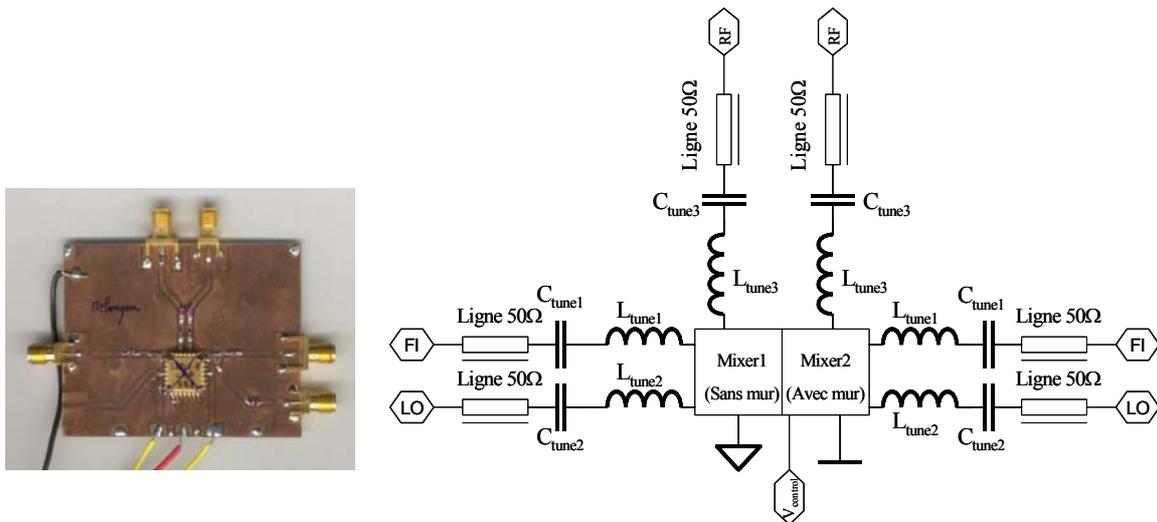


Figure III.19 : photo et schéma de la carte de test

Actuellement de nombreux standards travaillent à basse fréquence intermédiaire ('low IF'), cela requiert une bonne isolation entre les ports RF et OL afin d'éviter le phénomène d'auto-mélange du signal OL dégradant fortement le signal utile dans ce cas. D'un point de vue physique des composants, nous appliquons, dans ce mélangeur, deux signaux (RF et OL) de part et d'autre d'une capacité MOS, par conséquent l'isolation entre ces deux sources aura tendance à être faible. D'autre part, l'utilisation d'une technologie CMOS VLSI induit de nombreux courants de fuite circulant dans le substrat faiblement résistif et remontant dans le circuit par couplage, réduisant encore l'isolation entre l'oscillateur local et les différents ports. Afin d'endiguer ce problème, nous avons 'isolé' le transistor M_{mixer} par des murs de diffusion P ('P_{well}') et N ('N_{well}') connectés à la masse et au V_{DD} respectivement comme le montre la figure III.20.

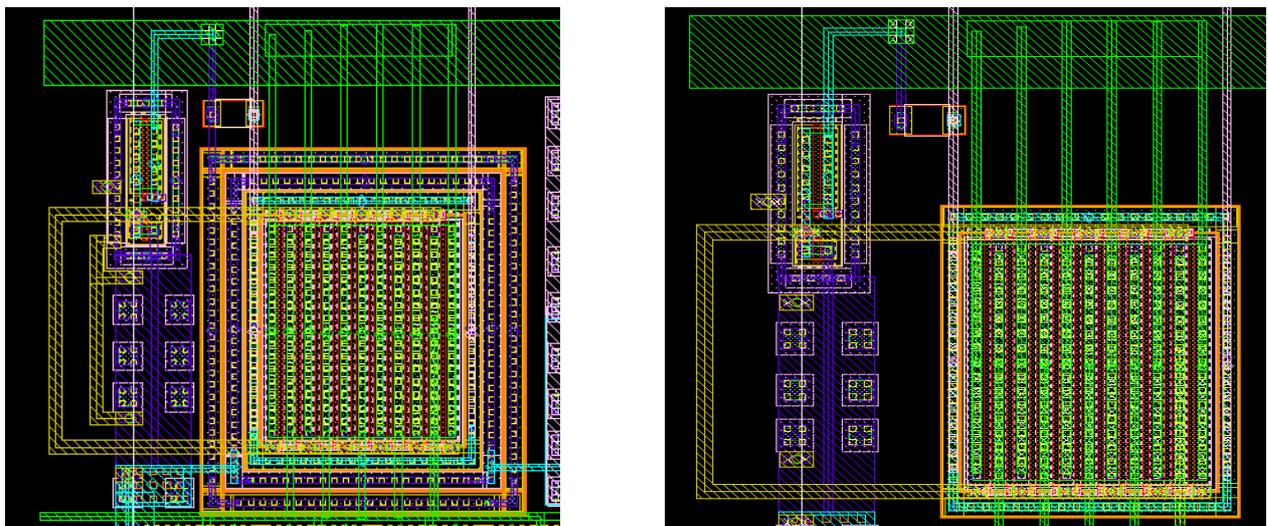


Figure III.20 : layout du transistor mélangeur avec (à gauche) et sans (à droite) mur d'isolement

Quatre types de mesures ont été réalisées sur ces circuits au moyen d'un générateur Agilent 89441A, d'une sonde active de type Agilent 85024A, d'un analyseur de réseau HP 8722Det d'un analyseur de spectre HP 54750A. Une sous 1,8 V et une autre sous 1,2 V de tension d'alimentation avec et sans murs d'isolement. Celles ci sont rassemblées dans le tableau III.4.

Tableau III.4 : mesures effectuées sur le mélangeur à effet de substrat

Technologie	HCMOS8	HCMOS8	HCMOS8	HCMOS8
Isolement	Avec mur	Sans mur	Avec mur	Sans mur
Alimentation	1,8 V	1,8V	1,2 V	1,2V
Gain	7 dB	7 dB	3,5 dB	3,5 dB
NF	13 dB	13 dB	15 dB	15 dB
ICP1	-16 dBm	-16 dBm	-15 dBm	-15 dBm
IIP3	-5 dB	-8 dB	-5 dB	-7 dB
Courant consommé	7 mA	7 mA	3 mA	3 mA
Isolation LO>RF	-35 dB	-25 dB	-26 dB	-15 dB
Fréquence RF	2 GHz	2 GHz	2 GHz	2 GHz
Fréquence OL (0 dBm)	2,2 GHz	2,2 GHz	2,2 GHz	2,2 GHz

Pour ce qui est de l'amélioration d'ordre physique du mélangeur, les murs d'isolement permettent d'amender l'isolation entre le port RF et le port OL de 10 dB : de -25dB à -35 dB sous 1,8V et de -26dB à -15dB sous 1,2 V. De même l'intermodulation d'ordre 3 se voit être augmentée de quelques dB grâce à ces anneaux de garde. Cela s'explique par le fait qu'en limitant le couplage de l'oscillateur local avec le reste du circuit, une plus petite quantité de ce signal est réinjectée dans les non-linéarités du circuit menant à la création d'harmoniques parasites.

En ce qui concerne le reste des caractéristiques, le gain de conversion, tout d'abord, est plutôt élevé 7 dB sous 1,8 V et reste correct 3,5 dB sous 1,2 V attestant de l'aptitude du circuit à fonctionner sous faible tension d'alimentation. La diminution du facteur de bruit 13 dB et 15 dB sous 1,8 V et 1,2 V respectivement s'explique par la perte de gain en basse tension ; elle n'en reste pas moins suffisante pour remplir les spécifications du standard UMTS (15 dB). Enfin la consommation en courant 7 mA@1,8V et 3 mA@1,2V s'adapte à la contrainte actuelle de faible consommation imposée aux objets communicants.

En se reportant à l'annexe 2 on pourra constater que ce mélangeur remplit les caractéristiques imposées par le standard UMTS auquel il se dédie lorsqu'il fonctionne sous 1,8 V de tension d'alimentation. Celui-ci a fait l'objet d'une publication ainsi que d'une présentation orale lors d'une conférence internationale, DCIS, en 2001 au Portugal [15].

IV/ MELANGEUR A EFFET DE SUBSTRAT ET CHARGE ACTIVE

IV/1. Origine

Le principal point faible du circuit à effet de substrat présenté précédemment est la faible isolation entre le port OL et le port RF. En effet, ces deux signaux sont appliqués directement de part et d'autre de la capacité MOS ce qui explique leur forte interaction. Cet aspect est d'autant plus gênant qu'il favorise l'automélange et empêche donc le mélangeur de supporter des architectures de type 'low IF' ou 'zéro IF', d'autre part, le gain de ce circuit, directement lié à l'amplitude du signal délivré par l'oscillateur local, devient un paramètre limitant de l'isolation dans ce cas. Nous avons donc mis en place le mélangeur à effet de substrat et charge active afin d'endiguer ce problème.

IV/2. Théorie

Le principe de charge active consiste à déplacer le point d'application du signal RF sur le transistor effectuant la conversion courant-tension tout en gardant l'accès bulk comme port d'application de l'oscillateur local. La figure III.21 présente le circuit théorique sur lequel va être développé le calcul mettant en évidence le caractère mélangeur de la structure.

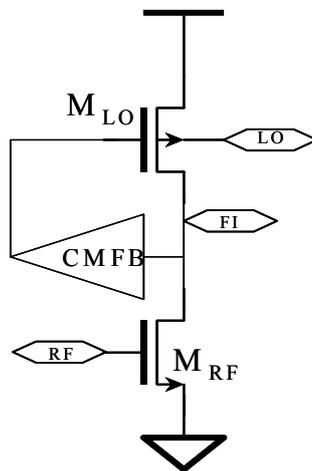


Figure III.21 : circuit théorique du principe d'effet de substrat à charge active

Dans la figure II.21 on peut écrire le courant dans chacun des transistors M_{RF} et M_{LO} de la manière suivante :

$$\begin{cases} I_D = K_{RF} (V_{GSRF} - V_{TN})^2 \cdot (1 + \lambda_N \cdot V_{DSRF}) & (eq.III.8) \text{ et } (eq.III.9) \\ I_D = K_{OL} (V_{GS0} - V_{TLO})^2 \cdot (1 + \lambda_P \cdot V_{DSOL}) \end{cases}$$

Avec K_{RF} and K_{OL} les paramètres de transconductance des transistors, V_{TN} et V_{TOL} les tensions de seuil, et λ_i le paramètre de longueur de modulation de canal. Voici l'expression des signaux V_{RF} et V_{OL} appliqués respectivement sur le port RF et OL s'écrivant de la manière suivante :

$$V_{GSRF} = V_{GS0RF} + V_{RF} \cos(\omega_{RF} t)$$

$$V_{TOL} = V_{TP} - \alpha V_{OL} \cos(\omega_{OL} t)$$

D'autre part on peut écrire que $-V_{DSLO} = V_{DD} - V_{DSRF}$ si V_{DSRF} a la forme suivante :

$$V_{DSRF} = \frac{1}{\lambda} \left(\frac{I_D}{K_{RF} (V_{GSRF} - V_{TN})^2} - 1 \right) \quad \text{avec} \quad -\lambda_P = \lambda_N = \lambda. \quad (eq.III.10)$$

En introduisant V_{DSOL} dans l'expression du courant I_D eq.II.9 on obtient pour ce dernier la forme suivante :

$$I_D = K_{OL} \cdot (2 + \lambda V_{DD}) \cdot (V_{GS0} - V_{TOL})^2 \frac{K_{RF} (V_{GSRF} - V_{TN})^2}{K_{RF} (V_{GSRF} - V_{TN})^2 + K_{OL} (V_{GS0} - V_{TOL})^2} \quad (eq.III.11)$$

On peut s'implifier l'expression précédente comme suit, en négligeant les composantes alternatives au dénominateur :

$$I_D \approx K_{OL} \cdot (2 + \lambda V_{DD}) \cdot (V_{GS0} - V_{TOL})^2 \frac{K_{RF} (V_{GSRF} - V_{TN})^2}{K_{RF} (V_{GS0RF} - V_{TN})^2 + K_{OL} \cdot (V_{GS0} - V_{TP})^2} \quad (eq.III.12)$$

De nombreuses harmoniques sont issues du produit présent au numérateur, seul le mélange entre V_{TOL} et V_{GSRF} nous intéresse et va être conservé dans l'expression finale du courant dynamique i_D de I_D :

$$i_D \approx \frac{K_{RF} \cdot K_{OL} \cdot (2 + \lambda V_{DD})}{K_{RF} (V_{GS0RF} - V_{TN})^2 + K_{OL} \cdot (V_{GS0} - |V_{TP}|)^2} (V_{GS0RF} - V_{TN}) \cdot (V_{GS0} - |V_{TP}|) \cdot (-\alpha V_{GS0} V_{TN}) \times V_{RF} \cdot V_{OL} \times \cos(\omega_{OL} - \omega_{RF})$$

IV/3. Le circuit

L'architecture finale est une structure différentielle capable d'effectuer la démodulation de signaux quadratiques de type IQ. Dédié au standard UMTS (bande de fréquence 2 GHz), dont les caractéristiques sont rassemblées en annexe 6, ce circuit, présenté en figure II.20, peut se diviser en deux parties distinctes : le mélangeur lui-même et la contre réaction d'autre part. Le mélangeur est construit autour de la structure différentielle M_{RF1} , M_{RF2} , M_{LO1} , M_{LO2} dont la théorie a été présentée dans le paragraphe précédent. La dégénérescence inductive mise en place sur le port RF, dont le principe est développé dans le chapitre dédié aux amplificateurs faible bruit, permet de récupérer un maximum de signal en présentant une impédance d'entrée

de 50Ω à la fréquence du signal radiofréquence, et ainsi d'obtenir un meilleur gain de conversion. L'adaptation du port OL se fait par l'intermédiaire d'une self L_{tune} en série avec la capacité C_{tune} . La résistance R_{pol} relie le substrat N du transistor PMOS au V_{DD} .

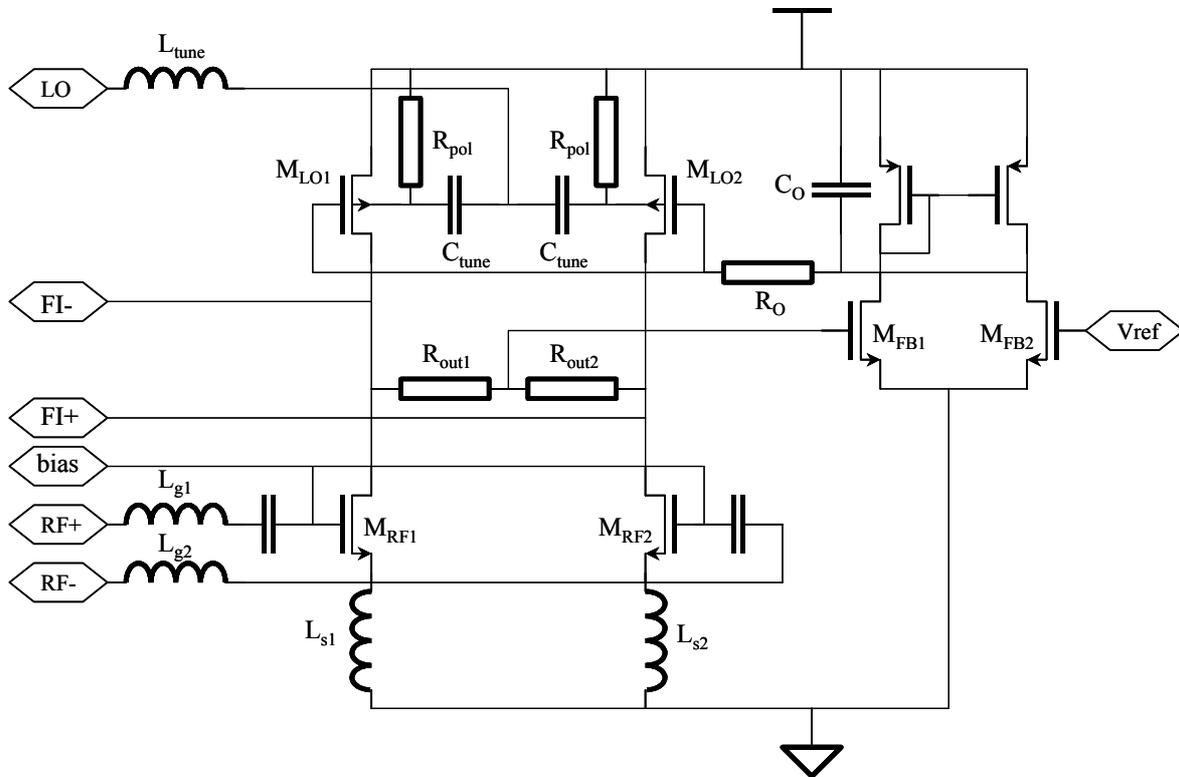


Figure III.22 : mélangeur à effet de substrat et charge active

La contre-réaction de mode commun (CMFB pour Common Mode FeeBack) réalisée autour de l'amplificateur différentiel M_{FB1} , M_{FB2} agit comme un filtre passe bas. En effet les faibles dimensions des transistors M_{FB1} et M_{FB2} limitent fortement le gain et la bande passante de la structure réduisant l'utilité du bloc à un asservissement de tension continue. Ce comportement de filtre passe bas est renforcé par la structure $(R_0//R_{MFB2})-C_0$ en sortie de contre-réaction. Cette CMFB a le double avantage d'éviter les oscillations possibles dues à la réinjection du signal de sortie sur la grille des transistors M_{LOi} ainsi que d'augmenter la linéarité en maintenant le niveau de tension continue en sortie du corps du mélangeur (donc les caractéristiques dynamiques de gain associées) 'indépendamment' de la puissance du signal d'entrée.

IV/4. Le test

Ce circuit réalisé en technologie CMOS VLSI $0,18 \mu\text{m}$ contenant 6 niveaux de métal peut être observé sur la figure III.23. De dimension réduite ($185\mu\text{m} \times 70\mu\text{m}$ sans PAD) ce mélangeur serait comme ses prédécesseurs un bon candidat pour les applications de type SoC ; si

toutefois les selfs de dégénérescence inductive, externes ici, étaient intégrées ou encore supprimées.

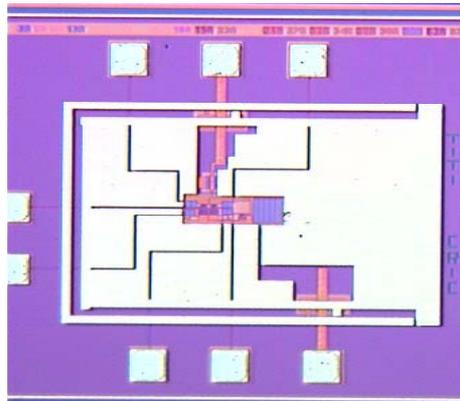


Figure III.23 : photo du circuit dans la puce

Le schéma de test de la puce est présenté en figure III.24. On peut remarquer l'ajout de capacités $C_{\text{tune}i}$ et inductances $L_{\text{tune}i}$ en série avec les lignes 50Ω afin de réaliser un affinage de l'adaptation finale sur chaque accès.

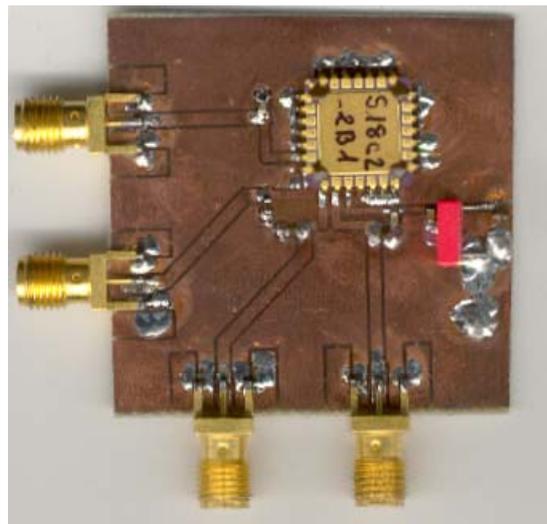


Figure III.24 : photo de la carte de test

La puce est encapsulée dans un boîtier de type JLCC44 et reportée sur un PSB de type FR4, la carte de test, réalisée au moyen du logiciel PROTEUS, est présentée en figure III.24. Celle-ci comporte un plan de masse sur face non visible et de l'autre des lignes microstrip 50Ω connectées entre les prises axiales SMA et le boîtier. La dégénérescence inductive de l'étage d'entrée RF se fait par des selfs externes ($L_{\text{tune}5}$) comme le montre la schématique de cette carte, figure III.25. Toutes les autres inductances $L_{\text{tune}i}$ et capacités $C_{\text{tune}i}$ sont utilisées pour l'affinage de l'adaptation d'entrée à 50Ω .

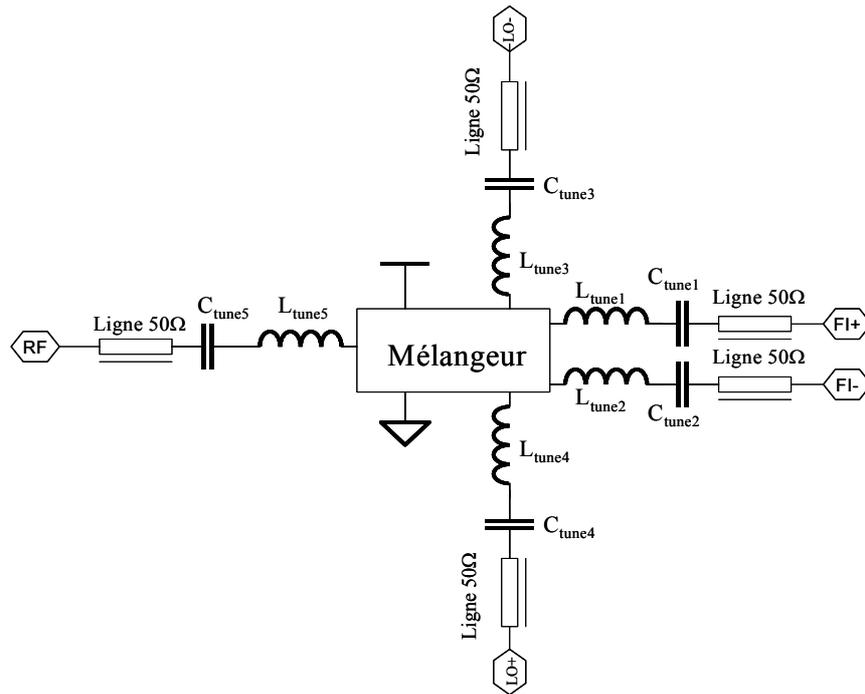
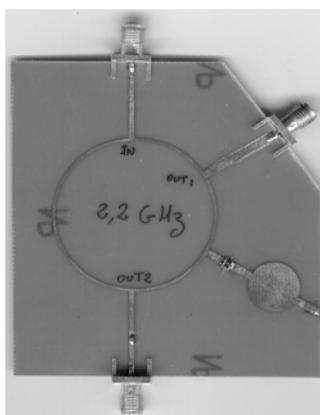


Figure III.25 : photo et schématique de la carte de test

Afin de réaliser le signal d'entrée RF différentiel il nous a fallu réaliser un déphaseur. Ce circuit passif présenté en figure III.26 fournit deux signaux en opposition de phase sur les voies out₁ et out₂ à partir d'un signal source connecté en entrée IN dans la bande de fréquence 1,8 GHz à 2,4 GHz. Les caractéristiques de ce déphaseur sont présentées aux côtés de la photo en figure III.25, on peut constater que ce dispositif passif fonctionne sur une 'large' bande de fréquence mais en atténuant le signal d'origine de 6 dB. C'est en s'appuyant sur le travail présenté en [13] que cette structure appelée 'ring resonator' a été réalisée.



Bande passante	1.8 - 2.4 GHz
Pertes	-6dB

Figure III.26 : déphaseur 2 GHz

Les mesures de ce circuit ont été réalisées au moyen d'un générateur Agilent 89441A, d'une sonde active de type Agilent 85024A, d'un analyseur de réseau HP 8722D et d'un analyseur de spectre HP 54750A. Celles ci sont rassemblées dans le tableau III.5.

La première caractéristique à observer est l'isolation entre le port RF et le port OL puisque c'est à l'origine pour celle-ci que ce mélangeur a été mis en œuvre. Mesurée à -52 dB elle est l'unique réalisation, ressentie à ce jour dans la littérature, à franchir les -50 dB, permettant à ce mélangeur d'accéder aux applications de type 'low IF' et même 'zéro IF'. Le gain de la structure, 10 dB, est lui aussi remarquable, bénéficiant à la fois du principe de charge active et de l'architecture différentielle. La figure de bruit reste dans les normes UMTS avec 14 dB de même que la linéarité avec un point de compression -1 dB aux alentours de -15 dB et un IIP3 de -5 dB. Enfin la consommation, 6 mA, garde ce circuit dans la lignée des structures adaptées à la faible consommation. Ce mélangeur a fait l'objet d'une publication et d'une présentation orale en conférence internationale, RFIC, en 2003 à Philadelphie [16].

Tableau III.5 : tableau de mesures

Technologie	HCMOS8
Tension d'alimentation	1,8V
Courant consommé	6 mA
Gain de conversion	10 dB
Figure de bruit	14 dB
ICP1	-15 dBm
IIP3	-5 dBm
isolation OL>RF	-52 dB
Fréquence RF	2 GHz
Fréquence OL	2,2 GHz (0 dBm)

VI CONCLUSION

Au cours du travail réalisé dans le cadre des mélangeurs nous avons, dans un premier temps, mis en évidence le principe de mélange par effet de substrat au moyen d'équations analytiques. Ainsi nous avons pu optimiser cette approche en l'appliquant à différents circuits tels le 'mélangeur simple à effet de substrat' puis le 'mélangeur à effet de substrat avec charge active'. D'excellentes caractéristiques ont pu être obtenues permettant à ces circuits de répondre parfaitement aux normes du standard pour lequel ils sont dédiés, l'UMTS, toujours dans une contrainte de faible tension / faible consommation afin d'anticiper les futures contraintes de conception. A ce titre nous avons évoqué, dans le chapitre premier, les deux chemins vers lesquels s'oriente la conception de circuit aujourd'hui : d'une part, la création

d'architectures innovantes, c'est à cette voie qu'appartiennent les mélangeurs à effet de substrat, d'autre part, les réalisations par succession d'étage. Nous avons donc aussi conçu pour cette dernière catégorie un mélangeur grille-source avec préamplificateur dédié au standard 802.11a sous 1V. Sa structure, certes moins innovante que les mélangeurs à effet de substrat, requiert toutefois une adaptation conceptuelle particulière afin de proposer d'aussi bonnes caractéristiques que ses 'concurrents' sous faible tension d'alimentation.

En réalisant des circuits appartenant à chaque catégorie citée précédemment nous avons pu constater l'efficacité des deux tendances actuelles de conception de mélangeurs à répondre aux contraintes imposées par les différents standards de télécommunication actuels.

Bibliographie du chapitre 3

- [1] A.Rofouragan, J.Y.C.Chang, M. Rofouragan, and A.A.Abidi, "A 1GHz CMOS RF Front-End IC for a Direct-Conversion Wireless Receiver", *IEEE journal of solid-state circuits*, vol 31, n°7, pp. 880-889, 1996
- [2] K.Lim, C.Park; H.Ki Ahn; J.Kim; B. Kim, "A fully integrated CMOS RF Front-End with On-chip VCO for WCDMA applications", *IEEE proceeding of Integrated Solid State Circuits Conference*, San Francisco, USA, Feb. 2001, pp. 286-287
- [3] K. Runge, D. Pehle, B. Schiffer, "On-chip matched 5.2 GHz differential integrated mixer with RF and LO preamplification, fabricated in 0.35 μm CMOS technology", *IEEE Electronics letters*, vol. 35, n°18, pp. 1545-1549, 1999
- [4]F.Sevelto, M. Conta, V. Dilla Torre, R. Castello, "A low voltage topology for CMOS RF mixers", *IEEE transactions on Consumer Electronics*, vol.45, n°2, pp. 299-309, 1996
- [5]Andrew N. Karanicolas, "A 2.7V 900MHz CMOS LNA and Mixer", *IEEE journal of solid-state circuits*, vol 31, n°31, pp. 193-194, 1996
- [6] Jan Crols, Michiel S.J. Steyaert, "A 1.5 GHz Highly Linear CMOS Downconversion Mixer", *IEEE journal of solid-state circuits*, vol 30, n°7, pp. 736-742, 1996
- [7] A.F. Borremans, Michiel S.J. Steyaert, "A 2V Low Distortion, 1GHz CMOS Up-Conversion Mixer", *IEEE journal of solid-state circuits*, vol 33, n°3, pp. 359-366, 1998
- [8] Peter R. Kinget, M. S.J. Steyaert, "A 1GHz CMOS up Conversion Mixer", *IEEE journal of solid-state circuits*, vol 32, n°3, pp. 370-376, 1997
- [9] C.J. Debono, F. Maloberti, J. Micallef, "A 900MHz 0.9V Low Power CMOS Downconversion Mixer", *Proceeding of the 6th IEEE International Conference on Electronics, Circuits and Systems*, pp. 1511-1514, 1999.
- [10] P. J. Sullivan, B.A. Xavier, "Doubly Balanced Dual-Gate CMOS Mixer", *IEEE journal of solid-state circuits*, vol 34, n°6, pp. 878-881, 1999
- [11] G. Kathiresan, C. Toumazou, "A Low Voltage Bulk Driven Downconversion Mixer Core", *Proceeding of The International Symposium of Circuits And Systems*, IEEE (ISCAS99), Orlando, Florida, USA, May 1999, pp. 882-886
- [12]] H. Wang, "A 1V multigigahertz RF mixer core in 0.5 μm CMOS", *IEEE Journal of Solid-State Circuits*, vol. 33, n°12, pp. 2265-2267, 1998.
- [13] H. Samavati, T.H. Lee, "A 5GHz CMOS Wireless LAN Receiver Front End", *IEEE journal of solid state circuits*, vol. 35, n°5, pp. 765-772, 2000

[14] T. Taris, J.-B. Bégueret, H. Lapuyade and Y. Deval "A 1 V RF frontal for both HIPERLAN/2 and 802.11a", *journées Faible Tension Faible Consommation (FTFC 2003)*, Paris, France, mai 2003, pp. 158-162

[15] T. Taris, Y. Deval, JB. Begueret "A VLSI CMOS 2 GHz active load body effect mixer", *IEEE Proceedings of the Design of Cir. and Int. Systems Conf. (DCIS'2001)*, Porto, Portugal, November 2001, pp. 474-477

[16] T. Taris, J.B. Begueret, H. Lapuyade and Y. Deval " A differential Implementation of the CMOS Active-Load Body-Effect ", *IEEE Radio Frequency Integrated Circuit (RFIC2003)*, 2003, Philadelphia, USA, pp.465-468

Chapitre 4

Les Amplificateurs de Puissance

Sommaire du chapitre 4

CHAPITRE 4	107
LES AMPLIFICATEURS DE PUISSANCE	107
I/ ETAT DE L'ART.....	111
I/1. Introduction.....	111
I/2. Classe A, B, AB et C	112
I/3. Classe D, E et F.....	116
I/4. La linéarisation	121
I/5. Conclusions.....	124
II/ PRÉAMPLIFICATEUR À CLASSE CONTRÔLABLE	125
II/1. Origine.....	125
II/2. Théorie.....	125
II/3. Le circuit.....	127
II/4. Test et résultats	128
III/ CONCLUSION	131
Bibliographie du chapitre 4.....	132

// ETAT DE L'ART

I/1. Introduction

L'orientation prise par le marché de masse de fournir des objets communicants toujours plus légers mais capables de réaliser plusieurs fonctions simultanément (multi-tache), conduit à réduire la taille physique des batteries donc la consommation générale du système. C'est à cause de cette tendance que l'amplificateur de puissance est devenu une structure critique des systèmes embarqués. Sa forte consommation reste actuellement la caractéristique principale à optimiser pour des applications de type mobile. L'amplificateur de puissance est, comme son nom l'indique, un amplificateur, que l'on trouve en fin de chaîne d'émission, qui va hisser le signal utile en bande de base (BB) à un niveau de puissance suffisant pour qu'il puisse supporter les multiples atténuations que va lui apporter son canal de transmission. Voici en figure IV.1 le synoptique d'une chaîne d'émission traditionnelle.

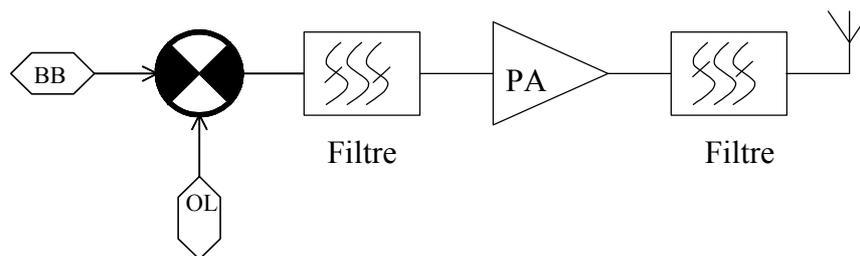


Figure IV.1 : chaîne d'émission

Celle-ci comporte un mélangeur, un filtre à réjection d'image, l'amplificateur de puissance, un filtre puis l'antenne d'émission. La quasi-totalité de la consommation de cette chaîne est supportée par l'amplificateur de puissance justifiant la focalisation actuelle du travail de conception lié aux systèmes d'émission.

On regroupe les amplificateurs de puissance suivant leur classe (A, B, C, AB, D, E et F) [1]. Ces dernières, décrites dans le tableau IV.1, sont liées au temps de conduction du transistor donc au rendement, c'est-à-dire la faculté du circuit à produire de la puissance en fonction de la puissance qui lui est fournie. Il existe plusieurs types de rendements. Pour commencer nous utiliserons le plus simple d'entre eux défini comme le rapport entre la puissance RF disponible en sortie et la puissance totale consommée.

Table IV.1 : différentes classes d'amplificateur

Classe	Mode	Entrée	Angle de conduction	Rendement théorique max
A	Source de courant	Petits signaux	100%	50%
AB	Source de courant	Petits signaux	$50% < \theta < 100%$	$> 50%$
B	Push-pull	Petits signaux	50%	78.5%
C	Source de courant	Petits signaux / grands signaux	$< 50%$	100%
D	Commutation	Grands signaux	50%	100%
E	Commutation	Grands signaux	50%	100%
F	Résonateur	Grands signaux	50%	100%

L'angle de conduction est défini comme le rapport entre l'angle de conduction exprimé en radian et 2π , ramené en pourcent.

I/2. Classe A, B, AB et C

Nous allons dans un premier temps décrire ces quatre classes en même temps car le transistor autour duquel elles se construisent est toujours considéré comme une source de courant. Voici en figure IV.2 le schéma du circuit sur lequel les différents calculs vont être menés :

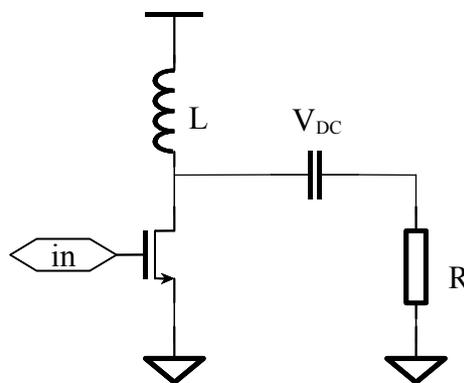


Figure IV.2 : circuit théorique [2]

L'étude de ces classes peut se faire sur le circuit présenté en figure IV.2 en respectant pour chacun l'angle de conduction (ici contrôlé par la polarisation). En figure 3 sont représentées les droites de charges associées aux différentes classes de conductions dans le réseau de caractéristique $I_D(V_{in})$ du transistor :

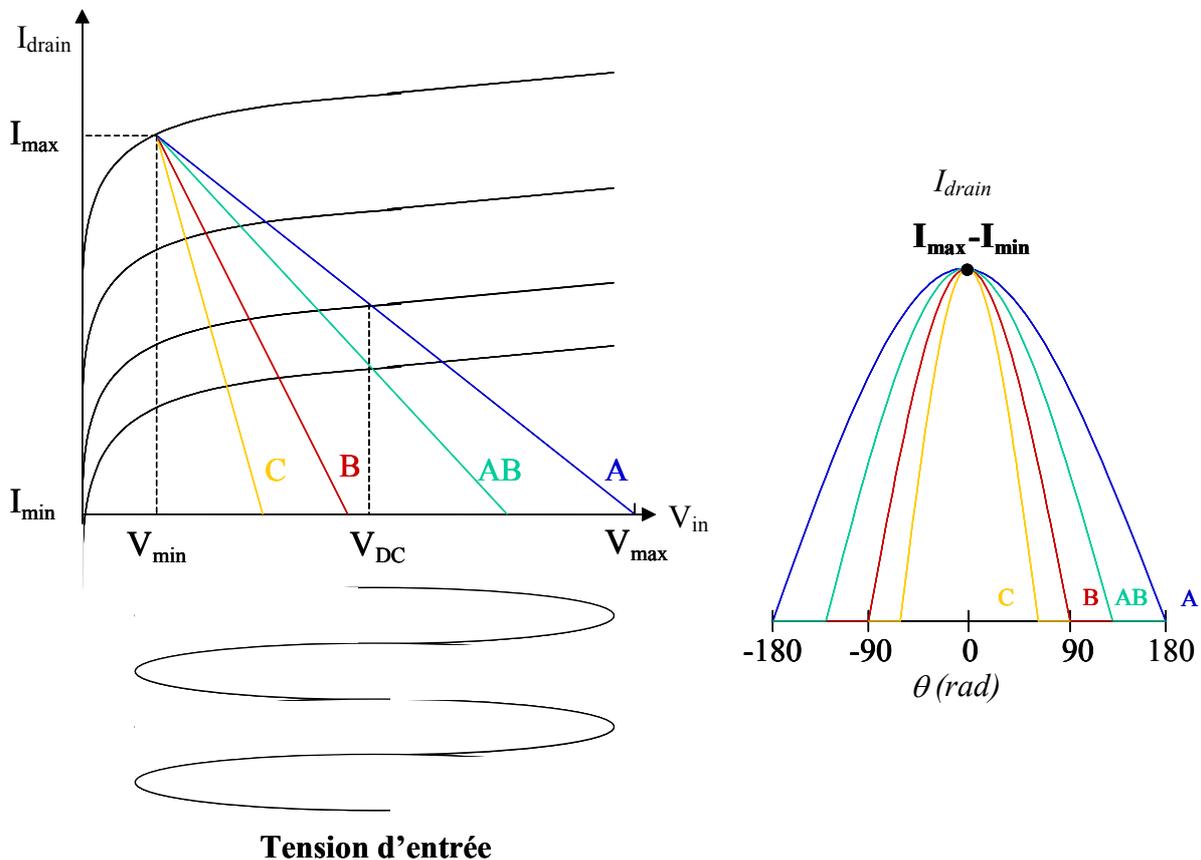


Figure IV.3 : polarisation des classes A, B, AB et C

On va donc caractériser chaque classe par son rendement où Power Added Efficiency (PAE noté aussi η) défini comme suit :

$$PAE = \frac{(P_{rf,out} - P_{rf,in})}{P_{dc}} \quad (1)$$

C'est le rapport entre la puissance disponible en sortie moins la puissance fournie en entrée sur la puissance totale consommée par l'amplificateur. Appliquée au circuit de la figure IV.2, et pour un signal d'entrée sinusoïdal, celle-ci s'exprime de la manière suivante [3]:

$$PAE = \frac{V_{dd} - V_{dsat}}{V_{dd}} \frac{\theta - \sin \theta}{4 \cdot (\sin \frac{\theta}{2} - \frac{\theta}{2} \cos \frac{\theta}{2})} \quad (2)$$

Avec θ l'angle de conduction du courant de drain, V_{dd} la tension d'alimentation et V_{dsat} la tension de saturation de drain. Ainsi il paraît évident que le rendement de l'amplificateur est directement lié à la classe à laquelle elle appartient. Toutefois cette expression ne rend pas

compte de la puissance réelle délivrable par le circuit et c'est pour combler cette carence que l'on exprime aussi la puissance de sortie complète :

$$P_{out} = \frac{1}{2}(V_{dd} - V_{dsat}) \frac{I_m}{2\pi} (\theta - \sin \theta) \quad (3)$$

Avec I_m le courant maximal passant dans le transistor. A partir de ces deux expressions (2) et (3) on peut tracer l'évolution de la puissance disponible ainsi que du rendement en fonction de l'angle de conduction :

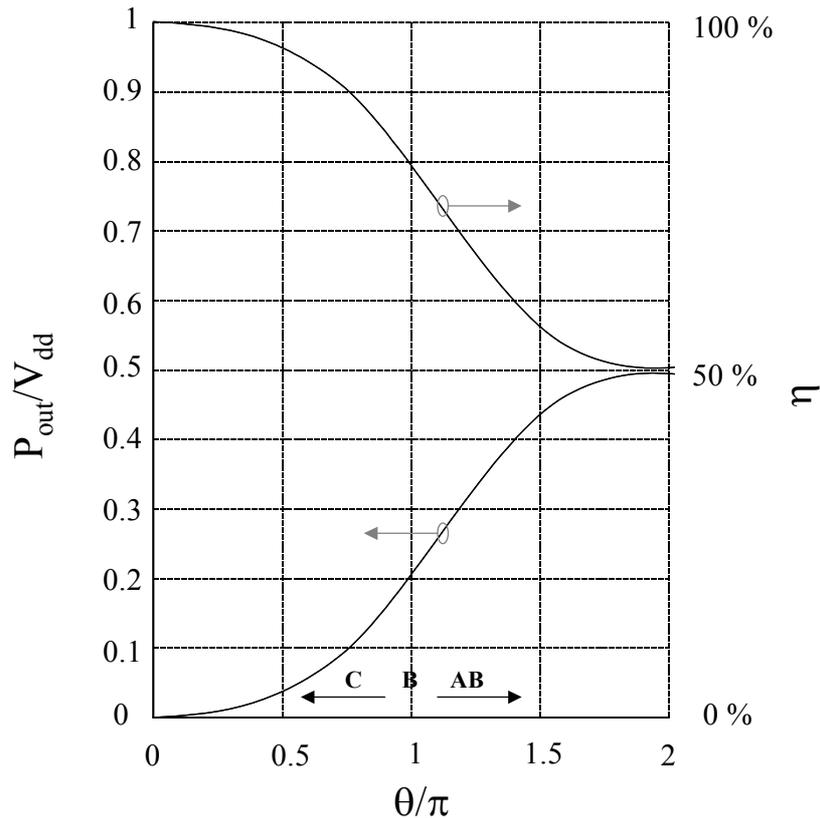


Figure IV.4 : Puissance RF et rendement en fonction de l'angle de conduction

Nous allons commencer notre étude par la classe C [4], qui, même si elle utilise le transistor comme source de courant, n'est pas une classe linéaire. Atteignant un rendement proche des 100%, figure IV.4, sa très faible puissance de sortie lui permet uniquement d'être utilisée pour des applications à émission de faible portée. Pour cette raison elle ne peut être comparée aux classes A, AB et B.

En ce qui concerne les autres classes, on peut remarquer que l'augmentation du rendement s'obtient par une diminution de l'angle de conduction mais aussi par une diminution de la puissance délivrée en sortie. Ceci est un problème d'autant plus d'actualité que la diminution des longueurs de grille des technologies CMOS, de l'ordre de 100 nm aujourd'hui, limite grandement la capacité des transistors à fournir de la puissance. Comme on peut déjà le

remarquer dans la table IV.1 et comme le confirment les études précédentes le rendement de la classe A ne fait pas de cette dernière une véritable catégorie d'amplificateur de puissance. Nous ne trouverons donc pratiquement jamais d'amplificateur polarisé en classe A dans les chaînes d'émission. Il reste à analyser les classes B et AB puisque seules ces deux dernières correspondent aux requêtes des amplificateurs de puissance « linéaires ». Pour cela une dernière étude analytique va nous permettre de définitivement déterminer quelle catégorie intègre le meilleur compromis. La figure IV.5 présente l'amplitude des composantes harmoniques normalisées (I_m/I_{max}) du courant de drain en fonction de la classe dans laquelle le transistor fonctionne [3] :

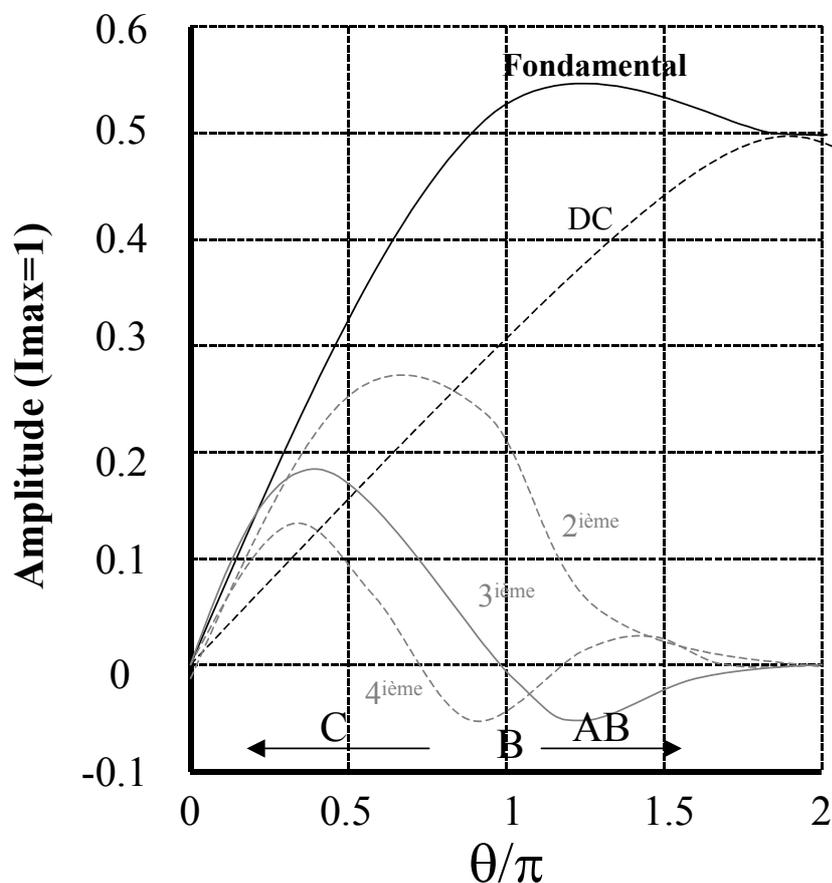


Figure IV.5 : amplitude normalisée des harmoniques du courant de drain suivant la classe de fonctionnement

En observant la figure 5 on constate que la décroissance de la composante continue (notée DC) est monotone avec la diminution de l'angle de conduction. En mode de fonctionnement classe B la composante fondamentale est la même qu'en classe AB alors que la composante continue est diminuée de $\pi/2$. Cependant l'harmonique d'ordre deux qui ne transporte aucune

information reste importante. Ainsi il vient que la classe intégrant le meilleur compromis entre rendement et linéarité reste la classe AB [5] puisque l'amplitude du fondamental est maximale pour un courant DC proche de celui de la classe B et des harmoniques faibles. On retrouvera donc souvent cette classe de fonctionnement dans les débuts de chaîne d'émission afin de « préamplifier » un signal sans trop le distordre.

I/3. Classe D, E et F

L'analyse de ces classes d'amplification nécessite une approche différente du fonctionnement du transistor. Jusqu'alors, la table 1 indiquait que nous utilisions le transistor comme une source de courant, maintenant, ce dernier est considéré comme un interrupteur parfait. Ceci permet de travailler avec des tensions de commande de type 'carré' qui tirent alors meilleur profit de la puissance disponible dans l'alimentation mais au détriment de la linéarité. Ainsi, toutes les classes présentées ici ont un rendement théorique (PAE) proche de 100% ce qui ne permet pas réellement de les comparer entre elles ; c'est pourquoi nous allons plutôt exclusivement nous intéresser à ce que l'on appelle la puissance normalisée. Celle-ci se définit comme le rapport entre la puissance totale disponible en sortie et le produit de la tension maximale par le courant maximal appliqué au transistor. Ainsi ce facteur explicite le profit tiré de la puissance disponible par rapport au stress appliqué au composant.

Classe D

Voici en figure IV.6, l'exemple d'un schéma d'un amplificateur de classe D. Nous remarquons l'apparition de transformateurs à point milieu qui vont être commandés par les transistors M_1 et M_2 . Enfin, le réseau adaptatif de sortie n'est plus une charge (L//C) mais un réseau série LC.

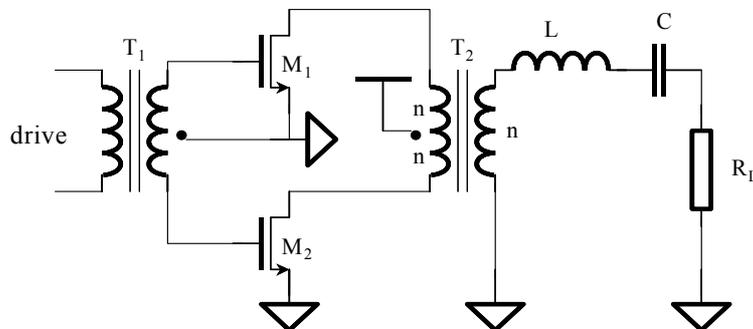


Figure IV.6 : amplificateur classe D

Le signal d'entrée noté "drive" est tel qu'en permanence l'un ou l'autre des transistors est ON. Les drains de M_1 et M_2 sont considérés à la masse alternativement ce qui induit, par l'intermédiaire de T_2 dont le point milieu est à V_{DD} , une tension de $2V_{DD}$ sur le drain de l'autre transistor. On aura par exemple les formes d'onde suivantes pour M_1 et M_2 .

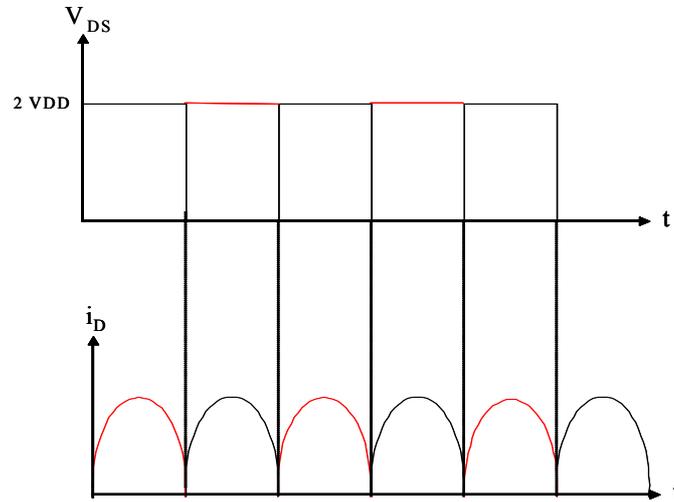


Figure IV.7 : formes d'onde de la classe D

Le transformateur T_2 n'ayant pas de point milieu en sortie reconstitue la forme sinusoïdale du courant induit par M_1 et M_2 comme il est présenté en figure IV.8. La charge R_L réalise la conversion tension-courant de l'harmonique fondamentale du signal filtré par le circuit LC série. On observe alors les formes d'onde suivantes aux bornes de T_2 .

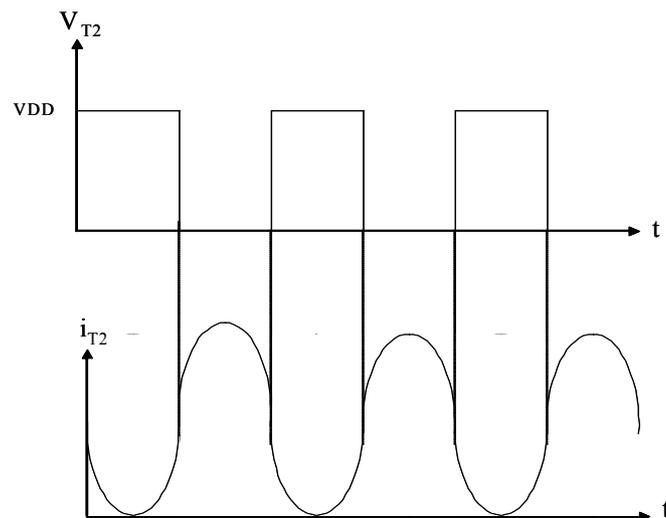


Figure IV.8 : forme d'onde en sortie du signal de sortie

Ainsi, dans la théorie, toute la puissance consommée par le circuit est retransmise en sortie donc le rendement est très proche de 100%. La puissance normalisée P_N , 0,32, est excellente ce qui traduit une bonne optimisation entre la puissance disponible et le stress appliqué au transistor :

$$P_N = \frac{P_{o,max}}{V_{ds,on} i_{D,peak}} = \frac{1}{\pi} \Rightarrow \approx 0.32$$

Cependant le principal désavantage de ce type de montage est sa fréquence de fonctionnement : en effet si l'un des deux transistors n'est pas totalement éteint avant que le second ne se mette en conduction, il y a alors un pic de consommation non négligeable qui annihile tous les avantages de la structure en terme de rendement. Pour éviter ce phénomène, les zones de chevauchement doivent être nulles et il faut éliminer les composantes parasites, ce qui revient à fonctionner loin de la fréquence de transition f_T .

Classe E

L'amplificateur classe E [6] [7] permet d'optimiser la structure du classe D en évitant de faire fonctionner le transistor à la fois en tension et en courant. Ceci permet d'atteindre des fréquences de fonctionnement largement supérieures à celles qui limitent la classe D mais encore au dépend du rendement et de la linéarité. Voici en figure IV.9 la topologie de ce montage:

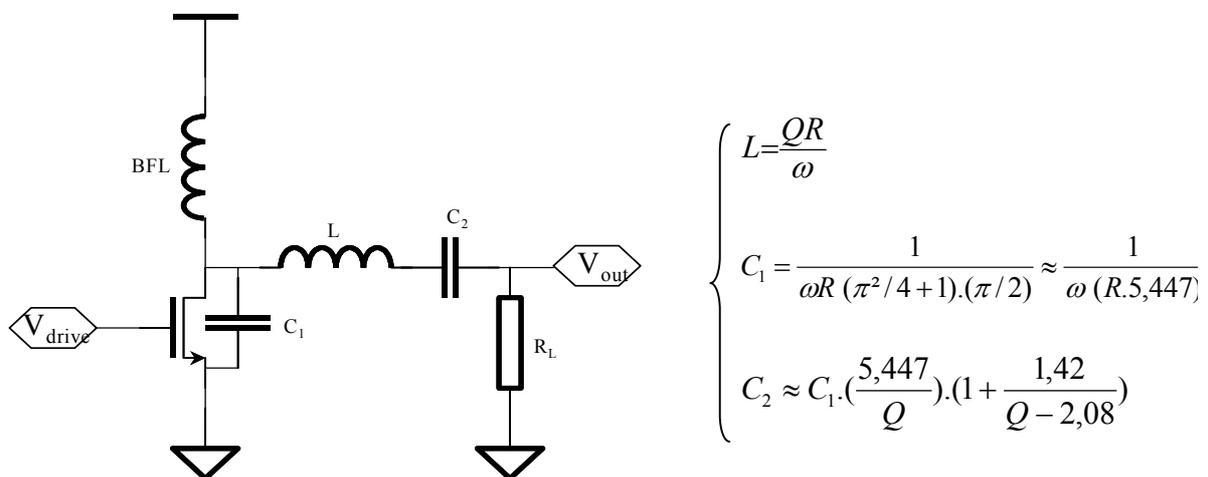


Figure IV.9 : amplificateur classe E.[2]

Pour le détail des équations, il convient de se référer à la publication [6]. Ce travail met en évidence que le circuit est fortement dépendant des caractéristiques du transistor au travers de l'accord en fréquence de la structure. On observe alors les formes d'onde suivantes:

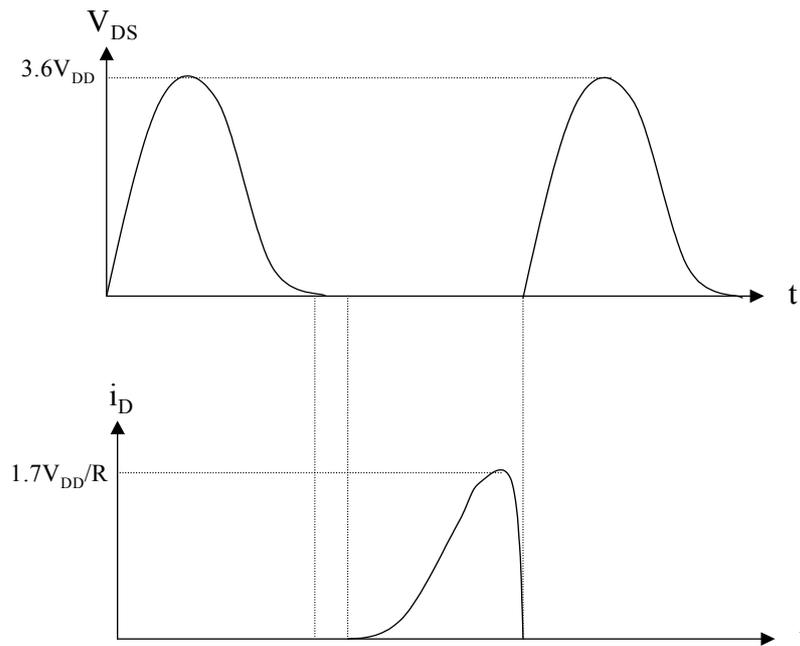


Figure IV.10 : formes d'onde de l'amplificateur classe E*

Le coefficient de surtension du circuit résonnant réalisé par BFL, C_1 et L conduit à imposer un fort stress en tension et en courant au transistor comme le montrent les formes d'ondes de V_{DS} et i_D de la figure IV.10. On pourra remarquer l'absence de zone de chevauchement entre la tension et le courant caractéristique du fonctionnement de la classe E.

$$P_N = \frac{P_o}{V_{DS,on} \cdot i_{D,peak}} \approx 0.098$$

La faible puissance normalisée de cette classe, 0,098, traduit le lourd stress imposé au composant, ce qui n'est pas très favorable à la conservation des caractéristiques du circuit au cours du temps. D'autre part la puissance intrinsèque que cette classe est capable de fournir, n'est pas suffisante pour répondre aux requêtes des standards de télécommunication sans fil actuels ; c'est pourquoi elle nécessite toujours d'être associée à un autre étage de puissance.

Classe F

Le classe F [8] utilise toujours le transistor comme un interrupteur mais il reconstruit le signal au moyen d'un grand coefficient de surtension Q de la charge accordée. Le schéma de principe est le suivant:

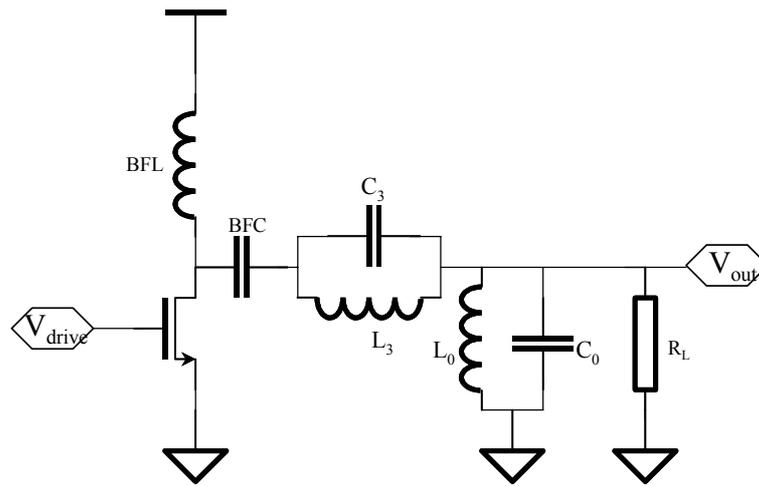


Figure IV.11 : amplificateur classe F

La particularité de ce circuit est son réseau de sortie qui résonne à plusieurs fréquences. L'inductance BFL agit comme une source de courant DC présentant une impédance 'infinie' à la fréquence de résonance, L_3C_3 résonne à la fréquence $2f_{in}$ ou $3f_{in}$, suivant le choix du concepteur, afin de renforcer la forme carrée du signal récupérée sur le drain du transistor comme le montre la figure IV.12. Enfin le filtre L_0C_0 reconstruit le signal sinusoïdal à partir de la pseudo-forme carrée du signal V_{DS} .

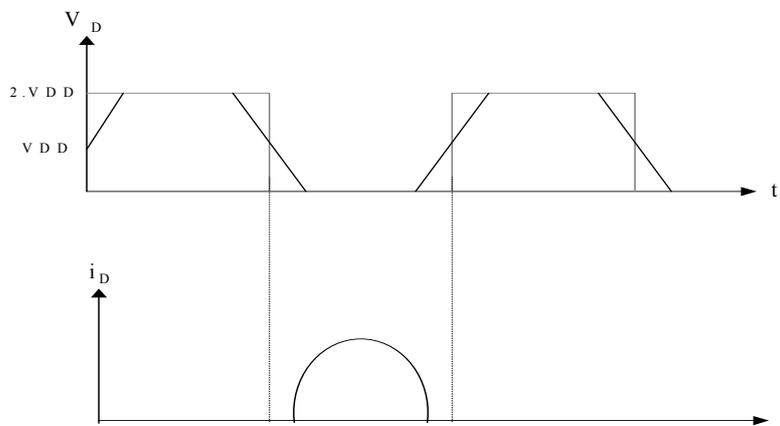


Figure IV.12 : formes d'onde de la classe F

La puissance normalisée de ce montage s'écrit de la manière suivante :

$$P_N = \frac{P_o}{i_{D, pk} V_{DS, on}} = \frac{[(4/\pi)V_{DD}]^2}{2V_{DD} \cdot (\frac{8}{\pi} \cdot \frac{V_{DD}}{R})} = \frac{1}{2\pi} \approx 0,16$$

Nous remarquerons en premier lieu que la puissance normalisée (P_N) est exactement la moitié de celle du montage en classe D, c'est pour cela que l'on considère le classe F comme un classe D mais non différentiel dans notre cas. Toutefois, cette puissance normalisée (P_N)

supérieure à celle de la classe E est essentiellement due à la puissance disponible sur la charge.

D'autre part, l'accord en fréquence du circuit ne se fait pas grâce aux composants parasites du transistor, contrairement au classe E, la réalisation de celui-ci s'en trouve facilitée et tournée vers la production de masse.

I/4. La linéarisation

Nous avons pu remarquer que l'axe d'étude principal des amplificateurs se fait essentiellement autour du dilemme rendement/linéarité. Par conséquent, il nous faut donc aussi rappeler les quelques grandes techniques de linéarisation, plutôt dédiées aux amplificateurs à haut rendement, afin de bien cerner les contraintes de conception appliquées à la réalisation des amplificateurs de puissance.

La technique « feed forward »

La linéarisation par la technique de « feed forward » part du principe qu'un amplificateur non linéaire génère un signal qui se compose d'une partie linéaire et d'une partie non linéaire. La technique décrite ici en figure IV.13 récupère le signal de l'amplificateur principal (point M) et en extrait la non linéarité en le divisant par le gain. Soustrayant le résultat (point N) au signal d'origine l'erreur ainsi obtenue (point P) est amplifiée (point Q) puis soustraite au signal d'origine amplifié. Généralement les circuits 'amplificateur principal' et 'amplificateur erreur' amènent des retards et des déphasages que l'on combat en introduisant des blocs de retard du type Δ_1 et Δ_2 .

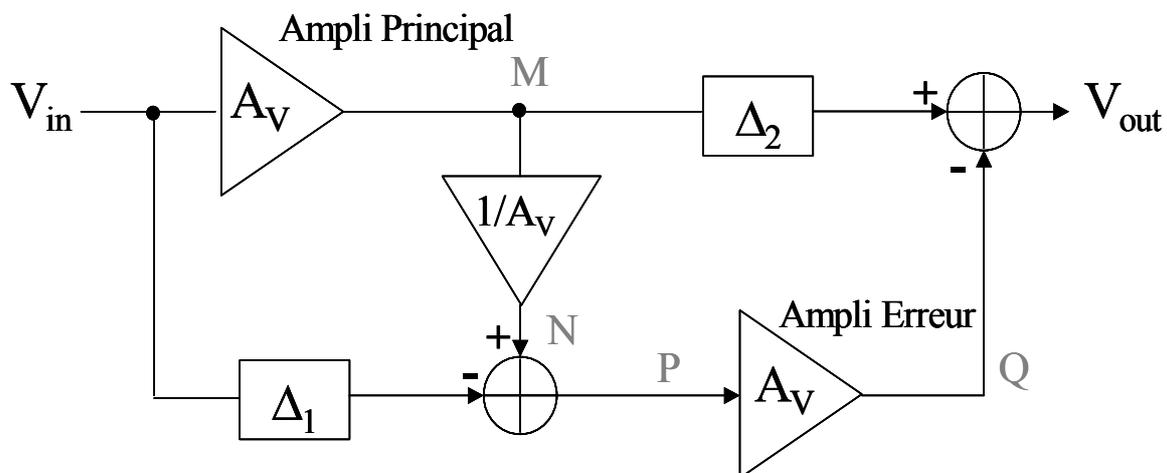


Figure IV.13 : linéarisation par la technique de 'feed forward'

Ce procédé, assez lourd à mettre en place, est plutôt orienté pour l'intégration dans les stations de base ou les stations relais. Il demande que les amplificateurs utilisés soient parfaitement caractérisés et sans dispersion de paramètres, ce qui n'est pas toujours le cas.

L'amplificateur de Doherty

La technique de Doherty décrite en figure IV.14 est plutôt un système permettant d'étendre la linéarité que de l'augmenter puisqu'elle consiste à compenser le manque de puissance d'un amplificateur par l'association d'un autre. La figure 14 décrit la mise en place du système : le signal d'origine est amplifié par deux voies distinctes 'Amplificateur Principal' et 'Amplificateur Auxiliaire' puis les sorties de chacune sont reliées pour recombinaison le signal.

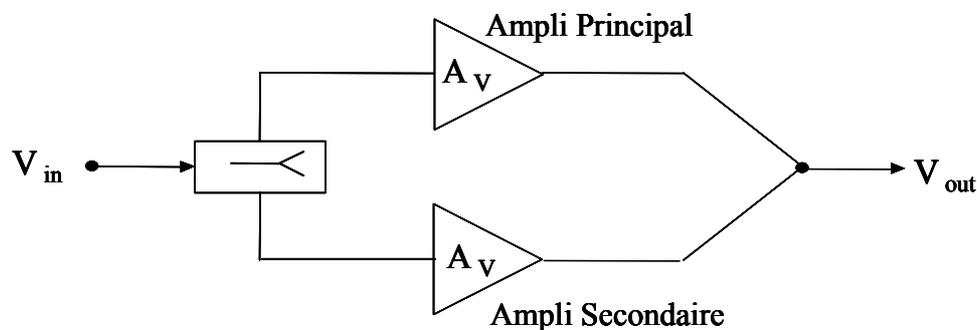


Figure IV.14 : Schémas du système de Doherty

La courbe de réponse de chacun des deux amplificateurs est décrite dans la figure IV.15. Lorsque l'Amplificateur Principal sature, l'Amplificateur Auxiliaire vient compenser ce manque de puissance, ainsi la combinaison des deux est une droite traduisant le comportement linéaire général de la structure.

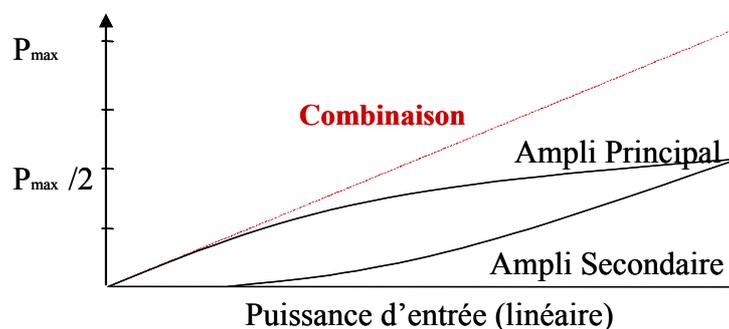


Figure IV.15 : courbe de réponse en puissance de sortie et des amplificateurs du système de Doherty

L'Élimination et la restauration d'enveloppe (Elimination and Envelop Restoration (EER))

Cette technique est dédiée aux modulations d'amplitude (ou amplitude et phase) puisqu'elle est basée sur la récupération d'enveloppe et de phase qui sont par la suite traitées séparément. Amplifier un signal modulé en phase et en amplitude est une tâche linéairement difficile puisque l'influence de la moindre distortion sera d'autant plus grande qu'elle créera des non-linéarités en phase et en amplitude qui seront très difficiles à éliminer. En séparant l'amplification de chacune des composantes du signal d'origine on va pouvoir focaliser l'étude soit sur les distortions en phase soit sur les distortions en amplitude et ainsi mieux maîtriser leur impact. Comme le montre la figure IV.16, le signal RF est traité par un détecteur d'enveloppe d'une part et un limiteur d'autre part afin d'amplifier séparément chacune des deux composantes. Enfin, ces dernières sont associées à un « combineur » afin de reconstruire le signal d'origine. Ce dernier bloc est généralement un PA à gain contrôlé.

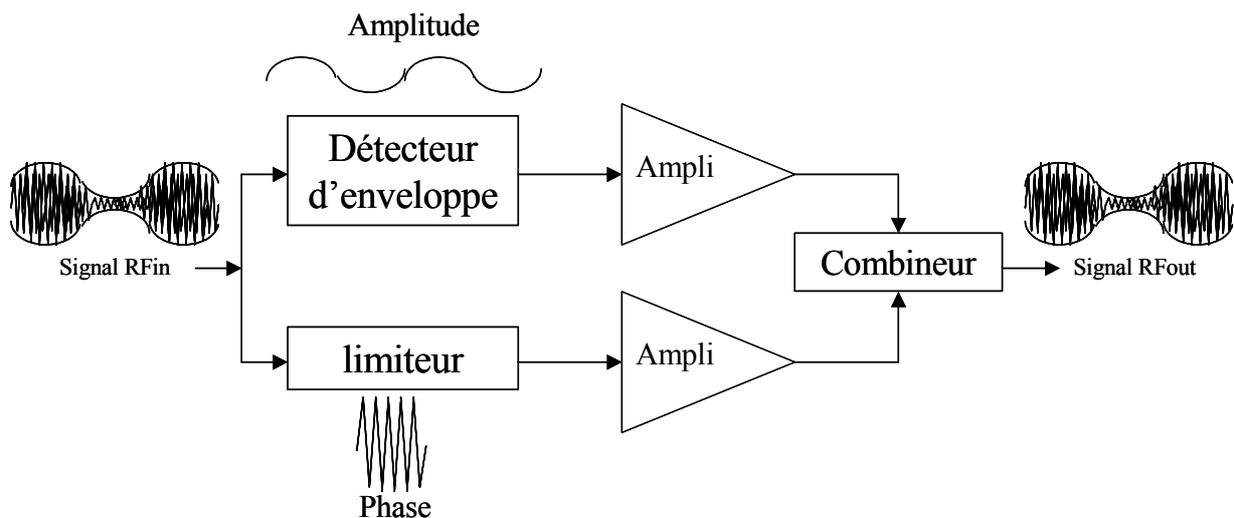


Figure IV.16 : technique de linéarisation par EER

Ainsi le principe d'amplification séparée de l'amplitude et de la phase a pour conséquence d'améliorer la linéarité globale du système. Cependant le détecteur d'enveloppe et le limiteur ont tendance à réduire la fréquence de fonctionnement de ce type de montage, et l'équilibrage des retards introduits dans chacune des deux voies est délicat à obtenir en toutes circonstances rendant cette technique peu adaptée à la production de série.

I/5. Conclusions

Nous avons ici défini l'essentiel des classes d'amplificateur, les rangeant en deux catégories bien distinctes : une première plutôt linéaire qui utilise le transistor comme une source de courant regroupant les classes A, B, AB et d'autre part les circuits à haut rendement regroupant les classes D, E et F utilisant le transistor comme un interrupteur. On peut rassembler ces dernières dans une illustration générale (figure IV.17) :

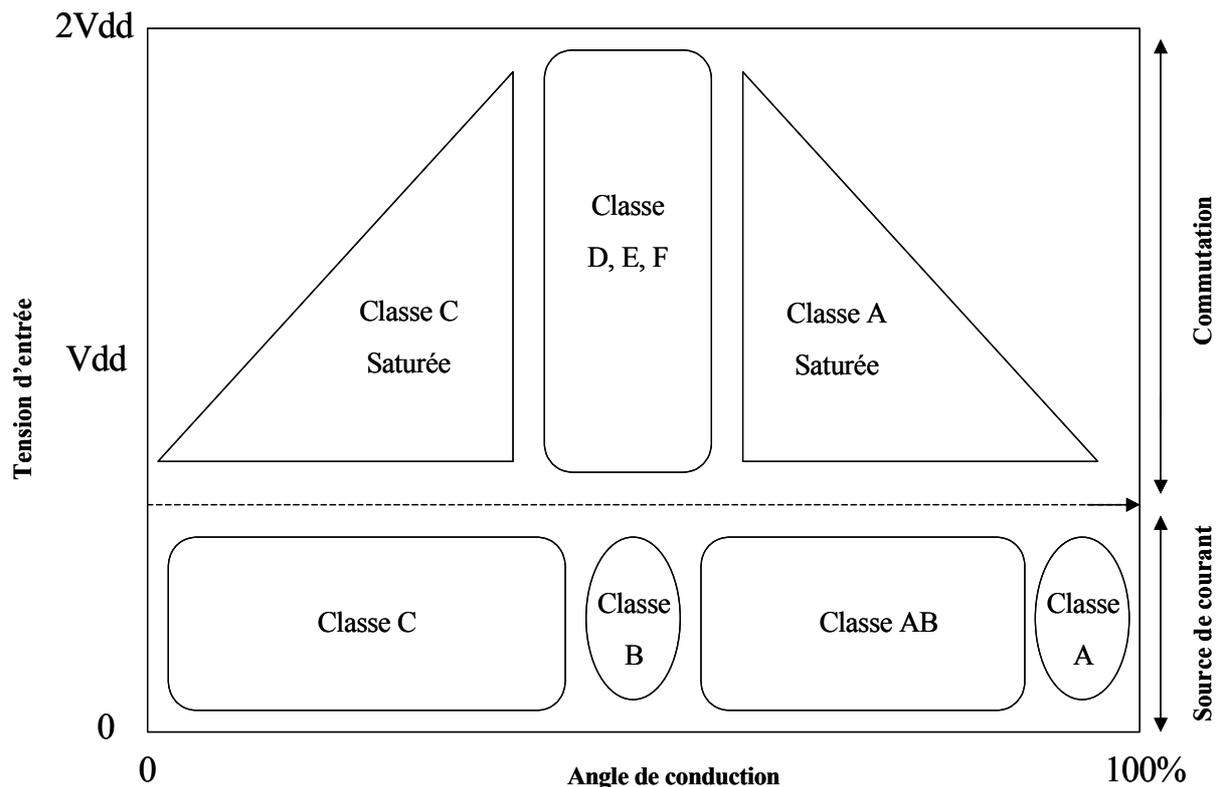


Figure IV.17 : classification des classes de fonctionnement

Il ressort que les nombreuses classes d'amplificateur de puissance laissent leur conception très ouverte. Le choix de l'une d'entre elles est avant tout guidé par le cahier des charges de l'application visée. Les contraintes peuvent être hétéroclites comme la linéarité (plutôt se tourner vers les classes A, AB, B) ou alors le rendement (D, E, F), mais encore l'encombrement (éviter alors les classes C et D à cause des selfs) ou bien le type de modulation transporté par le signal utile (AM qui requiert une grande linéarité par rapport à la FM...). Associés aux différentes techniques de linéarisation, on arrive à établir une gamme d'architectures permettant de répondre correctement aux nombreuses requêtes, très hétérogènes, du marché.

Cependant d'un point de vue pratique, ces amplificateurs restent très proches des topologies théoriques présentées ici ; c'est-à-dire des circuits simples et volumineux issus de

l'électronique discrète dont les performances souffrent fortement de la mauvaise qualité des composants passifs des technologies dans lesquelles ils sont intégrés.

III/ PREAMPLIFICATEUR A CLASSE CONTROLABLE

III/1. Origine

Les applications sans fil modernes sont conçues pour fonctionner avec plusieurs standards de communication dont les caractéristiques sont souvent différentes. A ce titre la linéarité (c'est-à-dire la puissance consommée) est une spécification clef du mode de fonctionnement. Actuellement il conviendrait de mettre en place des amplificateurs de puissance capables d'adapter en temps réel leur linéarité, donc leur classe d'opération, au standard pour lequel ils fonctionnent. C'est dans cette approche que nous avons conçu un préamplificateur de puissance reconfigurable pouvant fonctionner dans différentes classes.

III/2. Théorie

La majeure partie des amplificateurs à classe variable est basée sur le contrôle de leur polarisation. C'est donc tout naturellement que nous nous sommes tournés vers la conception d'un circuit à polarisation variable. Pour cela nous avons utilisé l'effet de substrat par l'intermédiaire de l'expression analytique suivante :

$$V_T = V_{T0} + \gamma \sqrt{2 \phi_F} \left[\sqrt{\left(1 - \frac{V_{BS}}{2 \phi_F} \right)} - 1 \right]$$

En appliquant une tension V_{BS} entre le substrat et la source du circuit, on peut contrôler la tension de seuil du transistor et par là même le courant de ce dernier et par conséquent son point de polarisation. La figure IV.18 illustre le sens de variation de la tension de seuil d'un transistor NMOS suivant la tension appliquée entre son substrat et sa source.

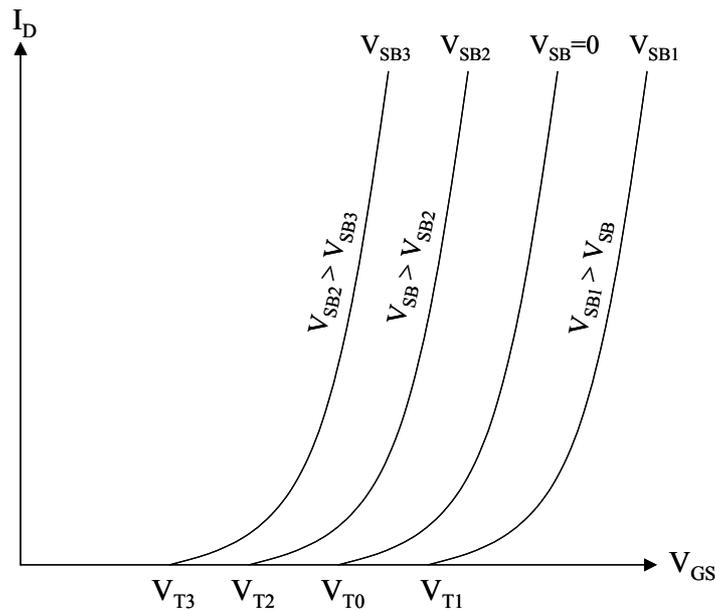


Figure IV.18 : tension de seuil en fonction de la tension V_{BS} appliquée entre le substrat et la source d'un transistor NMOS

L'expression du courant de drain I_D d'un transistor fonctionnant en saturation peut s'écrire de la manière suivante :

$$I_D = \frac{\mu_n \cdot C_{ox} \cdot W}{2L} \cdot (V_{GS} - V_T)^2$$

La variation de la tension de seuil V_T dans l'expression précédente va directement modifier le courant I_D du transistor. C'est en utilisant ce principe que l'on va contrôler la polarisation d'un transistor afin de maîtriser la classe dans laquelle il fonctionne.

Cette étude de la polarisation du substrat a également permis de mettre en œuvre l'ajustement de la fréquence d'oscillation d'un oscillateur synchrone au travers de la capacité grille-bulk (C_{bs}) contrôlée par effet de substrat [9]. Faisant l'objet d'une présentation orale à Kyoto en novembre 2002 lors de la conférence internationale APMC2002 [9], le papier décrivant ce circuit a aussi reçu la récompense du meilleur papier de cette conférence, 'Best Paper Award of AMPC 2002'. Enfin une version étendue de l'approche théorique accompagnée de résultats de mesures complémentaires ont donné lieu à une publication écrite dans le journal IEICE Transactions on Electronics [10] en août 2003.

II.3 Le circuit

L'objectif principal de ce circuit est de mettre en évidence la faisabilité du contrôle de la classe d'un amplificateur par l'intermédiaire de la tension de substrat. Nous avons donc implanter une structure simple, présentée figure IV.19, dédiée à fonctionner dans la bande de fréquence du GSM (900 MHz).

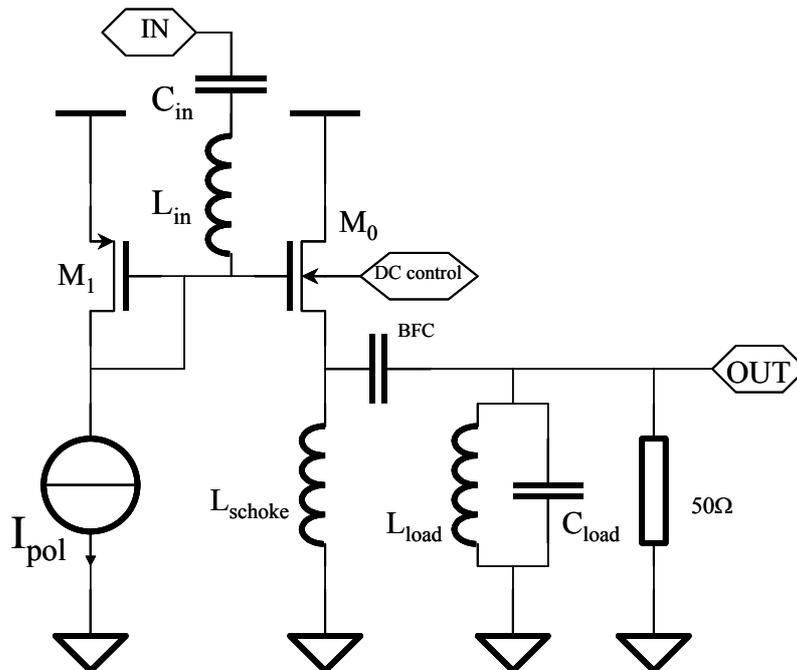


Figure IV.19 : amplificateur de puissance à classe contrôlable

M_0 est le transistor amplificateur, et M_1 câblé en diode permet de réaliser le miroir de courant avec M_0 alimentés par une source I_{pol} . L_{chocke} se comporte comme une source de courant vis-à-vis des harmoniques du courant I_D . BFC est une capacité de liaison isolant la charge résonnante de l'amplificateur. L_{load} et C_{load} est une charge accordée permettant de filtrer le signal amplifié. Afin de respecter la contrainte de conception en technologie VLSI, le transistor à effet de substrat M_0 est de type PMOS. La table IV.2 répertorie les différentes valeurs des composants utilisés pour concevoir ce circuit :

Table IV.2 : caractéristique des composants du PréAmplificateur de puissance

M_0	1500/0,2 μm
M_1	70/0,2 μm
L_{schoke}	7 nH
BFC	10 pF
L_{load}	600 pH
C_{load}	50 pF

II.3 Test et résultats

Réalisé en technologie CMOS 0,18 μm 6 niveaux de métal, le circuit, dont une photo est proposée en figure IV.20, occupe une place relativement restreinte de $71\mu\text{m} \times 60\mu\text{m}$ sans pad.

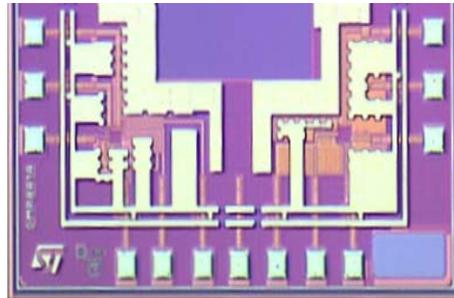


Figure IV.20 : photo de la puce

Cela s'explique par le fait que bon nombre de composants passifs (L_{chocke} , L_{load} , C_{load} , et BFC) sont externes comme le montrent le schéma et la photo de la carte de test du circuit de la figure IV.21.

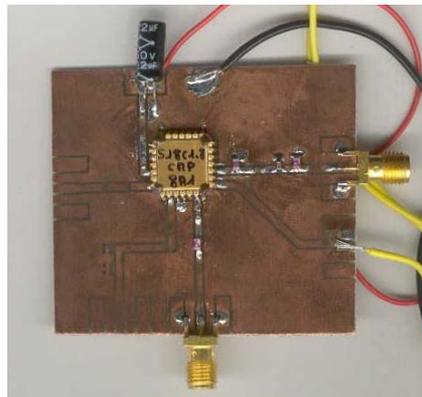


Figure IV.21 : photo de la puce

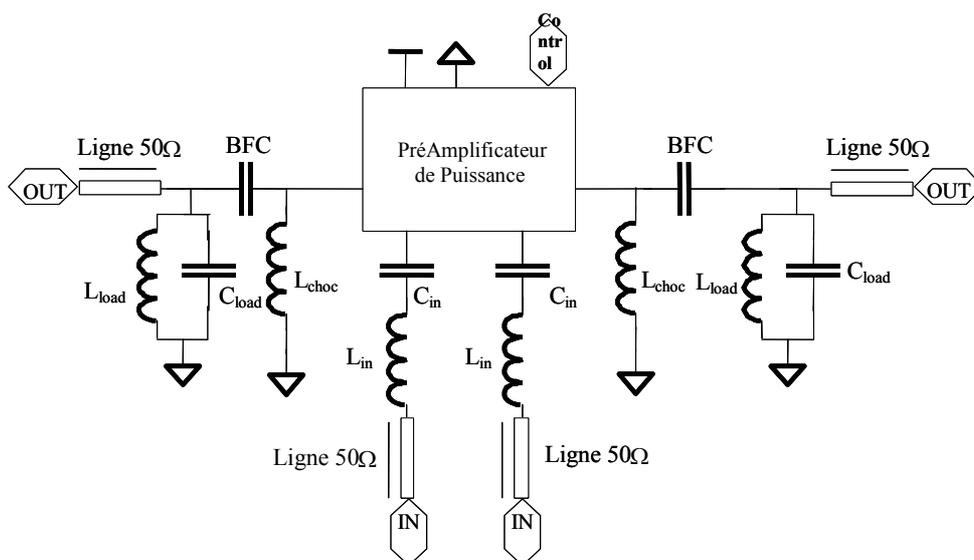


Figure IV.22 : schémas de la carte de test

Deux circuits ont été implantés dans le silicium, un sans accès substrat, utilisé comme référence afin de caractériser l'amplificateur en polarisation 'normale' et un autre avec l'accès substrat afin de confronter la théorie du contrôle de la classe de fonctionnement par effet de substrat.

Les mesures de ce circuit ont été réalisées au moyen d'un générateur Agilent 89441A, d'un analyseur de réseau HP 8722D et d'un analyseur de spectre HP 54750A. Trois types de fonctionnement couvrant deux classes ont été étudiés : la classe A, la classe AB et la classe AB profonde pour des tensions de substrat V_{bulk} respectives de 1,3 V, 1,8 V et 2,3 V.

La figure IV.23 permet de mettre en évidence le bon rendement de cet amplificateur en représentant l'évolution de la PAE du circuit suivant la classe de fonctionnement : 12%@clase A, 18%@classeAB et 28%@classeABp. Ces résultats sont d'autant plus remarquable que l'architecture est basée sur une structure PMOS donc restrictive en terme de rendement et de fréquence de fonctionnement (capacité C_{gs} importante).

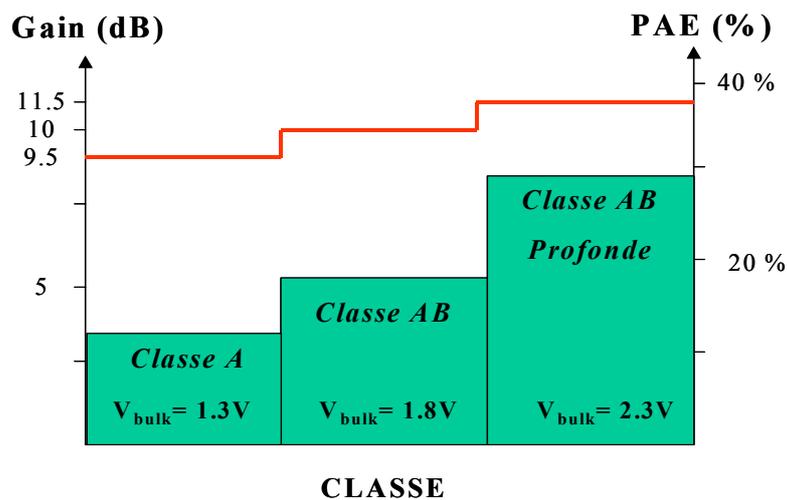


Figure IV.23 : Gain et PAE en fonction de la classe de fonctionnement

L'évolution du gain est aussi donnée dans la figure IV.23, on peut remarquer que la classe ABp atteint 11.5 dB contre 9.5 dB pour la classe A. Cette différence s'explique par le fait qu'en classe A le gain est fixé par la polarisation du transistor (induisant les paramètres dynamiques), alors qu'en classe ABp c'est le coefficient de qualité Q du réseau d'accord qui le contrôle. Basés sur deux principes très différents il aurait été fortuit que les gains de chaque classe soient les mêmes. Avoisinants les 10 dB ce résultat permet à l'amplificateur de fournir une puissance de sortie aux alentours de 0 dBm sur une charge 50Ω , justifiant par là-même la classification de ce circuit en tant que PréAmplificateur de puissance (PPA). Ce contrôle de la classe, donc de la linéarité, se confirme par l'étude du point de compression à -1 dB comme il

l'est proposé dans la figure IV.24. Chaque droite correspond au gain associé à la classe de fonctionnement, on observe alors une augmentation de l'ICP1 : 1dBm@classe A, -2dBm@classeAB et -4dBm@classeAB profonde.

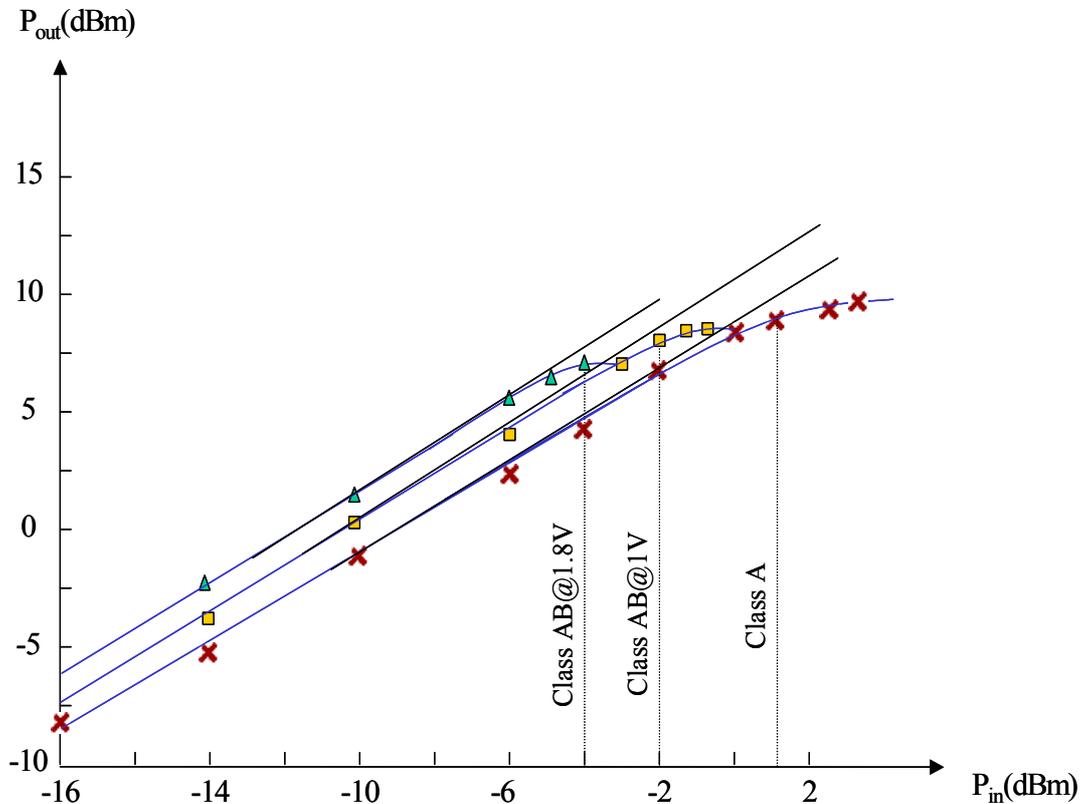


Figure IV.24 : point de compression -1 dB en fonction du mode de fonctionnement

Par ce comportement typique, le contrôle direct de la linéarité, ce PPA apporte une innovation quant à l'approche de la gestion de la puissance consommée dans le domaine des objets communicants multi-standards. Le standard de communication avec lequel la partie émission sera en train d'opérer nécessitera une spécification de linéarité induisant une classe de fonctionnement particulière. Ici celle-ci sera simplement contrôlée par la tension appliquée entre la source et le substrat.

Toutes les mesures relatives à la caractérisation de ce circuit sont rassemblées dans la table IV.3. La fréquence de fonctionnement, 900 MHz, correspond au standard GSM ; toutefois la mise en place de ce même circuit avec un transistor NMOS suffirait à augmenter significativement la fréquence de travail, dans la bande 1,6 GHz-2,4 GHz, et à répondre, dans le même temps, aux puissances requises par les standards des réseaux locaux du type WLAN, 802.11b et bluetooth.

Table IV.3 : caractéristique du PréAmplificateur dans ses différents modes de fonctionnement

<i>Technologie</i>	<i>HCMOS8</i>	<i>HCMOS8</i>	<i>HCMOS8</i>
<i>Classe</i>	<i>ABp</i>	<i>AB</i>	<i>A</i>
<i>VDD</i>	<i>1,8 V</i>	<i>1,8 V</i>	<i>1,8 V</i>
<i>V_{bulk}</i>	<i>2,3 V</i>	<i>1,8V</i>	<i>1,3V</i>
<i>Courant consommé</i>	<i>100 mA</i>	<i>140 mA</i>	<i>220 mA</i>
<i>PAE</i>	<i>28 %</i>	<i>18 %</i>	<i>12 %</i>
<i>P_{in}</i>	<i>-17 dBm</i>	<i>-15 dBm</i>	<i>-15dBm</i>
<i>P_{out}</i>	<i>-5.5 dBm</i>	<i>-4.5 dBm</i>	<i>-5.5 dBm</i>
<i>S₂₁</i>	<i>11.5 dB</i>	<i>10.5 dB</i>	<i>9.5 dB</i>
<i>ICP1</i>	<i>-4 dBm</i>	<i>-2 dBm</i>	<i>1 dBm</i>
<i>IIP3</i>	<i>7 dBm</i>	<i>9 dBm</i>	<i>11 dBm</i>
<i>Fréquence</i>	<i>900 MHz</i>	<i>900 MHz</i>	<i>900 MHz</i>

III/ CONCLUSION

Après avoir présenté un état de l'art des multiples topologies d'amplificateurs de puissance rencontrées dans la littérature actuelle, nous avons rappelé, dans ce chapitre, l'impact physique de l'effet de substrat dans un transistor MOS. Explicitant le contrôle de la tension de seuil du transistor par ce même effet, nous avons pu mettre en avant l'avantage que cela pouvait amener en matière de maîtrise de la classe de fonctionnement d'un transistor de puissance.

Dans un second temps nous avons validé ce principe au travers de la conception d'un préamplificateur de puissance à linéarité variable compatible avec une technologie CMOS VLSI. Fonctionnant dans la bande du GSM 900 MHz, le circuit est capable d'opérer en classe A, AB ou AB profonde suivant la tension appliquée sur son substrat.

Cette approche novatrice dans le domaine ouvre la voie à un nouveau type d'amplificateurs de puissance multistandards à linéarité variable, mieux adaptés aux contraintes de faible tension faible consommation imposées par le marché des objets sans fil.

Bibliographie du chapitre 4

- [1] H.L. Krauss, C. W. Bostia, F. Raab, "*Solid State Radio Engineering*." John Wiley, first ed., 1980
- [2] M. Hella M., Ismail, "*RF CMOS Power Amplifier*", Kluwer Academic Publishers, Boston, 2002
- [3] S.C. Cripps, "*RF Power Amplifiers for Wireless communication*", Artech House, first ed., 1998
- [4] C. Wang, L. E. Larson, P.M. Asbeck, "*A nonlinear capacitance cancellation technique and its application to a CMOS class AB power amplifier*", IEEE, RFIC2001, pp.39-42
- [5] R. Gupta and D. Allstot, "*Parasitic aware design and optimisation of CMOS RF integrated circuits*", IEEE, RFIC symp., pp. 325-328, juin 1998
- [6] N. Sokal A. Sokal, "*Class E a new class of high efficiency, tuned single-ended switching power amplifiers*", IEEE, Journal of solid state circuits, vol SC-10, n°6, juin 1975, pp. 168-176
- [7] F.H. Raab, "*Idealized operation of the class E tuned power amplifier*", IEEE, Trans. Circuits Systems, vol. CAS-24, Dec. 1997, pp. 725-735.
- [8] M. Kumar, Y. Tan, J. Sin, L. Shi, J. Lau, "*A 900 MHz SOI fully-integrated RF Power Amplifier for Wireless Tranceivers*", IEEE, Int. Solid State Circ. Conf., 2000, pp. 382-383
- [9] JB. Bégueret, Y. Deval, T. Taris, P. Hellmuth, O. Mazouffre and P. Fouillat "*A 1.8 V 4.3 GHz SiGe Tunable Synchronous Oscillator*", Asia-Pacific Microwave Conference (APMC2002), Best Paper Award, Kyoto, Japon, nov. 2002, pp. 753-756
- [10] JB. Bégueret, T. Taris, H. Lapuyade and Y. Deval "*A Low-Power SiGe Tunable Synchronous Oscillator for UMTS Downlink*", Electronics Society, IEICE Trans. Electron., vol.E86-C, n°8, aout 2003, pp.1422-1426

Conclusion

Le travail présenté dans ce mémoire de thèse entre dans le cadre de la recherche de circuits innovants dans le domaine des amplificateurs faible bruit (LNA), des mélangeurs et des amplificateurs de puissances (PA) dédiés aux standards de communication sans fil actuels tels : GSM, DCS, UMTS, HiperLAN2, 802.11a, 802.11b.

Le chapitre I dresse le cadre d'application de ces circuits et définit les principales caractéristiques relatives à ces derniers telles : le gain, la puissance consommée, la linéarité (ICP1 et IIP3), la figure de bruit (NF) et encore l'isolation. Enfin les contraintes imposées par le marché de masse en terme de faible coût, d'intégration et de spécifications induisant les conditions de conceptions appliquées à la réalisation des circuits de cette thèse : l'utilisation de technologies CMOS VLSI, la fonctionnalité sous faible tension d'alimentation, aux alentours d'1V, nécessitant donc des architectures innovantes pour une obtention des caractéristiques requises par les standards de télécommunication visés, ont été clairement exposées.

Le chapitre II décrit la conception de deux LNA basés sur les principes, bien éprouvés, de la réutilisation de courant et la dégénérescence inductive proposant ainsi une approche nouvelle de la fonction amplification par la combinaison de ces deux techniques. Le premier [18]_{chap2} justifie pleinement sa place au sein des LNA performants et modernes de l'état de l'art présenté un peu plutôt dans ce même chapitre, grâce à ses remarquables performances dédiées à la fois aux standards UMTS et 802.11b. Le second [19]_{chap2} améliore encore les caractéristiques du premier circuit, comme le montre le tableau 2, grâce à une innovation conceptuelle : la contre-réaction de mode commun par effet de substrat. Théoriquement et pratiquement bien maîtrisés ces circuits fonctionnent sous 1V et 0,9V respectivement ouvrant la voie aux amplificateurs faible bruit très basse tension.

Tableau 2 : tableau comparatif des amplificateurs faible bruit

Type de LNA	“reuse inductive degeneration”	“body effet feedback reuse inductive degeneration
Technologie	0,18 μm	0,18 μm
Fréquence	2 GHz	2 GHz
Tension d' Alimention	1 V	0.9 V
Courant consommé	3,8 mA@1 V	2,5 mA
Gain	11 dB	10 dB
Figure de bruit	1,8 dB	1,34 dB
ICP1	-11 dBm	-16 dB
IIP3	0 dBm	-4,5 dB
Bande passante	600 MHz	850 MHz

Le chapitre III traite des circuits mélangeurs. Une première réalisation fonctionnant sous 1V de tension d'alimentation a permis de mettre en avant la faisabilité de circuits dédiés aux standards 802.11a sous contraintes de faible tension, faible consommation en technologie CMOS VLSI 0,18 μ m [14]_{chap3}. Par la suite, deux mélangeurs basés sur l'effet de substrat valident l'utilisation d'un effet parasite pour l'opération de multiplication analogique, pour l'un [15]_{chap3}, l'optimisation de cette technique et la conception d'un circuit totalement novateur et performant, pour l'autre [16]_{chap3}. Toutes les caractéristiques de ces circuits sont rassemblées dans le tableau 1.

Tableau 1 : tableau comparatif des mélangeurs

Type de mélangeur	“ grille-source ”	“ body effect ”	“ active load body effect ”
Technologie	HCMOS8	HCMOS8	HCMOS8
Tension d'alimentation	1V	1,8V/1,2V	1,8 V
Courant consommé	5 mA	7 mA	6 mA
Gain de conversion	10 dB	7 dB	10 dB
Figure de bruit	14 dB	13 dB	14 dB
ICP1	-10 dBm	-16 dBm	-15 dBm
IIP3	-1 dBm	-5 dBm	-5 dBm
LO>RF isolation	-33 dB	-35 dB	-53 dB
Fréquence OL	5,2 GHz (-10 dBm)	2,2 GHz (0 dBm)	2,2 GHz (0dBm)

La dernière partie, le chapitre IV, traite des amplificateurs de puissance (PA). Etage critique des systèmes embarqués, de par leur forte consommation, ces circuits basés sur des architectures plutôt anciennes font l'objet d'une attention particulière en ce qui concerne la puissance fournie par rapport à la puissance nécessaire imposée par le standard visé. Ainsi un préAmplificateur de Puissance (PPA) à classe contrôlable par effet de substrat a été réalisé pour une application de type GSM, ses caractéristiques étant présentées dans le tableau 3. Cette approche de classe, donc de puissance consommée, réglable apporte une solution nouvelle aux objets communicants multistandard sans fil.

Tableau 3 : tableau comparatif des PréAmplificateurs de puissance

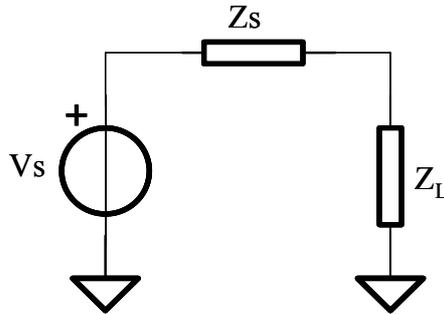
<i>Technologie</i>	<i>HCMOS8</i>	<i>HCMOS8</i>	<i>HCMOS8</i>
<i>Classe</i>	<i>AB</i>	<i>AB</i>	<i>A</i>
<i>VDD</i>	<i>1.8 V</i>	<i>1.8 V</i>	<i>1.8 V</i>
<i>V_{bulk}</i>	<i>2.3 V</i>	<i>1.8V</i>	<i>1.3V</i>
<i>Courant consommé</i>	<i>60 mA</i>	<i>80 mA</i>	<i>100 mA</i>
<i>PAE</i>	<i>28 %</i>	<i>18 %</i>	<i>12 %</i>
<i>P_{in}</i>	<i>-17 dBm</i>	<i>-15 dBm</i>	<i>-15dBm</i>
<i>P_{out}</i>	<i>-5.5 dBm</i>	<i>-4.5 dBm</i>	<i>-5.5 dBm</i>
<i>S₂₁</i>	<i>11.5 dB</i>	<i>10.5 dB</i>	<i>9.5 dB</i>
<i>ICP1</i>	<i>-4 dBm</i>	<i>-2 dBm</i>	<i>1 dBm</i>
<i>IIP3</i>	<i>7 dBm</i>	<i>9 dBm</i>	<i>11 dBm</i>
<i>Fréquence</i>	<i>900 MHz</i>	<i>900 MHz</i>	<i>900 MHz</i>

Ainsi après avoir pris la mesure physique et analytique de l'effet de substrat [10]_{chap4}, nous avons montré, au cours de ce travail, que cet effet parasite pouvait être utilisé de différentes manières afin de réaliser des circuits novateurs dans le domaine de la radiofréquence en technologie CMOS VLSI. Autant dans les mélangeurs, les LNA mais aussi les PA ces circuits mettent en avant la faisabilité des architectures faible tension/faible consommation capables de répondre aux caractéristiques les plus restrictives des standards de télécommunication actuels.

Annexes

Annexe 1

Calcul de l'impédance de charge Z_L permettant de transférer un maximum de puissance depuis la source S :



Soit P la puissance consommée par la charge Z_L :

$$P = \Re(V_L \cdot I^*)$$

$$P = \Re\left(\frac{Z_L}{Z_L + Z_S} \times \frac{1}{(Z_L + Z_S)^*} |V_S|^2\right)$$

$$P = \Re\left(\frac{Z_L}{|Z_L + Z_S|^2} |V_S|^2\right)$$

$$P = \frac{1}{|Z_L + Z_S|^2} \Re(Z_L) |V_S|^2 \text{ avec } Z_L = a_L + ib_L$$

$$P = \frac{1}{|Z_L + Z_S|^2} a_L \cdot |V_S|^2$$

$$P = \frac{a_L}{(a_L + a_s)^2 + (b_L + b_s)^2} |V_S|^2$$

Il faut calculer la dérivée de cette fonction à deux variables pour en trouver le maximum :

$$P' = \left[\frac{(a_L + a_s)^2 - 2(a_L + a_s)a_L}{[(a_L + a_s)^2 + (b_L + b_s)^2]^2} \cdot \partial a_L + \frac{-2(b_L + b_s)a_L}{[(a_L + a_s)^2 + (b_L + b_s)^2]^2} \cdot \partial b_L \right]$$

L'annulation de cette dérivée peut se faire indépendamment suivant les deux variables puisqu'elles sont indépendantes :

➤ par rapport à a_L :

$$\left[\frac{(a_L + a_s)^2 - 2(a_L + a_s)a_L}{[(a_L + a_s)^2 + (b_L + b_s)^2]^2} \cdot \partial a_L \right] = 0 \Rightarrow [(a_L + a_s) - 2a_L] = 0 \Rightarrow a_L = a_s$$

➤ par rapport à b_L :

$$\left[\frac{-2(b_L + b_S)a_L}{[(a_L + a_S)^2 + (b_L + b_S)^2]^2} \cdot \partial b_L \right] = 0 \Rightarrow -2(b_L + b_S)a_L = 0 \Rightarrow b_L = -b_S$$

Il vient que :

$$\left. \begin{array}{l} Z_L = a_S - ib_S \\ Z_S = a_S + ib_S \end{array} \right\} Z_L = Z_S^*$$

Annexe 2

L'annexe 2 répertorie les principaux bruits en donnant pour chacun leur origine, leur localisation et leur forme analytique.

Le bruit thermique

Ce bruit trouve son origine dans l'agitation thermique (donc aléatoire) des porteurs de charges. Un dipôle au repos a une tension efficace non nulle à ses bornes.

Sa localisation :

- résistances
- courant de drain/grille

Forme analytique des générateurs équivalent de tension et courant de bruit :

$$\bar{e}_n^2 = 4kT.R.\Delta f$$

$$\bar{i}_n^2 = 4kT.G.\Delta f$$

avec: k : la constante de Boltzmann ($4kT=1.66.10^{-20}$ V.C)

T la température en Kelvin

R la résistance et G la transconductance équivalente du dipôle étudié

Le bruit de grenaille (ou shot noise)

Son origine vient du saut de barrières de potentiel à des instants aléatoires par des porteurs de charges.

Sa localisation :

- jonctions
- courant de base et de collecteur des BJTs
- courant de fuite de grille des FETs

Forme analytique :

$$\bar{i}_n^2 = 2.q.I_c.\Delta f$$

avec: q la charge d'une electron $1.8 \cdot 10^{-19}$ C

I_c le courant de polarisation traversant la jonction

Le bruit en 1/f (flicker noise)

Son origine est mal connue, il n'a pas de mécanisme universel, on sait qu'il est lié à la nature granulométrique de certains matériaux, et aussi, au piégeage des porteurs à la surface des composants.

Sa localisation : -résistances
-courant de drain des MOSFETs

Forme analytique :

-Pour les MOS :
$$\bar{i}_n^2 = \frac{K}{f} \cdot \frac{g_m^2}{WL C_{ox}^2} \cdot \Delta f$$

avec: K est un paramètre lié à la taille du composant et à la technologie utilisée
 g_m la transconductance du transistor (S)
 f la fréquence de travail
 W,L la largeur et la longueur de grille du transistor (μm)
 C_{ox} la capacité par oxyde de grille ($\text{F}/\mu\text{m}^2$)

-Pour les Bipolaires :
$$\bar{i}_n^2 = K_f \cdot \frac{I_B^\alpha}{f} \cdot \Delta f$$

avec: K_f est un paramètre lié à la taille du composant et à la technologie utilisée
 I_B est le courant de base
 α est un paramètre lié au procédé de fabrication

-Pour les résistances :
$$\bar{e}_n^2 = \frac{K}{f} \cdot \frac{R_{carré}^2}{A} \cdot V^2 \cdot \Delta f$$

avec: $R_{carré}$ La résistance par carré
 A La section
 V La tension aux bornes de la résistance

Le bruit RTS (Random Telegraph Noise)

Pour ce dernier aussi son origine est mal connue. Il n'y a pas de véritable mécanisme universel mais on remarque qu'il est fortement lié au bruit généré par le mécanisme de piégeage unique, caractéristique des composants de surface. C'est ainsi que nous le retrouverons plus particulièrement dans le modèle du transistor TMOS à surface de grille réduite.

Sa localisation : -résistances
-courant de drain des MOSFETs

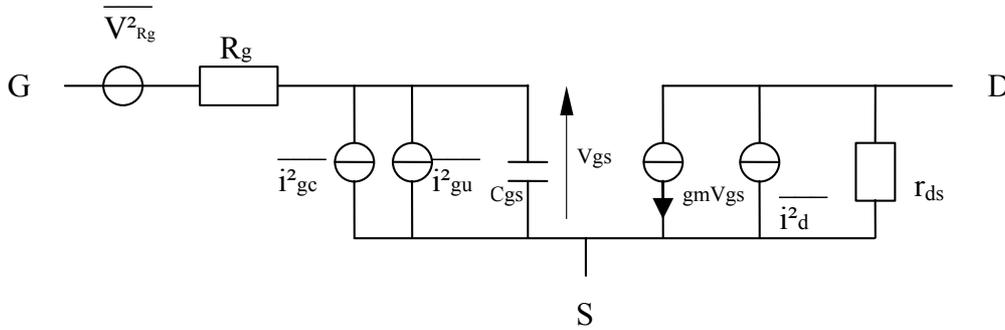
Forme analytique : c'est en réalité une forme empirique du type

$$\bar{i}_{nd}^2 = \frac{K}{1 + \left(\frac{f}{f_c}\right)^2} \cdot \Delta f$$

Avec: f_c la fréquence de coupure liée au procédé de fabrication

Annexe 3

Modèle de bruit du transistor MOS



Modèle de bruit du transistor MOS

Courant de grille

Le courant de grille comporte deux composantes: une corrélée au courant de drain \bar{i}_{gc}^2 et une décorrélée \bar{i}_{gu}^2 . Ainsi on peut écrire le courant de grille de la manière suivante:

$$\bar{i}_g^2 = 4kT\delta g_{gs}(1-|c|^2)\Delta f + 4kT\delta g_{gs}|c|^2\Delta f \quad \text{avec} \quad g_{gs} = \frac{\omega^2 \cdot C_{gs}^2}{5g_{d0}}$$

δ : paramètre de modèle qui varie suivant le régime de fonctionnement (2/3 en saturé, 1 en linéaire)

g_{gs} : conductance grille-source

g_{d0} : conductance g_{ds} lorsque $v_{ds}=0$

c : le coefficient de corrélation

Résistance de grille

$$\bar{V}_{Rg}^2 = 4kT\delta R_g \Delta f \quad \text{avec} \quad R_g = \frac{1}{5g_{d0}} = \frac{R_{carré} \cdot W}{3nL^2}$$

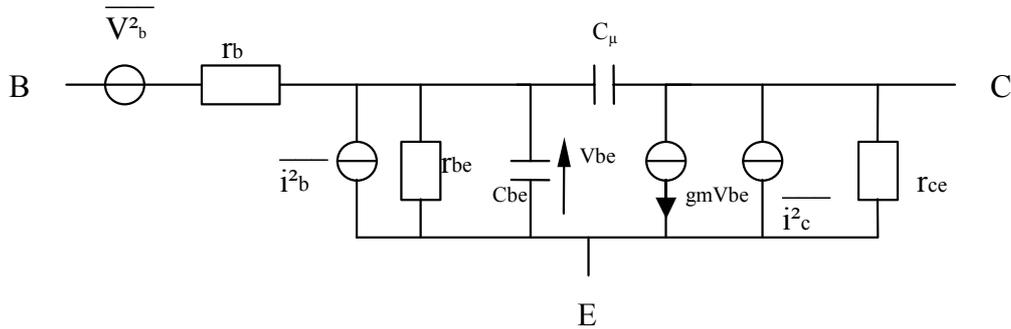
Bruit thermique de grille avec R_g la résistance de grille.

Courant de drain

$$\bar{i}_d^2 = 4kT\delta g_{d0} \Delta f$$

Le bruit de courant de drain est dominé par le bruit thermique.

Modèle de bruit du transistor Bipolaire



Modèle de bruit du transistor Bipolaire

Résistance d'accès de base

$$\overline{V_b^2} = 4kTr_b \cdot \Delta f \quad \text{avec } r_b, \text{ la résistance d'accès de base}$$

Courant de base

$$\overline{i_b^2} = \underbrace{2qI_B \cdot \Delta f}_{\text{Shot}} + \underbrace{K_1 \frac{I_B^a}{f} \cdot \Delta f}_{\text{Flicker noise}} + \underbrace{K_2 \frac{I_B^2}{1 + \frac{f^2}{f_c^2}} \cdot \Delta f}_{\text{Burst noise}}$$

Toutes les variables K_1 , K_2 , a etc... sont définies dans l'annexe précédente

Courant de collecteur

$$\overline{i_c^2} = 2qI_c \cdot \Delta f = 4kT \left(\frac{g_m}{2} \right) \cdot \Delta f$$

L'origine du bruit du courant de collecteur est essentiellement un bruit thermique, lié à la transconductance g_m .

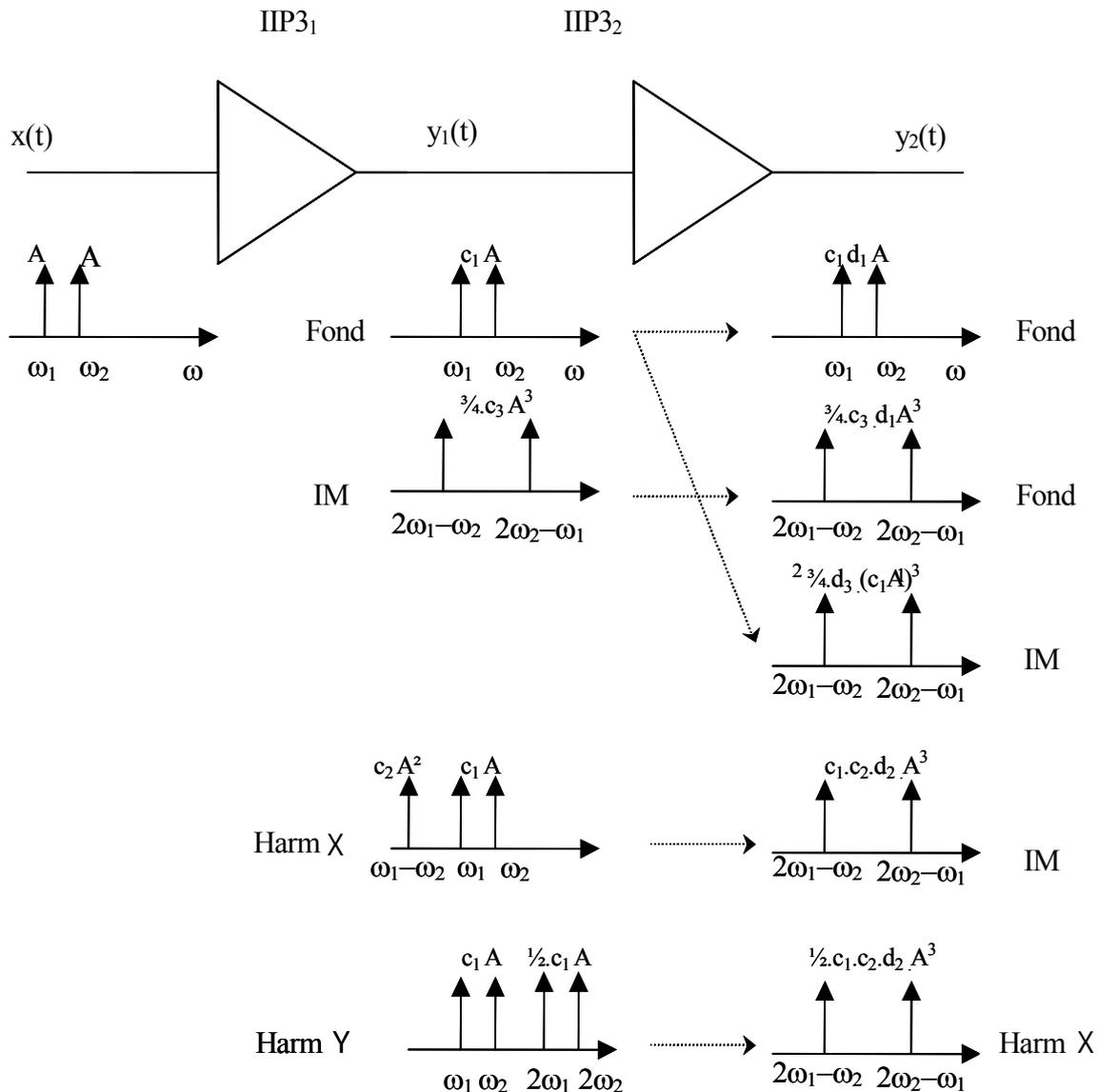
I_c : le courant de collecteur

Annexe 4

Cette annexe décrit la transmission et la création d'harmoniques au travers de deux étages non linéaires :

- Fond pour la transmission du fondamental
- IM pour l'intermodulation d'ordre 3
- Harm X pour la non linéarité d'ordre deux créant une soustraction entre les différentes harmoniques fondamentales
- Harm Y pour la non linéarité d'ordre deux produisant des harmoniques double du fondamental

Toutes les harmoniques en sortie du deuxième étage issues des différentes non linéarités se retrouvent dans le canal de transmission de l'information



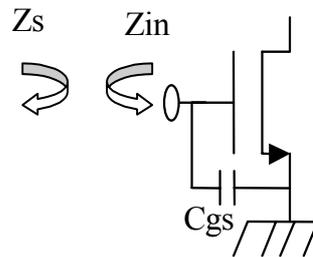
Annexe 5

I/ Introduction

Le calcul de la figure de bruit minimale se lie et se heurte au calcul de la fonction de transfert de puissance. En effet, les sens de variation de ces caractéristiques étant antagonistes, l'optimisation simultanée ne peut normalement pas être réalisée. En pratique on va faire coïncider les adaptations pour une fréquence donnée (avec quelques compromis) afin de satisfaire les deux domaines figure de bruit minimal (NF_{\min}) et gain maximal (G_{\max}).

II/ Gain en tension

Dans un premier temps nous allons étudier l'adaptation d'impédance d'entrée qui va nous permettre d'optimiser le gain en tension.



$$Z_{in} = \frac{1}{jC_{gs}\omega}$$

Figure 1 : impédance d'entrée du MOS

Pour une transmission optimale de puissance il faut : $Z_{in}^* = Z_s \Rightarrow Z_{in} = 50\Omega$

Le problème est que l'impédance d'entrée du transistor MOS est un imaginaire pur comme le montre la figure 1. Il est donc difficile de l'adapter à une impédance réelle de 50Ω . Toutefois il est possible de contourner ce problème en utilisant une "dégénérescence inductive". Cette technique est présentée dans la figure 2.

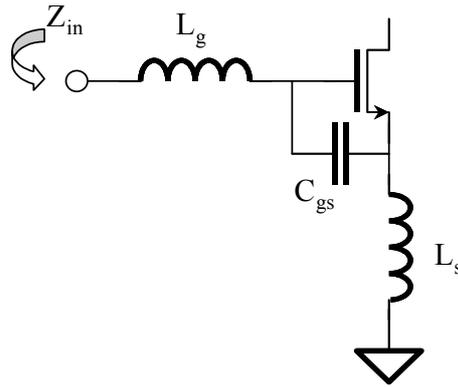


Figure 2 : dégénérescence inductive de source

$$Z_{in} = j(L_g + L_s)\omega + \frac{1}{jC_{gs}\omega} + \frac{g_m}{jC_{gs}\omega} \cdot jL_s\omega \Rightarrow Z_{in} = j(L_g\omega - \frac{1}{C_{gs}\omega}) + \omega_T L \quad (1)$$

Avec $L_s + L_g \sim L_g$ car $L_s < L_g$

A la fréquence de fonctionnement ω_0 : $Z_{in} = 50\Omega$

$$\begin{cases} (L_g\omega - \frac{1}{jC_{gs}\omega}) = 0 & \Rightarrow L_g = \frac{1}{j C_{gs}\omega^2} \quad (2) \\ \omega_T L_s = 50\Omega & \Rightarrow L_s = 50 \frac{C_{gs}}{g_m} \quad (3) \end{cases}$$

L'inductance de grille L_g annule la capacité d'entrée C_{gs} à la fréquence de fonctionnement ω_0 . Grâce à l'effet transistor L_s présente une impédance réelle en entrée qui permet d'adapter le transistor à 50Ω .

III/ Approche générale de la figure de bruit

Tous les calculs de figure de bruit viennent du transistor et de ses dimensions W et L . Reprenons l'étude à la base avec l'approche classique du bruit :

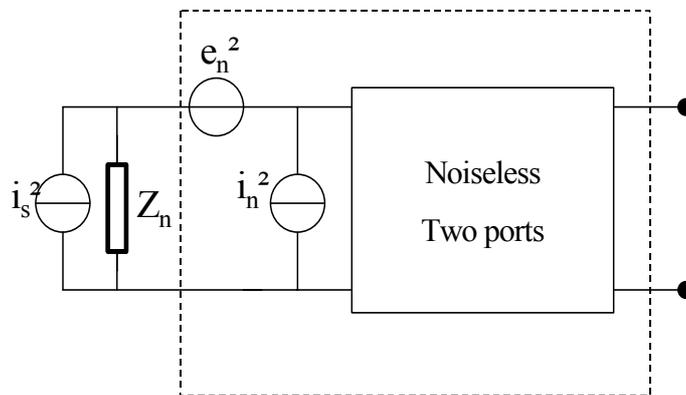


Figure 3 : générateurs de bruit sur un système deux ports

La figure 3 présente un quadripole sans bruit ‘noiseless’ en entrée duquel tout le bruit de ce dernier est ramené et modélisé par un générateur de tension e_n^2 et un générateur de courant i_n^2 de bruits équivalents. Ainsi le facteur de bruit peut s’écrire de la manière suivante :

$$F = \frac{i_s^2 + |i_n + Y_s e_n|^2}{i_s^2} \quad (4)$$

e_n et i_n sont les générateurs de bruit équivalent incorporant toutes les sources de bruit du transistor MOS. Pour être cohérent, il faut définir i_n comme la somme de deux courants, i_c corrélés à e_n et i_u non corrélé (indépendant) à e_n :

$$i_n = i_c + i_u$$

Comme i_c et e_n sont totalement corrélés on peut écrire : $i_c = Y_c e_n$

Donc:

$$F = 1 + \frac{G_u + |Y_u + Y_s|^2 \cdot R_n}{G_s} = 1 + \frac{G_u + [(G_c + G_s)^2 + (B_c + B_s)^2] \cdot R_n}{G_s} \quad (5)$$

Toutes les admittances ont été décomposées en une inductance G et une susceptance B avec:

$$R_n \equiv \frac{e_n^2}{4kT\Delta f}; G_u \equiv \frac{i_u^2}{4kT\Delta f}; G_s \equiv \frac{i_s^2}{4kT\Delta f}$$

Si l'on dérive F on obtient son minimum pour les valeurs Bs et Gs suivantes :

$$\begin{cases} B_s = -B_c = B_{opt} & (6) \\ G_s = \sqrt{\frac{G_u}{R_n} + G_c^2} = B_{opt} & (7) \end{cases}$$

$$\Rightarrow F_{min} = 1 + 2R_n [G_{opt} + G_c] = 1 + 2R_n \left[\sqrt{\frac{G_u}{R_n} + G_c^2} + G_c \right]$$

$$F = F_{min} + \frac{R_n}{G_s} [(G_s - G_{opt})^2 + (B_s - B_{opt})^2] \quad (8)$$

Ainsi l'on définit les paramètres de l'admittance de source qui définissent des cercles centrés sur $(G_{opt}; B_{opt})$ dans l'abaque de Smith.

IV/ Les paramètres du transistor MOS

Il y a deux sources principales de bruit dans le transistor MOS :

- Le bruit thermique du courant de drain :

$$i_{nd}^2 = 4kT\gamma g_{d0} \Delta f$$

avec g_{d0} ($\approx g_m$) la conductance g_{ds0} à $v_{ds} = 0$ et $\gamma = 1$ en linéaire et $2/3$ en saturation

- Le bruit du courant de grille :

$$i_{ng}^2 = 4kT \delta g_g \Delta f$$

avec $g_g = \frac{\omega^2 C_{gs}^2}{5 g_{ds}}$ et $\delta = 2\gamma$

Ces deux courants ont un coefficient de corrélation $C = j 0,395$.

En négligeant (en cascodant par exemple) l'effet Miller qui "dope" la valeur de C_{gd} , on va pouvoir calculer les éléments qui composent les générateurs d'entrée du transistor MOS.

En court-circuitant l'entrée dans un premier temps, seul le générateur e_n est présent à l'entrée et responsable du courant de bruit de drain :

$$e_n^2 = \frac{i_{nd}^2}{g_m^2} = \frac{4kT\gamma g_{d0}\Delta f}{g_m^2} \Rightarrow R_n = \frac{e_n^2}{4kT\Delta f} = \frac{\gamma g_{d0}}{g_m^2} \quad (9)$$

On remarque que le générateur de bruit de tension équivalent est totalement corrélé avec le courant de drain. Cependant, si l'on ouvre le circuit en entrée, un courant de bruit de drain subsiste, donc il existe un générateur de courant de bruit en entrée associé :

$$i_n^2 = \frac{i_{nd}^2 \cdot (j\omega C_{gs})^2}{g_m^2} = \frac{4kT\gamma g_{d0}\Delta f \cdot (j\omega C_{gs})^2}{g_m^2} = e_n^2 \cdot (j\omega C_{gs})^2 \quad (10)$$

On se rend compte que l'admittance est purement capacitive, donc en quadrature avance avec le courant de drain mais complètement corrélée. On peut donc dire que le courant de bruit d'entrée est la somme du courant précédent ainsi que du courant de grille induit corrélé avec celui de drain donc avec e_n :

$$Y_c = j\omega C_{gs} + \frac{i_{ngc}}{e_n} = j\omega C_{gs} + \frac{g_m}{i_{nd}} \cdot i_{ngc} = j\omega C_{gs} + \frac{i_{ngc}}{i_{nd}} \cdot g_m$$

$$Y_c = j\omega C_{gs} + g_m \cdot c \sqrt{\frac{\delta \omega^2 C_{gs}^2}{5 \gamma g_{d0}^2}} = j\omega C_{gs} + \frac{g_m}{g_{d0}} \cdot c \sqrt{\frac{\delta}{5 \gamma}} \cdot \omega \cdot C_{gs}$$

$$Y_c = j\omega C_{gs} + j\omega \cdot C_{gs} \frac{g_m}{g_{d0}} |c| \sqrt{\frac{\delta}{5 \gamma}} = j\omega C_{gs} (1 + \alpha |c| \sqrt{\frac{\delta}{5 \gamma}}) \quad (11)$$

On remarque que Y_c est purement imaginaire donc

$$\rightarrow B_c = Y_c$$

$$\rightarrow G_c = 0$$

C'est en présentant une impédance complexe proportionnelle à C_{gs} que l'on comprend qu'il est difficile d'adapter le MOS à la fois en puissance (impédance réelle) et en figure de bruit (impédance imaginaire).

Il reste à calculer G_u , admittance associée au générateur de courant de bruit de grille:

$$i_{ng}^2 = (i_{ngc} + i_{ngu})^2 = 4kT\Delta f \delta \cdot g_g |c|^2 + 4kT\Delta f \delta \cdot g_g (1 - |c|^2)$$

$$G_u = \frac{i_{ngu}^2}{4kT\Delta f} = \frac{\delta \omega^2 C_{gs}^2 (1 - |c|^2)}{5g_{d0}} \quad (12)$$

Voici dans le tableau suivant rassemblés les paramètres de bruit relatifs au transistor MOS:

Tableau1: paramètres de bruit relatifs au transistor MOS

Paramètre	Expression
G_c	$\cong 0$
B_c	$j\omega C_{gs} (1 + \alpha c \sqrt{\frac{\delta}{5\gamma}})$
R_n	$\frac{\gamma g_{ds}}{g_m^2} = \frac{\gamma}{\alpha} \cdot \frac{1}{g_m}$
G_u	$\frac{\delta \omega^2 C_{gs}^2 (1 - c ^2)}{5g_{d0}}$

Il vient alors que les impédances optimales calculées pour atteindre la figure de bruit minimale s'expriment comme suit :

$$\Rightarrow B_{opt} = -B_c = -\omega \cdot C_{gs} (1 + \alpha |c| \sqrt{\frac{\delta}{5\gamma}}) \quad (13)$$

$$\Rightarrow G_{opt} = \alpha \omega C_{gs} \sqrt{\frac{\delta}{5\gamma}} (1 - |c|^2) \quad (14)$$

On remarque alors deux choses importantes :

- la susceptance B_{opt} est assimilable à une inductance en terme d'imaginaire pur mais varie en fréquence comme une capacité, par conséquent, son adaptation ne peut se faire qu'à une fréquence donnée.

- de même, l'admittance optimale varie en fréquence comme une capacité ce qui renforce l'unicité de l'adaptation en fréquence.

Grâce à ces constats il devient évident que le LNA réalisé en technologie CMOS est orienté bande étroite ('narrowband') et non passe bande ('non pass band').

En se plaçant alors dans les conditions optimales d'adaptation au bruit, la figure de bruit minimale s'écrit :

$$F_{min} = 1 + 2R_n [G_{opt} + G_c] \approx 1 + \frac{2}{\sqrt{5}} \frac{\omega}{\omega_T} \sqrt{\gamma \delta (1 - |c|^2)} \quad \text{avec} \quad \omega_T = \frac{g_m}{C_{gs}} \quad (15)$$

Avec : $|c| = j0,395$

$\delta = 2\gamma$ ($\gamma = 1$ en fonctionnement linéaire, $2/3$ en saturé)

S'il n'y avait pas de courant de drain alors $G_u=0$ et $G_c=0$ alors la figure de bruit minimale $\cong 0$ dB

Si le bruit de courant de grille était totalement corrélé au bruit du courant de drain alors $|c|=1$ et $F_{\min} \cong 0$ dB. Par conséquent, on peut conclure cette approche "classique" en disant que le minimum de la figure de bruit d'un transistor MOS n'est pas nul (en dB) à cause de la non corrélation qu'il existe entre le bruit du courant de grille induit et le bruit du courant de drain.

On peut dresser un rapide tableau des figures de bruit atteignables :

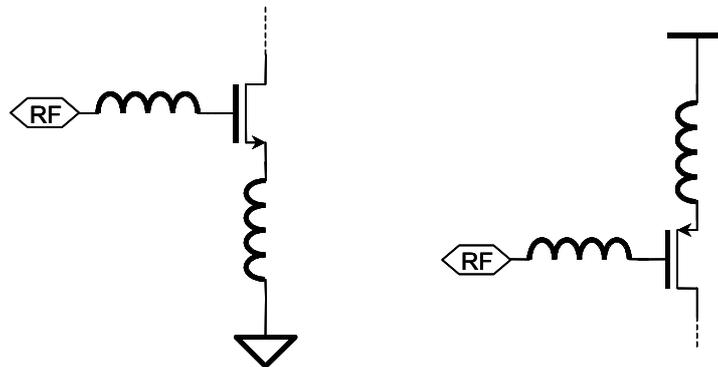
tableau2 : résultats théoriques

(ω/ω_T)	F_{\min} (dB)
1/20	0,330
1/15	0,438
1/10	0,650
1/5	1,25

Grâce à l'évolution des technologies, le ω_T augmente donc les figures de bruit s'améliorent.

♣ *Cas du circuit à réutilisation de courant 'reuse'*

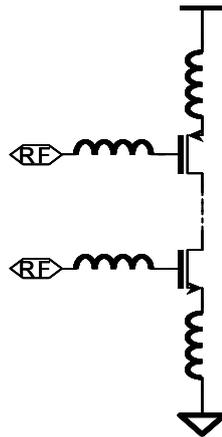
Dans notre travail, l'amplificateur faible bruit à dégénérescence inductive peut être vu comme la mise en parallèle de deux étages cascodés dont les figures de bruit respectives s'ajoutent. La figure 4 représente ces deux étages séparément :



$$F_{\min} = 1 + \frac{2}{\sqrt{5}} \cdot \frac{\omega}{\omega_{T/NMOS}} \sqrt{\gamma\delta (1 - |c|^2)} \quad F_{\min} = 1 + \frac{2}{\sqrt{5}} \cdot \frac{\omega}{\omega_{T/PMOS}} \sqrt{\gamma\delta (1 - |c|^2)}$$

Figure 4 : montage cascode en NMOS et PMOS

Ainsi en connectant l'un à l'autre on trouve la figure de bruit suivante :



$$F_{\min} = 1 + \frac{2}{\sqrt{5}} \cdot \omega \left[\frac{1}{\omega_{T/NMOS}} + \frac{1}{\omega_{T/PMOS}} \right] \sqrt{\gamma \delta (1 - |c|^2)}$$

Figure 5 : adaptation du 'reuse' au cascode

Avec quelques conditions telle que la négligence de l'effet Miller grâce à une contre réaction on peut assimiler l'étude du montage 'reuse' à dégénérescence inductive au moyen des câblages cascodes traditionnels.

V/ Les effets secondaires du bruit

Parmi les effets secondaires du bruit qui vont aussi contribuer à dégrader la figure de bruit d'un circuit et plus particulièrement d'un amplificateur faible bruit on compte :

♣ Le bruit thermique lié au substrat: $\frac{i_{nd}^2}{\Delta f} = 4kT \cdot g_{d0} \cdot \left[\gamma + \frac{g_{mb}^2 \cdot R_{epi}}{g_{d0}} \right]$ (18)

Il est directement corrélé au bruit de drain en général, γ subit une augmentation de 10% à 15% ce qui est négligeable en général.

♣ Le bruit lié aux interconnexions de grille qui peut être pratiquement annihilé grâce à un layout soigné, c'est à dire :

- faire des franges interdiguées de grille de largeur comprise entre 5 et 20 μm
- ces franges doivent être reliées aux deux extrémités au signal d'entrée afin de limiter

la répartition de structure RC parasites le long de ceux-ci.

VII/ Optimisation moderne

Ayant présenté indépendamment l'optimisation de la figure de bruit ainsi que celle du gain en puissance, il reste à mettre en évidence le lien entre ces deux. L'optimisation moderne

"finalise" l'approche classique en donnant une valeur à tous les paramètres impliqués à commencer par la taille du transistor principal.

Rappelons tout d'abord, les résultats induits par l'optimisation du gain en puissance:

$$\text{➤ } L_g = \frac{1}{j C_{gs} \omega^2} \quad (2)$$

$$\text{➤ } L_s = 50 \frac{C_{gs}}{g_m} \quad (3)$$

En ce qui concerne la recherche de la figure de bruit minimale, voici ce qu'elle requiert:

$$\text{➤ } B_{opt} = -B_c = -\omega \cdot C_{gs} (1 + \alpha |c| \sqrt{\frac{\delta}{5\gamma}}) \quad (13)$$

$$\text{➤ } G_{opt} = \alpha \omega C_{gs} \sqrt{\frac{\delta}{5\gamma} (1 - |c|^2)} \quad (14)$$

- Grâce à G_{opt} , on peut déjà calculer les dimension du transistor:

$$\frac{1}{50} = \alpha \omega C_{gs} \sqrt{\frac{\delta}{5\gamma} (1 - |c|^2)} \quad \text{en théorie} \quad (19)$$

En pratique, le réseau (L_g , C_{gs} , L_s) crée une surtension à la résonance qui transforme l'impédance d'entrée comme suit:

$$\frac{1}{Q_s \cdot R_s} = \alpha \omega C_{gs} \sqrt{\frac{\delta}{5\gamma} (1 - |c|^2)} \Rightarrow \frac{1}{Q_s \cdot R_s} = \alpha \omega \cdot W \cdot L \cdot C_{ox} \sqrt{\frac{\delta}{5\gamma} (1 - |c|^2)} \quad (20)$$

$$W_{opt} = \frac{1}{Q_s \cdot R_s \cdot \alpha \omega \cdot L \cdot C_{ox} \sqrt{\frac{\delta}{5\gamma} (1 - |c|^2)}}$$

$$W_{opt} = \frac{1}{3 \omega \cdot L \cdot C_{ox} \cdot R_s} \quad (21)$$

En partant de l'expression (23) on peut donc calculer les dimensions du transistor d'entrée et remonter jusqu'au calcul de L_g et L_s . On remarque toutefois que cette optimisation impose la consommation du circuit ce qui peut poser certains problèmes. Qs quant à lui est optimal entre 2 et 3 [1].

On comprendra intuitivement les besoins d'une largeur optimale car pour une consommation donnée, on peut :

- Soit faire une largeur W fine alors le transistor aura une fréquence de coupure haute ω_T . La capacité d'entrée C_{gs} sera faible et présentera une impédance d'entrée grande qui va faire prédominer le courant de bruit de grille.

- Soit faire une largeur W large, dans ce cas il n'y a plus de problème avec le bruit de grille mais la fréquence de coupure ω_T diminue, le bruit de drain devient prépondérant et la

figure de bruit augmente. Effectivement il y a moins de signal prélevé à cause de C_{gs} , le gain diminue mais g_m reste constant donc le bruit de drain ($4kT g_{d0} \Delta f$) reste identique.

D'où l'utilité d'une largeur optimale W_{opt} qui permet le meilleur compromis entre les différentes adaptations pour aboutir à une figure de bruit minimale et un gain maximal simultanément.

- La consommation fixée, et les dimensions W et L imposées, on va déduire c_{gs} et g_m de l'expression:

$$L_s = 50 \frac{C_{gs}}{g_m} \quad (3)$$

- Enfin la susceptance B_{opt} va nous conduire à une inductance L_g particulière adaptée à la figure de bruit minimale qu'il va falloir confronter à celle obtenue en (3):

$$B_{opt} = -B_c = -\omega C_{gs} (1 + \alpha |c| \sqrt{\frac{\delta}{5\gamma}}) \quad (13)$$

La susceptance de l'inductance L_g s'écrit : $B_{L_g} = -\frac{1}{L_g \omega}$ (22)

Comme celle-ci est de la forme de la susceptance requise par la figure de bruit minimale, on peut, en égalant (15) et (24) donner à L_g l'expression suivante:

$$(L_g)_{NF} = \frac{1}{\omega^2 C_{gs} (1 + \alpha |c| \sqrt{\frac{\delta}{5\gamma}})} \quad (23) \text{ VALEUR DE } L_G \text{ POUR OPTIMISER LA FIGURE DE}$$

BRUIT

$$(L_g)_{G_{max}} = \frac{1}{j C_{gs} \omega^2} \quad (2) \text{ valeur de } L_g \text{ pour optimiser le gain en puissance}$$

Intrinsèquement, on observe bien que L_g a la même forme dans les deux cas mais pas la même

valeur. Cependant, d'un point de vue pratique, le terme $\alpha |c| \sqrt{\frac{\delta}{5\gamma}} \ll 1$ dans l'expression de

$(L_g)_{NF}$ donc on peut faire l'approximation que $(L_g)_{G_{max}} \cong (L_g)_{NF}$ et c'est ainsi que l'on détermine la valeur de l'inductance L_g uniquement grâce à l'expression (3).

VII/ Conclusion

Nous avons donné ici la marche à suivre pour réaliser un étage d'entrée bande étroite en technologie MOS intégrant une optimisation duale du gain en puissance et de la figure de bruit. D'un point de vue pratique, il est certain que l'intégration des selfs L_s et L_g vont poser

certaines problèmes puisque leur valeur est liée à la fréquence de travail et à la technologie utilisée. De 0 à 5 nH, on peut espérer les intégrer (avec tous les problèmes que cela impose d'un point de vue modèle). A partir de 5 nH, il vaut mieux utiliser des selfs externes car l'utilisation du bonding est trop aléatoire quant à la valeur finale de son inductance.

Enfin, on remarque que l'équation (21) impose les dimensions (W,L) du transistor, donc influence fortement la consommation du circuit. Fortuitement, celle-ci n'est jamais très élevée, même pour des applications de type embarquées.

Annexe 6

Cette annexe rassemble les spécifications que doit tenir un frontal RF suivant le standard auquel il est dédié:

	DCS1800	UMTS WCDMA	Bluetooth et 802.11b	HiperLAN2 et 802.11a
IIP1	-13 dBm	-10 dBm	-25 dBm	-21 dBm
IIP3	-19 dBm	-1 dBm	-16 dBm	-10 dBm
NF	9 dB	9 dB	20 dB	10 dB
Isolation RF	-35 dB	-35 dB	-35 dB	
Bande de fréquence Rx	1805-1880 MHz	2110-2170 MHz	2400-2480 MHz	5150-5350 MHz
Largeur de canal	200 kHz	5 MHz	1 MHz	25 MHz
Débit de données	270 kbit/s	2048 kbit/s	640 kbit/s	6 à 54 Mbit/s
Nombre de canaux	1600	nc	79	8

Résumé :

Ma thèse intitulée « conception de circuits radiofréquences en technologie CMOS VLSI sous contrainte de faible tension » s'est déroulée au sein du laboratoire IXL de l'université de bordeaux I. Elle a permis dans un premier temps de mettre en avant les contraintes de conception induites par le marché de masse des objets sans fil qui sont : la faible consommation, la faible tension d'alimentation, l'utilisation de technologies CMOS VLSI et la nécessité de réaliser des architectures innovantes. Ainsi, s'appuyant au préalable sur une étude théorique et analytique de l'effet de substrat, nous avons conçu des circuits novateurs dédiés aux chaînes d'émission/réception radiofréquences tels : des amplificateurs faible bruit (LNA), des mélangeurs (MIXER) ainsi qu'un préamplificateur de puissance (PPA). Le test de ces blocs a permis de valider leur adéquation avec les spécifications requises par les standards actuels de communication comme : le GSM, le DCS1800, l'UMTS, les normes IEEE 802.11a et bluetooth et enfin HiperLAN2.

Summary :

My PhD entitled "Low Voltage CMOS VLSI RF design" has been held in IXL Laboratory at the University of Bordeaux I. First it deals with wireless mass market specifications inducing design constrains as much as: low power/low voltage circuits, using of CMOS VLSI technologies and the set up of new architectures to fulfill these requirements. Under these assumptions, and after an analytic study of body effect (a parasitic physical phenomenon of CMOS technologies), we designed several RF building blocs based on new topologies like: Low Noise Amplifier (LNA), Mixer and Power Amplifier (PA). The test of these novel RF circuits highlighted there matching to modern telecommunication standard characteristics among them: GSM, DCS1800, UMTS, IEEE 802.11a and b, Bluetooth and HiperLAN2 norms.