

N° d'ordre : 2882

THESE

présentée à

L'UNIVERSITE BORDEAUX I

ECOLE DOCTORALE DE SCIENCES PHYSIQUES POUR L'INGENIEUR

par **BENOÎT MONGELLAZ**

POUR OBTENIR LE GRADE DE

DOCTEUR

SPECIALITE : ELECTRONIQUE

**CONTRIBUTION A L'INTEGRATION DE LA FIABILITE DANS LE FLOT DE
CONCEPTION DES CIRCUITS INTEGRES FONDEE SUR L'UTILISATION D'UN
LANGAGE DE DESCRIPTION COMPORTEMENTALE VHDL-AMS**

Soutenue le : 18 Novembre 2004

Après avis de :

| | | | | |
|------------|--|---|---|--------------------|
| MM. | Pierre Gentil Alain Vachoux | <i>Professeur des Universités</i> <i>Docteur</i> | <i>INP Grenoble</i> <i>EPFL-Lausanne</i> | Rapporteurs |
|------------|--|---|---|--------------------|

Devant la commission d'examen formée :

| | | | | |
|------------|--|--|---|---|
| MM. | Pierre Gentil François Marc Michèle Tran Alain Vachoux André Touboul Yves Danto Pascal Fouillat | <i>Professeur des Universités</i> <i>Maître de Conférences</i> <i>Ingénieur</i> <i>Docteur</i> <i>Professeur des Universités</i> <i>Professeur des Universités</i> <i>Professeur des Universités</i> | <i>INP Grenoble</i> <i>Bordeaux 1</i> <i>MBDA Vélizy</i> <i>EPFL Lausanne</i> <i>Bordeaux 1</i> <i>Bordeaux 1</i> <i>Bordeaux 1</i> | Président Rapporteur Examineurs Invité |
|------------|--|--|---|---|

A Sabine

REMERCIEMENTS

Les travaux de recherche présentés dans ce mémoire ont été réalisés au Laboratoire de Microélectronique IXL de l'Université de Bordeaux 1, dirigé par Monsieur le Professeur André Touboul.

Je remercie tout d'abord Monsieur André Touboul de m'avoir accueilli dans son laboratoire et de me faire l'honneur de participer au jury de thèse.

Mes remerciements vont également à Messieurs Pierre Gentil et Alain Vachoux pour leur lecture attentive et critique du mémoire, en tant que rapporteurs de cette thèse.

Je remercie Monsieur Yves Danto, directeur de thèse, pour m'avoir confié le travail de recherche passionnant sur la simulation de fiabilité des circuits CMOS.

Que Monsieur François Marc soit assuré de ma reconnaissance pour sa contribution à mon travail de recherche.

Je remercie vivement Madame Michèle Tran et Monsieur Pascal Fouillat pour l'intérêt qu'ils portent à ces travaux en acceptant de faire partie du jury de thèse.

J'adresse toute ma gratitude à Mesdames Carole Graas, Nathalie Revil et Messieurs Tomasz Brozek, Wlodek Grabinski, Jean-Michel Sallese, Rolf Vollersten, Christophe Lallement et André Favre pour leurs précieux conseils au cours de mes travaux de recherche.

Je tiens particulièrement à remercier les étudiants Arnaud Schmitt et Corinne Bestory pour leur contribution au travail de recherche.

Je remercie également mes amis d'enfance Hervé, Frédéric et Stéphane ainsi que mes amis Marie-Pascale, Alexandrine, Eric, Pierre, Frédéric, Ollivier, Sébastien, Grégory, Thomas, Alexis, Patrice et mes amis cyclistes (Gradignan & Alby sur Chéran), avec qui je partage des moments d'amitiés intenses depuis de nombreuses années.

J'adresse toute ma reconnaissance à mes parents, frères et sœurs ainsi que ma belle-famille, pour leur intérêt et leur soutien pendant mes travaux de recherche.

TABLE DES MATIERES

| | |
|--|----|
| INTRODUCTION GENERALE | 3 |
| CHAPITRE 1 LES OUTILS DE LA SIIMULATION DE LA FIABILITE | |
| 1 INTRODUCTION | 9 |
| 2 LE TRAITEMENT DE LA FIABILITE | 10 |
| 2.1 LES OBJECTIFS | 10 |
| 2.2 LA DUREE DE VIE | 10 |
| 2.3 FIABILITE INTEGREE DANS LA CONCEPTION | 12 |
| 2.4 LE BOUCLAGE COURT SUR LA CONCEPTION..... | 13 |
| 3 LES MECANISMES DE DEFAILLANCE PHYSIQUE..... | 15 |
| 3.1 LA PHYSIQUE DES DEFAILLANCES | 15 |
| 3.2 LES MECANISMES DE DEFAILLANCE | 15 |
| 3.2.1 <i>Les défaillances intrinsèques</i> | 15 |
| 3.2.2 <i>Les défaillances extrinsèques</i> | 16 |
| 3.3 EFFETS SUR LES PERFORMANCES ELECTRIQUES..... | 16 |
| 4 MODELISATION DU VIEILLISSEMENT ELECTRIQUE DE LA TECHNOLOGIE CMOS | 18 |
| 4.1 LE VIEILLISSEMENT PAR INJECTION DE PORTEURS CHAUDS | 18 |
| 4.1.1 <i>Les différentes injections de porteurs chauds</i> | 18 |
| 4.1.2 <i>Les dégradations associées aux injections</i> | 19 |
| 4.1.3 <i>Les techniques de caractérisation expérimentale</i> | 20 |
| 4.1.3.1 La caractérisation électrique courant-tension | 20 |
| 4.1.3.2 Le pompage de charges..... | 21 |
| 4.2 MODELISATION DE LA DUREE DE VIE | 21 |
| 4.2.1 <i>Méthode d'estimation de la durée de vie</i> | 21 |
| 4.2.2 <i>Les critères de dégradation</i> | 22 |
| 4.2.3 <i>La méthode de la tension drain-source V_{DS}</i> | 23 |
| 4.2.4 <i>La méthode du rapport I_B/I_{DS}</i> | 23 |
| 4.3 MODELISATION DE LA VARIATION DES PARAMETRES ELECTRIQUES | 24 |

| | | |
|---|---|----|
| 4.3.1 | <i>Les variations paramétriques</i> | 24 |
| 4.3.2 | <i>Modèles de lois d'évolution</i> | 24 |
| 4.3.2.1 | La loi en puissance..... | 25 |
| 4.3.2.2 | La loi logarithmique..... | 26 |
| 4.3.2.3 | La loi exponentielle..... | 27 |
| 4.4 | DISCUSSION | 27 |
| 5 | LES OUTILS DE SIMULATION DE LA FIABILITE | 29 |
| 5.1 | ENVIRONNEMENT DE SIMULATION | 29 |
| 5.2 | CARACTERISTIQUES COMMUNES AUX OUTILS DE SIMULATION..... | 30 |
| 5.3 | LES FONCTIONNALITES | 31 |
| 5.3.1.1 | Méthode d'analyse transitoire..... | 31 |
| 5.3.1.2 | Méthode de calcul de la dégradation | 33 |
| 5.3.1.3 | Méthode de calcul de la dérive des paramètres | 33 |
| 5.4 | LES OUTILS DE LA BOUCLE DFR | 34 |
| 5.4.1 | <i>Le simulateur BERT</i> | 35 |
| 5.4.2 | <i>Le simulateur HOTRON</i> | 37 |
| 5.4.3 | <i>Le simulateur PRESS</i> | 38 |
| 5.4.4 | <i>Discussion</i> | 39 |
| 5.5 | LES APPLICATIONS | 41 |
| 5.5.1 | <i>Les circuits logiques</i> | 41 |
| 5.5.1.1 | L'inverseur..... | 41 |
| 5.5.1.2 | L'oscillateur en anneaux | 42 |
| 5.5.1.3 | Les fonctions logiques complexes | 42 |
| 5.5.2 | <i>Les circuits analogiques</i> | 42 |
| 5.5.2.1 | Le miroir de courant..... | 43 |
| 5.5.2.2 | L'amplificateur différentiel..... | 43 |
| 5.5.2.3 | Les fonctions analogiques complexes..... | 43 |
| 6 | CONCLUSION..... | 45 |
| CHAPITRE 2 LA MODELISATION VHDL-AMS DES CIRCUITS CMOS | | |
| 1 | INTRODUCTION | 49 |
| 2 | MODELISATION DE CIRCUITS INTEGRES | 50 |

| | | |
|---|---|----|
| 2.1 | METHODES DE CONSTRUCTION HIERARCHIQUE..... | 50 |
| 2.2 | LES MODELES COMPORTEMENTAUX..... | 51 |
| 2.3 | LA SIMULATION ELECTRIQUE..... | 51 |
| 3 | UN LANGAGE DE DESCRIPTION MATERIEL : VHDL-AMS..... | 54 |
| 3.1 | APPORT DU LANGAGE VHDL-AMS | 54 |
| 3.2 | ELEMENTS DE LA SYNTAXE VHDL-AMS | 55 |
| 3.2.1 | <i>Entité et architecture</i> | 55 |
| 3.2.2 | <i>Quantité analogique</i> | 55 |
| 3.2.3 | <i>Déclaration simultanée</i> | 57 |
| 3.2.4 | <i>Attributs</i> | 57 |
| 3.2.5 | <i>Domaines d'analyse</i> | 60 |
| 3.3 | DOMAINES D'APPLICATION | 61 |
| 4 | MODELISATION VHDL-AMS DE CIRCUITS CMOS | 63 |
| 4.1 | MODELISATION DU TRANSISTOR MOSFET..... | 63 |
| 4.1.1 | <i>Modèle électrique grand signal</i> | 63 |
| 4.1.2 | <i>Paquetage et interface d'entrée-sortie</i> | 64 |
| 4.1.3 | <i>Définition de l'architecture</i> | 65 |
| 4.1.3.1 | Eléments intrinsèques | 66 |
| 4.1.3.2 | Eléments extrinsèques..... | 67 |
| 4.1.4 | <i>Caractéristiques électriques</i> | 67 |
| 4.2 | MODELISATION DE L'AMPLIFICATEUR OPERATIONNEL TENSION-COURANT..... | 69 |
| 4.2.1 | <i>Caractéristiques du circuit</i> | 69 |
| 4.2.2 | <i>Méthodologie de construction</i> | 70 |
| 4.2.2.1 | Etage d'entrée | 71 |
| 4.2.2.2 | Etage de transfert | 72 |
| 4.2.2.3 | Etage de sortie..... | 73 |
| 4.2.2.4 | Etage dynamique..... | 73 |
| 4.2.3 | <i>Caractéristiques électriques</i> | 74 |
| 4.2.4 | <i>Conclusion</i> | 75 |
| 5 | CONCLUSION..... | 77 |
| CHAPITRE 3 MODELISATION VHDL-AMS DES EFFETS ELECTROTHERMIQUES | | |
| 1 | INTRODUCTION | 81 |

| | | |
|---|--|-----|
| 2 | PROJET EUROPEEN SPARTE..... | 82 |
| 2.1 | PRESENTATION DU PROJET | 82 |
| 2.1.1 | <i>Problématique</i> | 82 |
| 2.1.2 | <i>Méthodologie</i> | 83 |
| 2.2 | MODELISATION COMPORTEMENTALE DES EFFETS ELECTROTHERMIQUES..... | 84 |
| 2.2.1 | <i>Objectifs</i> | 84 |
| 2.2.2 | <i>Méthodologie</i> | 84 |
| 3 | MODELISATION VHDL-AMS ELECTRIQUE DU REGULATEUR | 86 |
| 3.1 | DESCRIPTION DU REGULATEUR DE TENSION..... | 86 |
| 3.2 | CONSTRUCTION D'UN MODELE VHDL-AMS | 87 |
| 3.2.1 | <i>Structure interne du régulateur</i> | 87 |
| 3.2.2 | <i>Définition des caractéristiques électriques</i> | 87 |
| 3.2.3 | <i>Modèle VHDL-AMS comportemental</i> | 89 |
| 3.3 | EXTRACTION DES PARAMETRES GENERIQUES..... | 94 |
| 4 | MODELISATION VHDL-AMS ELECTROTHERMIQUE..... | 97 |
| 4.1 | LES OBJECTIFS | 97 |
| 4.2 | CONSTRUCTION D'UN MODELE VHDL-AMS | 97 |
| 4.2.1 | <i>Puissance dissipée localisée</i> | 97 |
| 4.2.2 | <i>Modèle VHDL-AMS électrothermique</i> | 98 |
| 4.3 | APPLICATION EN SIMULATION ELECTROTHERMIQUE | 101 |
| 4.4 | SYNTHESE | 105 |
| 5 | CONCLUSION..... | 106 |
| CHAPITRE 4 MODELES VHDL-AMS ET SIMULATION DE LA FIABILITE | | |
| 1 | INTRODUCTION | 111 |
| 2 | METHODE DE CONSTRUCTION DE MODELES VHDL-AMS DE FIABILITE ... | 112 |
| 2.1 | DES MODELES SPICE DE FIABILITE | 112 |
| 2.2 | DE LA MODELISATION SPICE VERS LA MODELISATION VHDL-AMS..... | 113 |
| 2.2.1 | <i>Variation dynamique des paramètres électriques</i> | 114 |
| 2.2.2 | <i>Gestion de la double échelle de temps</i> | 115 |
| 2.3 | CONSTRUCTION DE MODELES VHDL-AMS DE FIABILITE | 116 |

| | | |
|---------|---|-----|
| 2.3.1 | <i>Modèle VHDL-AMS structurel</i> | 117 |
| 2.3.1.1 | Modèle de fiabilité du dispositif élémentaire..... | 117 |
| 2.3.1.2 | Synthèse du modèle VHDL-AMS structurel | 118 |
| 2.3.2 | <i>Modèle VHDL-AMS fonctionnel</i> | 118 |
| 2.3.2.1 | Analyse des conditions de polarisation..... | 119 |
| 2.3.2.2 | Modèle de fiabilité du dispositif élémentaire..... | 119 |
| 2.3.2.3 | Analyse de sensibilité | 119 |
| 2.3.2.4 | Synthèse du modèle VHDL-AMS fonctionnel | 120 |
| 2.3.3 | <i>Conclusion</i> | 120 |
| 3 | SIMULATION DE FIABILITE D'UN BLOC ANALOGIQUE CMOS..... | 121 |
| 3.1 | OBJECTIFS..... | 121 |
| 3.2 | LE TRANSISTOR MOSFET | 121 |
| 3.2.1 | <i>Modèle VHDL-AMS du courant de substrat</i> | 122 |
| 3.2.2 | <i>Modèle VHDL-AMS de dégradation de performance</i> | 125 |
| 3.3 | APPLICATION EN SIMULATION DE FIABILITE..... | 126 |
| 3.3.1 | <i>Dimensionnement du modèle de fiabilité du dispositif élémentaire</i> | 127 |
| 3.3.1.1 | Modèle de dégradation..... | 127 |
| 3.3.1.2 | Facteur d'échelle du temps de vieillissement | 127 |
| 3.3.2 | <i>Miroir de courant</i> | 129 |
| 3.3.2.1 | Caractéristique statique..... | 129 |
| 3.3.2.2 | Analyse de sensibilité | 131 |
| 3.3.2.3 | Simulation transitoire de vieillissement..... | 133 |
| 3.4 | CONCLUSION..... | 135 |
| 4 | SIMULATION DE FIABILITE D'UN CIRCUIT ANALOGIQUE CMOS | 137 |
| 4.1 | OBJECTIFS..... | 137 |
| 4.2 | MODELE STRUCTUREL DE FIABILITE | 137 |
| 4.2.1 | <i>Caractéristique statique</i> | 138 |
| 4.2.2 | <i>Simulation transitoire de vieillissement</i> | 139 |
| 4.3 | MODELE FONCTIONNEL DE FIABILITE..... | 142 |
| 4.3.1 | <i>Modèle VHDL-AMS fonctionnel</i> | 143 |
| 4.3.2 | <i>Générateur de contraintes en tension</i> | 144 |
| 4.3.3 | <i>Vieillessement du dispositif élémentaire</i> | 148 |
| 4.3.4 | <i>Sensibilité des paramètres électriques du circuit</i> | 149 |

| | | |
|-------|---|-----|
| 4.3.5 | <i>Simulation transitoire de vieillissement électrique</i> | 152 |
| 4.4 | COMPARAISON DES MODELES STRUCTUREL ET FONCTIONNEL..... | 156 |
| 4.5 | BILAN | 157 |
| 5 | CONCLUSION..... | 159 |
| 5.1 | PERSPECTIVES..... | 159 |
| | CONCLUSION GENERALE..... | 163 |
| | ANNEXE | |
| 1 | PUBLICATION | 171 |
| 2 | MODELES ELECTRIQUES VHDL-AMS..... | 172 |
| 2.1 | MODELE VHDL-AMS DU TRANSISTOR NMOS | 172 |
| 2.1.1 | <i>Paquetage MOSFET</i> | 172 |
| 2.1.2 | <i>Entité</i> | 174 |
| 2.1.3 | <i>Architecture</i> | 175 |
| 2.2 | MODELE VHDL-AMS DE L'AMPLIFICATEUR OPERATIONNEL DE TRANSCONDUCTANCE CMOS | 177 |
| 2.2.1 | <i>Entité</i> | 177 |
| 2.2.2 | <i>Architecture</i> | 177 |
| 2.3 | MODELE VHDL-AMS DU REGULATEUR DE TENSION LT1129 | 180 |
| 2.4 | MODELE VHDL-AMS ELECTROTHERMIQUE DU REGULATEUR DE TENSION LT1129 182 | |
| | BIBLIOGRAPHIE..... | 185 |

INTRODUCTION GENERALE

Introduction générale

La fiabilité des circuits intégrés est un enjeu économique ainsi qu'un enjeu technologique. Sur le plan économique, la diminution des coûts de tests de fiabilité des circuits intégrés est un objectif pour les industriels de l'électronique. L'enjeu technologique est de développer des systèmes avec des composants dont la fiabilité est « totale », c'est à dire avec un taux de défaillance à court terme proche de zéro. Aux objectifs précédents, il faut ajouter la volonté de réduire les temps utiles de la phase de conception des circuits intégrés, notamment ceux du à un retour sur la phase de conception parce que les tests de fiabilité des circuits fabriqués ne correspondent pas aux tolérances définies dans le cahier des charges. La notion de fiabilité est donc primordiale dans le cycle de vie d'un circuit intégré.

La fiabilité est un atout majeur quand celle-ci est intégrée dans la phase de conception. La mise en œuvre de la fiabilité dans le cycle de conception nécessite la connaissance de mécanismes de défaillance propres à la filière technologique du circuit intégré. L'évolution croissante des nouvelles technologies du dispositif élémentaire est un défi permanent pour la communauté des experts de l'analyse de défaillances. En conséquence, elle exige aussi une maîtrise des modèles physiques, électriques ou empirique des mécanismes de défaillances.

Une des réponses à cette évolution continue est l'amélioration des moyens d'analyse ou plutôt, la mise à niveau des outils et techniques permettant de résoudre et d'observer les problèmes étudiés dans le cadre de l'analyse de défaillance des composants électroniques. Cette adaptation des moyens d'analyse est de plus en plus coûteuse et nécessite un grand nombre de compétences de plus en plus pointues. Le développement d'une librairie de modèles de défaillances physiques est une étape nécessaire et utile dans le cadre de la simulation de la fiabilité. La simulation de la fiabilité se nourrit des données issues des techniques de qualification des procédés technologiques avant la phase de conception et des méthodes de prédiction de la fiabilité réalisées en fin de cycle de production. Elle s'appuie notamment sur une approche de la fiabilité dont le but est de relier les causes et les effets des mécanismes de dégradation sur les caractéristiques électriques des circuits et systèmes électroniques : la physique des défaillances.

La fiabilité des systèmes électroniques est décomposée en trois phases pour lesquelles le taux de défaillance varie différemment. Chaque phase a ses propres caractéristiques, et l'étude de la fiabilité des composants électroniques nécessite dans les phases correspondantes une approche spécifique. Le déverminage a pour objectif de mettre en évidence les pannes dites précoces. L'approche classique dite statistique s'intéresse à la prédiction de la fiabilité dans le cas de pannes occasionnelles, c'est à dire pour un taux de défaillance constant. La dernière phase, définie pour de grandes périodes temporelles, où les défaillances d'usures se manifestent est difficile à appréhender. La prédiction de fiabilité de tels phénomènes dits cumulatifs nécessite une approche physique des modes de dégradations.

Les circuits intégrés, et plus particulièrement toutes les filières technologiques sont concernées par les phénomènes d'usure qui ont plus ou moins d'importance selon les profils de mission. C'est pourquoi, une approche physique des modes de dégradation est généralement appliquée dans le cadre de l'étude de la fiabilité des dispositifs élémentaires.

Introduction générale

Elle a pour but de mettre en évidence les causes des modes de dégradation et leurs effets sur les performances électriques des composants électroniques. Cette approche est utile pour le développement de bibliothèques de modèles analytiques de dégradation. Cette bibliothèque est ensuite intégrée dans les outils de simulation de la fiabilité des circuits et systèmes électroniques.

Les outils de la simulation de la fiabilité trouvent leur place plus en amont dans le cycle de production des composants. Leur utilisation est faite dans la boucle conventionnelle de conception ce qui nous amène à définir le concept de fiabilité intégrée (Design For Reliability). La fiabilité intégrée a pour but de prendre en compte la dépendance des circuits électroniques à un mécanisme d'usure. Cette étude est réalisée grâce aux outils spécifiques utilisés au cours de la conception des circuits. L'usage de ces outils permet, par simulation électrique transitoire, de prédire la fiabilité des circuits électroniques à partir de l'évolution, au cours du temps de vieillissement, des caractéristiques électriques des dispositifs élémentaires.

Dans le premier chapitre, les outils actuels s'appuient sur des simulateurs électriques de type *SPICE* comme nous le verrons. Nous faisons un tour d'horizon des différents outils spécifiques à la simulation de fiabilité intégrée dans le flot de conception. Nous aborderons leurs principales caractéristiques et leurs limitations. Les modèles de fiabilité propre à l'injection de porteurs chauds sont passés en revue. Ce mécanisme de dégradation d'usure affecte les technologies *CMOS* et se manifeste par les dérives des caractéristiques électriques des dispositifs. Divers exemples de circuits analogiques et logiques sont présentés, ce sont essentiellement des exemples pour lesquels le nombre de transistor est restreint.

Dans le but de prédire la fiabilité des circuits et systèmes électroniques complexes comprenant un grand nombre de transistors, il est nécessaire de redéfinir les techniques et méthodes de simulation du vieillissement électrique. Pour cela, nous nous appuyons sur le langage de description comportementale *VHDL-AMS* (*VHSIC Hardware Description Language-Analog and Mixed Signal* ;avec *VHSIC* pour *Very High Speed Integrated Circuit*) dont les propriétés de la syntaxe sont présentées au second chapitre en prenant comme exemple le développement d'un modèle du transistor *MOSFET* et d'un circuit analogique : l'amplificateur opérationnel de transconductance.

Le troisième chapitre propose une première application du langage *VHDL-AMS* dans le but de construire des modèles électriques de fiabilité. Il synthétise les travaux menés dans le cadre du projet européen *SPARTE* (*Simulation based Performance Assessment & Rating regarding Thermal & Electrical effects*) en tant que partenaire de la société *Matra BAe Dynamics*. Le travail se focalise sur la construction d'un modèle *VHDL-AMS* électrothermique d'un composant de puissance : le régulateur de tension *LT1129*.

Le quatrième chapitre présente la méthode de construction d'un modèle *VHDL-AMS* de vieillissement électrique d'un circuit analogique *CMOS* dont les dispositifs élémentaires *MOSFET* sont dépendants d'un phénomène d'usure : l'injection de porteurs chauds. Par application de la méthode ascendante, nous avons construit un modèle structurel à partir du modèle *VHDL-AMS* de fiabilité du dispositif élémentaire *MOSFET*. Nous proposons aussi un modèle *VHDL-AMS* fonctionnel du circuit basé sur une approche plus globale du vieillissement électrique du circuit.

La construction de ces deux modèles s'appuie sur les propriétés du langage *VHDL-AMS* à partir desquels nous proposons de nouvelles techniques pour la mise en œuvre de la simulation de vieillissement électrique. Ces deux modèles sont utilisés pour faire la

Introduction générale

démonstration de la faisabilité de la simulation de vieillissement électrique à partir de modèles comportementaux *VHDL-AMS*. L'étude de faisabilité s'appuie sur des exemples basiques afin de mettre en évidence la méthode de construction reproductible pour des circuits et systèmes plus complexes conçus avec un grand nombre de transistors.

CHAPITRE 1

Les outils de simulation de la fiabilité

1 Introduction

La fiabilité est définie comme la caractéristique d'un dispositif électronique exprimée par la probabilité que ce dispositif accomplisse une fonction requise dans les conditions d'utilisation et pour une période donnée. L'intérêt porté à la fiabilité coïncide avec le développement, au cours des années soixante, des grands projets militaires et spatiaux. Compte tenu des contraintes spécifiques d'utilisation de ces systèmes et des investissements mis en œuvre, il était en effet primordial de s'assurer de leur bon fonctionnement pendant toute la durée de leur utilisation ou tout du moins de limiter au maximum la probabilité de panne.

A l'échelle du transistor, la fiabilité des composants élémentaires des circuits intégrés est un enjeu économique ainsi qu'un enjeu technologique. La diminution des coûts de fabrication des circuits intégrés est un objectif pour les industriels de l'électronique. A ces objectifs, il faut ajouter la volonté de réduire les temps utiles de la phase de conception des circuits intégrés. Notamment, ceux dus à un retour sur la phase de conception parce que les tests de fiabilité des circuits prototypes fabriqués ne correspondent pas à la gamme de tolérance prédéfinie dans le cahier des charges. La notion de fiabilité est donc primordiale dans le cycle de vie d'un circuit intégré. De plus, l'analyse de la fiabilité est un atout majeur quand celle-ci est intégrée dans la phase de conception. Son intégration dans le cycle de conception doit tenir compte du profil de mission du circuit intégré. L'analyse de la fiabilité nécessite aussi la connaissance de mécanismes physiques de défaillance propre à la filière technologique du circuit intégré. De plus, elle exige une maîtrise des modèles physiques, électriques ou empiriques des mécanismes de défaillances.

L'évolution croissante des nouvelles technologies, dans le domaine du semi-conducteur, est un défi permanent pour la communauté analyse de défaillances. Une des réponses à cette évolution continue est l'amélioration des moyens d'analyse ou plutôt, la mise à niveau des outils et techniques permettant de résoudre et d'observer les problèmes étudiés dans le cadre de l'analyse de défaillance des composants VLSI (Very Large Scale Integration). Cette adaptation des moyens d'analyse est de plus en plus coûteuse et nécessite un grand nombre de compétences de plus en plus pointues.

Au-delà des défis techniques, il faut repenser la stratégie et le flot d'analyse de défaillances. Cette stratégie conduit au développement d'une librairie de modèles de défaillances physiques. Ceci est une étape nécessaire et utile dans le cadre de la simulation de la fiabilité. La simulation de la fiabilité se nourrit des données issues des techniques de qualification des procédés technologiques avant la phase de conception et des méthodes de prédiction de la fiabilité réalisées en fin de cycle de production. Sa mise en œuvre s'appuie sur les méthodes statistiques d'une part et d'autre part englobe majoritairement les résultats d'analyses de la physique des défaillances des technologies semi-conducteurs.

2 Le traitement de la fiabilité

2.1 Les objectifs

Au cours des années 1980, la rapide évolution des circuits intégrés et notamment la croissance du facteur d'intégration selon la loi de Moore amènent les experts de la microélectronique à anticiper l'évolution du traitement de la fiabilité des circuits intégrés. Cette motivation est bien sûr corrélée à l'évolution des outils logiciels d'aide à la conception des circuits intégrés. Les travaux de Sheu^{1,2}, qui se focalisent sur la construction d'un simulateur électrique dédié à la fiabilité des semi-conducteurs, montrent que l'analyse statistique classique devient obsolète pour le traitement de la fiabilité des semi-conducteurs, notamment dans le cas de défaillances ayant lieu en fin de durée de vie. Ce constat s'explique par le fait que la diminution géométrique des composants élémentaires comme le transistor favorise l'intégration sur silicium de multiples fonctions intégrées de filières technologiques diverses. A l'époque, les experts parlaient du passage de circuits intégrés *VLSI* (Very Large Scale Integration) à *ULSI* (Ultra Large Scale Integration). Aujourd'hui, nous parlons de systèmes sur une seule puce, dit *SOC* (System on a Chip). Ce type de circuits intégrés nécessite donc une nouvelle définition des techniques d'analyse et de modélisation de la fiabilité avec comme perspective l'intégration de la fiabilité dans le flot de conception des circuits électroniques. C'est donc ce challenge qui a été mis en place par la communauté de la microélectronique, au début des années 1990. Un facteur, déterminant, a été mis en évidence : celui de la spécificité des circuits *ULSI*. Le traitement de la fiabilité est rendu difficile par le manque de techniques expérimentales, rapides et peu onéreuses, pour appréhender la fiabilité des circuits intégrés sur une seule puce. Jusqu'à présent, seule les études faites sur la fiabilité des dispositifs élémentaires sont utilisées pour appréhender la fiabilité des circuits électroniques. Les difficultés de ce traitement de la fiabilité sont augmentées par les nombreux procédés technologiques donnant naissance à de nombreuses filières technologiques (bipolaire, *CMOS*, *BICMOS*, *SOI*...).

2.2 La durée de vie

D'une manière générale, le traitement de la fiabilité selon une approche statistique s'intéresse à l'évolution du taux de défaillance $\lambda(t)$ en fonction du temps. Pour la plupart des systèmes, circuits ou composants électroniques étudiés, on peut distinguer trois phases successives dans l'évolution du taux de défaillance. La courbe de la figure 1-1 distingue une phase pour les pannes précoces, une phase de période utile, et une période pour les pannes d'usures. Il est vital de pouvoir influencer cette courbe pour diminuer au maximum la première phase diminution des coûts en service après-vente et en actions correctives, maintenir le taux le plus bas durant la deuxième phase et anticiper la dernière phase afin d'améliorer le Temps Moyen de Bon Fonctionnement ou MTBF du système électronique.

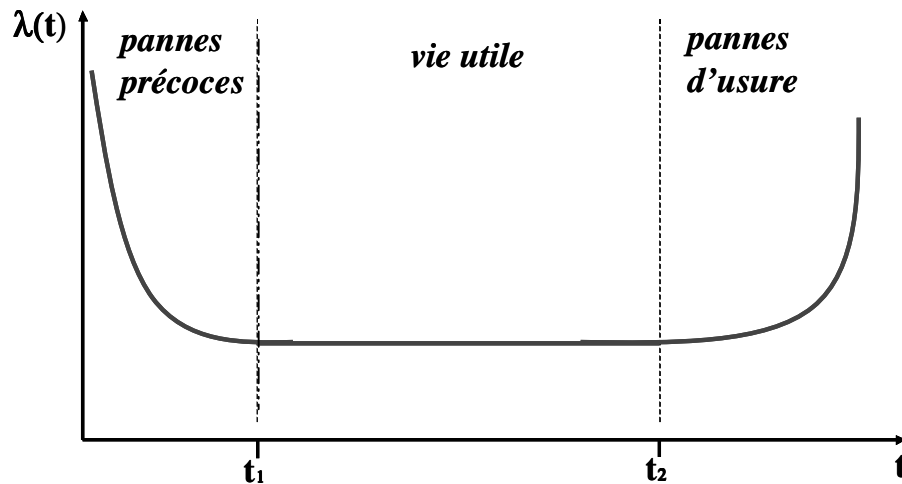


Figure 1-1 Evolution du taux de défaillance $\lambda=f(t)$.

Au cours de la première phase, le taux de défaillance est assez élevé mais il décroît rapidement avec le temps. C'est la phase de mortalité infantile ou de défaillances précoces. Le nombre important de pannes est attribué aux composants de mauvaise qualité due aux défauts technologiques apparus au cours de la fabrication du circuit intégré. Ces composants peuvent être écartés du marché par des procédures de déverminage.

Dans une seconde phase, le taux de défaillance se stabilise et reste à peu près constant. Le produit a atteint sa pleine maturité, c'est période utile de fonctionnement. Les défaillances, dans cette région, sont aléatoires et/ou accidentelles. Elles sont principalement la conséquence d'une mauvaise utilisation ou d'incidents (décharge électrostatique, humidité, variation de température ...).

La hausse du nombre de défaillances au cours de la troisième phase correspond aux phénomènes d'usure des composants. L'apparition de cette phase dépend directement des contraintes appliquées au composant donc de son profil de mission. Cette troisième phase marque la fin de vie utile du produit. Le début de cette phase est très difficilement quantifiable. A ce stade, le vieillissement électrique, induit par des dégradations accumulées au cours de la vie utile du composant, entraîne la dérive de caractéristiques électriques. Par conséquent, la fonctionnalité du composant ne peut être remise en cause que par comparaison avec un critère de dégradation. Par exemple, pour un transistor *MOSFET*, celui-ci sera considéré inapte au bon fonctionnement à partir d'un temps τ pour lequel la tension de seuil aura dépassé 10% de sa valeur initiale. Le temps τ représente alors la durée de vie du transistor pour le critère de dégradation et les contraintes données. Ce critère de dégradation est couramment utilisé dans les phases de qualification des procédés technologiques. Ce critère de dégradation devient un seuil de dégradation dans le cas où nous considérerions le dispositif élémentaire dans son contexte d'utilisation, c'est à dire un circuit ou système.

Il est difficile d'estimer de manière précise la durée de vie d'un composant ou le seuil de dégradation d'un circuit. La durée de vie d'un composant électronique dépend de nombreux facteurs principalement corrélés au profil de mission. C'est à dire les contraintes internes ou externes qui sont imposées aux composants électroniques au cours de son cycle de vie. Ces contraintes ont pour action d'activer les défauts intrinsèques ou extrinsèques. La durée de vie

est donc principalement liée à la technologie du composant, le profil de mission et le mécanisme de défaillance physique.

2.3 Fiabilité intégrée dans la conception

Les modes de dégradation physiques sont susceptibles de modifier sensiblement les caractéristiques électriques des circuits électroniques. Dans le cas de fonctions critiques telles que les applications en environnement sévère, il est nécessaire de pouvoir estimer le temps au bout duquel les dégradations seront suffisantes pour que le circuit « sorte » des limites du cahier des charges. Cela permet d'estimer la durée de vie complète du système et éventuellement de prévoir les modifications d'architecture nécessaire pour assurer la durée de vie souhaitée. La durée de vie du circuit peut aussi être améliorée dès la phase de conception en prenant des précautions sur le dimensionnement géométrique des transistors et la taille des pistes de métal, ce qui contribue, respectivement à réduire les champs électriques internes dans la structure des transistors et réduire un mode de défaillance tel que l'électromigration.

Mais ces précautions se font au détriment de la densité d'intégration et donc bien sûr du prix de revient du circuit. Afin d'optimiser le rapport coût fiabilité, il est intéressant d'intégrer les aspects liés à la fiabilité dans le flot de conception afin d'identifier les régions à risques et de prendre les mesures adéquates pour limiter les risques de perte de fonctionnalité prématurée. Ces mesures consistent à déterminer les points faibles d'un circuit intégré, c'est à dire les transistors, qui sous l'effet de contraintes électriques définis par le profil de mission, seraient susceptibles d'avoir leur performance électrique dégradée sous l'effet d'un mode de dégradation cumulatif. A long terme, cette perte de fonctionnalité entraînerait un dysfonctionnement du circuit intégré. Pour cela, le concepteur a donc besoin d'outils de simulation de fiabilité au même titre que des simulateurs électriques. Il doit pouvoir simuler l'effet d'un mode de dégradation sur le circuit, au cours du temps de fonctionnement, au même titre qu'il effectue des simulations fonctionnelles pour contrôler les performances du circuit.

Ces objectifs concernent de toute évidence toutes les filières technologiques, tous les composants et circuits électroniques. Pour illustrer nos propos, une méthode d'assurance fiabilité, définie par Chenming Hu³, est proposée en figure 1-2. Cette méthode d'assurance fiabilité intègre la notion de simulateur de la fiabilité comme un outil d'aide au développement des circuits intégrés. Cet outil est une interface entre la phase de développement de la technologie et la phase de qualification des circuits intégrés. Il apparaît important que ces deux phases soient utiles aux développements et dimensionnements de modèles de fiabilité par retour d'expérience. Ainsi, la phase de simulation de la fiabilité trouve tout son intérêt, c'est à dire un appui complémentaire à la phase de conception. Elle doit donc informer le concepteur, c'est à dire lui montrer le comportement électrique du circuit, vis à vis d'un mode de dégradation de vieillissement de longue durée. Ces informations, apportées par la simulation de la fiabilité du circuit, doivent servir le concepteur afin qu'il puisse apporter les corrections utiles pour satisfaire le cahier des charges.

La simulation de la fiabilité tient donc une place extrêmement importante dans cette assurance fiabilité. Elle peut influencer sur l'amélioration des procédés technologiques, des règles de conception et des tests de qualification.

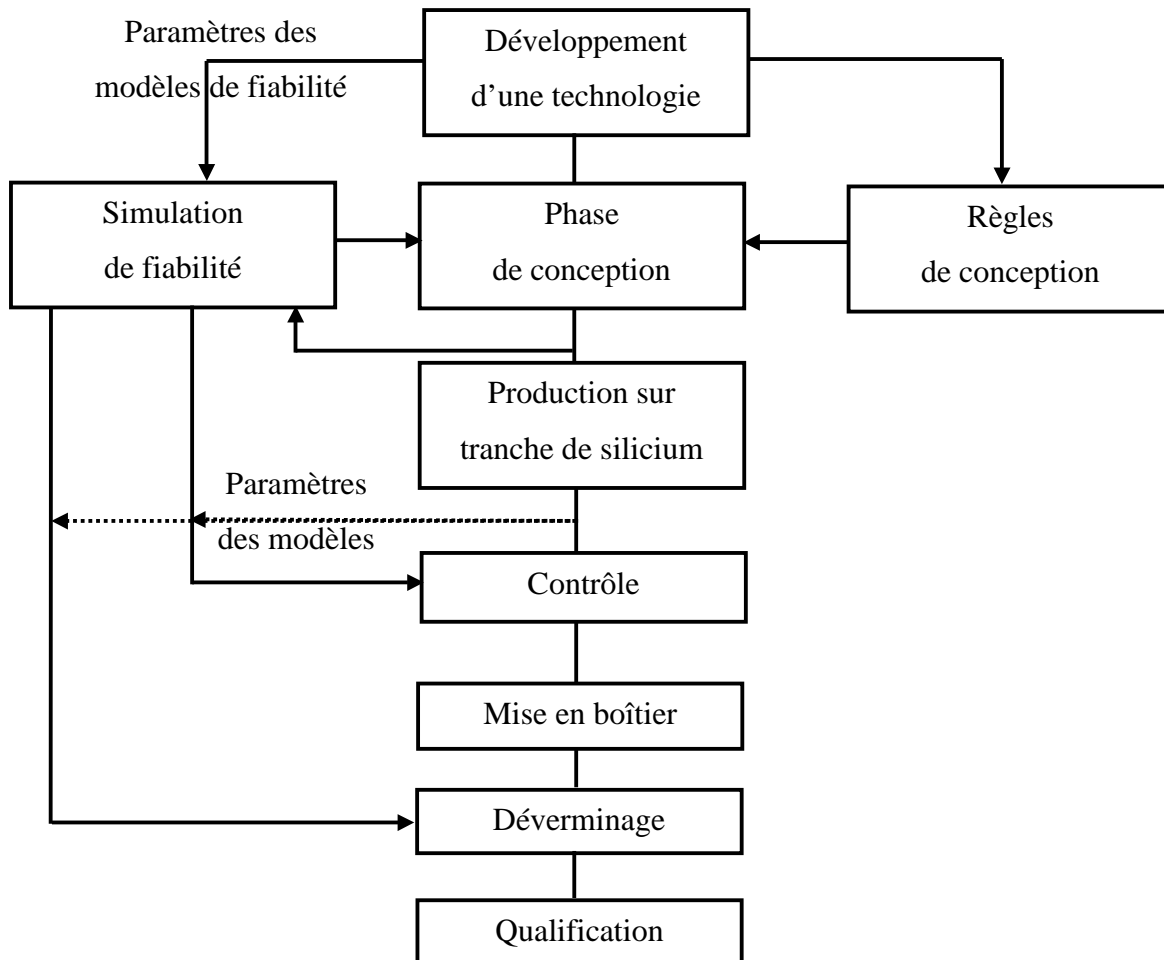
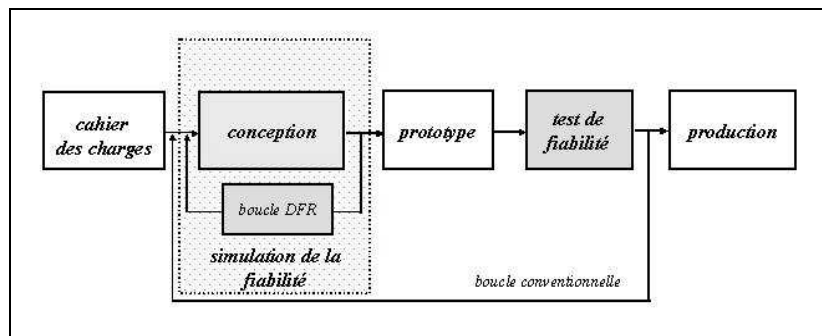


Figure 1-2 Méthode d'assurance fiabilité des circuits intégrés.

2.4 Le bouclage court sur la conception

L'analyse de fiabilité est une phase clé dans le développement d'un circuit électronique. Cette phase est tout aussi importante que le contrôle des performances du circuit électronique en cours de conception. Avec la perspective de réduire les coûts de conception et de test, l'analyse de fiabilité doit intervenir au plutôt dans le cycle de développement du circuit électronique. Par conséquent, l'analyse de fiabilité doit être intégrée au cours de la phase de conception ce qui nécessite le développement d'outils spécifiques. Ces outils sont les simulateurs électriques utilisés pour l'étude des performances auxquels il faut ajouter les informations utiles pour l'analyse de la fiabilité. L'association d'un simulateur électrique et de modules spécifiques au traitement de la fiabilité permet de mettre œuvre la boucle de conception *DFR*⁴ ou Design For Reliability (voir figure 1-3). La boucle de conception *DFR* consiste à créer un bouclage court sur la conception qui intègre, au cours de la phase de conception, l'étude de la fiabilité par la simulation électrique.

Figure 1-3 La boucle de conception *DFR*.

La simulation de la fiabilité doit répondre à de nombreux challenges. Un des plus important est d'améliorer la fiabilité et les performances des circuits électroniques. A titre d'exemple, l'industrie automobile focalise sur 10 *FIT* de taux de défaillance (1 *FIT* correspond à une défaillance sur 10^9 heures de fonctionnement). Dans d'autres applications, c'est pratiquement un niveau de 1 *FIT* qui est demandé sur une durée de vie déterminée.

Cette situation, et les exigences demandées, nécessitent un renouvellement complet des méthodes de construction et de démonstration de la fiabilité. Les bases de la fiabilité se situent au niveau de la conception, des choix technologiques, de la maîtrise des procédés et de la modélisation de défaillance aussi resserrées que possible en fin de durée de vie. Ces besoins expriment la nécessité d'intégrer la fiabilité dans le flot de conception des circuits intégrés, c'est à dire une analyse de fiabilité placée en amont dans le cycle de production.

Un autre challenge est l'amélioration de méthodologies communes et de techniques de modélisation pour l'usage de modèles précis dans la boucle de conception *DFR*.

Le challenge ultime pour la simulation de la fiabilité est de pouvoir s'affranchir de tests de qualification orientés produit. Ces challenges amènent à un constat majeur, en l'occurrence celui de la maîtrise des modes physiques de défaillances et leur modélisation.

3 Les mécanismes de défaillance physique

3.1 La physique des défaillances

La physique des défaillances utilise les connaissances sur la physique des composants pour évaluer les modes de dégradation. Elle vise à isoler les différentes causes de défaillance possibles et à les caractériser séparément en appliquant pendant les tests des contraintes plus importantes que celles rencontrées durant l'utilisation normale du composant. Il est important dans ces conditions de bien comprendre les mécanismes responsables des dégradations afin de déterminer les paramètres qui permettront d'accélérer suffisamment le phénomène d'usure (vieillessement) tout en restant représentatif des conditions normales d'utilisation. La compréhension des processus d'usure permet, grâce à des modèles plus ou moins empiriques, de se replacer dans les conditions nominales de fonctionnement à partir des données collectées lors des tests de vieillissement accéléré.

La physique des défaillances a pour but, par définition, d'interpréter le déterminisme des mécanismes de dégradation, c'est à dire de définir l'effet de causalité des mécanismes de dégradation. Elle contribue à l'amélioration des techniques d'analyse de défaillance et à la maîtrise de la modélisation des mécanismes de dégradation.

3.2 Les mécanismes de défaillance

Les composants semi-conducteurs n'échappent pas aux phénomènes physiques de dégradation. Plusieurs mécanismes physico-chimiques peuvent provoquer des pannes. Ces pannes peuvent être de type catastrophique : le composant ne fonctionne plus du tout. Ou elles peuvent être de type paramétrique : le composant voit ses caractéristiques électriques dériver. Cette partie a pour objectif de faire un inventaire des mécanismes de dégradation affectant les performances de systèmes électroniques. L'inventaire (figure 1-4) comprend les défaillances affectant aussi bien le composant élémentaire comme le transistor, le circuit intégré ou un système électronique, sans oublier les défaillances dues aux assemblages et interconnexions. Les défaillances et les mécanismes de dégradation en électronique se classent selon deux catégories : les défaillances intrinsèques et les défaillances extrinsèques.

3.2.1 Les défaillances intrinsèques

Les défaillances intrinsèques surviennent dans des conditions d'utilisation répondant aux spécifications du composant et sont liées à plusieurs facteurs :

1. la conception du composant
2. les matériaux utilisés
3. les procédés de fabrications
4. l'assemblage du composant

5. l'encapsulation du composant
6. le vieillissement des matériaux

3.2.2 Les défaillances extrinsèques

Les défaillances extrinsèques sont causées par des conditions d'utilisation provoquant le dépassement de valeurs critiques :

1. les surcharges électriques (EOS)
2. les décharges électrostatiques (ESD)
3. manipulation du composant
4. surcharges mécaniques, thermiques, chimiques...
5. utilisation non correcte du composant

3.3 Effets sur les performances électriques

Un classement de différentes défaillances rencontrées en électronique est proposé par la figure 1-4. Nous faisons une description sommaire des effets induits par les modes de dégradation sur le fonctionnement électrique d'un composant, d'un circuit ou d'un système électronique :

| Mécanisme de défaillance | Effets |
|--|---|
| Défauts cristallin Fissures | Dérive des paramètres électriques Circuit ouvert dans les cas extrêmes |
| Contamination ionique Charge de surface | Modification de la tension de seuil (MOS), variation du gain (BIP), modification des courants de fuite et tension de claquage (composants actifs) |
| Porteurs chauds | Création d'une charge fixe dans l'oxyde Dérive de la tension de seuil (transistor) |
| Claquage de diélectrique Défauts d'oxyde | Court-circuit, défaut d'isolement Courant de fuite excessif, perte de données (mémoires) |
| Electromigration Migration métallique | Circuit ouvert (lignes de métallisation) Court-circuit (dépôt d'aluminium), Apparition de dendrites |
| Fissures des pistes métalliques Fissures de la passivation | Circuit-ouvert/court-circuit (fissures et déformation, corrosion), fuite des transistors (fissures dans grille en polysilicium) |
| Oxydation des broches Corrosion des broches Croissance d'intermétallique au niveau des broches | Mauvaise brasure, Mauvaise fiabilité des brasures, Fragilisation, Possibilité de décollement de l'étamage (circuit ouvert) |
| Décollement puce | Fractures/trous induisant une variation des résistances électriques et thermiques (circuit ouvert, dérive, augmentation de résistance) |
| Croissance des intermétalliques Au/Al | Fragilisation (circuit ouvert), Augmentation résistance du fil de connexion |
| Rupture fils de connexion Décollement fils de connexion | Circuit ouvert, Court-circuit (fils trop longs) Augmentation des densités de courant |
| Décharge électrostatique (ESD) Surcharge électrique (EOS) | Claquages des oxydes (court-circuit) Effet thermique, forte intensité (fusion matériaux) |

Figure 1-4 Principales défaillances et principaux effets sur les composants électroniques.

Du procédé de fabrication, où le silicium est à l'état pur, à la mise sur le marché et son intégration dans un système électronique complexe, le composant électronique subit des contraintes variées et plus ou moins actives selon l'étape de production où il se trouve.

L'électromigration, le claquage d'oxyde, la contamination ionique ou d'autres participent aussi bien à la mortalité infantile qu'aux phénomènes d'usure qui induisent un vieillissement électrique. D'autres phénomènes contribuent essentiellement au vieillissement électrique comme l'injection de porteurs chauds ou l'étalement de charges en surface.

Des travaux expérimentaux conduisent à la définition de modèles physiques ou empiriques des mécanismes physiques de défaillance. Aujourd'hui, ces modèles sont intégrés dans les bibliothèques d'outils de simulation. Ces outils proposent des modèles physiques destinés à l'analyse de mode de dégradation comme l'électromigration, l'injection de porteurs chauds ou le claquage d'oxyde.

4 Modélisation du vieillissement électrique de la technologie CMOS

4.1 Le vieillissement par injection de porteurs chauds

Notre étude se concentre principalement sur un mode de dégradation qui affecte la technologie *CMOS* : l'injection de porteurs chauds. Nous définissons les différents modes d'injection de porteurs chauds. Ensuite, nous présentons les techniques de modélisation du vieillissement électrique de la technologie *CMOS*.

4.1.1 Les différentes injections de porteurs chauds

Le processus d'ionisation du silicium résulte de l'augmentation du champ électrique qui permet aux porteurs d'acquérir une énergie cinétique suffisante pour exciter des porteurs liés. Les coefficients d'ionisation par impact sont différents pour les trous et les électrons et sont fonctions de l'intensité des champs appliqués. Le phénomène d'ionisation par impact se définit physiquement par le nombre de paires électrons-trous générés par un porteur et par unité de longueur parcourue. Le modèle généralement admis est le suivant⁵ :

$$\alpha_{n,p} = A_i \exp\left(\frac{-B_i}{E_i}\right) \quad (1.1)$$

avec A_i et B_i les coefficients d'ionisation pour chaque type de porteur et E_i la composante du champ électrique parallèle à la densité de courant.

En régime de saturation, il existe à la jonction canal-drain polarisée en inverse, un champ électrique d'autant plus important que la longueur du canal diminue. Les électrons qui pénètrent dans la zone de déplétion sont accélérés par ce champ et certains d'entre eux acquièrent suffisamment d'énergie cinétique pour créer l'ionisation par impact.

L'ionisation par impact ou par choc apparaît dans un matériau pour des champs électriques intense. Lorsqu'un électron dérive dans un solide sous l'effet d'un champ électrique, celui-ci gagne de l'énergie cinétique et la transmet au cristal par le biais de nombreux chocs qu'il effectue avec les atomes du réseau. Ce processus assure la dissipation thermique de l'énergie potentielle perdue par les électrons sachant que l'énergie cinétique et l'impulsion sont conservées au cours de collisions entre électrons.

Cependant, si le champ électrique est suffisamment intense, certains électrons de la bande de conduction peuvent acquérir une énergie telle que leur impact sur un atome de réseau cristallin aboutisse à la rupture d'une liaison de valence. Nous obtenons donc deux électrons dans la bande de conduction et un trou dans la bande de valence. Ce processus peut devenir

cumulatif et conduire au phénomène d'avalanche. Les trous générés par l'ionisation peuvent emprunter différents chemins, voir figure 1-5.

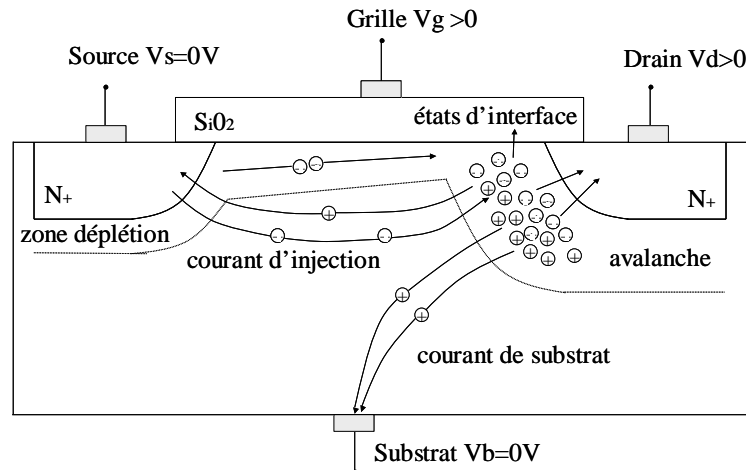


Figure 1-5 Porteurs générés par ionisation par impact à la jonction canal-drain et les différents composants de courants parasites.

Les trous peuvent être attirés par l'électrode de substrat et donner suite à un important courant de substrat. Certains d'entre eux peuvent également migrer vers la source et créer un abaissement de la barrière à la jonction source-canal. Il se produit alors une injection d'électrons supplémentaires de la source vers le canal. Cet ensemble source-canal-drain travaille comme un transistor $N-P-N$ dont la base, le canal, est flottante et le collecteur, le drain, se trouve dans des conditions d'avalanche. L'accroissement du nombre d'électrons injectés de la source vers le drain provoque une augmentation du nombre de paires électrons-trous dans la zone de déplétion à proximité du drain. Ceci implique un abaissement de la barrière à la jonction source-canal encore plus prononcé et donc encore plus d'électrons injectés de la source. Ce phénomène est d'autant plus important que la longueur de canal du transistor diminue. Lorsque les électrons sont accélérés au niveau de la jonction canal-drain, une tension moyenne positive appliquée à la grille donne la possibilité à ceux qui ont acquis une énergie potentielle suffisante de franchir la barrière de potentiel existant à l'interface silicium-oxyde de silicium $Si-SiO_2$. Selon l'énergie atteinte par les porteurs et la qualité de l'oxyde de grille, certains sont injectés dans l'oxyde et d'autres traversent l'oxyde dans son épaisseur pour former le courant de grille.

4.1.2 Les dégradations associées aux injections

Deux types d'injections sont globalement distingués dans le transistor $NMOS$. Les électrons dans le canal suffisamment énergétiques peuvent être directement injectés dans l'oxyde. Dans ce cas, c'est une injection de type $CHEI$ (Channel Hot Electron Injection). Si les porteurs injectés sont issus d'ionisation par impact, l'injection est dite $DAHCI$ (Drain Avalanche Hot Carrier Injection). L'injection des porteurs dans l'oxyde de grille dépend localement des énergies des porteurs, induisant des non-uniformités le long du canal. Les porteurs les plus énergétiques se trouvent près du drain et c'est dans cette zone que la majorité des porteurs sont injectés. L'interprétation de ces injections diffère des dégradations homogènes provoquées par injection Fowler-Nordheim ou irradiation. Alors que la génération des

porteurs dépend essentiellement de V_{DS} et de la longueur du canal L , la localisation et la nature des défauts induits dépendent essentiellement du sens et de l'intensité du champ électrique régnant entre le potentiel de drain et le potentiel de grille.

1. Lorsque V_G est faible devant V_D , de l'ordre de grandeur de la tension de seuil V_{th} , cela favorise l'injection de trous dans l'oxyde et provoque l'apparition d'une charge positive ainsi que des états d'interface.
2. Quand la tension V_G est supérieure au tiers et inférieure à la moitié de la tension de drain V_D , les dégradations sont principalement dues aux états d'interface et la charge nette (trous plus électrons) dans l'oxyde de grille est quasi-nulle d'un point de vue macroscopique.
3. Dans le cas où la tension de grille V_G serait équivalente à la tension de drain V_D , le vieillissement favorise l'injection et le piégeage d'électrons dans l'oxyde, se traduisant par l'apparition d'une charge négative et d'états d'interface.

Les dégradations associées aux injections de porteurs chauds sont relativement complexes. Elles se manifestent à long terme par une dérive des caractéristiques électriques des dispositifs. Cette dérive est due aux modifications des caractéristiques intrinsèques du transistor. Elle est mise en évidence par la caractérisation électrique des dispositifs. Pour cela, il existe plusieurs techniques. Chacune d'elles permet de quantifier le vieillissement électrique par injections de porteurs chauds dans les structures *CMOS*.

4.1.3 Les techniques de caractérisation expérimentale

L'injection de porteurs chauds dans les transistors de la technologie *CMOS* induit des dégradations physiques qui se traduisent par une évolution des performances électriques des transistors. L'évolution des caractéristiques électriques est observée à partir de techniques de caractérisation. Ces techniques sont définies pour répondre aux besoins de quantifier la fiabilité de la technologie *CMOS* et modéliser les mécanismes de dégradation induits.

4.1.3.1 La caractérisation électrique courant-tension

Le suivi des dégradations des transistors *MOSFET* peut se faire par l'intermédiaire de l'évolution de caractéristiques statiques courant-tension au cours du temps permettant ainsi de suivre la dégradation temporelle des différents paramètres du modèle électrique de la technologie *CMOS*. Les travaux de Minehane⁶ ont montré la nécessité d'étudier un jeu complet de paramètres électriques pour faire une estimation de la dégradation de performance du dispositif. Après cycle de vieillissement, la caractéristique de transfert $I_{DS}=f(V_{GS})$ est mesurée ainsi que la caractéristique de sortie $I_{DS}=f(V_{GS})$. Les mesures du courant de substrat $I_B=f(V_{GS})$ et du courant de grille $I_G=f(V_{GS})$ sont aussi des caractéristiques importantes pour l'évaluation de la fiabilité. Ces caractéristiques sont ensuite utilisées afin d'extraire les paramètres électriques du transistor *MOSFET*. Les paramètres suivis au cours du temps sont respectivement la tension de seuil, la mobilité, la tension de saturation, la pente sous le seuil. D'autres paramètres sont pris en compte, ils dépendent surtout des caractéristiques du modèle électrique du transistor *MOSFET*.

4.1.3.2 Le pompage de charges

La technique du pompage de charges⁷ consiste à appliquer, par l'intermédiaire d'un générateur de fonctions, un signal de forme carrée ou triangulaire sur l'électrode de grille du transistor *MOSFET*. Les électrodes de source et drain sont portées au même potentiel, positif ou nul dans le cas d'un transistor *NMOS*. Le courant de substrat mesuré est alors appelé courant de pompage de charges. Il provient des recombinaisons répétitives provoquées par les états d'interface entre les porteurs minoritaires provenant de la source et du drain et les porteurs majoritaires fournis par le substrat lorsque le canal passe par l'intermédiaire de la polarisation de grille, successivement d'accumulation en inversion. Ce courant de pompage de charges est donc la somme de tous les courants associés à chaque fraction du canal. Le courant de substrat mesuré est directement proportionnel à la densité d'états d'interface, l'aire de la grille et la fréquence des signaux appliqués sur la grille. La sensibilité de la technique est très bonne et permet de détecter les densités d'états d'interface⁸.

Diverses techniques existent pour caractériser le mode d'injection de porteurs chauds dans la structure du *MOSFET*. Elles permettent de mettre en évidence les grandeurs électriques résultantes du phénomène physique comme le courant de substrat, le courant de grille et la densité d'états d'interface. Chaque technique a ses spécificités, certaines sont des techniques de caractérisation statique, d'autres sont propres aux propriétés dynamiques.

4.2 Modélisation de la durée de vie

L'étude des caractéristiques électriques du transistor *MOSFET* apporte de l'information sur la tenue du composant à l'injection de porteurs chauds. La mesure de grandeurs comme le courant de substrat, le courant de grille ou la densité d'états d'interface permet de discuter leur rôle dans l'injection de porteurs chauds et leurs effets sur le fonctionnement électrique. Ils sont aussi pris en compte comme indicateurs de fiabilité pour quantifier la fiabilité de la technologie *CMOS*, c'est à dire, l'estimation de la durée de vie des dispositifs et l'évaluation de la dégradation de performance.

4.2.1 Méthode d'estimation de la durée de vie

Les techniques de caractérisation utilisées pour mettre en évidence le mode d'injection par porteurs chauds sont principalement employées pour qualifier les procédés technologiques *CMOS*. L'étape de qualification de procédés passe par une estimation de la durée de vie des transistors *MOSFET*. Cette partie a donc pour objectif de mettre en évidence les différentes méthodes utilisées pour estimer la durée de vie des dispositifs *CMOS*.

Ces méthodes sont basées sur une analyse de résultats expérimentaux obtenus au fur et mesure du vieillissement. Au cours de tests accélérés, plusieurs transistors *MOSFET* sont polarisés avec différentes contraintes imposées sur le potentiel de grille et le potentiel de drain. Les résultats tirés de ces expériences permettent d'estimer selon le critère de dégradation choisi, une durée de vie du composant *MOSFET*. Ensuite, par régression linéaire, une loi de durée de vie est définie ce qui permet d'extrapoler la durée de vie du composant *MOSFET* pour des contraintes équivalentes aux conditions de polarisation opérationnelle. Cela suppose une excellente conservation des mécanismes de dégradation entre les vieillissements accélérés et le vieillissement aux conditions nominales de fonctionnement. Les méthodes présentées sont normalisées. Ces méthodes sont répertoriées dans les manuels

d'analyse de la fiabilité de groupes de travail comme SEMATECH⁹, JEDEC¹⁰ et FSA¹¹ (Fabless Semiconductor Association). Ces méthodes sont aussi explicitées par de grands groupes industriels comme SONY¹² et ST-MICROELECTRONICS¹³.

4.2.2 Les critères de dégradation

Les critères de dégradation sont les conditions limites données aux paramètres électriques ou grandeurs électriques du transistor *MOSFET* pour lesquelles il est considéré défaillant. Plusieurs critères sont définis, ils sont répertoriés dans le tableau de la figure 1-6.

| Caractérisation | Utiles | | | Complémentaires |
|-------------------------------|--|------------------------------|------------------------------|---------------------------------------|
| Paramètres Analysés | $I_{DS,SAT}$ Direct | $G_{M,MAX}$ Direct | V_{TH} Direct | $I_{DS,SAT}$ inverse |
| Critère de Dégradation | 5% | 10% | 100mV | 5% |
| Conditions de caractérisation | $V_{DS}=V_{GS}=V_{DD}$ $V_{SS}=0V$ | $V_{DS}=0.1V$ $V_{SS}=0V$ | $V_{DS}=0.1V$ $V_{SS}=0V$ | $V_{DS}=V_{GS}=V_{DD}$ $V_{SS}=0V$ |
| Contraintes Electriques | $V_{DS} = V_{DS,stress}$, V_{GS} équivalent au maximum de dégradation | | | |

Figure 1-6 Critère de dégradation pour l'estimation de la durée de vie du transistor *MOSFET*.

Le critère de dégradation impose une limite de variation aux paramètres ou aux grandeurs électriques du *MOSFET* pour des conditions expérimentales données. Les conditions expérimentales données sont équivalentes à des contraintes électriques en tension supérieure aux polarisations nominales. Les contraintes électriques sont définies par une tension drain équivalente à $1,1.V_{DD}$ où V_{DD} est la tension maximale autorisée par la technologie *CMOS*. Le mode direct est équivalent à une polarisation nominale du drain et de la source. Le mode inverse correspond à une polarisation dont le drain et la source sont inversés pour la caractérisation électrique du *MOSFET*.

Pour connaître la variation, au cours du temps, des paramètres de la technologie *CMOS*, le transistor *MOSFET* subit un vieillissement accéléré sous contraintes électriques fortes pour lesquelles la dégradation est considérée maximale. Le critère de dégradation fixe la limite de la grandeur électrique ou du paramètre électrique choisi. Il est calculé au cours du vieillissement (monitoring). La figure 1-6 met en évidence les grandeurs électriques utilisées pour le calcul du critère de dégradation. Elles correspondent soit à un paramètre petit signal du transistor *MOSFET*, la transconductance G_M , soit à un courant du transistor *MOSFET*, le courant de saturation $I_{DS,SAT}$. Seule la tension de seuil du transistor V_{TH} est un paramètre du modèle électrique du composant *MOSFET*.

Un critère de dégradation supplémentaire peut-être pris en compte. Il s'agit de la durée du vieillissement. Ce critère représente le temps cumulé de chaque cycle de vieillissement.

Par conséquent, le cycle de vieillissement de la technologie *CMOS* repose sur le choix de la méthode de vieillissement, c'est à dire les conditions électriques de polarisation et le critère de dégradation.

4.2.3 La méthode de la tension drain-source V_{DS}

Cette méthode part de la constatation empirique, par Takeda, que la durée de vie d'un dispositif dépend exponentiellement de l'inverse de la tension de drain. Il s'agit donc de procéder à plusieurs vieillissements pour différentes tensions de drain. Ensuite, il s'agit de déterminer par extrapolation le temps mis pour atteindre le critère de dégradation imposé au paramètre électrique suivi au cours des cycles de vieillissement. Ensuite, il est déduit également par extrapolation la tension de drain en conditions opérationnelles pour une durée de vie de dix ans. Cette procédure est donc fondée sur deux extrapolations successives et suppose donc bien la conservation des mécanismes de dégradation entre les vieillissements accélérés et le vieillissement aux conditions nominales de fonctionnement. La méthode de Takeda est équivalente à un vieillissement accéléré par la tension drain-source V_{DS} du transistor *MOSFET*. La modélisation de la durée de vie τ est représentée par le modèle analytique :

$$\tau = t_0 \exp\left(\frac{B}{V_{DS}}\right) \quad (1.2)$$

Le temps cumulé de vieillissement est représenté par τ . B et t_0 sont des paramètres d'ajustement obtenus par régression linéaire. V_{DS} est la grandeur caractéristique qui influence le vieillissement électrique du dispositif.

4.2.4 La méthode du rapport I_B/I_{DS}

Cette méthode a été introduite par Hu. Elle s'effectue en condition de courant de substrat maximal qui est le pire cas de dégradation pour les transistors de technologies micrométriques et submicrométriques. En ce qui concerne les longueurs fortement submicrométriques, les technologies sont encore dans le domaine de la recherche et la question reste posée de savoir si cette condition est toujours la plus dégradante dans tous les cas.

La méthode de Hu est équivalente à un vieillissement accéléré par la tension drain-source V_{DS} et par la tension grille-source V_{GS} du transistor *MOSFET*. Ces deux tensions sont choisies telles que le courant de substrat soit maximal. Cette condition de polarisation électrique du transistor *MOSFET* est équivalente au pire cas d'activation du vieillissement du composant *MOSFET* en régime de saturation. La modélisation de la durée de vie est représentée par l'équation :

$$\tau = \frac{HW}{I_{DS}} \left(\frac{I_B}{I_{DS}}\right)^m \quad (1.3)$$

H et m sont des paramètres d'ajustement obtenus par régression linéaire. W est la largeur de canal du transistor *MOSFET*. I_B et I_{DS} sont les courants de substrat et de drain du point de polarisation (V_{DS}, V_{GS}) choisi pour le cycle de vieillissement accéléré.

Les modèles de Takeda et Hu sont appliqués pour une extrapolation de la durée de vie du transistor *PMOS*. Dans ce cas la méthode de Hu utilise le courant de grille I_G . Cette méthode est équivalente à un vieillissement accéléré par la tension drain-source V_{DS} et par la tension grille-source V_{GS} du transistor *MOSFET*. Ces deux tensions sont choisies telles que le courant de grille soit maximal. Cette condition de polarisation électrique du transistor *MOSFET* est

équivalente au pire cas d'activation du vieillissement du composant *MOSFET* en régime de saturation. La modélisation de la durée de vie est représentée par :

$$\tau = H \left[\frac{I_G}{W} \right]^n \quad (1.4)$$

H et m sont des paramètres d'ajustement obtenus par régression linéaire. W est la largeur de canal du *MOSFET* étudié. I_G est le courant de grille équivalent au point de polarisation (V_{DS}, V_{GS}) choisis pour le cycle de vieillissement accéléré.

4.3 Modélisation de la variation des paramètres électriques

Le mécanisme de dégradation physique, induit par l'injection de porteurs chauds dans la structure des dispositifs *CMOS*, provoque au cours du mode opérationnel des modifications de ses caractéristiques électriques. Ces variations de caractéristiques électriques, tels que le courant de régime linéaire ou de saturation, voir d'avalanche sont tout simplement l'image des variations de paramètres électriques comme la tension de seuil, la mobilité. La dégradation de performance ne se limite pas à ces deux paramètres. La dégradation de performance des dispositifs est donc caractérisée par les variations des paramètres électriques de la structure *MOS* au cours de cycle de vieillissement. Pour mettre en évidence ces variations paramétriques, la technique de caractérisation courant-tension est très utilisée. Ensuite, la phase d'extraction de paramètres donne les caractéristiques de leur variation au cours du cycle de vieillissement. Ces données d'extraction permettent de définir les valeurs des paramètres des modèles de vieillissement en fonction des contraintes électriques imposées aux dispositifs *MOSFET*.

4.3.1 Les variations paramétriques

La caractérisation électrique de la dérive des caractéristiques électriques du transistor et la phase d'extraction de paramètres électriques conduisent à la définition d'un jeu de paramètres qui est dépendant du temps de vieillissement.

En considérant une variation $\Delta P(t)$, la variation du paramètre P à l'instant (t) peut alors se mettre sous la forme :

$$P(t) = P(0) + \Delta P(t) \quad (1.5)$$

$P(0)$ est la valeur initiale du paramètre P . La grandeur $\Delta P(t)$ exprime la variation du paramètre électrique au cours du cycle de vieillissement. Cette quantité est connue grâce au travail de caractérisation et d'extraction de paramètres après chaque cycle de vieillissement. Il existe plusieurs modèles analytiques pour modéliser la variation de paramètres électriques au cours du vieillissement. Chaque modèle de vieillissement utilise un modèle quasi-statique qui permet d'estimer la dynamique de la dégradation.

4.3.2 Modèles de lois d'évolution

Les modèles analytiques proposés intègrent des lois mathématiques pour modéliser l'évolution temporelle des paramètres électriques de la technologie *CMOS*.

L'évolution des paramètres électriques de la technologie *CMOS*, au cours des cycles de vieillissement, est souvent approché par une loi empirique du type loi en puissance. Les travaux de Takeda¹⁴ montrent que l'évolution temporelle de la tension de seuil suit une loi en puissance. Cependant, les travaux de Cui¹⁵ ajoute que cette loi en puissance n'est valable que pour des contraintes appliquées sur une courte durée de vieillissement électrique. De plus, de nombreux travaux sur l'injection des porteurs chauds dans les transistors et son impact sur leur performance électrique montrent que les paramètres électriques des transistors peuvent suivre des lois d'évolution de nature différente¹⁶. Pour un critère de dégradation donné, une étude expérimentale du vieillissement de la technologie *CMOS* montre que la dérive des caractéristiques électriques n'est pas essentiellement le facteur d'un seul paramètre électrique mais d'un lot de paramètres électriques. Cette constatation se traduit par la nécessité d'extraire le lot de paramètres électriques qui permet de modéliser au mieux les dérives des caractéristiques électriques du transistor. Par conséquent, il est nécessaire de définir plusieurs types de modèles analytiques pour modéliser l'évolution temporelle de chaque paramètre électrique. Leur variation au cours du cycle de vieillissement ne se limite donc pas à une loi d'évolution de type loi en puissance.

4.3.2.1 La loi en puissance

La loi en puissance du temps est utilisée à de maintes reprises. Elle est très utile pour modéliser les variations de la tension de seuil. Il existe plusieurs techniques pour modéliser la loi en puissance. Ces techniques s'appuient sur la notion de durée de vie. Différents travaux ont montré l'excellent intérêt d'utiliser la durée de vie pour modéliser la variation d'un paramètre électrique. La durée de vie étant dépendante des contraintes électriques imposées à un dispositif *CMOS*, elle est prise en compte dans le modèle analytique pour évaluer le taux de dégradation, autrement dit la vitesse de dégradation. A partir de la durée de vie de Takeda ou de Hu, il nous est possible de modéliser l'évolution temporelle des paramètres électriques.

- Le modèle de Takeda

Le modèle de dégradation de performance de Takeda¹⁷ est une loi en puissance du temps t , où t représente le temps équivalent à la durée de contraintes appliquées au transistor. Ce modèle tient compte de la variation à l'instant t du paramètre électrique $P(t)$. Elle s'exprime par l'équation ci-dessous où les paramètres C , α , et n sont des constantes d'ajustement, la tension drain-source V_{DS} est la contrainte en tension appliquée au transistor au cours de l'analyse.

$$\Delta P(t) = C \left[t \exp\left(\frac{-\alpha}{V_{DS}}\right) \right]^n \quad (1.6)$$

- Le modèle de Hu

Le modèle de dégradation de performance de Hu¹⁸ est une loi en puissance du temps t , où t représente le temps équivalent à la durée de contraintes appliquées au transistor. Ce modèle tient compte de la variation du paramètre électrique $P(t)$. Elle s'exprime par l'équation ci-dessous où W est la largeur du canal, les paramètres C , ϕ_{it} , ϕ_i et n sont des constantes d'ajustement, I_{DS} et I_B représente le courant de drain et le courant de substrat au cours de la durée de vieillissement.

$$\Delta P(t) = C \left[t \frac{I_{DS}}{W} \left(\frac{I_B}{I_{DS}} \right)^{\frac{\phi_{it}}{\phi_i}} \right]^n \quad (1.7)$$

Le modèle de Hu est défini dans ce cas d'étude pour un transistor *NMOS*. En appliquant la durée de vie d'un transistor *PMOS* qui s'exprime en fonction du courant de grille, il est alors possible de modéliser l'évolution temporelle des paramètres électriques du dispositif.

- Le modèle de Goo

Le modèle de dégradation de performance de Goo¹⁹ est une loi en puissance du temps *t*, où *t* représente la durée pour laquelle les contraintes sont appliquées au transistor. Ce modèle a la particularité de modéliser l'effet saturant de la dégradation. Il exprime la variation du paramètre électrique *P(t)* où *P₀* représente la valeur initiale du paramètre électrique, *W* la largeur du canal, les paramètres *C₁*, *C₂*, *φ_{it}*, *φ_i* et *n* sont des constantes d'ajustement, *I_{DS}* et *I_B* représente le courant de drain et le courant de substrat au cours de la durée de vieillissement.

$$\frac{\Delta P}{P_0}(t) = \frac{C_1 \left[t \frac{I_{DS}}{W} \left(\frac{I_B}{I_{DS}} \right)^{\frac{\phi_{it}}{\phi_i}} \right]^n}{1 + C_2 \left[t \frac{I_{DS}}{W} \left(\frac{I_B}{I_{DS}} \right)^{\frac{\phi_{it}}{\phi_i}} \right]^n} \quad (1.8)$$

- Le modèle double étage

Le modèle de dégradation de performance à double étage²⁰ est une loi en puissance du temps *t*, où *t* représente la durée équivalente pour laquelle les contraintes sont appliquées. Ce modèle est une évolution du modèle de Goo puisque l'association de deux lois en puissance (voir figure 4-18) permet de mieux contrôler l'effet saturant. Ce modèle tient compte de la variation du paramètre électrique *P(t)*. Elle s'exprime par l'équation ci-dessous où *P₀* représente la valeur initiale du paramètre électrique, *W* la largeur du canal, les paramètres *C₁*, *C₂*, *C₃*, *φ_{it}*, *φ_i* et *n* sont des constantes d'ajustement, *I_{DS}* et *I_B* représente le courant de drain et le courant de substrat à l'instant initial de la durée de vieillissement.

$$\frac{\Delta P}{P_0}(t) = \frac{C_1 \left[t \frac{I_{DS}}{W} \left(\frac{I_B}{I_{DS}} \right)^{\frac{\phi_{it}}{\phi_i}} \right]^n}{1 + C_2 \left[t \frac{I_{DS}}{W} \left(\frac{I_B}{I_{DS}} \right)^{\frac{\phi_{it}}{\phi_i}} \right]^n} + C_3 \left[t \frac{I_{DS}}{W} \left(\frac{I_B}{I_{DS}} \right)^{\frac{\phi_{it}}{\phi_i}} \right]^n \quad (1.9)$$

4.3.2.2 La loi logarithmique

Au fur et à mesure de l'évolution des technologies, les lois de dégradations en fonction du temps ont subi parfois quelques modifications. Alors qu'une loi en puissance du temps semble s'accorder avec la dégradation de technologies *CMOS*, il s'avère souvent difficile de l'appliquer à des technologies de nouvelles générations pour lesquelles une inflexion de la dégradation, c'est à dire une tendance à la saturation, apparaît au cours du vieillissement. Face à ce nouveau comportement, des adaptations ont été proposées. La cinétique de dégradation a

été parfois divisée en deux étapes successives décrites chacune par leur propre loi en puissance. Seulement, le choix du point d'inflexion est particulièrement arbitraire. Des fonctions à base de logarithmes apportent une réponse à cette tendance de saturation.

- Le modèle de Wolters

Le modèle de dégradation de performance de Wolters²¹ est une loi en logarithme du temps t , où t représente le temps équivalent à la durée de contraintes appliquées au transistor. Ce modèle exprime la variation du paramètre électrique $P(t)$ où les paramètres C , D sont des constantes d'ajustement.

$$\Delta P(t) = C [\ln(1 + Dt)]^n \quad (1.10)$$

4.3.2.3 La loi exponentielle

La loi exponentielle a été introduite par Bertrand Marchand²² au cours de ses travaux de qualification de dispositifs *CMOS* de nouvelle génération. Il s'est appuyé à modéliser les variations de paramètres électriques avec une loi qui dépeint assez bien la dégradation dans son ensemble. Elle a été initialement utilisée pour modéliser le courant de fuite induit par vieillissement SILC (Stress Induced Leakage Current). Ce modèle analytique tient compte de la concavité de la courbe de dégradation. Cette loi qualifiée d'exponentielle saturante ou non-saturante fédère en fait les différentes approches exposées précédemment.

- Le modèle de Marchand

Le modèle de dégradation de performance de Marchand est une loi exponentielle du temps t , où t représente le temps équivalent à la durée de contraintes appliquées au transistor. Ce modèle exprime la variation du paramètre électrique $P(t)$ où E représente l'amplitude de la dégradation, le paramètre F ajuste la dynamique.

$$\Delta P(t) = E \exp(-Ft^{-n}) \quad (1.11)$$

Le signe du paramètre n informe sur la concavité de la dégradation : il y a saturation lorsque n est positif et non-saturation dans le cas contraire. Une valeur nulle de n rend la fonction indépendante du temps. En pratique, l'extraction du paramètre n ne donne jamais une valeur identiquement nulle et la loi exponentielle convient toujours pour modéliser la dégradation.

4.4 Discussion

Les modèles analytiques présentés ont été construits suite à des expériences d'analyse de l'injection de porteurs chauds dans les structures de la technologie *CMOS*. Ces données expérimentales servent à faire une estimation de la durée de vie des dispositifs. La caractérisation électrique et l'extraction de paramètres des modèles électriques *CMOS* permet de construire des lois d'évolution temporelle des paramètres. Les méthodes pour l'estimation de la durée de vie des dispositifs *CMOS* sont normalisées. Par contre, il n'existe pas de lois normalisées pour la construction des lois d'évolution temporelle des paramètres puisqu'elles sont fortement dépendantes de la technologie du dispositif élémentaire. De plus, les travaux de Cui²³ montrent que les divers modèles proposés ne sont pas toujours satisfaisant, particulièrement, dans le cas de l'étude du vieillissement électrique de longue durée. Ce cas d'étude implique de prendre en compte non seulement les premiers points de mesures qui sont

le plus souvent modélisés par une loi en puissance, mais surtout les derniers points de mesures qui matérialisent les effets de saturation. Ces lois de dégradation de performance sont donc à utiliser avec précaution, surtout qu'elles sont fortement dépendantes des procédés technologiques. C'est sur la base de ces modèles empiriques que sont construits les outils d'aide à l'estimation de la fiabilité des circuits intégrés.

5 Les outils de simulation de la fiabilité

5.1 Environnement de simulation

Les grands axes de recherche pour le développement d'outils de simulation de fiabilité ont été définis. Il est désormais important de faire le point sur les outils qui ont émergés de ces différents travaux. L'objectif est de situer leur environnement et de définir leurs caractéristiques. Les outils présentés n'ont pas été utilisés pour nos travaux parce que nous n'avons pas de licence d'utilisation à notre disposition. Cette synthèse est le fruit d'un travail bibliographique. Ce travail permet de faire une étude comparative des fonctionnalités de chacun des simulateurs et leurs limitations. L'objectif premier est de mettre en évidence, les méthodes mises en place, pour l'intégration de ces outils dans la boucle *DFR* du flot de conception afin de répondre aux besoins des concepteurs. Il s'agit de porter un regard sur les différentes fonctionnalités offertes par chaque outil, en terme de simulation électrique du vieillissement.

Pour situer le contexte, la figure 1-7 décrit un environnement de la simulation de vieillissement. Cet environnement de travail s'appuie sur un simulateur analogique. Ce simulateur a besoin de données d'entrée qui sont le modèle électrique du transistor, le ou les modèles de dégradation, l'architecture du circuit intégré et les spécifications. La gestion de toutes ces données permet au simulateur d'évaluer la fiabilité du circuit intégré en exprimant en sortie des grandeurs électriques caractéristiques sous la forme de courbes ou d'une table de variation. L'interprétation de ces points de simulation et une transmission par rétroaction permet d'agir sur les données d'entrées, c'est à dire réévaluer la valeur des paramètres électriques du modèle électrique des transistors.

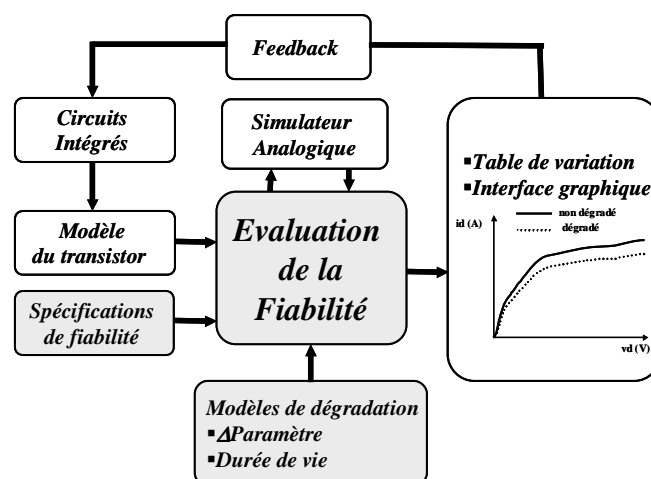


Figure 1-7 Plate-forme d'un simulateur de la fiabilité des circuits électroniques.

Il existe plusieurs outils construits sur ce type d'environnement. Ces outils se distinguent par le niveau de description ainsi que par leur méthode de résolution numérique. Nous pouvons distinguer la résolution numérique par éléments finis destinées à la simulation des procédés technologiques et la résolution numérique par le réseau de Kirchoff pour l'estimation des performances électriques via la simulation analogique.

La simulation des procédés technologiques^{24,25} a pour objectif la description du composant (profil de dopage, géométries) à partir des données relatives aux techniques et aux conditions de fabrication. La simulation physique du fonctionnement²⁶ des dispositifs vise à déterminer le comportement électrique à partir, par exemple, de données issues des simulateurs de procédés technologiques. Le principe de cet outil est la simulation physique orientée vers la modélisation électrique des composants.

La simulation électrique génère le fonctionnement électrique des circuits intégrés à partir des paramètres extraits des simulateurs physiques ou de la caractérisation électrique des dispositifs élémentaires. C'est sur le principe de la simulation électrique analogique, c'est à dire sur la base des simulateurs utilisés pour la phase de conception des circuits intégrés, qu'ont été développés les outils de la boucle *DFR*.

5.2 Caractéristiques communes aux outils de simulation

Les outils de la boucle *DFR* sont conçus autour d'un simulateur électrique de type *SPICE* (Simulation Program with Integrated Circuit Emphasis). L'usage de ce type de simulateur autorise non seulement une étude des performances des circuits mais aussi une étude de leur vieillissement électrique. Pour ce faire, il est nécessaire de définir des modules de dégradation physique. L'usage de ces modules permet d'estimer la dégradation au cours du temps des transistors et naturellement celle du circuit intégré.

La construction des outils de la boucle *DFR* est définie par un cahier des charges dont les facteurs déterminants sont :

1. Les modèles de dégradation physique
2. Les conditions de polarisation des transistors
 - a. Conditions opérationnelles et architecture du circuit
3. Le mode de fonctionnement des circuits intégrés
 - a. circuits logiques, fonctionnement en commutation
 - b. circuits analogiques, fonctionnement autour du point de polarisation
4. La sensibilité des performances du circuit à la dégradation des transistors
5. Importance de l'impact de la dégradation sur les performances du circuit

Les facteurs (1) à (3) déterminent l'ordre de grandeur et la distribution de la dégradation à travers le circuit. Les facteurs (4) et (5) déterminent comment la dégradation physique affecte l'ensemble des performances du circuit. Bien entendu, ces facteurs sont dépendants de la technologie utilisée, de l'architecture du circuit donc des choix réalisés en cours de conception. L'importance de ces facteurs peut fortement varier, ce qui peut avoir un impact non négligeable sur l'estimation de la fiabilité d'un circuit.

5.3 Les fonctionnalités

Pour répondre aux besoins de la simulation du vieillissement électrique, il est nécessaire d'ajouter des fonctionnalités spécifiques aux simulateurs analogiques. Ces fonctionnalités regroupent les commandes de simulation qui permettent de gérer la durée d'une analyse transitoire de vieillissement et les techniques de calcul de la dégradation d'un paramètre électrique du transistor. Nous proposons une description générale de ces fonctionnalités sachant que leur définition peut varier d'un outil de simulation à l'autre.

5.3.1.1 Méthode d'analyse transitoire

La simulation de vieillissement électrique nécessite la prise en compte d'une échelle temporelle qui s'avère supérieure de plusieurs ordres de grandeur à la durée d'une analyse transitoire de performance. Une analyse transitoire de performance, générée en simulation, a une durée équivalente à quelques dizaines de périodes du signal d'entrée d'un circuit, soit au maximum quelques dizaines de ms. Une analyse transitoire simulée de vieillissement électrique peut avoir une durée équivalente à quelques heures, voir plusieurs mois ou années. Le simulateur analogique doit donc être capable de gérer ces deux échelles de temps. La gestion de la double échelle de temps est réalisée par l'intermédiaire de deux méthodes : Il s'agit de la double simulation et la simulation itérative²⁷.

- La double simulation

Le principe de la double simulation (figure 1-8) est de lancer une première simulation électrique afin de déterminer, à partir du point de polarisation, les conditions de contraintes opérationnelles du circuit et des transistors de l'architecture. Ensuite, à la fin de cette simulation, le simulateur estime l'effet de la dégradation sur tous les transistors par rapport à leurs contraintes opérationnelles.

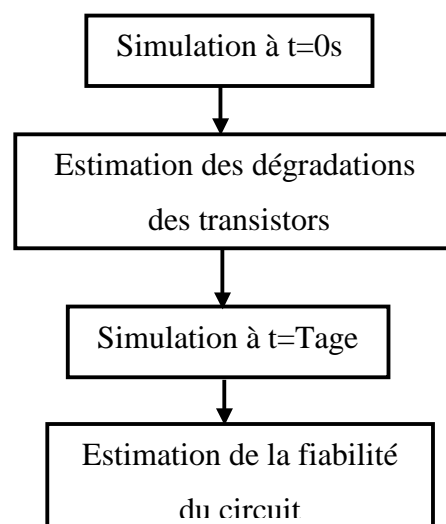


Figure 1-8 Algorithme de calcul à deux pas
Tage représente la durée du vieillissement.

Nous sommes donc en présence de transistors dégradés. Finalement, une seconde simulation est lancée en prenant comme condition initiale les transistors dégradés. Le but de la seconde simulation est d'estimer la dégradation des transistors après une durée de vieillissement donnée, puis d'estimer les variations des caractéristiques électriques du circuit. Cette méthode a pour objectif de faire une estimation rapide de la fiabilité des circuits intégrés sur la durée du vieillissement.

- La simulation itérative

Le principe de la simulation itérative (figure 1-9) reprend celui de la simulation unique. La simulation s'exécute tant que la durée de vieillissement donnée n'est pas atteinte. Le principe est de découper cette durée transitoire en intervalles de temps de durée distincte selon une échelle linéaire ou variable selon une échelle logarithmique. A chaque intervalle d'analyse, le simulateur de fiabilité estime l'effet de la dégradation sur chaque transistor selon les contraintes opérationnelles puis une nouvelle simulation est lancée en tenant compte de la dégradation des transistors. Ce procédé de simulation est renouvelé jusqu'à ce que la durée totale de vieillissement soit atteinte. Cette approche de la simulation de la fiabilité a pour avantage de tenir compte des changements graduels des contraintes opérationnelles de chaque transistor qui sont simplement un résultat de l'effet de la dégradation. Cette technique de simulation est la plus souvent utilisée parce qu'elle assure une plus grande précision des résultats. Par contre, cette méthode est coûteuse en terme de temps de calcul.

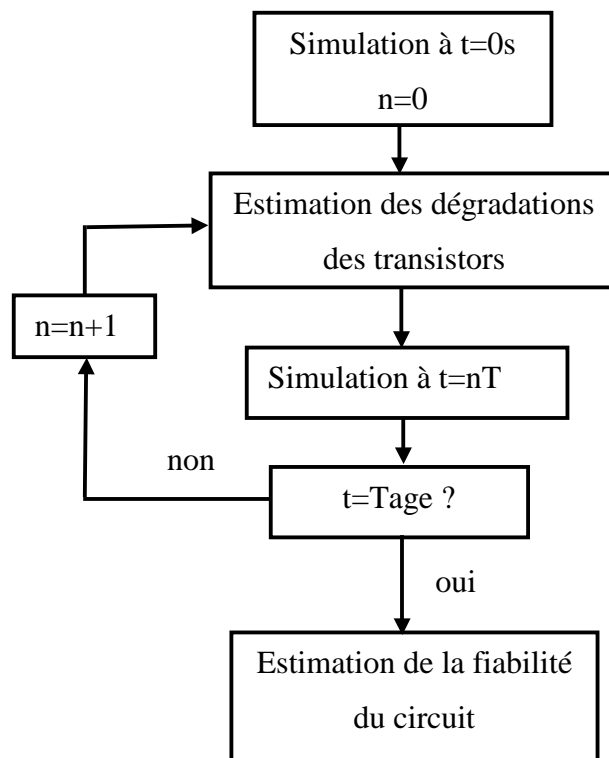


Figure 1-9 Algorithme de calcul itératif
Tage représente la durée du vieillissement.

5.3.1.2 Méthode de calcul de la dégradation

Les algorithmes d'analyse transitoire réalisent une ou plusieurs estimations de la dégradation des transistors au cours de la simulation. Cette estimation de la dégradation se déroule en 2 phases successives. Le schéma fonctionnel de la figure 1-10 définit ces deux phases. Après une première simulation et une quantification des contraintes, le simulateur fait :

- une estimation de la dégradation
- calcule la dérive des paramètres électriques des transistors

L'estimation de la dégradation est calculée à partir des contraintes électriques statiques du transistor. L'estimation de la dégradation est une fonction des contraintes appliquées au dispositif élémentaire. Pour le calcul de cette grandeur, le modèle de durée de vie du transistor est utilisé. La dégradation subie par le transistor est représentée par la variable AGE ou STRESS selon les caractéristiques des outils²⁸ :

$$AGE(t) = \int g(V_{DS}(t), V_{GS}(t), I_{DS}(t), I_B(t)) dt \tag{1.12}$$

Le calcul de la variable AGE est une intégration des contraintes électriques appliquées au dispositif élémentaire sur une période de vieillissement donnée.

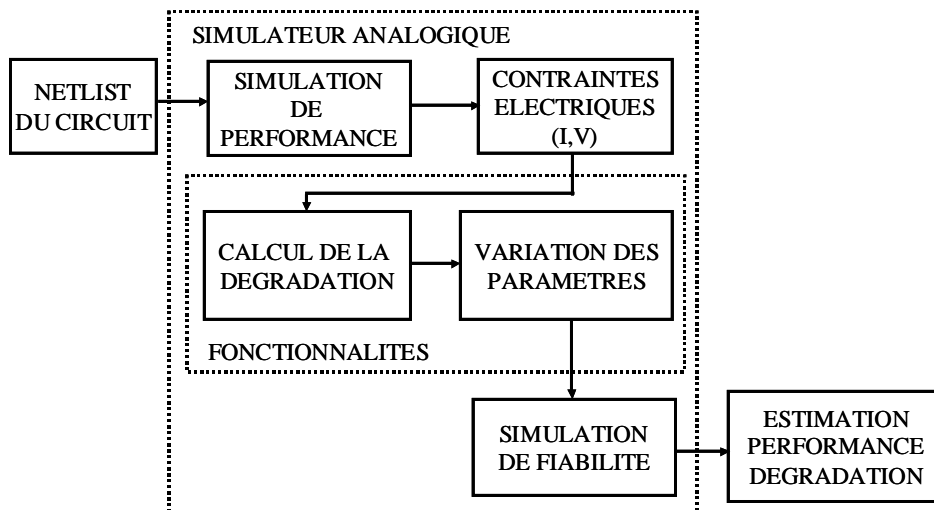


Figure 1-10 Schéma fonctionnel de la simulation de vieillissement électrique.

5.3.1.3 Méthode de calcul de la dérive des paramètres

La seconde phase calcule la dérive des paramètres électriques des transistors. Elle est calculée à partir de la quantité de dégradation accumulée sur la période de vieillissement T. La dérive des paramètres s'exprime par :

$$\Delta P(T) = f(AGE(T)) \tag{1.13}$$

La fonction f peut représenter différentes lois de variations : la loi en puissance, la loi logarithmique, la loi exponentielle.

Après le calcul de la dérive des paramètres électriques, le simulateur met à jour tous les paramètres électriques de chaque transistor. La dernière étape consiste donc à faire une simulation électrique en tenant compte des transistors dégradés. La dégradation de performance du circuit est finalement observée grâce la comparaison des caractéristiques électriques du circuit non dégradé et du circuit vieilli.

5.4 Les outils de la boucle DFR

Le thème de la simulation de la fiabilité des circuits électroniques est le sujet d'une grande attention depuis plusieurs années. La simulation de la fiabilité est mise en œuvre avec l'usage de simulateur électrique et de modèles issus de la physique des mécanismes de défaillances.

| Simulateur | Origine | Type de dégradation | Support |
|---------------------------|------------------------------------|------------------------------------|------------------|
| BERT | UC Berkeley, USA | HCM, HCB, TDDB, EM, ESD, SEU, TDRE | SPICE |
| HOTRON ²⁹ | Texas Instruments, USA | HCM (EM, MS..) | SPICE |
| RELY ³⁰ | UC Los Angeles, USA | HCM, TDDB, EM | SPICE |
| RELIC ³¹ | MIT Cambridge, USA | HCM, TDDB | RELAX2.2 |
| RELIANT ³² | Clemson University, Afrique du Sud | EM | SIRPRICE (SPICE) |
| PRESS | Philips/MESA, Pays-Bas | HCM, EM, ESD | Pstar |
| SABER/LOCAL ³³ | Philips/MESA, Pays-Bas | EM | SABER |
| ILLIADS ^{34,35} | Université Illinois USA | HCM | ILLIADS |
| GLACIER ³⁶ | BTA technology USA | HCM | HCSIM |
| UDRM | Mentor Graphics | HCM, NBTI | ELDO |

Figure 1-11 Inventaire des simulateurs de fiabilité ; HCM=Hot-Carrier in MOS, HCB=hot-carriers in Bipolar, TDDB=Time Dependent Dielectric Breakdown, EM=Electromigration, ESD=Electro-Static Discharge, MS=Mechanical Stress, NBTI=Negative Bias Temperature Injection; SEU=Single Event Upset, TDRE³⁷=Total-Dose Radiation Effects.

Dans cette partie, nous faisons l'inventaire des simulateurs de la fiabilité. La plupart des simulateurs présentés sont dédiés en particulier à un ou plusieurs mécanismes de dégradation. Ces mécanismes de dégradation sont aussi bien des mécanismes d'usures que des mécanismes catastrophiques. La majeure partie des simulateurs intègre le module spécifique à l'injection de porteurs chauds. La figure 1-11 propose un inventaire des outils de simulation de fiabilité. D'une manière générale, les outils de fiabilité se composent de deux modules, un pré-processeur et un post-processeur assurent l'interface avec l'outil de simulation électrique. Le pré-processeur analyse le fichier d'entrée et le modifie pour le rendre compatible avec le logiciel de simulation électrique. Il rajoute éventuellement des instructions pour demander au simulateur les tensions et/ou courants dans le circuit dont il a besoin pour calculer les dégradations. Le post-processeur récupère les données de sortie du simulateur électrique et calcule le niveau d'usure de chaque transistor. La plupart du temps, c'est le même modèle qui est utilisé à savoir une approche quasi-statique des dégradations.

La première étape dans l'utilisation de ces logiciels consiste en des tests statiques pour extraire les constantes liées à la technologie ainsi qu'un ensemble de paramètres électriques des transistors après stress. Ensuite, le circuit est simulé et les variations des tensions aux bornes de chaque transistor sont utilisées pour estimer le vieillissement subi par le transistor. A titre d'exemple, nous décrivons quelques-uns de ces outils : BERT, PRESS et HOTRON.

5.4.1 Le simulateur BERT

Un ensemble logiciel très répandu, destiné à la simulation de fiabilité des circuits intégrés *MOSFETs* et *Bipolaires*, est l'outil *BERT* développé par l'Université de Californie, à Berkeley³⁸. Il est utilisé depuis plusieurs années chez les grands groupes de développement de semi-conducteurs sous sa forme commerciale : *RelExpert*³⁹. Cet ensemble logiciel assure le développement du traitement de la fiabilité pour les applications industrielles.

L'outil *RelExpert* est divisé en plusieurs modules, chacun implémentant la simulation d'un mécanisme de physique de dégradation, tous s'appuyant sur un mécanisme de pré/post traitement de simulation *SPICE*. Le module qui permet la simulation des effets des porteurs chauds est connu sous le nom de *CAS* (*Circuit Aging Simulator*), simulateur de vieillissement et il implémente le modèle de Hu⁴⁰. Le module *CORS* (*Circuit Oxide Reliability Simulator*) est destiné à l'étude du mécanisme de dégradation *TDDDB* (*Time-Dependent Dielectric Breakdown*). Ce simulateur intègre aussi un module pour l'analyse de l'électromigration. Ces modèles peuvent être utilisés ensemble ou séparément au cours de la simulation de vieillissement. Il est possible d'étendre la simulation de la fiabilité au mécanisme de dégradation catastrophique *ESD* (*Electro-Static Discharge*) ou au phénomène de dégradation induit par radiation *SEU* (*Single Event Upset*). Un schéma fonctionnel du simulateur *BERT* est présenté par la figure 1-12.

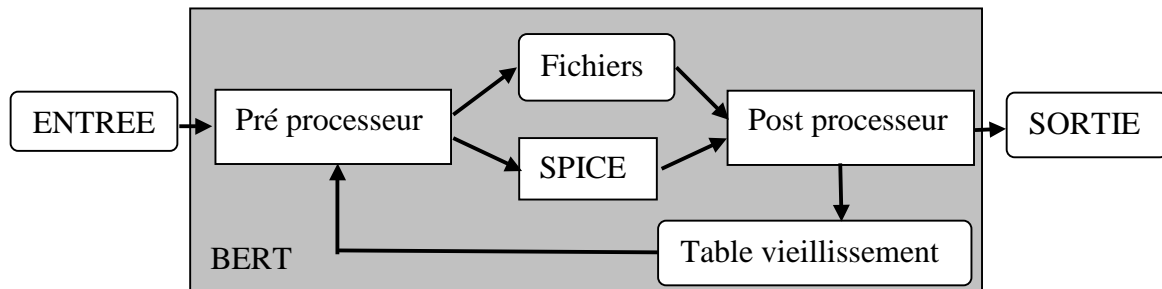


Figure 1-12 Bloc fonctionnel du simulateur BERT.

L'entrée du simulateur *BERT* consiste à donner une série d'informations, sur les modèles *SPICE* utilisés, sur les paramètres de vieillissement des transistors qui constitue une base de données issues d'expérimentations sur plusieurs composants et pour différentes conditions de contraintes. Cette entrée doit aussi contenir l'état des différents mécanismes de dégradation qui sont utiles à *BERT* pour les informations de sortie. Le pré processeur a pour rôle de traiter les informations d'entrée pour les mettre sous la forme standard propre à *SPICE*. Après la simulation électrique, le post processeur calcule le temps pour atteindre la défaillance *TTF* (Time to Failure). Ensuite, il calcule la table de vieillissement, c'est à dire l'état des différents paramètres du transistor dégradé et communique par rétroaction ces informations au pré processeur. Avec ces résultats de calcul de vieillissement et la génération d'une nouvelle simulation, il est possible de simuler l'effet d'un mécanisme de dégradation au cours du temps. Il faut noter que le simulateur *BERT* utilise le simulateur électrique *SPICE* contenant les modèles standards des composants transistors. Toutes les informations nécessaires pour l'étude d'un mécanisme de défaillance doivent être fournies comme une entrée au pré processeur.

Le module *BERT-CAS* calcule les variations paramétriques du transistor *MOSFET* dont la tension de seuil V_T , la mobilité μ_0 ou la transconductance g_m et détermine le temps pour atteindre la défaillance *TTF*. Le module de vieillissement par porteurs chauds *CAS* utilise le modèle de Hu basé sur la relation entre l'âge du circuit et le courant de substrat engendré par le stress. Les effets principaux des porteurs chauds sont les dérives paramétriques de la tension de seuil et de la conductance. Les effets destructeurs sont révélés par le maximum du courant de substrat, et ce pour une polarisation de grille du transistor voisine de la moitié de la tension drain-source. Le module *BERT-CORS* détermine directement le temps pour atteindre la défaillance. Le module *BERT-EM* possède deux modes de fonctionnement. Il peut nous informer par prévention sur le layout et il met en évidence les points faibles. Ce module est le seul à offrir une opportunité d'optimiser la conception d'un circuit en pointant les défauts de la phase de layout. Les autres modules n'ont pas cette possibilité et se limitent seulement au calcul du *TTF*.

Ce simulateur de fiabilité possède les fonctions suivantes :

- Modéliser la dégradation de l'oxyde de grille du transistor *MOS* en fonction des conditions de fonctionnement,
- Modéliser le comportement électrique du transistor *MOS* en fonction de dommages localisés de l'oxyde,

- Simuler la dégradation à long terme de l'oxyde,
- Déterminer la performance globale du circuit après le stress par porteurs chauds.

Pour faciliter la simulation par l'utilisation d'un modèle électrique classique, le comportement des transistors vieilliss est représenté par un jeu de modèles ajustés aux caractéristiques électriques de composants vieilliss expérimentalement.

L'outil *RelExpert* a pour objectif d'estimer la quantité de dégradation subie par chaque transistor dans un environnement réel, c'est à dire dans un circuit fonctionnel. Pour accomplir cette fonction, les niveaux de contraintes dynamiques simulés doivent être liés à des niveaux prédéterminés de dégradation de transistors qui sont généralement obtenus par mesures expérimentales en conditions statiques. Il est aussi souhaitable de simuler le comportement du circuit complet en utilisant les paramètres de modèles électriques extraits de composants dégradés, dans le but de prédire les performances du circuit après le vieillissement.

5.4.2 Le simulateur HOTRON

Le simulateur de fiabilité *HOTRON* a été conçu par Texas Instruments et il utilise une approche similaire au module *BERT-CAS*. Le cœur du simulateur est aussi le simulateur électrique *SPICE*. Le bloc fonctionnel du simulateur *HOTRON* est donné par la figure 1-14. Une caractéristique supplémentaire importante est la possibilité de générer des analyses de sensibilité⁴¹. Les composants semi-conducteurs subissent des contraintes fortes et n'ont pas forcément un effet significatif sur les performances du circuit, c'est pourquoi, il apparaît très important de faire ces deux types d'évaluations. Tout d'abord, il est nécessaire de déterminer quels sont les transistors qui subissent les plus fortes contraintes, ensuite il faut aussi déterminer lesquels de ces transistors sont les plus sensibles à la dégradation, et ensuite déterminer la sensibilité des caractéristiques du circuit aux variations de performances du transistor, c'est à dire déterminer les transistors qui ont la plus forte probabilité de modifier les caractéristiques électriques du circuit.

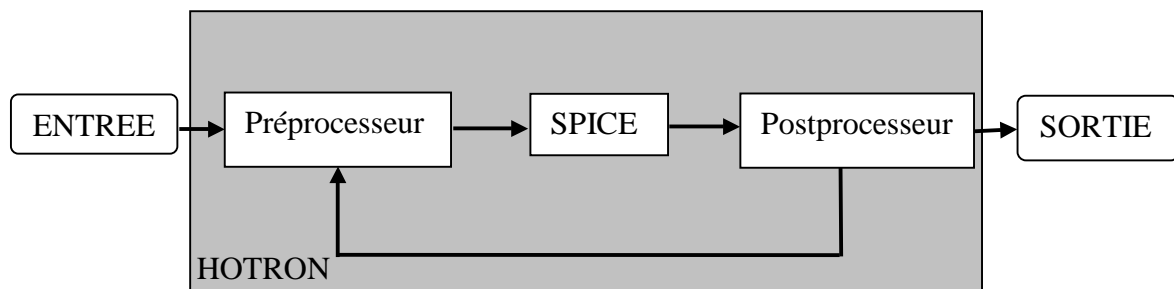


Figure 1-13 Bloc fonctionnel du simulateur *HOTRON*.

Le post processeur du simulateur *HOTRON* offre la possibilité de faire une analyse de sensibilité pour un transistor *MOSFET* donné, sous contraintes fortes, et analyse les effets sur les performances du circuit. De plus, ce simulateur est le premier du genre à prendre en compte la dégradation de plusieurs paramètres du transistor au lieu d'un seul. Les paramètres sont la tension de seuil initiale V_{T0} (zero back bias threshold voltage), g_m la transconductance,

θ_3 le facteur de vitesse de saturation du champ latéral, le facteur de modulation de la longueur de canal, θ_1 le facteur de vitesse de saturation du champ et le paramètre d'effet de substrat.

5.4.3 Le simulateur PRESS

Le simulateur de fiabilité *PRESS* a été développé au Pays-Bas, en coopération entre Philips et l'institut de recherche *MESA* de l'Université de Twente⁴². Le simulateur *PRESS* est développé sur la base du simulateur électrique *Pstar* dont Philips est le propriétaire ; ce simulateur de fiabilité traite principalement du mécanisme de défaillance des porteurs chauds pour la filière technologique *MOS*. Il peut être étendu malgré tout à d'autres mécanismes d'usures. La figure 1-14 donne le schéma fonctionnel du simulateur *PRESS*.

Le bloc Pré Press assure le filtrage des commandes propres au circuit provenant de l'entrée et les adapte avec celles assujetties à la fiabilité de la technologie, ensuite le résultat de ce traitement est utilisé directement par le simulateur *Pstar*. Pour ce simulateur, il faut noter que le script *Press* utile au traitement de la fiabilité est, contrairement aux autres simulateurs, une partie intégrante du simulateur électrique *Pstar*. Ceci a pour effet qu'il n'est pas nécessaire d'ajouter, de générer ou de modifier le code original du simulateur.

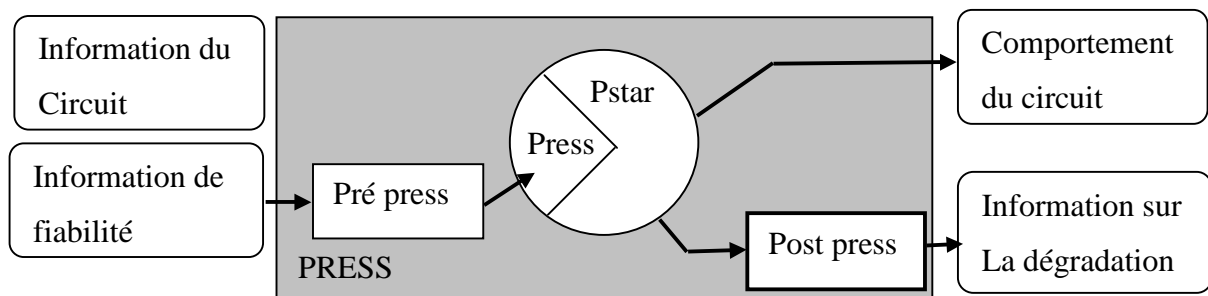


Figure 1-14 Bloc fonctionnel du simulateur *PRESS*.

PRESS évalue les variations paramétriques des modèles en interne, c'est à dire au cours de la simulation transitoire, au lieu d'utiliser une boucle d'information rétroactive. Nous pouvons alors dire que le simulateur *PRESS* utilise une solution couplée, contrairement aux autres simulateurs qui utilise une approche découplée pour calculer les effets du mécanisme d'usure. Dans ce simulateur, les dégradations sont renouvelées à chaque pas de l'analyse transitoire, la durée du pas d'analyse étant ajustable par l'utilisateur du simulateur. Dans le cas d'une analyse avec un pas de simulation unique, cet outil peut parfois apparaître plus lent que les autres fonctionnements. Mais le cas d'une analyse à pas multiple, *Press* s'avère beaucoup plus rapide que les simulations itératives générées sous l'effet d'une boucle rétroactive où il faut résoudre les équations quasi-statiques un grand nombre de fois tandis que les variations paramétriques entre deux pas d'analyse transitoire sont très faibles voire inexistantes. De plus, le simulateur *PRESS* utilise la gestion automatique de la durée du pas d'analyse transitoire du simulateur électrique *Pstar*. Tandis que pour les autres simulateurs, la durée de l'analyse transitoire est choisie par l'utilisateur et la gestion du pas de l'analyse est réalisée par un programme additionnel.

Pour des calculs simples comme la durée de vie, qui ne requiert peu d'information et de temps de simulation, une option spéciale est utilisée. *Post-press* génère en sortie la durée de vie des

transistors et quelques informations additionnelles sur la dégradation, si cela est demandé. En fait, les blocs Pré Press et Post Press sont des programmes qui ne réalisent aucune analyse de fiabilité.

Le simulateur *PRESS* peut être utilisé selon deux modes, le mode indicateur et le mode simulateur complet. Le mode indicateur calcule les durées de vie par rapport à un critère de défaillance donné et met en évidence les transistors potentiellement faibles. Aucune sauvegarde de paramètres n'est effectuée au cours de l'analyse transitoire ce qui a pour but de réduire le temps de *CPU*. Le mode complet, au contraire, sauvegarde la dégradation des paramètres et calcule l'ensemble des effets de la dégradation des *MOSFET* sur le comportement électrique du circuit. Ce mode de fonctionnement est similaire aux fonctionnalités offertes par *HOTRON*. Mais il faut noter que les effets du mécanisme d'usure sur tous les *MOSFET*, puis sur toutes les caractéristiques électriques du circuit, peuvent être analysés simultanément alors que le simulateur *HOTRON* offre une analyse de la sensibilité des performances électriques du circuit à partir seulement d'un seul transistor dégradé.

Le fichier de sortie ne possède pas d'information quant à l'optimisation des paramètres des circuits. Cependant, concernant le mécanisme des porteurs chauds, seul les tensions de polarisation et la longueur de canal L sont à prendre en compte au cours de la phase de conception. De plus, avec le mode de simulation complet et l'usage d'un langage de modélisation comportementale propre à Pstar, cela permet facilement d'obtenir de l'information sur la sensibilité des circuits à la dégradation des transistors *MOSFET* induite par l'injection de porteurs chauds.

5.4.4 Discussion

Nous avons passé en revue les principaux outils de simulation de la fiabilité. Ces outils sont destinés à une approche des mécanismes de la physique des défaillances via la simulation électrique. Un effort certain a été accompli ces dix dernières années. Deux de ces outils, *PRESS* et *HOTRON* ont été développés respectivement par la société Philips et la société Texas Instrument. A ce jour, il est difficile de dire si ces outils sont encore en développement puisque aucune mise à jour parmi les publications n'est réalisée sur l'état d'avancement de chaque projet industriel.

Un outil comme *BERT* a été développé à l'université de Berkeley puis commercialisé par la société *CADENCE*. Un outil concurrent sera sur le marché dans les prochains mois. Il est proposé par la société *MENTOR GRAPHICS*. Cet outil a été développé à l'université du Caire. Il est construit sur les bases du simulateur analogique *ELDO*.

Le développement des autres outils, principalement en laboratoire universitaire est supposé abandonné puisque aucune autre communication n'a été réalisée depuis le milieu des années quatre vingt dix.

Les outils présentés sont construits pour évaluer l'effet des mécanismes de défaillances physiques sur les performances électriques des circuits intégrés. Les simulateurs passés en revue ont beaucoup de points communs, mais ils présentent aussi quelques différences majeures :

- Plusieurs simulateurs de la fiabilité proposent une sauvegarde dynamique des paramètres dégradés, alors que d'autres n'ont seulement qu'une mise à jour statique.

- La mise à jour dynamique est réalisée soit en interne du simulateur électrique, soit à l'extérieur par l'intermédiaire d'une boucle de rétroaction.
- Dans la plupart des simulateurs de fiabilité, des modèles précis et fiables peuvent être implémentés. Dans certains, il est nécessaire de modifier le code source d'origine pour réaliser cette intégration.
- Un seul simulateur de fiabilité propose un module d'optimisation.
- L'ensemble des simulateurs de fiabilité, jusqu'à présent, ne possède pas la commande de simulation pour estimer la sensibilité des caractéristiques électriques du circuit aux variations des paramètres technologiques. Très peu d'informations sont disponibles dans la bibliographie. Ceci s'explique par le fait que la commande de simulation n'est pas toujours disponible dans les simulateurs analogiques.

Il est à noter que les informations utiles ne sont pas toujours disponibles, et tout simplement parce qu'elles ne sont pas du domaine public. Les simulateurs en développement sont souvent comparés à *BERT*. Meindert Lunenburg⁴³ propose une comparaison entre le simulateur *BERT-CAS* et le simulateur *PRESS* à propos du mécanisme de défaillance : l'injection de porteurs chauds dans la structure de la technologie *CMOS*.

La différence majeure entre ces deux simulateurs réside dans la méthode pour faire la mise à jour des paramètres dégradés. *PRESS* propose une mise à jour dynamique en interne qui a comme avantage de réduire le temps d'analyse puisqu'il n'est pas nécessaire d'effectuer plusieurs boucles itératives de calcul comme dans le cas du simulateur *BERT-CAS*. Nous pouvons aussi mettre en évidence le fait que la gestion de fichier intermédiaire dans *BERT-CAS* nécessite plus de capacité de stockage. Et puis, l'intégration de nouveaux modèles de dégradation semble pouvoir se réaliser plus aisément pour le simulateur *PRESS* puisque celui-ci utilise un langage de modélisation comportementale en corrélation avec le simulateur électrique Pstar.

Bien qu'un grand nombre de modèles de mécanismes physiques de défaillance aient déjà intégré la plupart des simulateurs électriques, ceux-ci ne sont pas toujours fiables ou complets puisqu'ils ne sont pas toujours construits sur la physique des phénomènes de défaillances. La plupart des modèles sont basés sur des relations empiriques. Un effort important est nécessaire pour le développement et la mise à jour de modèles basés sur la physique. Mais compte tenu de la complexité des mécanismes de défaillance dans le cas de phénomènes d'usure (électromigration, porteurs chauds, *TDDB*), les modèles utilisés, même empiriques, ont encore un bel avenir. Une amélioration lente et continue devrait déboucher sur une évolution progressive de ces modèles analytiques. Ce travail de fond aura pour effet de faire progresser les simulateurs de fiabilité.

Très peu de concepteurs mettent en place des procédures, pendant la phase de conception, de contrôle et d'analyse de la fiabilité des circuits électroniques. Pour faciliter cette approche, les simulateurs de la fiabilité doivent être construits à partir des simulateurs électriques existants qui sont au cœur de la simulation de performances des circuits intégrés. De plus, les informations spécifiques à la fiabilité des circuits doivent être brèves pour faciliter une interprétation rapide des résultats, ces résultats devant contenir de l'information sur les points faibles des circuits intégrés. En particulier, afin d'avoir de l'information significative par rapport aux dispositifs élémentaires vieillis et leurs effets sur les performances des circuits, il est nécessaire d'intégrer une analyse de sensibilité des caractéristiques électriques des circuits intégrés aux dégradations induites par l'usure des transistors.

La simulation de la fiabilité n'est pas simple à mettre en place. Elle nécessite une base de connaissances spécifiques importantes, et un nouveau métier se profile à l'horizon en complément du métier de concepteur.

5.5 Les applications

Dans cette partie, nous faisons un inventaire des applications développées avec les outils de la boucle *DFR*. Ces applications sont issues d'un travail de bibliographie complémentaire à celui effectué sur les outils de la simulation de la fiabilité. Elles regroupent différents exemples qui permettent d'appréhender le traitement de la fiabilité intégré dans le flot de conception. Les différentes applications concernent aussi bien les circuits logiques que les circuits analogiques. Les exemples traités ne sont pas toujours accompagnés d'une validation expérimentale. Ces exemples suffisent donc à mettre en évidence la possibilité de simuler la fiabilité des composants électroniques. La validité de chaque exemple est fonction de l'exactitude et de la précision des modèles utilisés pour l'analyse de la fiabilité. Il existe de nombreux modes de défaillances, par conséquent, il existe de nombreux modèles physiques et électriques, empiriques ou non théorique de ces mêmes modes de défaillances.

Il est difficile de répertorier tous les exemples se rapportant à chaque mode de défaillance. C'est pourquoi, nous choisissons d'inventorier uniquement les applications qui traitent de la fiabilité des composants et circuits *CMOS* face aux phénomènes de dégradation dit des porteurs chauds.

5.5.1 Les circuits logiques

L'environnement des circuits logiques impose aux composants élémentaires un grand nombre de contraintes susceptibles de provoquer à court ou long terme des défaillances. Ceci s'explique par le fait que les fonctions logiques travaillent essentiellement en commutation. Les composants élémentaires, les transistors *NMOS* et *PMOS*, sont alors polarisés dans une gamme de tension comprise entre la masse et la tension d'alimentation du circuit étudié⁴⁴. Les transistors ont pour régime de fonctionnement aussi bien le régime linéaire que le régime de saturation ou encore le fonctionnement à état passant ou l'état bloqué. Le fonctionnement en commutation complique l'analyse de l'impact des contraintes électriques sur les performances des circuits logiques puisque ceux-ci peuvent fonctionner à des fréquences très élevées.

Pour étudier les circuits logiques sous contraintes et en haute fréquence, un circuit type est utilisé. Il s'agit de l'oscillateur en anneaux. L'avantage de ce type de circuit est qu'il ne nécessite pas de signaux extérieurs pour le test de fiabilité. C'est en fait le circuit type pour analyser la fiabilité de la technologie *CMOS* pour un fonctionnement en fréquence, notamment lors de tests de fiabilité effectués directement sur plaquette de silicium à l'aide d'un testeur sous pointe. L'oscillateur en anneaux est composé de plusieurs étages élémentaires mis en cascade : l'élément de base est l'étage inverseur.

5.5.1.1 L'inverseur

L'étage inverseur est une fonction logique de base. C'est une des premières fonctions électroniques qui a fait l'objet d'étude de fiabilité face à l'injection de porteurs de chauds. Ceci semble logique puisque la maîtrise de la fiabilité de cette fonction engendre

nécessairement de l'information utile pour l'analyse de fonction plus complexes comme les portes logiques.

Les différentes analyses⁴⁵ qui ont été réalisées sur la fonction inverseur montrent la dérive en fonction du temps de fonctionnement, des temps de commutation de montée et descendante et du temps de propagation. Cette observation est effectuée sur la caractéristique électrique transitoire de la fonction logique. En conséquence, les variations des temps de commutation dus au mode de dégradation ont alors une influence non négligeable sur le temps de réponse de la fonction logique.

5.5.1.2 L'oscillateur en anneaux

L'oscillateur en anneaux est composé de plusieurs étages mis en cascade, l'étage élémentaire étant l'inverseur *CMOS*. Sachant que l'inverseur *CMOS* possède un temps de propagation T_{delay} , la fréquence d'oscillation de l'oscillateur en anneaux est l'inverse du produit du nombre d'étage et du temps de propagation de chaque étage à un facteur de proportionnalité près.

Les travaux sur l'oscillateur en anneaux, notamment ceux de Y. Leblebici⁴⁶, montrent que la dégradation des semi-conducteurs sous la forme de variation paramétrique notamment de la tension de seuil v_t ou d'une modification de la mobilité μ_0 , entraîne une variation du temps de propagation T_{delay} , ce qui pour effet de modifier la fréquence d'oscillation de l'oscillateur en anneaux.

5.5.1.3 Les fonctions logiques complexes

Concernant les fonctions logiques complexes, l'objectif principal est identique à celui de l'étage inverseur à savoir la mise en évidence de la variation des temps de commutation. Par exemple, celui des portes logiques *NAND*, *NOR*, *AND*, *OR* dont les études sont réalisées sur des échantillons construits avec des technologies *CMOS* récentes⁴⁷. Le but de ces exemples est l'analyse de la variation du délai de propagation de chaque type de porte logique et l'impact de cette variation dans un chemin de propagation critique pour une fonction logique plus complexe comme un additionneur 4 bit⁴⁸.

Un autre domaine d'application a été mis en évidence par Jacob Van der Po⁴⁹. Il concerne aussi une analyse de fonctions logiques complexes, c'est à dire les points mémoire *SRAM* ou *DRAM*. La difficulté de cette étude est l'analyse de l'impact des variations de caractéristiques induites au niveau transistor sur le fonctionnement ou les performances de la dite mémoire. Finalement, ce constat peut-être ramené à toutes les fonctions logiques complexes comme l'essai sur une cellule logique complexe qui assemble le buffer d'entrée et le buffer de sortie d'un microprocesseur⁵⁰.

5.5.2 Les circuits analogiques

Dans le cas des circuits logiques et du fait du fonctionnement des transistors en régime linéaire ou saturé, les grandeurs observées pour l'analyse de fiabilité sont soit le courant de régime linéaire ou le courant de régime de saturation. Parfois un paramètre électrique, comme la tension de seuil V_T , est observé. La dérive d'un tel paramètre est porteur d'information sur la fiabilité du semi-conducteur ; ceci est vrai notamment pour un mécanisme de défaillance tel que celui induit par injection de porteurs chauds. Or pour les circuits analogiques, les transistors *NMOS* et *PMOS* sont généralement polarisés autour d'un point de polarisation

statique placé soit dans le régime linéaire ou le régime de saturation. Ensuite, ce sont les variations dynamiques autour de ce point de polarisation qui peuvent affecter la fiabilité du semi-conducteur. Par conséquent, le traitement de la fiabilité est orienté vers les variations des paramètres petits signaux des transistors tels que la conductance gm et la transconductance g_{ds} . Il faut noter qu'une faible variation du courant de saturation I_{DS} d'un transistor est équivalente à une forte variation de la transconductance g_{ds} , et ceci peut avoir des répercussions sur les caractéristiques électriques d'un circuit analogique complexe.

Jusqu'à présent, les études menées sur la fiabilité des circuits analogiques portent essentiellement sur les structures basiques telles que le miroir de courant, les sources de courant, l'étage différentiel, et l'étage amplificateur.

5.5.2.1 Le miroir de courant

Les travaux de Meindert Lunenborg⁵¹ ont montré comment le gain en courant d'un miroir de courant simple se dégrade en fonction d'une contrainte forte, c'est à dire la tension de polarisation de l'étage de sortie.

Les travaux de Roland Thewes⁵² et ceux de Huy Le⁵³ montrent la dépendance des paramètres petits signaux des transistors *CMOS* à la dégradation pour différentes structures de miroir de courant : miroir simple, miroir cascodé.

5.5.2.2 L'amplificateur différentiel

Les travaux de James E. Chung⁵⁴, tout comme les travaux de Huy Le (voir ci-dessus) et ceux Roland Thewes⁵⁵ montrent comment les caractéristiques d'un étage différentiel se dégradent sous l'effet des contraintes de polarisation électrique et le mode de dégradation physique qui en découle. Les dégradations de caractéristiques se manifestent par une dérive du gain de mode différentiel et plus particulièrement par une variation de la tension d'offset comme l'a démontré S. Z. Mohamedi⁵⁶. En fait, les dégradations ont tendance à accentuer le mauvais appariement intrinsèque de la paire différentielle à l'origine de la dispersion des paramètres technologiques.

5.5.2.3 Les fonctions analogiques complexes

Une architecture complexe telle que l'amplificateur opérationnel tension-tension a déjà fait l'objet d'étude de fiabilité via la simulation électrique, les travaux menés sur cette fonction analogique par Y. Leblebici⁵⁷, R. Thewes⁵⁸, montrent comment se dégrade au cours du temps le gain statique de mode différentiel. Il est mis en évidence que des grandeurs caractéristiques sont modifiées par l'effet de la dégradation comme la résistance de sortie de l'amplificateur puisque les transistors qui composent l'étage de sortie sont sous fortes contraintes de polarisation. Cette analyse obtenue par simulation de la fiabilité apporte de l'information pour améliorer la structure de l'étage de sortie, en l'occurrence une solution pour réduire les contraintes de polarisation est d'utiliser un étage de sortie cascodé.

Un autre circuit complexe dédié à une application RF est proposé par Chun Jiang⁵⁹. L'application est un oscillateur contrôlé en tension ou VCO (Voltage Controlled Oscillator). L'étude du circuit est délicate puisque le comportement dynamique du circuit est pris en compte. Ces études sont de plus en plus présentes dans la bibliographie du fait de la forte augmentation de la densité d'intégration des dispositifs élémentaires dans les circuits intégrés.

Cette course à la miniaturisation a pour avantage d'améliorer les capacités et les fonctionnalités des circuits intégrés mais elle implique aussi une nouvelle approche du traitement de la fiabilité. Puisque la fiabilité des circuits intégrés vis à vis de l'injection des porteurs chauds est de plus en plus critique. Ceci est du au fait que la longueur de canal des transistors est de plus en plus petite, donc l'ordre de grandeur des champs électriques dans la structure est de plus en plus grand, ce qui favorise l'injection de porteurs chauds. Par conséquent, la sensibilité des transistors aux porteurs chauds est de plus en plus importante.

6 Conclusion

L'évolution croissante des technologies semi-conductrices, ces dernières années, a poussé la communauté des experts de la fiabilité à réagir face au traitement de la sûreté de fonctionnement des semi-conducteurs et des circuits électroniques. Le traitement de la sûreté de fonctionnement est réparti selon différents axes dépendants de la technologie de conception, du type de composant et de sa complexité, de son environnement d'utilisation donc de son profil de mission. Le dernier axe définit la méthode mise en jeu pour assurer le traitement de la fiabilité. Le traitement de la fiabilité des dispositifs élémentaires est complexe et les méthodes utilisées sont nombreuses. La méthode statistique, employée dans le cas du traitement de la fiabilité pour des composants électroniques produits en grand volume, trouve sa place en fin du cycle de production.

L'approche physique de défaillances est applicable aussi pour des composants produits en grand volume. A la différence de la méthode statistique, cette méthode s'oriente vers une approche physique de la fiabilité au travers d'analyses physiques des modes de dégradation. Cette méthode propose donc, selon le profil de mission des composants, de relier les causes, donc les contraintes, aux effets induits par les défaillances physiques sur les performances électriques des composants. L'information résultante de ces analyses est ensuite incluse en amont du cycle de production des composants. Elle est utilisée pour construire des modèles de fiabilité des dispositifs élémentaires. Ces modèles sont intégrés dans les outils spécifiques pour l'analyse de la fiabilité des circuits électroniques. L'usage de ces outils en bouclage court sur la conception définit la boucle de la fiabilité intégrée ou encore appelée boucle *DFR*. Ces outils sont en constante phase de validation et de qualification. La précision de ces outils est fortement dépendante de l'exactitude des modèles physiques de dégradation des dispositifs élémentaires et de la précision des calculs de l'impact de ces dégradations sur les performances et les caractéristiques électriques des circuits intégrés.

Les outils de simulation de fiabilité sont construits sur la base d'un simulateur analogique. Ils utilisent les modèles électriques *SPICE*. Pour le calcul de la dégradation des transistors, des algorithmes spécifiques sont nécessaires. Ils permettent aussi de gérer les deux échelles de temps imposées par l'analyse transitoire de performance et l'analyse transitoire de vieillissement électrique. Les outils présentés dans ce chapitre ont donc des caractéristiques qui sont fortement corrélées à la nature du simulateur analogique.

Le développement d'outils d'analyse de la fiabilité inclus dans le flot de conception des circuits électroniques est en pleine phase de croissance. Grâce à l'étude de nombreuses applications et validations expérimentales, des outils ont été développés progressivement tout en suivant l'évolution rapide des technologies *CMOS*. Le développement de ses outils est en phase croissante de développement. Une maturité de ces outils est prévue pour l'année 2010 si l'on se réfère aux prévisions données par la société *ITRS* (International Technology Roadmap for Semiconductor). Les outils et les modèles sont donc encore en phase de validation et qualification.

Ces outils ont pour but de fournir de l'information sur la fiabilité des circuits intégrés à forte densité d'intégration. Les difficultés d'analyse de la fiabilité viennent s'ajouter aux difficultés

d'analyse de performances électriques. C'est pourquoi, jusqu'à présent, les applications développées se limitent à des fonctions logiques ou analogiques de base. Chaque application consiste à prévoir les dérives des caractéristiques électriques d'un circuit selon l'évolution au cours du temps des performances des transistors soumis à des contraintes électriques.

Ces analyses par simulation électrique ont pour but de détecter les éléments sensibles de l'architecture d'un circuit intégré. Elles sont donc un recours à la conception des circuits intégrés. Les concepteurs ont donc aujourd'hui la possibilité de prendre des mesures correctives pour améliorer la robustesse des circuits intégrés.

Une orientation intéressante serait de faire évoluer les modèles analytiques de vieillissement existant vers des modèles standards de bibliothèques, ainsi que l'information propre à la fiabilité des dispositifs élémentaires ce qui aurait pour avantage de minimiser le temps d'évaluation de la fiabilité. Cette constatation met en perspective la nécessité de développer une base de données de la fiabilité des dispositifs élémentaires et circuits électroniques, cette base de données serait alimentée par le retour d'expériences.

D'un point de vue général, tous les outils présentés sont capables d'analyser par simulation électrique la fiabilité des dispositifs élémentaires et des circuits intégrés, dans la mesure où la taille des circuits à simuler ne nécessite pas trop de temps de calcul. Par conséquent, tous ces outils développent leurs capacités de calcul à partir de la connaissance de la fiabilité du semi-conducteur. Ils sont alors utilisés comme un outil de conception et un outil d'analyse de la fiabilité dans le flot de conception grâce à la boucle *DFR*. Cependant, dans le cas de circuits complexes voir un système électronique, l'analyse de la fiabilité avec de tels outils semble, compromise. Il est alors nécessaire d'orienter les objectifs de la modélisation et la simulation de la fiabilité pour ce type de circuits électroniques. La modélisation comportementale orientée vers les circuits et systèmes électroniques est une voie à explorer. L'avantage d'une telle orientation est la capacité de modéliser le comportement électrique sans tenir compte de la structure interne des circuits. Cette approche est d'autant plus intéressante qu'elle est reproductible pour tous les systèmes qu'il s'agisse de systèmes électroniques, thermiques, voir électrothermiques ou mécaniques.

CHAPITRE 2

Modélisation VHDL-AMS de circuits CMOS

1 Introduction

Depuis la création de l'électronique analogique à base de transistors, les techniques d'études ont peu varié. L'utilisation de simulateurs n'a pas modifié en profondeur les techniques et méthodes utilisées par le concepteur. Depuis quelques années une nouvelle famille d'outils est apparue permettant d'utiliser, en partie, le flot de conception très abouti utilisé en numérique. Ces outils de développement mettent en concurrence deux langages de modélisation : les langages *VHDL-AMS* et *VERILOG-AMS*.

Pour mener à bien toutes les activités concourant à la réussite d'un projet industriel, la méthodologie est très importante. Les avancées continues de l'industrie électronique impliquent de nouveaux besoins méthodologiques et des contraintes plus fortes pour les outils de conception. De plus, les technologies de semi-conducteurs rendent plus complexes les simulations car les modèles de transistors s'éloignent des phénomènes physiques effectivement mis en jeu. Devant l'évolution rapide des besoins de nouveaux modèles de transistor, on ne peut plus se contenter de simulateurs à primitives, dont les modèles manipulables sont compilés avec le noyau de simulation. Il faut disposer de solveurs génériques de réseaux d'équations différentielles permettant de construire et de faire évoluer des modèles dans des bibliothèques externes. L'évolution et la maintenance des modèles s'en trouvent grandement améliorées.

De plus, les systèmes électroniques n'intègrent plus seulement de l'électronique mais aussi des capteurs ou des actionneurs. Ces possibilités nouvelles de la technologie doivent être prises en compte par les langages de modélisation et les simulateurs associés. Les nouveaux langages de description de matériel permettent de construire les modèles électriques ou de multiples technologies. Ils permettent de plus de donner un substrat commun à la communauté facilitant ainsi les percées de la recherche par la mise en commun et la comparaison aisée des travaux⁶⁰.

Ce chapitre présente les aspects fondamentaux de la conception de circuits intégrés et des méthodes et outils d'aide à la conception associés. Le but principal est de mettre en évidence le rôle central de l'activité de modélisation et du langage de description de matériel : *VHDL-AMS* (VHSIC Hardware Description Language-Analog and Mixed Signals). Le langage *VHDL-AMS*, normalisé en décembre 1999 sous la référence *IEEE 1076.1-1999*, est en fait un sur ensemble du langage *VHDL-93* qui prend en charge les descriptions de systèmes à événements discrets. La nouvelle norme offre la possibilité de modéliser des circuits logiques, analogiques, mixtes. Ces outils ne sont pas limités aux circuits électroniques mais peuvent prendre en compte des modèles thermiques, mécaniques, thermodynamiques dont la liste n'est pas exhaustive. Par voie de conséquence, il est possible de modéliser des systèmes de multiples technologies.

2 Modélisation de circuits intégrés

La complexité des fonctions réalisées sur une seule puce de silicium ne peut être maîtrisée que grâce à l'assistance d'outils logiciels appropriés et de méthodes de conception systématiques⁶¹. Il existe deux méthodes de conception hiérarchiques : la méthode descendante et la méthode ascendante. L'application de ces méthodes a pour but de faciliter le développement des circuits intégrés et des systèmes électroniques.

2.1 Méthodes de construction hiérarchique

La méthode descendante⁶² (Figure 2-1) est basée sur une suite de raffinements successifs partant d'un cahier des charges, où sont définies les spécifications du circuit, pour aboutir à une description détaillée de la réalisation. Le cahier des charges définit le « quoi », c'est à dire principalement les fonctions à réaliser et les conditions dans lesquelles ces fonctions devront s'exécuter. A l'autre bout du processus, la réalisation décrit le « comment », c'est à dire la manière qui a été retenue pour fabriquer un circuit satisfaisant les contraintes imposées par le cahier des charges. Les méthodes descendantes sont bien adaptées à la réalisation de circuits dont la structure peut-être optimisée de manière très flexible à partir d'un ensemble de cellules standard ou de matrices de portes.

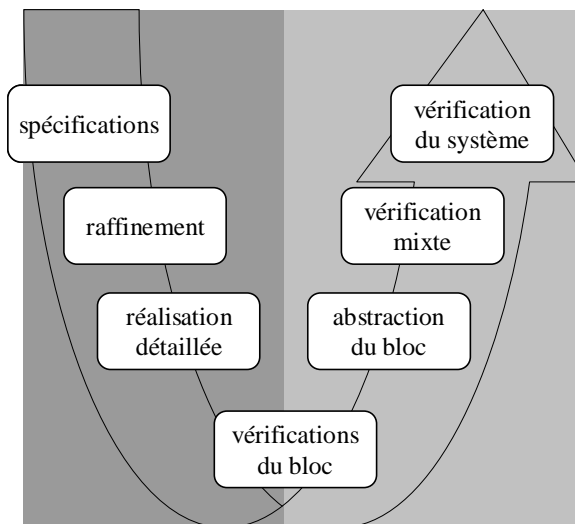


Figure 2-1 Méthode de conception descendante/ascendante.

La méthode ascendante (Figure 2-1) se base sur l'existence de modules (primitives ou fonctions plus complexes) caractérisés, c'est à dire dont les fonctions et les performances sont connues. Une réalisation possible est alors construite par assemblage à l'aide d'un processus de sélection de modules. Le processus est tel qu'il doit garantir que les choix entrepris

satisfont les contraintes imposées par le cahier des charges. Les méthodes montantes sont bien adaptées à la réalisation de circuits dont la structure est essentielle à leur bon fonctionnement⁶³.

La réalisation de circuits analogiques est régie par la méthode ascendante. Tous les circuits analogiques ont leurs performances dépendantes de l'architecture développée au niveau transistor. C'est ensuite la caractérisation électrique de ces blocs analogiques fondamentaux qui permet le développement de modèles électriques d'abstraction supérieure. Le comparateur, l'amplificateur opérationnel, le multiplicateur sont par exemple des composants dont les primitives sont disponibles dans les bibliothèques standards.

2.2 Les modèles comportementaux

L'application des méthodes de conception hiérarchique, dans le flot de conception des circuits intégrés et systèmes électroniques, mène à la définition et la construction de modèles comportementaux équivalents. Ces modèles sont classés selon différents niveaux de description. La figure 2-2 présente une classification hiérarchique de la conception analogique⁶⁴. Elle se décompose en quatre niveaux : système, fonctionnel, circuit et composant ou dispositif élémentaire. Les différents niveaux d'abstraction sont associés aux primitives de simulation et les différentes unités de conception correspondante. Notons que les différents niveaux dépendent essentiellement de la complexité du système à réaliser.

| Niveau d'abstraction | Représentation Comportementale | Représentation structurelle |
|----------------------|--|--|
| Système | Fonctions de transfert $H(s)$ et $H(z)$ Domaine fréquentiel Domaine temporel Domaine Analogique/Numérique | Convertisseurs A/N et N/A PLL, Filtres, Sommateur, Intégrateur, Multiplieur, Bistable |
| Fonctionnel | Equations algébriques linéaires et non linéaires Courbes de transfert Tables | Amplificateur opérationnel, Sources, Comparateurs |
| Circuit | Macro-modèles : Dispositifs non-linéaires | Miroir de courant, Pair différentiel, Etage amplificateur |
| Composant | MOS, BJT, Eléments passifs | Propriétés physiques Propriétés géométriques |

Figure 2-2 Classement hiérarchique de la conception analogique.

2.3 La simulation électrique

La référence en matière de simulateur analogique de circuits intégrés est le programme *SPICE*⁶⁵, développé à l'Université de Berkeley. Il a donné lieu à de nombreuses versions industrielles basées sur un même langage de description structurelle. Une bibliothèque de composants modélisés dans le code même du simulateur est fournie et comporte des éléments passifs (résistances, capacités, inductances, inductances mutuelle), des composants semi-

conducteurs (diodes, transistors bipolaires, à effet de champ *JFET* et *MOSFET*), des sources idéales indépendantes de tension et de courant et enfin des sources idéales contrôlées polynomiales (sources de tension ou courant contrôlées par des tensions ou des courants). L'utilisation de ces modèles de bibliothèques pour l'écriture de nouveaux modèles de composants est une tâche difficile de programmation, qui dépend des algorithmes utilisés par le simulateur.

Des simulateurs plus récents, tels que *SABER*⁶⁶, *ELDO*⁶⁷, *SPECTRE*⁶⁸ proposent, quant à eux, des langages de description comportementale, qui facilitent l'écriture de nouveaux modèles. Ils possèdent d'autre part une bibliothèque étendue de primitives comportant des modèles comportementaux de macro-blocs (amplificateurs, comparateurs, commutateurs analogiques, portes logiques...).

La première étape effectuée par ces programmes consiste en la mise en équation du réseau électrique par application des lois de Kirchoff. Signalons que la taille du système d'équations est une fonction quadratique du nombre de nœuds et conditionne donc fortement la vitesse de simulation.

Plusieurs types d'analyse sont possibles pour étudier le comportement du circuit :

- L'étude du point de fonctionnement du circuit qui correspond à une étude en régime permanent (analyse .OP ou .DC).
- L'étude de la réponse temporelle dite analyse temporelle (analyse .TRAN).
- L'étude de la réponse fréquentielle ou petits signaux (analyse .AC), pour laquelle la linéarisation du circuit est faite autour du point de fonctionnement.
- Les analyses de bruit, généralement fréquentielles, mais il existe aussi des techniques de simulation transitoire du bruit utilisées par exemple dans le simulateur *ELDO* (analyse .NOISE).
- L'étude de la sensibilité, après la linéarisation du circuit autour d'un point de polarisation, consiste en la définition du pourcentage de variation des grandeurs électriques du circuit en fonction de certains paramètres de conception. Par exemple, les dimensions géométriques *W* et *L* du *MOSFET* avec le simulateur *ELDO* (analyse .SENS).
- La définition des pôles et zéros, à la suite d'une analyse fréquentielle, par exemple par algorithme *QZ* de recherches de valeur propres (analyse .PZ).
- Les analyses statistiques de type Monte-Carlo afin de déterminer la dispersion des performances du circuit en fonction de la fluctuation statistique de paramètres de conception. Un grand nombre de simulations sont ici requises. Ensuite, cette étude permet de définir la valeur nominale des composants pour obtenir un rendement optimal (analyse .MC).

Ces simulateurs doivent faire face à des problèmes de convergence qui apparaissent essentiellement lors de la recherche du point de fonctionnement pour les circuits comportant un nombre élevé de transistors, ainsi que les circuits fortement couplés, en particulier en présence de transistors bipolaires. D'autre part, certaines applications à échantillonnage, telles que les filtres à capacités commutées, les boucles à verrouillage de phase *PLL* (Phase Locked Loop) ou encore les alimentations à découpage, requièrent des temps de simulation temporelle relativement élevés. En effet, alors que la fréquence des horloges d'échantillonnage est de l'ordre du MHz, celle du signal qui est traité par le système est plutôt de l'ordre du KHz. De très nombreuses périodes sont donc nécessaires pour observer les

phénomènes souhaités, tels que le temps de capture d'une *PLL*. Enfin, concernant les circuits mixtes analogiques-numériques, des simulateurs logiques particulièrement rapides doivent être bien sûr mis en œuvre pour la simulation des modèles numériques.

3 Un langage de description matériel : VHDL-AMS

3.1 Apport du langage VHDL-AMS

Le langage *VHDL* (Very high speed integrated circuits Hardware Description Language) est un outil de description des circuits d'électronique numérique. La première standardisation de ce langage a eu lieu en 1987. En 1993, une nouvelle version a été standardisée. Elle devait permettre d'intégrer la modélisation de systèmes analogiques. Aujourd'hui, une extension au langage *VHDL* est disponible. Elle permet la description et la simulation de systèmes mixtes analogique-numérique. Cette version étendue a pour nom *VHDL-AMS* (*AMS* : Analog and Mixed Signal) et a été standardisée depuis 1999 comme un standard *IEEE-VHDL 1076.1*.

Le but de ce standard est de fournir un outil de description hiérarchique et de simulation des systèmes continus et mixtes (analogique-numérique). Le langage supporte la modélisation à des niveaux d'abstraction en domaine électrique et non-électrique (systèmes constitués d'éléments hydrauliques, thermiques...).

Les circuits à modéliser sont descriptibles par des systèmes d'Equations Différentielles et Algébriques. D'autre part, il faut respecter les exigences au niveau des interactions entre partie numérique et partie continue des systèmes mixtes. Il apparaît donc que la spécificité des comportements analogiques et des systèmes mixtes entraîne la création d'un certain nombre d'éléments nouveaux:

- la création d'un noyau de résolution analogique pour résoudre les systèmes d'équations
- une notation pour ces systèmes d'équations
- la création de nouvelles quantités pour exprimer les différences de potentiel aux bornes d'une branche et le courant la traversant
- une redéfinition du cycle de simulation pour la simulation des systèmes mixtes
- la création d'instructions simultanées

Dans le langage *VHDL-AMS*, le concepteur retrouve les mêmes fonctionnalités que dans le standard *VHDL*. A titre d'information, et dans l'optique d'une présentation plus précise des éléments nouveaux de *VHDL-AMS*, un cours inventaire descriptif de l'outil est proposé sur ses possibilités pour la modélisation comportementale⁶⁹.

- Entités, architectures
- Fonction, procédure et package
- Type, subtype, nature et subnature
- Objet analogique et objet numérique:
 - Constante, variable, signal, quantity, terminal
- Process

- Instructions simultanées simple et déclaration simultanée IF-USE
- Attributs analogiques:
 - Q'dot, Q'integ, S'slew, S'ramp, Q'ltf, Q'ztf, Q'above
- Attributs numériques:
 - S'stable, S'quiet, S'delayed
- Analyse statique, temporelle, et analyse fréquentielle
- Librairies IEEE, DISCIPLINE, MGC_AMS
- Package STANDARD, ELECTRICAL_SYSTEM,

3.2 Éléments de la syntaxe VHDL-AMS

La plupart des notions présentées ci-dessus sont connues des utilisateurs du langage *VHDL*. La partie suivante présente quelques éléments de la syntaxe du langage *VHDL-AMS* utilisés pour la modélisation comportementale des systèmes continus et mixtes.

3.2.1 Entité et architecture

La construction d'un modèle *VHDL-AMS* s'appuie sur la définition de son entité et de son architecture (voir figure 2-3). L'entité définit les paramètres génériques et les entrées-sorties externes du modèle via l'interface port. L'architecture comprend l'ensemble des quantités internes utiles à la définition des équations du modèle *VHDL-AMS*.

```
entity circuit is
  generic (parametre1 : real:=5.0);
  port (terminal T1, T2 : electrical);
end entity circuit;

architecture behavioral of circuit is
  quantity i1 :real:=0.0;
  constant c1 :real:=10.0e-09;
  quantity voltage across current through T1 to T2;
begin
  voltage == parametre1*current;
  i1 == c1*voltage'dot;
end architecture basic;
```

Figure 2-3 Exemple de définition de la structure d'un modèle *VHDL-AMS*.

3.2.2 Quantité analogique

Le langage *VHDL-AMS* est basé sur le même principe de description hiérarchique que *VHDL*. Les systèmes continus ou mixtes sont modélisés par une entité et une architecture. Les nouveaux objets utiles à la description des systèmes analogiques sont définis par l'exemple suivant.

Prenons le cas d'une résistance, c'est une branche régie par la loi d'Ohm qui relie la tension à ses bornes et le courant qui la traverse (voir figure 2-4). Dans l'entité resistor, le paramètre

résistance définit la valeur de la résistance, les bornes de la résistance sont définies par le *TERMINAL* de nature *ELECTRICAL*. Dans l'architecture, le modèle de la résistance est représenté par sa structure basique, sans le paramètre de la température par exemple. La grandeur analogique *QUANTITY*, associé à la tension aux bornes de la résistance *resistor_voltage*, définit le courant *resistor_current* traversant la résistance du nœud n1 vers le nœud n2. La grandeur analogique *QUANTITY* représente l'inconnue (la tension) de l'équation algébrique qui exprime la loi d'Ohm.

```
entity resistor is
  generic (resistance : real);
  port (terminal n1, n2 : electrical);
end entity resistor;

architecture basic of resistor is
  quantity resistor_voltage across resistor_current through n1 to n2;
begin
  resistor_voltage == resistance*resistor_current;      --instruction simultanée
end architecture basic;
```

Figure 2-4 Modèle VHDL-AMS d'une résistance.

Cet exemple est très explicite, parce que finalement tous les systèmes analogiques sont descriptibles par les lois de Kirchoff. Il suffit donc de relier les éléments électriques entre eux en respectant la loi des nœuds et la loi des mailles. A partir de modèles élémentaires comme la résistance, la capacité, l'inductance ou l'ampli idéal voire même un modèle idéal pour le transistor, il est possible avec le langage VHDL-AMS de décrire des systèmes analogiques complexes, quel que soit le niveau d'abstraction (haut niveau ou niveau transistor), en utilisant la notion de grandeur de branche (branch quantities) qui se décompose en deux éléments, la grandeur aux bornes de la branche (across quantities) qui représente l'effort lié à l'effet (tension), la grandeur à travers la branche (through quantities) qui représente le flot lié à l'effet (courant).

Le "type" (*ELECTRICAL*) utilisé pour décrire les modèles analogiques est défini par le package *ELECTRICAL_SYTEM* disponible dans la nouvelle librairie *DISCIPLINES* (voir figure 2-5).

```
package electrical_system is
  subtype voltage is real tolerance "default_tolerance";
  subtype current is real tolerance "default_current";
  subtype charge is real tolerance "default_charge";
  nature electrical is
    voltage across
    current through
    electrical_ref reference;
  alias ground is electrical_ref;
  nature electrical_vector is
    array (natural range<->) of electrical;
end package electrical_sytem;
```

Figure 2-5 Définition du package *ELECTRICAL_SYTEM*.

L'analogie avec une description de systèmes numériques sous VHDL est évidente. Et la nouveauté apportée par VHDL-AMS est de pouvoir déclarer dans une interface d'entité, des signaux numériques (*SIGNAL*) et des nœuds analogiques (*TERMINAL*) pour la modélisation de circuits mixtes.

3.2.3 Déclaration simultanée

VHDL-AMS ajoute aux deux types d'instructions de *VHDL*, séquentielle et concurrente, un nouveau type d'instruction pour les équations différentielles et algébriques : l'instruction simultanée. Elle inclut les expressions *VHDL* qui peuvent être évaluées de manière ordinaire. La déclaration simultanée supporte toute expression *VHDL* légale qui s'évalue à une valeur de type réel ou dérivé de ce type.

L'exemple de la résistance où la déclaration simultanée représente la loi d'Ohm est une parfaite illustration. Pour décrire le comportement non-linéaire de certains systèmes analogiques, la déclaration simultanée est associée aux déclarations *IF-USE*, et *CASE*.

Le nouveau concept de *VHDL-AMS* est présenté par l'exemple d'un circuit limiteur de tension (figure 2-6). La modélisation par la déclaration simultanée *IF-USE* présente bien les trois zones de fonctionnement et la prise en compte des discontinuités de la caractéristique désirée.

```
entity limiter is
  generic (gain, limit : real);
  port (terminal inp, inm, p, m : electrical);
end entity limiter;

architecture simultanee of limiter is
  quantity vin across inp to inm;
  quantity v across i through p to m;
begin
  if gain*vin > limit use
    V = limit; --instruction simultanée
  elsif gain*vin < (-limit) use
    V = (-limit); --instruction simultanée
  else
    V = gain*vin; --instruction simultanée
  end use;
end architecture simultanee;
```

Figure 2-6 Modèle *VHDL-AMS* d'un circuit limiteur de tension.

3.2.4 Attributs

Pour simplifier l'écriture des modèles, l'outil *VHDL-AMS* contient des attributs. Ces attributs associés à l'objet grandeur (*QUANTITY*) définissent des grandeurs implicites qui sont utiles pour l'écriture des équations différentielles et algébriques (figure 2-7). Ce paragraphe recense les attributs intéressants pour la modélisation. Ils sont définis pour une grandeur analogique *Q*.

Pour exprimer une dérivation ou une intégration, les deux attributs *Q'DOT* et *Q'INTEG* sont définis. Le concepteur qui veut modéliser des fonctions de transfert dans le domaine continu ou discret peut utiliser les attributs définis pour la transformée de Laplace (*Q'LTF*) ou pour la transformée en *z* (*Q'ZTF*). Ces attributs sont surtout employés pour la construction de modèles fonctionnels.

L'interaction entre les parties continues et mixtes est représentée par les attributs qui permettent de mettre en relation les signaux numériques (*SIGNAL*) et les signaux analogiques (*QUANTITY*). L'usage de ces attributs favorise la modélisation de systèmes type convertisseur ou comparateur et aussi de générateur d'horloge analogique pour les systèmes à capacités commutés.

Un modèle de conversion est proposé pour la génération d'horloges non recouvrantes destinées au filtre à temps échantillonné. L'attribut *S'RAMP* a pour fonction de déterminer des niveaux analogiques avec un temps de montée et un temps de descente définis dans la déclaration de l'attribut, sur la base d'une horloge de type *BIT* :

```
entity conv is
  generic (vlow, vhigh,tfall, trise:real:=0.0);
  port (hor:bit; terminal Tclk: electrical);
end entity conv;

architecture behavioral of conv is
  quantity vout across iout through Tclk;
  signal Sclk: real:=0.0;
begin
  Sclk<= vhigh when hor ='1' else vlow;
  Vout==Sclk'RAMP(trise, tfall);
end architecture behavioral;
```

Figure 2-7 Modèle VHDL-AMS d'un convertisseur bit-electrical.

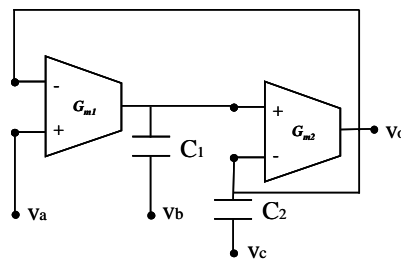
Pour simplifier l'écriture des modèles, la syntaxe du langage VHDL-AMS contient d'autres attributs. Leurs fonctionnalités sont définies par un bloc équivalent. Dans la définition *Q* et *S* représentent respectivement une quantité et un signal.

| Attributs | Définition |
|---|--|
| Q' delayed(<i>T</i>) | Elle implémente un délai idéal. Sa valeur est celle de <i>Q</i> pour le temps courant moins <i>T</i> . Son type est celui de <i>Q</i> . <i>T</i> est une expression statique de type réel. |
| Q' zoh(<i>T</i> , <i>initial_delay</i>) | <i>T</i> et <i>initial_delay</i> sont des expressions statiques de type réel qui implémente un échantillonnage, de la valeur de <i>Q</i> à des temps équidistants (<i>T</i>) et maintenue constant entre ces temps. Son type est celui de <i>Q</i> . |
| Q' ltf(<i>num</i> , <i>den</i>) | implémente la transformée de laplace avec <i>Q</i> en entrée, défini par le rapport de deux polynômes, avec pour numérateur les coefficients spécifiés par <i>num</i> et pour dénominateur ceux spécifiés par <i>den</i> . <i>Num</i> et <i>den</i> sont des expressions statiques de type vecteur réel. Le type de Q' ltf est le type de <i>Q</i> et doit être de type scalaire. |
| Q' ztf(<i>num</i> , <i>den</i> , <i>T</i> , <i>initial_delay</i>) | implémente la transformée en Z de <i>Q</i> , défini par le rapport de deux polynômes, avec les coefficients du numérateur définis par <i>num</i> et les coefficients du dénominateur définis par <i>den</i> . La période d'échantillonnage est <i>T</i> et le premier échantillon intervient après <i>initial_delay</i> secondes. <i>Num</i> et <i>den</i> sont des expressions statiques de type vecteur réel, <i>T</i> et <i>initial_delay</i> sont des expressions statiques de type réel. Le type de Q' ztf est le type de <i>Q</i> et doit être de type scalaire. |
| Q' slew(<i>max_rising_slope</i> , <i>max_falling_slope</i>) | Q' slew est la copie de <i>Q</i> où la vitesse de variation au cours du temps est restreint par la valeur maximum de la pente. <i>max_rising_slope</i> et <i>max_falling_slope</i> sont de type réel. Si <i>max_falling_slope</i> n'est pas défini sa valeur par défaut est <i>max_rising_slope</i> , si rien n'est spécifié la valeur de Q' slew est identique à <i>Q</i> à tous moments. |

| | |
|---|---|
| $S'slew(max_rising_slope, max_falling_slope)$ | $S'slew$ est la copie de S où la vitesse de variation au cours du temps est restreint par la valeur maximum de la pente. max_rising_slope et $max_falling_slope$ sont de type réel. |
| $S'ramp(Tr, Tf)$ | $S'ramp$ est un signal de type réel qui suit S , mais varie linéairement en rampe durant un temps de montée Tr et un temps de descente Tf à partir de sa valeur courante quand S a un événement sur la nouvelle valeur de S . Tr et Tf sont de type réel. Si Tf n'est pas défini sa valeur par défaut est Tr , si aucun des deux n'est spécifié leurs valeurs par défaut sont 0.0, c'est à dire que la valeur de $S'ramp$ est identique à la valeur de S à tout instant. Le type de $S'ramp$ est le type de S . |

Figure 2-8 Définition des attributs du langage VHDL-AMS.

L'attribut de la transformée de Laplace a été utilisé pour la modélisation d'un filtre analogique à temps continu. Le modèle VHDL-AMS fonctionnel du filtre est construit à partir d'une cellule biquadratique définie par la figure 2-10.



$$v_0(p) = \frac{C_1 C_2 p^2 v_c(p) + C_1 g_{m2} p v_b(p) + g_{m1} g_{m2} v_a(p)}{C_1 C_2 p^2 + C_1 g_{m2} p + g_{m1} g_{m2}} \quad (2-27)$$

$$\text{avec } \omega_0 = \sqrt{\frac{g_{m1} g_{m2}}{C_1 C_2}} \quad (2-28) \text{ et } Q = \sqrt{\frac{C_1}{C_2}} \quad (2-29)$$

Figure 2-9 Architecture de la cellule biquadratique.

```
entity biquad is
generic (
    fp      : real := 10.0e+03;    ---central frequency    Hz
    qp      : real := 0.9;        ---quality factor    --
    adB     : real := 10.0       ---filter band gain   dB);
port ( terminal Tva, Tvb, Tvc, Tv0 : electrical );
begin
assert (fp > 0.0)      report "parameter fp should be positive" severity error;
assert (qp > 0.0)      report "parameter qp should be positive" severity error;
end entity biquad;

architecture functional of biquad is
quantity va across Tva to electrical_ground;
quantity vb across Tvb to electrical_ground;
quantity vc across Tvc to electrical_ground;
quantity v0 across Tv0 to electrical_ground;
constant wp      : real      := math_2_pi*fp;    ---central pulsation
constant k       : real      := 10**(adB/20.0);  ---static gain
constant numa    : real_vector := (0 => k, 1 => 0.0, 2 => 0.0);
constant numb    : real_vector := (0 => 0.0, 1 => k/(qp*wp), 2 => 0.0);
```

```

constant numc : real_vector := (0 => 0.0, 1 => 0.0, 2 => k/(wp*wp));
constant den : real_vector := (0 => 1.0, 1 => 1.0/(qp*wp), 2=> 1.0/(wp*wp));

begin
    ---Laplace Transfer Function
    v0 == vc'ltf(numc,den) + vb'ltf(numc,den) + va'ltf(numc,den);
end architecture functional;

```

Figure 2-10 Modèle VHDL-AMS fonctionnel de la cellule biquadratique.

3.2.5 Domaines d'analyse

Il existe différents domaines d'analyse en simulation pour lesquels un modèle électrique VHDL-AMS équivalent est associé. Les propriétés du langage VHDL-AMS nous permettent de faire la distinction entre les domaines d'analyse. L'analyse *OP* calcule le point de polarisation du transistor. L'analyse *TRAN* est une étude temporelle en fonction du temps courant de simulation donné par la fonction prédéfinie *NOW*. L'analyse *AC* est une étude du comportement en fonction de la fréquence courante *FREQUENCY*, après la génération, autour du point de polarisation statique, d'un modèle VHDL-AMS linéaire.

Le langage VHDL-AMS propose d'utiliser le signal *DOMAIN* qui est défini par le vecteur d'énumération suivant : (quiescent_domain, time_domain, frequency domain). Par conséquent, un test sur le signal *DOMAIN* permet de sélectionner le modèle VHDL-AMS correspondant au mode d'analyse choisi par le concepteur. Le test du signal *DOMAIN* autorise donc la sélection en un modèle grand signal et un modèle petit signal. Le modèle linéaire pour l'analyse en fréquence est généré automatiquement par le simulateur grâce à la présence de la grandeur source *SPECTRUM* quand celle-ci est associée, à l'extérieure du modèle VHDL-AMS à la commande de simulation en fréquence.

```

entity test is
generic(...);
port(terminal d1, s1: electrical);
end entity test;
architecture basic of test is
...
quantity ids through d1 to s1;    ---drain current source
quantity ac: real SPECTRUM 1.0, 0.0;
...
begin
...
if DOMAIN="quiescent_state" or DOMAIN="time_domain" use    ---large signal model

ids ==      (KP/2.0)*(Weff/Leff)*( 1.0 + LAMBDA*vds )*(vgs - VT0)*(vgs - VT0);

else ---frequency_domain    ---small signal model

ids ==      (KP/2.0)*(Weff/Leff)*( 1.0 + LAMBDA*vds )*(vgs - VT0)*(vgs - VT0) + ac;
end use;
...
end architecture basic;

```

Figure 2-11 Déclaration d'un modèle VHDL-AMS grand signal et petit signal.

Nous constatons que les domaines d'analyse configurables par le biais de la syntaxe VHDL-AMS sont incomplets. Il manque la possibilité de générer une analyse statique *DC*. Cette analyse a pour but de générer un calcul itératif du point de fonctionnement du circuit étudié donc à faire plusieurs analyses *OP*. L'analyse statique *DC* est couramment utilisé dans le flot

de conception des circuits pour faire l'étude des caractéristiques de transfert des circuits. Elle est donc une commande de simulation primordiale pour les concepteurs. La norme du langage *VHDL-AMS* définit le domaine d'analyse *quiescent_domain* pour l'analyse statique du point de fonctionnement. Mais l'outil que nous utilisons n'affecte pas de modèle *VHDL-AMS* équivalent à la commande de simulation *DC*, tout simplement parce que cette commande n'est pas implémentée pour affecter les entrées d'un modèle *VHDL-AMS*. Cette limitation est contournée par l'usage de la commande de simulation *TRAN* avec laquelle nous générons aussi bien une analyse statique *DC* qu'une analyse transitoire.

3.3 Domaines d'application

Le langage *VHDL-AMS* possède de nombreuses fonctionnalités pour la modélisation comportementale dont un grand nombre de domaines d'application est aujourd'hui concerné. De nombreux exemples ayant trait à la modélisation de systèmes matériels avec un langage *HDL* sont disponibles dans la bibliographie. Ces différents travaux ont contribué et contribuent, d'une manière générale à la normalisation des langages de description matérielle. Nous proposons un inventaire des exemples concernant la modélisation comportementale des circuits électroniques ou de multiples technologies :

- Le comparateur de tension⁷⁰
- Le convertisseur A/D flash⁷¹
- La boucle à verrouillage de phase dit PLL⁷²
- L'amplificateur opérationnel de transconductance⁷³
- Le convertisseur sigma/delta⁷⁴
- Emetteur-récepteur Bluetooth⁷⁵
- Un circuit de contrôle d'un disque dur⁷⁶

Ces travaux contribuent aussi au développement de bibliothèques de modèles logiques, analogiques et mixtes qui aujourd'hui sont largement intégrées dans les outils de conception, notamment dans l'environnement *ADVance-MS*⁷⁷. L'environnement *ADVance-MS* a été utilisé au cours des travaux pour le développement de modèles comportementaux *VHDL-AMS*.

Le langage de description matériel *VHDL-AMS* offre de nombreuses possibilités pour la modélisation des circuits et systèmes électroniques. Le développement d'un tel langage coïncide avec les motivations exprimées par les industriels de l'électronique. Leurs motivations ont montré la nécessité de définir un langage standard de modélisation comportementale. Le langage *VHDL-AMS* n'est pas le seul langage standard à la disposition des utilisateurs, le langage *VERILOG-AMS* est aussi couramment utilisé. Ce langage est disponible sous l'environnement *CADENCE*. Dans tous les cas, ces langages de modélisation permettent le développement de bibliothèques de modèles comportementaux à tous les niveaux d'abstraction. Selon la méthode choisie, ascendante ou descendante, le langage de description matériel *VHDL-AMS* offre la possibilité de choisir le type de modèles le mieux adapté aux objectifs (performances, précisions des résultats, etc.). Le développement de modèles logiques, analogiques et mixtes permet de construire et de modéliser des systèmes électroniques complexes, par exemple une chaîne complète d'émission et de réception de radio-fréquence⁷⁸. Les modèles, comme ceux présentés en application, peuvent inclure en

supplément des grandeurs de nature thermique ou radiative. Cette modélisation qui associe grandeurs électriques et environnementales est qualifiée de modélisation de multiples technologies.

4 Modélisation VHDL-AMS de circuits CMOS

Nous avons exploité la modélisation comportementale pour la construction de plusieurs modèles *VHDL-AMS* de circuits *CMOS*. Ces différents exemples sont définis dans le cadre de la méthode ascendante. Nous proposons le développement d'un modèle *VHDL-AMS* du transistor *MOSFET*, et d'un amplificateur opérationnel de transconductance. Ce travail est un préambule au développement de modèles *VHDL-AMS* de vieillissement électrique. La construction des modèles *VHDL-AMS* s'appuie sur la connaissance des propriétés du langage *VHDL-AMS*. L'objectif est de montrer les étapes de la construction des modèles.

4.1 Modélisation du transistor MOSFET

4.1.1 Modèle électrique grand signal

Le modèle *VHDL-AMS* du dispositif élémentaire est construit sur la base du schéma électrique grand signal donné par la figure 2-12. Le modèle grand signal possède quatre terminaux qui définissent les potentiels de drain, grille, source et substrat. Il est construit à partir de la connexion de plusieurs éléments électriques intrinsèques comme la source de courant du courant de canal I_{DS} , les sources de courant des diodes de jonction source-substrat et drain-source et les différentes capacités. Les résistances de source et de drain sont des éléments extrinsèques. Le modèle grand signal proposé est défini aussi bien pour la modélisation *VHDL-AMS* d'un transistor *NMOS* que pour un transistor *PMOS*.

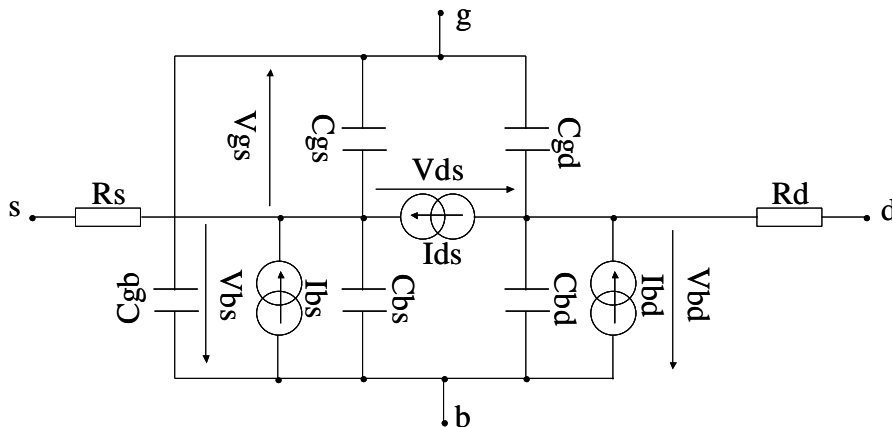


Figure 2-12 Modèle électrique grand signal du transistor *MOSFET*.

4.1.2 Paquetage et interface d'entrée-sortie

Le modèle *VHDL-AMS* du dispositif élémentaire *CMOS* est construit en tenant compte de la dépendance des paramètres électriques à la structure de la technologie *CMOS*. Il s'agit donc d'introduire les paramètres technologiques comme la concentration de dopage du substrat *NSUB*, l'épaisseur de l'oxyde de silicium *TOX*, la capacité de l'oxyde de silicium *COX*, la mobilité des porteurs *U0*, le dopage de la grille *NGATE*, la longueur et largeur effective de canal *WD* et *LD*.

Ce modèle nécessite donc le développement de fonctions spécifiques pour le calcul des paramètres électriques en fonction des paramètres technologiques et géométriques de la technologie *CMOS*. Ce sont en fait les équations de bases communes à tous les modèles électriques de la technologie *CMOS*. La définition de ces fonctions est regroupée dans le paquetage *MOSFET*. Cette unité de conception rassemble l'ensemble des déclarations en vue de l'exportation par l'utilisation des clauses *library/use*. Formellement le paquetage est constitué de la spécification et du corps de paquetage. La spécification permet de rassembler toutes les déclarations exportables alors que le corps permet de rassembler les spécifications (définitions de procédures/fonctions déclarées, des constantes ou des types) non exportables. La figure 2-13 exprime la définition du paquetage utile pour la construction du modèle *VHDL-AMS* du transistor *MOSFET*.

```

library ieee;
  use ieee.math_real.all;
library disciplines;
  use disciplines.electromagnetic_system.all;
  use disciplines.physical_constants.all;
package mosfet is
  function init_KP ( KP,U0,COX : real) return real; ---transconductance initialisation
  function init_COX ( COX,TOX,eox : real) return real; ---oxide capacitor initialisation
  function init_PHI ( PHI,NSUB,ni,vt : real) return real; ---phi initialisation
  function init_GAMMA ( GAMMA,physical_Q,NSUB,eps_Si,capa_ox : real) return real; ---gamma initialisation
  function init_phims ( TPG,VT0,eg,TYPE_CHANNEL,pot_surf,vt,NGATE,ni : real) return real; ---potential work
                                                                    initialisation

  function band_gap ( Temperature : real) return real; ---band gap
  function intrinsic_carrier ( Temperature, eg, physical_Q, physical_K : real) return real; ---intrinsic carrier
                                                                    concentration
  function thermal_threshold ( Temperature, physical_Q, physical_K : real) return real; ---thermal threshold voltage
end package mosfet;

```

Figure 2-13 Définition de la spécification du paquetage de la technologie *CMOS*.

A la définition du paquetage *MOSFET* correspond la définition des paramétriques génériques. Ceux-ci sont aussi bien utilisés dans le paquetage pour exprimer la dépendance aux dimensions géométriques que dans l'architecture du modèle pour la modélisation du fonctionnement électrique. La figure 2-14 donne l'entité du modèle *VHDL-AMS* et la liste des paramètres génériques du transistor *MOSFET*. Un point de contrôle des paramètres génériques est défini dans le but de favoriser une utilisation correcte du modèle électrique *VHDL-AMS*.

```

entity nmos is
  generic (
    W          : real:= 2.0e-6;    ---effective channel width, m
    L          : real:= 6.0e-6;    ---effective channel lentgh, m
    WD         : real:= 0.5e-6;    ---modulation channel width, m
    LD         : real:= 0.5e-6;    ---modulation channel length, m
    LAMBDA     : real:= 0.0;       ---channel-length modulation, 1/V

```

```

KP      : real:= 20.0e-6;  ---intrinsic transconductance, A/V^2
U0     : real:= 600.0e-4; ---carrier mobility, cm^2/V.s
COX    : real:= 3.45e-4;  ---oxide capacitance, F/m^2
TOX    : real:= 1.0e-7;   ---gate oxide thickness, m
PHI    : real:= 0.0;     ---surface potential, V
NSUB   : real:= 1.0e15;  ---substrate doping, At/cm^3
GAMMA  : real:= 0.0;    ---bulk threshold, V^1/2
TPG    : real:= 1.0;    ---Type of gate silicon, tpg=-1.0 same as substrate, type=1.0 opposite to
substrate, ---type=0.0 aluminium gate
NGATE  : real:= 0.0;    ---polysilicon gate doping,cm^3
NSS    : real:= 1.0e-4;  ---surface state density, 1/cm^2
DELVTO : real:= 0.0;    ---zero-bias threshold voltage shift, V
VTO    : real:= -0.6;   ---threshold voltage, V
TNOM   : real:= 27.0;   ---nominal temperature, °C
RD     : real:= 1.0;    ---drain resistor, Ω
RS     : real:= 1.0;    ---source resistor, Ω
AD     : real:= 15.0e-12; ---drain area, m^2
AS     : real:= 15.0e-12; ---source area, m^2
JS     : real:= 1.0;    ---bulk junction saturation current/sqr meter
CGS    : real:= 2.0e-13; ---linear capacitance gate-source, F/m
CGD    : real:= 2.0e-13; ---linear capacitance gate-drain, F/m
CBS    : real:= 2.4e-13; ---linear capacitance bulk-source, F/m
CBD    : real:= 2.4e-13 ---linear capacitance bulk-drain, F/m );

```

```

port ( terminal Tgrille, Tdrain, Tsource, Tbulk : electrical;);
begin
assert ( W > 0.0)      report ("Generic Parameter W should be positive, unity um")      severity error;
assert ( L > 0.0)      report ("Generic Parameter L should be positive, unity um")      severity error;
assert ( Wd > 0.0)     report ("Generic Parameter Wd should be positive, unity um")     severity error;
assert ( Ld > 0.0)     report ("Generic Parameter Ld should be positive, unity um")     severity error;
assert ( LAMBDA >= 0.0) report ("Generic Parameter LAMBDA should be positive, unity m")      severity error;
assert ( KP > 0.0)     report ("Generic Parameter KP should be positive, unity A/V^2")      severity error;
assert ( UO > 0.0)     report ("Generic Parameter UO should be positive, unity cm^2/V.s")      severity error;
assert ( COX >= 0.0)  report ("Generic Parameter COX should be positive, unity F/m^2")      severity error;
assert ( TOX > 0.0)   report ("Generic Parameter TOX should be positive, unity m")          severity error;
assert ( PHI >= 0.0)  report ("Generic Parameter PHI should be positive, unity")            severity error;
assert ( NSUB > 0.0)  report ("Generic Parameter NSUB should be positive, unity")            severity error;
assert ( GAMMA >= 0.0) report ("Generic Parameter COX should be positive, unity")            severity error;
assert ( NGATE >= 0.0) report ("Generic Parameter NGATE should be positive, unity")          severity error;
assert ( NSS >= 0.0)  report ("Generic Parameter NSS should be positive, unity")            severity error;
assert ( RD >= 0.0)   report ("Generic Parameter rd should be positive, unity Ohm")          severity error;
assert ( RS >= 0.0)   report ("Generic Parameter rs should be positive, unity Ohm")          severity error;
assert ( AS > 0.0)    report ("Generic Parameter as should be positive, unity m^2")          severity error;
assert ( AD > 0.0)    report ("Generic Parameter ad should be positive, unity m^2")          severity error;
assert ( JS >= 0.0)   report ("Generic Parameter js should be positive, A/sqr m")            severity error;
assert ( CGS > 0.0)   report ("Generic Parameter CGS should be positive, unity F")            severity error;
assert ( CGD > 0.0)   report ("Generic Parameter CGD should be positive, unity F")            severity error;
assert ( CBS > 0.0)   report ("Generic Parameter CGS should be positive, unity F")            severity error;
assert ( CBD > 0.0)   report ("Generic Parameter CBD should be positive, unity F")            severity error;
end entity cmos;

```

Figure 2-14 Entité du modèle VHDL-AMS et le point de contrôle des paramètres génériques.

4.1.3 Définition de l'architecture

L'architecture du modèle comprend le jeu d'équations définies pour la modélisation des éléments intrinsèques et extrinsèques de la structure CMOS. Nous segmentons la présentation de l'architecture du modèle VHDL-AMS afin de mettre en évidence la description de chaque élément. Nous proposons un modèle simplifié du dispositif élémentaire afin de mettre en évidence les étapes nécessaires à la construction de modèles électriques de nouvelle génération.

Le modèle *VHDL-AMS* est défini par les équations au premier ordre du courant de canal (voir figure 2-15). Elles caractérisent le fonctionnement en régime linéaire et en régime de saturation. Le courant de canal est supposé nul pour une conduction sous le seuil.

La modélisation des capacités de la structure *CMOS* est donnée par la figure 2-16. La modélisation des diodes de jonctions est donnée par la figure 2-17.

4.1.3.1 Eléments intrinsèques

- Le courant de canal

```
architecture behavioral of nmos is
    Terminal d1, s1 : electrical;
    quantity vds across ids through d1 to Tgrille;
    quantity vgs across igs through Tgrille to s1;
    constant Weff: real:= W - 2.0*Wd;
    constant Leff: real:= L - 2.0*Ld;
begin
    igs == 0.0;
    if (vgs < VT0) use ---cutoff region
        ids == 0.0;
    elsif (vds <= vgs - VT0) use ---linear region
        ids == KP*(Weff/Leff)*( 1.0 + LAMBDA*vds )*( vgs - VT0)*vds - (vds*vds)/2.0);
    else
        ids == (KP/2.0)*(Weff/Leff)*( 1.0 + LAMBDA*vds )*(vgs - VT0)*(vgs - VT0);
    end use;
end architecture behavioral;
```

Figure 2-15 Modélisation du courant de canal.

- Les capacités de la structure *CMOS*

```
architecture behavioral of nmos is
    quantity icgs through Tgrille to s1;
    quantity icbd through Tbulk to d1;
    quantity icbs through Tbulk to d1;
    quantity vgd across icgd through Tgrille to d1;
begin
    ---electrical equations
    icgs == cgs*vgs'dot;
    icgd == cgd*vgd'dot;
    icbs == cbs*vbs'dot;
    icbd == cbd*vbd'dot;
end architecture behavioral;
```

Figure 2-16 Modélisation des capacités de la structure *CMOS*.

- Les diodes de jonctions

```
---electrical quantities
architecture behavioral of nmos is
    quantity vbs across ibs through Tbulk to s1;
    quantity vbd across ibd through Tbulk to d1;
    quantity iss, isd: real:= 1.0e-12;
    constant gmin: real:= 1.0e-12;
begin
    ---electrical equations
    iss == JS*AS;
    isd == JS*AD;
    ---substrate diode equations
    if vbs > 0.0 use ---substrate to source diode
        ibs == iss*(exp(vbs/thermal_threshold (TNOM, physical_Q, physical_K) - 1.0) + gmin*vbs);
    else
        ibs == iss*(vbs/thermal_threshold (TNOM, physical_Q, physical_K) + gmin*vbs);
    end use;
```

```

if vbd > 0.0 use ---substrate to drain diode
    ibd == isd*(exp(vbd/thermal_threshold (TNOM, physical_Q, physical_K)) - 1.0) + gmin*vbd;
else
    ibd == isd*(vbd/thermal_threshold (TNOM, physical_Q, physical_K)) + gmin*vbd;
end use;
end architecture behavioral;

```

Figure 2-17 Modélisation des diodes de jonction drain-substrat et source-substrat.

4.1.3.2 Éléments extrinsèques

Les éléments extrinsèques du transistor *MOSFET* sont les résistances de série de drain et de source.

```

architecture behavioral of nmos is
    quantity vsr across isr through s1 to Tsource; ---parasitic source resistor
    quantity vdr across idr through d1 to Tdrain; ---parasitic drain resistor
begin
    vdr == idr*RD; ---drain resistor
    vsr == isr*RS; ---source resistor
end architecture behavioral;

```

Figure 2- 18 Modélisation des résistances de drain et de source.

4.1.4 Caractéristiques électriques

Nous présentons les caractéristiques électriques de transfert et de sortie des transistors *NMOS* et *PMOS* (voir figures ci-dessous). Les caractéristiques sont obtenues à partir de simulation électrique du modèle défini précédemment. Le modèle électrique *VHDL-AMS* ne tient compte que des effets du premier ordre. Il est valable tant que les dimensions du transistor restent grandes, au voisinage de plusieurs dizaines de microns, et que les tensions appliquées sur le terminal de grille sont faibles.

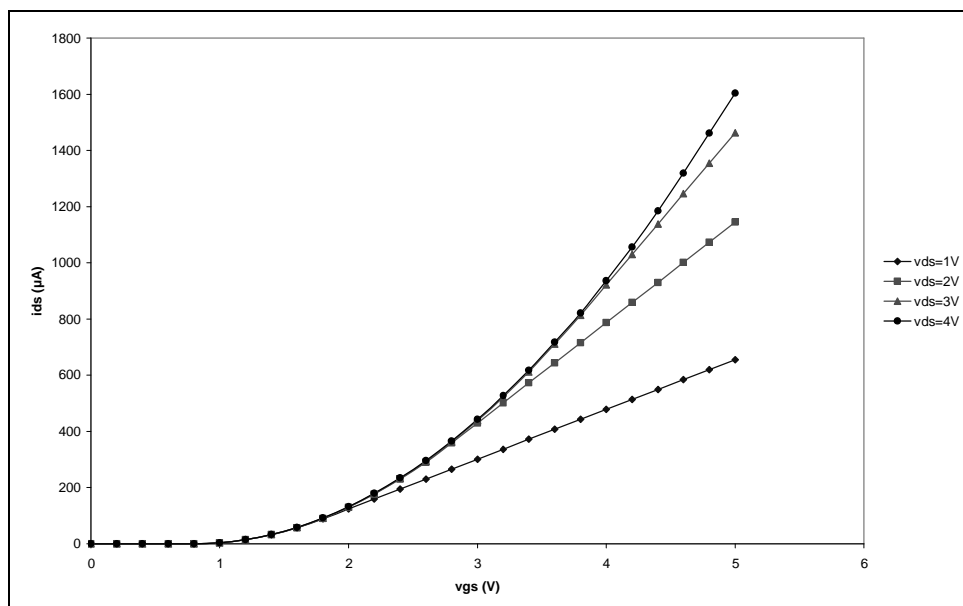


Figure 2-19 Caractéristique de transfert $I_{DS}=f(V_{GS})$ du transistor NMOS ; $W= 80\mu\text{m}$ et $L=10\mu\text{m}$.

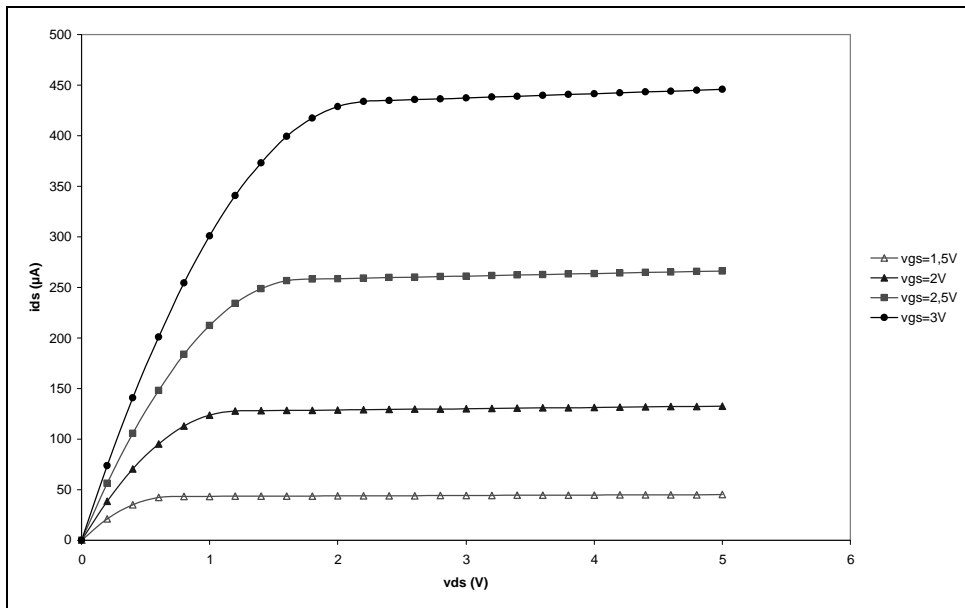


Figure 2-20 Caractéristique de sortie $I_{DS}=f(V_{DS})$ du transistor NMOS ; $W= 80\mu\text{m}$ et $L=10\mu\text{m}$.

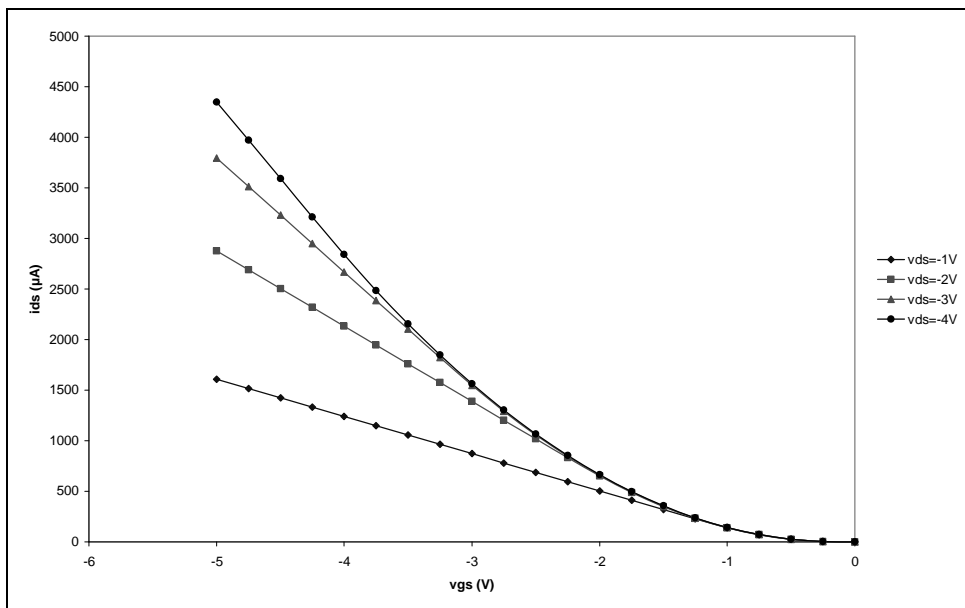


Figure 2-21 Caractéristique de transfert $|I_{DS}|=f(V_{GS})$ du transistor PMOS ; $W= 160\mu\text{m}$ et $L=10\mu\text{m}$.

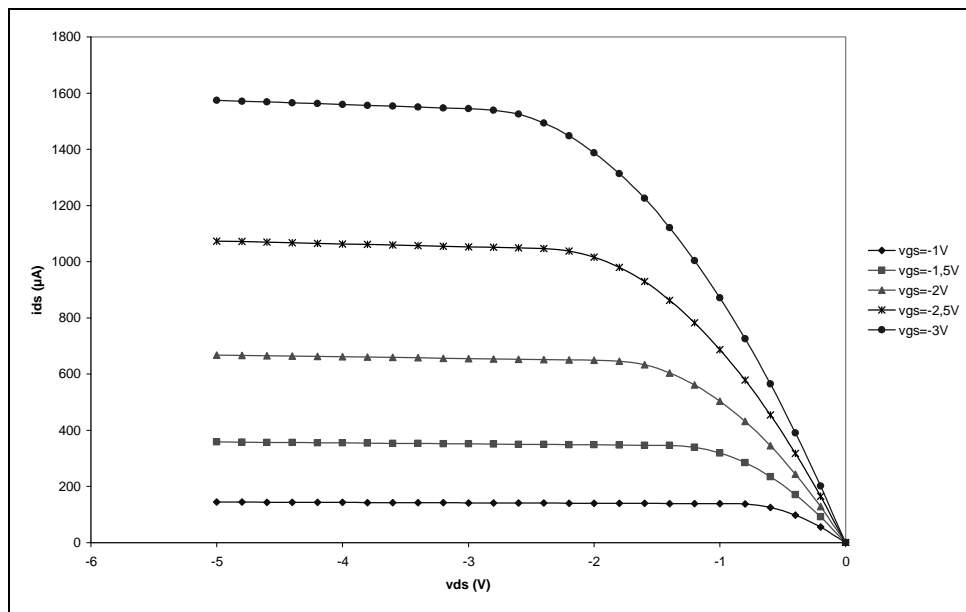


Figure 2-22 Caractéristique de sortie $|I_{DS}|=f(V_{DS})$ du transistor *PMOS* ; $W=160\mu\text{m}$ et $L=10\mu\text{m}$.

Avec les technologies actuelles, les dimensions des transistors sont telles que le modèle du premier ordre ne permet plus d'expliquer et de modéliser correctement les variations du courant de drain en fonction des dimensions des transistors et/ou des tensions appliquées. Plusieurs phénomènes d'ordre géométrique ou électrique affectent les différents paramètres électriques du modèle. Ceux-ci doivent être pris en compte afin d'accroître la précision des modèles de simulation. Il serait aussi nécessaire de définir les capacités de la structure *CMOS* en fonction de la géométrie de la structure *CMOS* et des polarisations électriques du transistor. Cependant, le modèle *VHDL-AMS* du dispositif élémentaire *CMOS* est suffisant comme modèle démonstrateur pour notre projet de développement de la simulation de la fiabilité de la technologie *CMOS*. Nous l'utiliserons dans le chapitre quatre pour la validation de la méthode de construction de modèle *VHDL-AMS* de fiabilité de la technologie *CMOS*.

4.2 Modélisation de l'amplificateur opérationnel tension-courant

4.2.1 Caractéristiques du circuit

L'amplificateur opérationnel de transconductance ou *OTA* (Operational Transconductance Amplifier) est construit avec la technologie *CMOS* $0.8\mu\text{m}$. Le modèle électrique *SPICE BSIM3V3*, dimensionné par le fondeur, est utilisé pour la caractérisation électrique du circuit analogique.

L'étude des caractéristiques électriques donne de l'information sur les grandeurs électriques utiles pour la construction du modèle *VHDL-AMS*. L'objectif de cette partie est de montrer comment est construit le modèle *VHDL-AMS* du circuit analogique.

La fonction analogique étudiée est un amplificateur opérationnel à transconductance (*OTA*), autrement appelé convertisseur tension-courant. La figure 2-23 présente l'architecture de

l'amplificateur développée avec la technologie CMOS. L'architecture de l'amplificateur est composée, en entrée, d'un étage différentiel polarisé par une source de courant formée des transistors M10 et M5. Trois miroirs de courant (M4-M9, M3-M6, M7-M8) assurent, par duplication du courant, la génération du courant de sortie I_{out} . Par définition, la fonction analogique étudiée possède un gain de transconductance G_m qui relie le courant de sortie I_{out} à la tension différentielle d'entrée formée par E_+ et E_- qui sont respectivement les potentiels de grille de la paire différentielle construite avec les transistor M1 et M2. La fonction analogique est polarisée par la source de courant i_{bias} ce qui implique que le gain de transconductance G_m est ajustable.

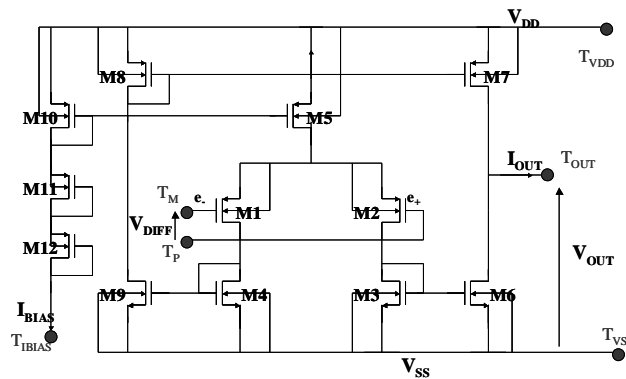


Figure 2-23 Architecture de l'amplificateur opérationnel de transconductance NMOS : $W=6\mu\text{m}$, $L=0,8\mu\text{m}$; PMOS : $W=13\mu\text{m}$, $L=0,8\mu\text{m}$.

L'amplificateur opérationnel CMOS a plusieurs caractéristiques électriques. Dans cette partie, nous proposons une analyse de la caractéristique statique et de la caractéristique dynamique du circuit analogique. Le but est de mettre en évidence les grandeurs électriques et technologiques utiles au dimensionnement du modèle VHDL-AMS de l'amplificateur opérationnel tension-courant.

4.2.2 Méthodologie de construction

Le développement du modèle comportemental VHDL-AMS du convertisseur tension-courant s'articule autour de blocs fondamentaux⁷⁹. Ces blocs correspondent à la segmentation du modèle électrique en un étage d'entrée, un étage de transfert et un étage de sortie de l'amplificateur opérationnel. Un étage supplémentaire est défini, il représente le comportement dynamique du circuit analogique. La figure 2-24 représente la décomposition de l'amplificateur opérationnel en sous blocs analogiques. Chaque bloc est accompagné de ses paramètres génériques utilisés pour l'écriture du modèle comportemental VHDL-AMS. Par conséquent, nous mettons en évidence le nombre restreint de paramètres génériques utiles pour la description du comportement électrique de l'amplificateur opérationnel à transconductance.

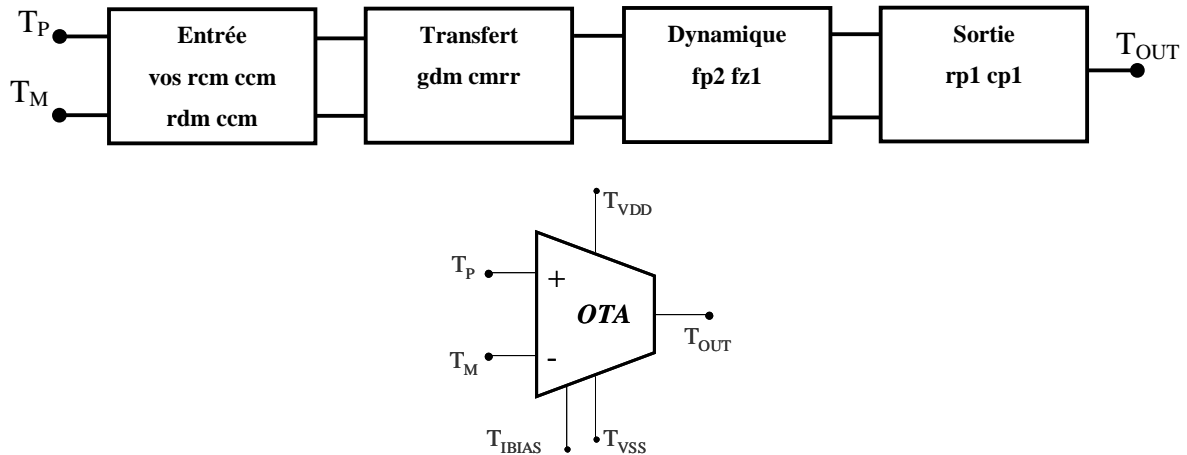


Figure 2-24 Décomposition du modèle électrique *OTA* en sous blocs analogiques et son symbole fonctionnel.

Pour une meilleure compréhension, la définition des paramètres génériques du modèle comportemental *VHDL-AMS* est donnée par la figure 2-25. Le modèle comportemental *VHDL-AMS* de l'amplificateur opérationnel *CMOS* à transconductance se compose d'une entité *OTA* où sont référencés les paramètres génériques et le port d'interface. Le port d'interface comprend les terminaux T_p , T_m , T_{out} , T_{vdd} , T_{vss} , T_{ibias} qui sont respectivement l'entrée non-inverseuse, l'entrée inverseuse, la sortie, l'alimentation positive, l'alimentation négative et l'entrée du courant de polarisation. Nous exprimons le code source *VHDL-AMS* de chaque bloc analogique pour faciliter la découverte du modèle comportemental de l'amplificateur opérationnel.

```
entity ota is
generic (
gdm      : real:= 100.0e-06;           ---gain de mode différentiel           A/V
cmrr     : real:= 66.0;              ---taux de réjection de mode commun    dB
vos      : real:= 1.0e-01;          ---tension d'offset                    V
rdm      : real:= 10.0e+06;         ---résistance d'entrée de mode différentiel  Ω
cdm      : real:= 15.9e-16;         ---capacité d'entrée mode différentiel    F
rcm      : real:= 10.0e+06;         ---résistance d'entrée mode commun        Ω
ccm      : real:= 1.59e-16;         ---capacité d'entrée mode commun         F
rp1      : real:= 1.0e+06;          ---résistance de sortie                 Ω
cp1      : real:= 1.59e-12;         ---capacité de sortie                   F
fp2      : real:= 10.0e+06;         ---fréquence du second pole              Hz
fz1      : real:= 50.0e+06;         ---fréquence du premier zéro             Hz);
port ( terminal Tp, Tm, Tout, Tvdd, Tvss , Tibias: electrical );
end entity ota ;
```

Figure 2-25 Entité du modèle *VHDL-AMS* de l'amplificateur opérationnel de transconductance.

4.2.2.1 Etage d'entrée

L'étage d'entrée du modèle comportemental est composé de deux blocs analogiques modélisant le mode différentiel et le mode commun. Ces blocs analogiques ont comme grandeurs d'entrée les tensions inverseuse T_m et non-inverseuse T_p de l'amplificateur opérationnel et comme grandeurs de sortie la tension de mode différentiel v_{dm} puis la tension de mode commun v_{cm} . Une grandeur électrique est ajoutée au bloc d'entrée. Il s'agit de la

tension d'offset v_{os} qui modélise le non-appariement de la paire différentielle qui compose l'étage d'entrée de l'amplificateur opérationnel de la figure 2-26.

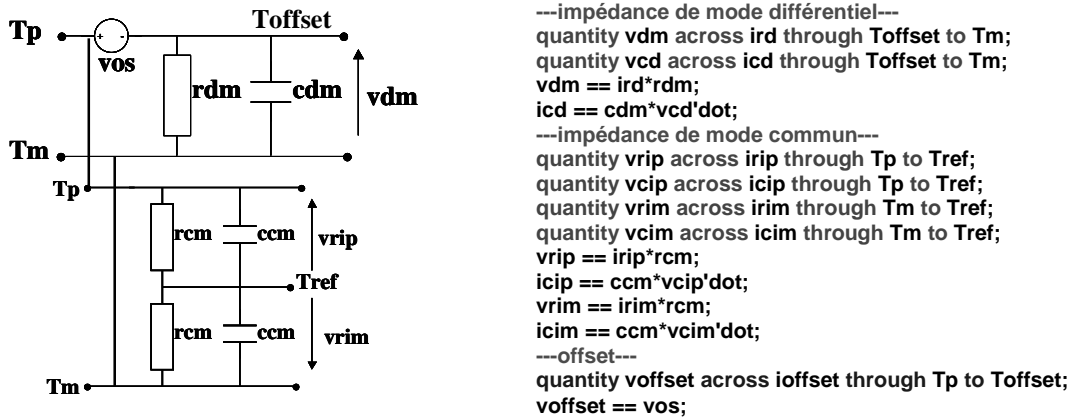


Figure 2-26 Etage d'entrée du modèle VHDL-AMS de l'OTA.

Par définition, le bloc analogique modélisant le mode différentiel est une impédance de type RC composé de la résistance de mode différentiel r_{dm} et de la capacité de mode différentiel c_{dm} . La tension de mode différentiel v_d est définie par la différence de potentiel entre le nœud interne T_{offset} et le potentiel inverseur T_m . Pour le bloc analogique modélisant le mode commun, nous constatons que la tension de mode commun v_{cm} est la résultante de la différence de potentiel entre les nœuds de l'entrée non-inverseur T_p ou l'entrée inverseuse T_m et le point milieu des alimentations T_{ref} . L'étage de mode commun est modélisé par une impédance de type RC composée de la résistance de mode commun r_{cm} et la capacité de mode commun c_{cm} de l'amplificateur opérationnel.

4.2.2.2 Etage de transfert

Le modèle comportemental de l'étage de transfert est naturellement celui qui met en relation les grandeurs électriques d'entrée aux grandeurs électriques de sortie. Dans le cas du convertisseur tension-courant, l'étage de transfert associe les tensions de mode différentiel v_{dm} et de mode commun v_{cm} au courant i_{gm} . La relation (2.1) exprime la fonction de transfert qui s'écrit en fonction des grandeurs électriques d'entrée (v_{dm} , v_{cm}) et le courant de l'étage de sortie i_{gm} .

$$i_{gm} = i_{bias} \cdot \tanh\left(g_{dm} \frac{v_{dm}}{i_{bias}}\right) + g_{cm} v_{cm} \quad (2.1)$$

L'usage de description linéaire par morceaux introduit des discontinuités sur les dérivées premières, or le langage VHDL-AMS offre le moyen d'annoncer les discontinuités au simulateur par l'instruction *BREAK*. Mais le support limité de cette instruction dans l'environnement utilisé requiert de recourir à d'autres techniques de modélisation comme celle utilisant la fonction *tanh*. C'est pourquoi, la relation (2.1) est définie de telle sorte que la caractéristique de transfert du modèle VHDL-AMS soit continue en tous points de la

caractéristique de transfert. Le gain de mode commun g_{cm} est calculé à partir du taux de réjection de mode commun $cmrr$ introduit comme paramètre générique.

4.2.2.3 Etage de sortie

L'étage de sortie du modèle comportemental est construit autour d'une impédance de type RC . L'impédance de sortie est en fait composée de la résistance de sortie $rp1$ et de la capacité de sortie $cp1$ de l'amplificateur opérationnel. La figure 2-27 représente l'impédance de sortie du modèle comportemental de l'OTA. La source de courant $iout0$ est par défaut le courant généré à partir des tensions d'entrée de mode différentiel v_{dm} et de mode commun v_{cm} . La modélisation par un réseau de type RC permet de représenter un comportement dynamique du 1^{er} ordre. En fait, l'impédance de sortie impose le pole dominant $fp1$ de l'amplificateur opérationnel à transconductance.

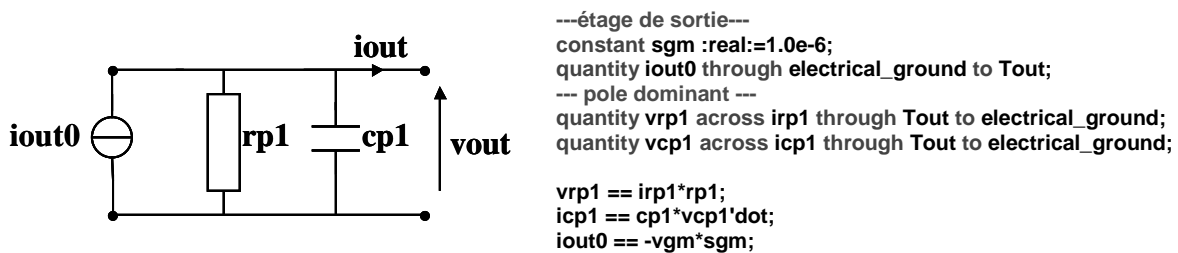


Figure 2-27 Etage de sortie du modèle VHDL-AMS de l'OTA.

4.2.2.4 Etage dynamique

Le comportement dynamique du convertisseur tension-courant se résume à la définition du pole dominant $fp1$, du second pole $fp2$ et du premier zero $fz1$. Le pole dominant $fp1$ est défini par l'impédance de sortie de type RC du modèle comportemental VHDL-AMS. La modélisation complète du comportement dynamique comprend donc la définition du second pole et du premier zéro comme le démontre la figure 2-28. Le second pole $fp2$ est modélisé de manière similaire au pole dominant. Une impédance de type RC composée de la résistance $rp2$ et de la capacité $cp2$ modélise l'influence de second pole sur la caractéristique dynamique de l'OTA. L'impédance formée de $rp2$ et $cp2$ est intégrée à l'étage de transfert du modèle comportemental de l'amplificateur opérationnel.

```

---second pole---
quantity vrp2 across irp2 through Tgm to Tref;
quantity vcp2 across icp2 through Tgm to Tref;
constant rp2 : real := 1.0e+06;
constant cp2 : real := 1.0/(2.0*math_pi*rp2*fp2);
vrp2 == irp2*rp2;
icp2 == cp2*vcp2'dot;
---premier zero---
quantity vrz1 across irz1 through Tgm1 to Tn1;
quantity vlz1 across ilz1 through Tn1 to Tref;
constant rz1 : real := 1.0e+06;
constant lz1 : real := rz1/(2.0*math_pi*fz1);
constant k1 : real := 1.0e-06;
vgm*k1 == vrz1 + lz1*ilz1'dot;
vrz1 == irz1*rz1;

```

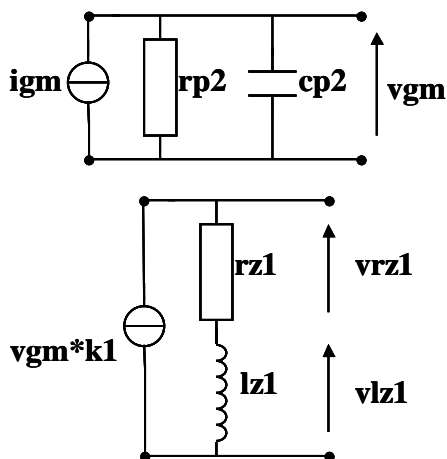


Figure 2-28 Etage dynamique de l'OTA.

La tension v_{gm} , résultante de la différence de potentiel entre les nœuds T_{gm} et le point milieu des alimentations T_{ref} , est ensuite utilisée pour construire le bloc analogique qui modélise l'effet du premier zéro f_{z1} sur le comportement dynamique de l'amplificateur opérationnel. Une source de courant est construite pour modéliser un courant du même ordre de grandeur que le courant de polarisation i_{bias} , c'est pourquoi nous utilisons une constante interne nommée k_1 . L'effet du premier zéro⁸⁰ f_{z1} est modélisé par une impédance de type RL composée de la résistance r_{z1} et de l'inductance l_{z1} . Notons que pour l'étage dynamique, le placement du second pôle et du premier zéro se fait en ajustant les paramètres génériques respectifs fp_2 et f_{z1} . Le calcul des éléments passifs qui composent l'impédance respective est réalisé dans l'architecture du modèle comportemental VHDL-AMS.

4.2.3 Caractéristiques électriques

Le modèle VHDL-AMS de l'amplificateur opérationnel tension-courant a fait l'objet du concours de modélisation TOPBEHAV'02 qui a eu lieu au cours de la conférence internationale FDL'02. Ce modèle a obtenu le second prix. Les caractéristiques électriques, obtenues par simulation électrique à partir du modèle VHDL-AMS présenté, sont résumées par la figure 2-30. Les paramètres à extraire pour le dimensionnement du modèle VHDL-AMS sont définis selon différentes gammes de polarisation. Une documentation complète du modèle et une méthode de caractérisation du modèle sont hébergés par l'association BEAMS⁸¹. Cette association a pour but de promouvoir la modélisation de systèmes avec l'usage de langage de description matériel HDL.

| Caractéristique Electrique | Pour $I_{bias}=30 \mu A$ et $R_L=70 K\Omega$ | Valeur | Unité |
|----------------------------|---|--------|---------------|
| | Differential mode transconductance | 100 | μS |
| | Common mode transconductance | 50 | nS |
| | Offset voltage | 0.1 | V |
| | Differential gain | 13 | dB |
| | Output swing | 3.3 | V |
| Caractéristique Dynamique | Pour $I_{bias}=30\mu A$ et $R_L=70k\Omega$ | | |
| | Bandwith | 1.6 | MHz |
| | Phase margin | 95 | Deg |
| | Slew rate | | $\mu A/\mu s$ |
| Paramètre à identifier | | | |
| | Offset voltage | | V |
| | High/low output current saturation | | A |
| | Differential mode transconductance | | S |
| | Common mode transconductance | | S |
| | Dominant pole | | Hz |
| | Second pole | | Hz |
| | Phase margin | | ° |
| | Output resistance | | Ω |
| | Output capacitance | | F |
| | Slew rate | | $A/\mu s$ |
| Absolute maximum ratings | $V_{ss}=0 V, V_{dd}=5 V$ | | |
| Operating conditions : | $R_L: 15 K\Omega, 30 K\Omega, 50 K\Omega, 70 K\Omega, 80 K\Omega$ $I_{bias}: 20 \mu A \text{ to } 100 \mu A$ | | |

Figure 2-29 Caractéristiques électriques du modèle VHDL-AMS de l'amplificateur opérationnel de transconductance obtenues par simulation électrique ; Mise en évidence des paramètres de l'amplificateur à identifier.

4.2.4 Conclusion

Les variations du courant de polarisation I_{BIAS} de l'amplificateur impliquent une variation des caractéristiques électriques de l'amplificateur. Ces variations sont imposées en cours de conception pour valider les performances du circuit. Or ces variations pourraient-êtré induites par une cause externe (la température) ou interne (mode de dégradation physique) qui implique une dérive des caractéristiques électriques du miroir de courant M10-M5. Cette dérive de performances aurait alors un impact non négligeable sur le fonctionnement du circuit puisque le gain statique différentiel va varier ainsi que la fréquence de coupure. Le comportement statique et dynamique se trouve alors modifié. Ce raisonnement peut être reconduit pour la paire différentielle M1-M2 de l'étage d'entrée et les miroirs de courant M4-M9, M3-M6, M7-M8 qui assurent la génération du courant de sortie I_{OUT} . Ceci montre que prédire les variations de caractéristiques électriques d'un circuit analogique composé essentiellement d'une dizaine de transistors n'est pas trivial puisque les transistors ont des grandeurs technologiques et électriques dépendantes du mode de dégradation. Par conséquent,

pour une estimation de la variation des grandeurs électriques de l'amplificateur au cours du vieillissement électrique, il est nécessaire de connaître le lien entre la caractéristique électrique du circuit et les paramètres du ou des transistors. Ce qui sous-entend que la dérive de performance des transistors induite par un mode de dégradation doit être connue et maîtrisée.

Le convertisseur tension-courant ou *OTA* trouve une large application dans le développement de fonctions analogiques intégrées, notamment celles dédiés aux télécommunications. Un large panel de fonctions analogiques actives à base d'*OTA* sont recensées⁸², notamment pour des fonctions modélisant le comportement d'éléments passifs comme une résistance R ou une inductance L , sachant que l'intégration d'une capacité C est réalisée grâce à l'utilisation d'un *MOSFET*. Tenant compte de ces considérations, un circuit analogique, comme le convertisseur tension-courant, a pour avantage d'offrir la possibilité de construire des fonctions analogiques intégrées complexes sans avoir besoin de composants externes passifs. Dans ce but nous avons développé les étapes de construction d'un modèle *VHDL-AMS* d'une cellule biquadratique utilisée pour la conception de filtres à temps continu⁸³.

Enfin, le convertisseur courant-tension sera utilisé comme circuit de démonstration de la simulation de vieillissement électrique utilisant des modèles *VHDL-AMS* de fiabilité présentés au chapitre quatre.

5 Conclusion

Le langage de description matériel *VHDL-AMS* offre de nombreuses possibilités pour la modélisation des circuits et systèmes électroniques. Le développement d'un tel langage coïncide avec les motivations exprimées par les industriels de l'électronique. Leurs motivations ont montré la nécessité de définir un langage standard de modélisation comportementale. *VHDL-AMS* n'est pas le seul langage standard à la disposition des utilisateurs : le langage *VERILOG-A* est aussi couramment utilisé. En tout cas, ces langages de modélisation permettent le développement de bibliothèques de modèles comportementaux à tous les niveaux d'abstraction. Selon la méthode choisie, ascendante ou descendante, le langage de description matériel *VHDL-AMS* offre la possibilité de choisir le type de modèles le mieux adapté aux objectifs (performances, précisions des résultats, etc.). Le développement de modèles logiques, analogiques et mixtes permet de construire et de modéliser des systèmes électroniques complexes, par exemple une chaîne d'émission et de réception de radio fréquence. Les modèles de circuits *CMOS* développés à titre d'application, pourraient inclure en supplément des grandeurs de natures thermiques, mécaniques, radiatives ou de vieillissement électrique. Ce type de modélisation, qui associe grandeurs électriques et environnementales, est qualifié de modélisation de multiples technologies. Cette opportunité ouvre les portes de la simulation environnementale. Nous avons exploité cet aspect technique de la modélisation comportementale dans le cadre du projet européen *SPARTE* présenté au chapitre suivant.

Nous utiliserons aussi cet aspect technique de la modélisation comportementale *VHDL-AMS* pour l'appliquer (voir chapitre quatre) au concept de la fiabilité intégré dans le flot de conception des circuits *CMOS*.

CHAPITRE 3

Modélisation VHDL-AMS des effets électrothermiques

1 Introduction

Le développement des systèmes électroniques demande de plus en plus de nouveaux besoins méthodologiques et les contraintes sont de plus en plus fortes pour les outils de conception. Ces nouveaux besoins doivent être pris en compte par les langages de modélisation et les simulateurs associés. Le projet européen *SPARTE* (*Simulation based Performance & Rating regarding Thermal & Electrical Effects*) est une application de ces possibilités.

Le projet *SPARTE* a pour but de définir et implémenter les méthodes et outils qui devraient permettre d'évaluer l'aptitude de composants commerciaux pour répondre aux besoins de performances et au comportement fonctionnel attendu face aux conditions opérationnelles environnementales. Ces méthodes et outils s'adressent à tout le cycle de vie d'un composant. Le projet *SPARTE* se concentre sur les effets électrothermiques, et l'évaluation de ces effets s'appuie sur la physique des composants et une approche de la simulation de multiples technologies qui établit les liens entre la modélisation thermique et la modélisation comportementale électrique des systèmes électroniques.

La méthode ascendante a été appliquée pour la construction d'un modèle *VHDL-AMS* d'un composant de puissance. L'objectif est de définir un modèle électrique du composant, puis de construire un modèle équivalent incluant les effets électrothermiques du composant de puissance. La construction du modèle *VHDL-AMS* s'appuie sur des données issues d'expérimentations réalisées par *MBDA*, dont le laboratoire *IXL* était partenaire dans le cadre du projet européen.

2 Projet européen SPARTE

2.1 Présentation du projet

Le projet *SPARTE* est un projet européen. *SPARTE* signifie : Simulation based Performance & Rating regarding Thermal & Electrical Effects. Le consortium européen est composé des acteurs suivant :

- MBDA (Vélizy)
- Ecole National Supérieur des Télécommunications (Paris)
- EPSILON Ingénierie (Toulouse)
- SENER Ingeniera y Systems (Madrid)
- CNM (Barcelone)
- Laboratoire IXL (Bordeaux)

Le projet *SPARTE* a pour but de définir et implémenter les méthodes et outils qui devraient permettre d'évaluer l'aptitude de composants commerciaux pour répondre aux besoins de performances et au comportement fonctionnel attendu face aux conditions opérationnelles environnementales⁸⁴. Ces méthodes et outils s'adressent à tout le cycle de vie d'un composant en milieu industriel.

Le projet *SPARTE* se concentre sur les effets électrothermiques, et l'évaluation de ces effets s'appuient sur la physique des composants et une approche de la simulation de multiple technologie qui établit les liens entre la modélisation thermique et la modélisation comportementale électrique des systèmes électroniques.

La réalisation de ce projet s'appuie sur l'expérience de ces partenaires et les données expérimentales provenant d'industriels spécialisés en conception et production d'équipements électroniques. Les entrées des méthodes et outils s'appuient sur les différentes catégories techniques suivantes :

- Caractérisation technologique
- Description des procédés de production
- Caractérisation, documentation technique et commerciale
- Modèles de dégradation, modèles comportementaux électriques et thermiques
- Spécification de performances
- Points critiques attribués à la conception d'équipements électroniques (comportement électrique et thermique, fiabilité)
- Les contraintes en temps et les contraintes opérationnelles

2.1.1 Problématique

Le projet *SPARTE* a pour objectifs la mise en place d'un environnement de simulation pour l'étude des effets électrothermiques sur les performances des circuits et systèmes

électroniques. Les objectifs se regroupent sous la forme de plusieurs problématiques dépendantes les unes des autres. La problématique du projet SPARTE est représentée par les points suivants :

- Trouver des indicateurs pour choisir des composants
- Qu'est-ce qui limite un produit en terme de performance ?
- Quantifier l'effet thermique sur la performance
- Analyser le comportement thermique sous contrainte électrique et fonctionnelle
- Quantifier l'estimation de la dégradation de performance

Pour répondre à chacun de ces points, il a été mis en place une stratégie de modélisation et de simulation des effets électrothermiques. Cette stratégie s'appuie dans notre cas d'étude sur un démonstrateur pour lequel la méthodologie de modélisation des effets électrothermiques est appliquée.

2.1.2 Méthodologie

La simulation des effets électrothermiques de composants électroniques est complexe. La complexité de la simulation est due principalement au couplage de deux outils. Chacun de ces outils fait appel à des routines spécifiques dont leur rôle est de résoudre et calculer les caractéristiques de deux simulations différentes : la simulation électrique et la simulation thermique. La simulation électrique utilise des variables continues et discrètes, les tensions et courants à chaque nœud du circuit, et les paramètres des composants. Beaucoup de modèles de composants sont disponibles dont les équations électriques sont parfois complexes. La simulation thermique utilise des variables continues comme la température et les flots de puissance en fonction de la position puis les paramètres des matériaux. Les modèles utilisés, par contre, sont relativement simples et les lois de Fourier sont des équations uniformes.

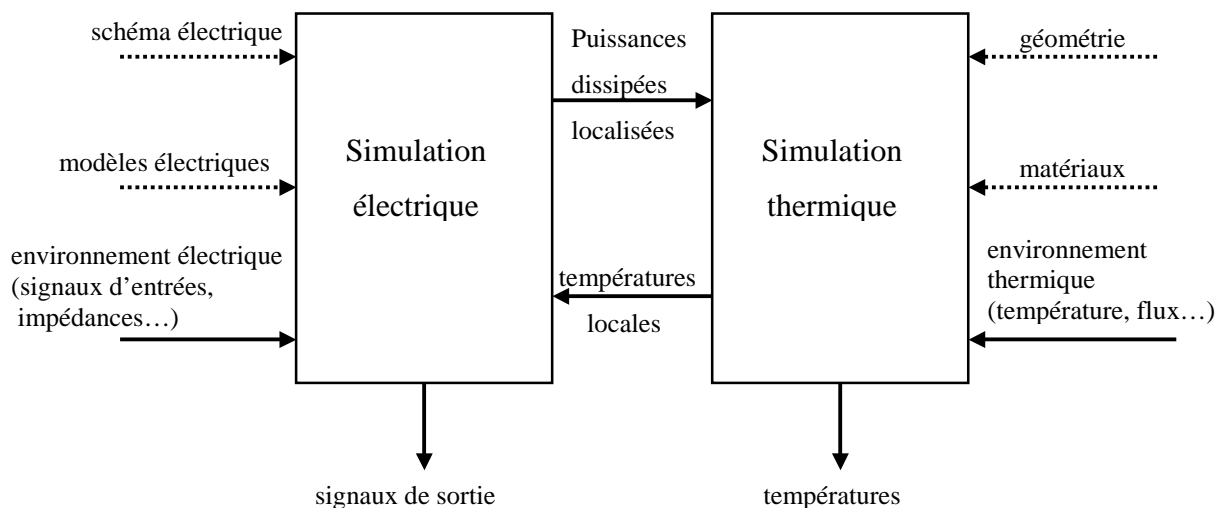


Figure 3-1 Flot de données de la simulation électrothermique.

Par définition, une représentation du flot de données de la simulation électrothermique est donnée par la figure 3-1. Elle résume les données d'entrées utiles pour la simulation électrique

et la simulation thermique. Elle met en évidence les données utiles pour le couplage des deux simulations afin que ceux-ci travaillent conjointement en s'échangeant des données de températures et de puissances dissipées.

Le flot de données représenté par la figure 3-1 distingue la simulation thermique et la simulation électrique. La simulation thermique du composant électronique a été développée par la société *EPSILON*. L'objet de notre contribution concerne la modélisation électrique et la simulation électrique du composant de démonstration pour fournir au simulateur thermique les puissances dissipées localisées en fonction des conditions opérationnelles.

2.2 Modélisation comportementale des effets électrothermiques

2.2.1 Objectifs

Notre contribution au projet *SPARTE* est de définir un modèle *VHDL-AMS* électrothermique d'un composant de puissance : le régulateur de tension *LT1129*. La méthode proposée pour la construction du modèle *VHDL-AMS* doit être définie afin qu'elle puisse être applicable à d'autres circuits. C'est pourquoi, notre travail consiste à définir les étapes de la construction du modèle *VHDL-AMS* tenant compte de la température. Les paramètres électriques du modèle sont dépendants de la température et le modèle électrothermique est capable de fournir la puissance dissipée par le composant. Bien sûr avant de construire le modèle électrothermique, il est nécessaire de construire un modèle électrique *VHDL-AMS* du composant. Nous devons donc étudier le fonctionnement électrique du composant. Le travail de caractérisation électrique nous permet de déterminer le jeu de paramètres électriques adéquats pour la construction du modèle. Nous limitons le nombre de paramètres génériques du modèle afin de réduire la complexité de la méthode d'extraction de paramètres.

2.2.2 Méthodologie

Le but principal est de définir une méthode de construction d'un modèle comportemental électrothermique. La méthode de construction du modèle consiste à utiliser trois sources d'informations :

- les données du constructeur (datasheet)
- les résultats de simulation obtenus avec le modèle équivalent *SPICE* proposé par le constructeur
- les caractéristiques expérimentales fournies par *MBDA*

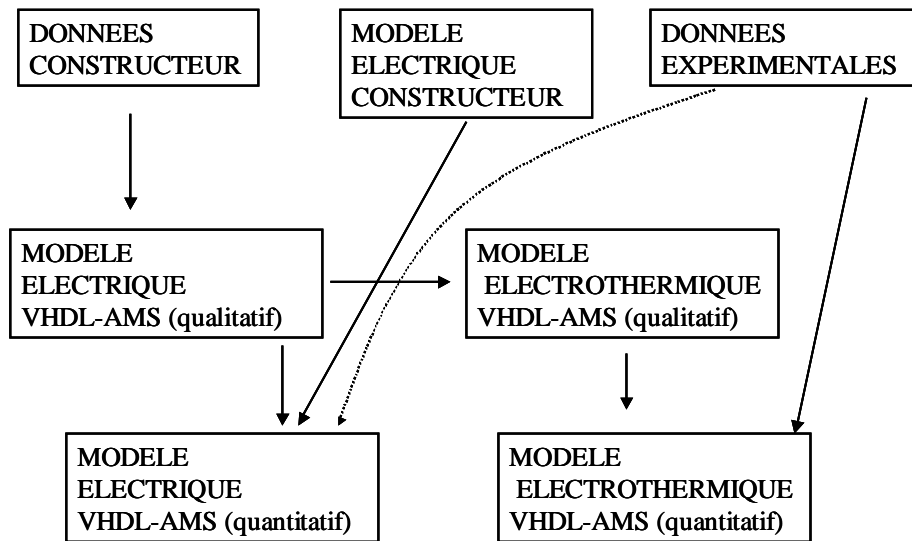


Figure 3-2 Définition d'une méthodologie pour ajuster les paramètres génériques du modèle *VHDL-AMS*.

La première étape consiste à définir une liste de paramètres génériques du modèle comportemental en utilisant les données du constructeur. Nous définissons dans ce cas un modèle *VHDL-AMS* qualitatif du composant. Ensuite quand les caractéristiques électriques du modèle sont bien définies, nous définissons les équations électriques utiles à la construction de l'architecture du modèle *VHDL-AMS*.

La seconde étape a pour objectif de dimensionner le modèle électrique du régulateur de tension. Pour cela, nous utilisons le modèle électrique *SPICE* du composant comme une référence. Et nous comparons les caractéristiques électriques en réalisant l'ajustement des paramètres génériques du modèle *VHDL-AMS*. Nous sommes donc en présence d'un modèle électrique *VHDL-AMS* qualitatif.

La troisième étape consiste à construire le modèle comportemental électrothermique à partir de la construction d'un modèle qualitatif et quantitatif. Pour cela, nous utilisons le modèle électrique *VHDL-AMS*. Pour définir la dépendance des paramètres électriques du modèle à la température, nous réalisons une extraction de paramètres à partir de données expérimentales.

3 Modélisation VHDL-AMS électrique du régulateur

Cette partie a pour objectif d'appliquer la méthodologie définie pour la construction du modèle électrique comportementale du régulateur de tension. Le modèle du régulateur de tension est défini à partir des données du constructeur *Linear Technology*. Une introduction générale des caractéristiques du régulateur de tension est présentée, ensuite la méthodologie de modélisation est mise en évidence. Ce travail a pour objectif de poser les bases d'un modèle électrique comportemental d'un régulateur de tension. Le modèle électrique construit servira par la suite à l'écriture d'un modèle comportemental électrothermique.

3.1 Description du régulateur de tension

L'étude porte sur le composant de référence *LT1129S8* qui est un régulateur de tension ajustable par le choix d'un réseau de rétroaction externe (R_1 , R_2). La référence *S8* indique le type de boîtier du composant. La figure 3-3 représente une vue externe du régulateur de tension. Cette représentation met en évidence les cinq bornes de connexion du régulateur *LT1129*. Les deux bornes principales sont la borne d'entrée *in* et la borne de sortie *out*. Les bornes secondaires sont la borne d'ajustement *adj*, la borne de contrôle *shdn* et la borne de référence *gnd*. Les diverses grandeurs d'entrée/sortie du composant sont résumées dans le tableau de la figures 3-4.

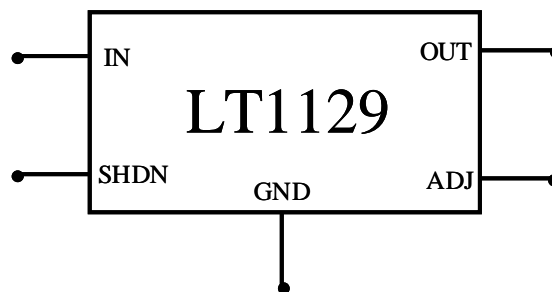


Figure 3-3 Visualisation des bornes externes entrée/sortie.

| Type | Nom | Nature | Rôle et remarque |
|--------|------|---------|--|
| Entrée | in | tension | Application de la tension à réguler. En fonctionnement normal : $5,5 \text{ V} < V_{in} < 30 \text{ V}$ Accepte au maximum : $-30 \text{ V} < V_{in} < 30 \text{ V}$ |
| Sortie | out | tension | Tension stabilisée (3,75 V) En fonctionnement normal : $1\text{mA} < I_{out} < 700 \text{ mA}$ Supporte les courts-circuits (circuit de limitation du courant) et les courants inverses. |
| Entrée | shdn | tension | Borne « interrupteur » Inactive si non connectée |

| | | | |
|--------|--------|---------|---|
| | | | Si $V_{shdn}=0V$, tension de sortie annulée |
| Entrée | adjust | tension | Connectée à un pont diviseur en fonctionnement normal (car le <i>LT1129</i> est une version de régulateur dont la tension de sortie est ajustable). |
| Sortie | gnd | tension | Mise à la masse |

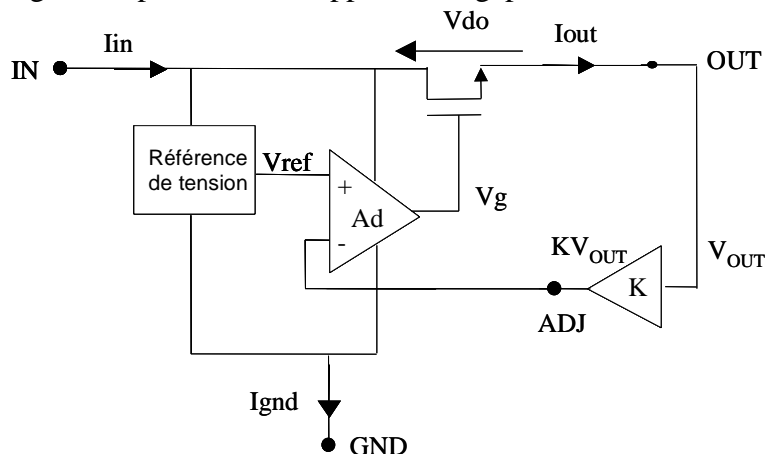
Figure 3-4 Définition des caractéristiques des entrées/sorties du régulateur *LT1129*.

3.2 Construction d'un modèle VHDL-AMS

3.2.1 Structure interne du régulateur

Afin de faciliter l'introduction du modèle comportemental *VHDL-AMS* du régulateur de tension *LT1129*, le principe de fonctionnement du régulateur est présenté sous la forme d'un schéma fonctionnel (voir la figure 3-5). La construction du modèle comportemental du régulateur de tension s'appuie sur la définition des fonctions et caractéristiques électriques principales du composant.

Un étage de puissance, représenté par le transistor *NMOS*, relie la borne d'entrée *IN* à la borne de sortie *OUT*. Celui-ci est commandé par une tension V_G issue de la boucle de régulation. Le rôle de la boucle de régulation est de maintenir une tension de sortie V_{OUT} stable malgré les fluctuations du signal d'entrée et de la charge. La boucle de régulation se compose d'un amplificateur différentiel de gain A_d qui reçoit en entrée une tension de référence V_{REF} et une tension V_{ADJ} proportionnelle à la tension de sortie V_{OUT} , en utilisation normale. La tension de référence V_{REF} est générée par un circuit appelé Bandgap référence.

Figure 3-5 Architecture du régulateur *LT1129*.

3.2.2 Définition des caractéristiques électriques

Les performances données par le constructeur sont essentiellement des performances en régime statique. Aucune information sur le régime fréquentiel n'est donnée sur la référence du constructeur. Il existe uniquement une réponse transitoire donnée vis-à-vis d'un échelon du

courant de charge I_{out} . Les grandeurs électriques du régulateur sont essentielles pour la construction du modèle. Elles sont définies par⁸⁵ :

- Chute de tension minimale : $V_{D_{min}}$

C'est la chute de tension V_{DO} minimale pour assurer la fonction de régulation. Elle dépend de la variation du courant de charge dans l'étage de puissance. La chute de tension peut donc être caractérisée par la tension drain-source V_{DS} du transistor *NMOS*. La chute de tension V_{DO} est la tension minimale de fonctionnement pour laquelle l'élément de puissance est équivalent à une source de courant contrôlée en tension.

- Régulation amont (Line régulation, L_R)

Le paramètre *LINE REGULATION* ($L_R = \Delta v_{out} / \Delta v_{in}$) représente la capacité du régulateur de tension à assurer une tension de sortie constante, vis-à-vis d'une variation de la tension d'entrée pour un courant de charge donné.

- Régulation aval (Load régulation, L_{DR})

Le paramètre *LOAD REGULATION* ($L_{DR} = \Delta v_{out} / \Delta I_{out}$), exprime la variation de la tension de sortie V_{OUT} , par rapport à la variation du courant de charge I_{OUT} , pour une tension d'entrée V_{IN} donnée.

- Courant de fuite I_{GND}

D'après la loi des nœuds, c'est la différence entre le courant d'entrée I_{IN} et le courant de sortie I_{OUT} du régulateur de tension. Autrement dit, le courant de fuite I_{GND} vers la masse représente le courant consommé par la boucle de contre-réaction, par le circuit Bandgap et les circuits annexes. Le tableau de la figure 3-6 donne un récapitulatif des caractéristiques électriques du composant.

| Nom | Nature | Rôle et remarques |
|-----------|---------|--|
| V_{do} | tension | Tension limite de fonctionnement Dépendant du courant de charge I_{out} |
| V_{ldr} | tension | En fonctionnement normal : $1mA < I_{out} < 700mA$ Régulation aval maximale (6mV) |
| V_{lr} | tension | En fonctionnement normal : $4,3V < V_{in} < 20V$ Régulation amont maximale (1,5mV) |
| I_{gnd} | courant | Dépendant du courant de charge I_{out} En fonctionnement normal : $1mA < I_{out} < 700mA$ Courant maximal : 50mA |

Figure 3-6 Récapitulatif des caractéristiques électriques du régulateur *LT1129*.

3.2.3 Modèle VHDL-AMS comportemental

La construction du modèle électrique du composant de puissance s’appuie sur l’architecture réelle du composant présentée par la figure 3-5. Dès à présent, il est nécessaire de définir la liste des paramètres électriques du modèle VHDL-AMS. La liste des paramètres génériques du modèle est donnée par le tableau de la figure 3-7.

| Référence | Définition | Unité |
|-----------|--|----------------|
| V_{ref} | Tension nominale de sortie | V |
| V_t | Tension de seuil du transistor <i>NMOS</i> | V |
| K_p | Transconductance du transistor <i>NMOS</i> | A/V^2 |
| λ | Effet de modulation de la longueur de canal du <i>NMOS</i> | V^{-1} |
| A_d | Gain différentiel de l’amplificateur | sans dimension |
| L_r | Régulation amont | sans dimension |
| L_{dr} | Régulation aval | Ω |
| $ignd_0$ | Coefficient du courant de masse I_{gnd} | A |
| $ignd_1$ | Coefficient du courant de masse I_{gnd} | A^{-1} |
| $ignd_2$ | Coefficient du courant de masse I_{gnd} | A^{-1} |
| $ignd_3$ | Coefficient du courant de masse I_{gnd} | A^{-1} |

Figure 3-7 Récapitulatif des paramètres électriques du régulateur *LT1129* ;
Les coefficients $ignd_0$ à $ignd_3$ sont des coefficients pour une loi polynomiale.

La mise en équation du modèle comportementale est réalisée pas à pas, en intégrant un à un les paramètres du régulateur de tension définis précédemment. Dans un premier temps, il s'agit de définir les bases du régulateur, c'est à dire mettre en œuvre la caractéristique de transfert de la boucle de régulation. Il est alors nécessaire de modéliser les principaux blocs fonctionnels du régulateur tels qu'ils sont définis par la figure 3-5.

- Caractéristique de transfert $V_{OUT}=f(V_{IN})$

Chaque bloc fonctionnel introduit un jeu de paramètres génériques. Pour obtenir la caractéristique de transfert du régulateur, il est nécessaire de dimensionner chaque bloc fonctionnel du régulateur et de déterminer l'influence de chacun des paramètres sur les caractéristiques du régulateur. La caractéristique de transfert du régulateur est définie par trois zones de fonctionnement.

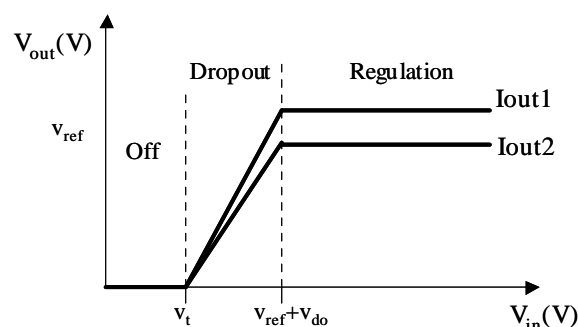


Figure 3-8 Caractéristique électrique de transfert $V_{out}=f(V_{in})$.

Une zone de fonctionnement, dite *Off*, où la tension de commande de l'étage de puissance est beaucoup trop faible pour imposer un courant de sortie I_{OUT} , cette zone de fonctionnement correspond à la conduction sous le seuil de l'étage de puissance.

La deuxième zone de fonctionnement, dite *Dropout*, correspond à la phase où l'étage de puissance est polarisé pour débiter un courant de sortie I_{OUT} mais la condition de régulation n'est pas remplie, c'est à dire $V_{IN} < V_{REF} + V_{DO}$.

Une troisième zone de fonctionnement, dite de *Régulation*, est telle que $V_{IN} > V_{REF} + V_{DO}$, la tension de sortie du régulateur V_{OUT} est équivalente à la tension nominale de fonctionnement V_{REF} et le régulateur débite un courant nominal I_{OUT} dépendant de la charge connectée en sortie.

- Chute de tension minimale V_{DOmin}

En prenant comme référence les équations simplifiées du transistor *NMOS*, une remarque s'impose concernant le rôle joué par les paramètres V_t et K_p . Tous les deux interviennent dans le réglage de la chute de tension V_{DO} , et le paramètre V_t délimite aussi la zone de fonctionnement, dite *Off*.

Par conséquent, pour simplifier l'ajustement des paramètres V_t et K_p du modèle et le réglage de la tension V_{DO} , la caractéristique de transfert du modèle se limite à deux zones de fonctionnement, qui sont la zone *Dropout* et la zone de *Régulation*. Le paramètre V_t est donc considéré comme nul, seul le dimensionnement du paramètre K_p de l'étage de puissance assure le réglage de la tension minimale V_{DO} (voir figure 3-8).

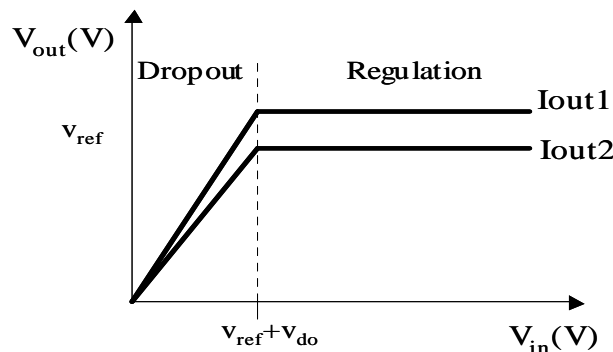


Figure 3-9 Caractéristique de transfert simplifiée $V_{out}=f(V_{in})$.

La simplification de la fonction de transfert $V_{OUT}=f(V_{IN})$ entraîne la disparition de la zone *Off* de la fonction de transfert pour une tension d'entrée V_{IN} inférieure à $V_{REF} + V_{DO}$. Cette simplification est valable dans le sens où l'on ne s'intéresse précisément qu'à la zone de fonctionnement normale, dite de *Régulation*.

Finalement, les deux zones de fonctionnement, dites *Off* et *Dropout* se résument à une seule zone de fonctionnement pour la tension d'entrée V_{IN} comprise entre 0V et $V_{REF} + V_{DO}$ dont la caractéristique est linéaire et continue. Les équations modélisant l'étage de puissance sont issues du modèle simplifié du *NMOS*. Elles se limitent à la description du courant drain-source dans le canal du transistor *NMOS* de l'étage de puissance. Elles sont exprimées par le modèle *VHDL-AMS* de la figure 3-10.

```

entity regulateur is
generic ( kp, vt, lambda );
port( terminal Tin, Tout, Tadj, Tgnd: electrical );
end entity regulateur;
-----
architecture level1 of regulateur is
---**pass-device**---
quantity vdo across iout through Tin to Tout;
quantity vgs across igs through Tg to Tout;
begin

```

```

---**pass-device**---
if vgs <= vt use
    iout == 0.0;
elseif vdo <= ( vgs - vt ) use
    iout == kp*( (vgs-vt)*vdo - vdo**2/2.0 )*(1.0
+lambda*vdo);
else
    iout == kp*0.5*( (vgs-vt)**2 )*(1.0 + lambda*vdo);
end use;
end architecture level1;

```

Figure 3-10 Modèle VHDL-AMS de l'étage de puissance.

- Tension de référence V_{REF}

La tension de référence V_{REF} du régulateur de tension est fixée à 3.75 volts comme le précise les données du constructeur pour la référence du composant *LT1129S8*.

- Boucle de rétroaction

La boucle de rétroaction du régulateur est composée d'un amplificateur différentiel qui a pour rôle de commander l'étage de puissance par le biais de la tension de sortie V_G . La tension de sortie V_G est issue de l'amplification par le gain A_d de la différence de potentiels entre la tension de référence V_{REF} et la tension V_{ADJ} . La figure 3-11 propose le modèle VHDL-AMS de l'amplificateur différentiel.

```

entity regulateur is
generic ( kp, vt, lambda, vref, Ad );
port ( terminal Tin, Tout, Tadj, Tgnd: electrical );
end entity regulateur;

architecture level1 of regulateur is
---**regulateur**---
quantity vin across iin through Tin to Tgnd;
quantity vout across Tout to Tgnd;
quantity vgnd across Tgnd to electrical_ground;
quantity vadj across Tadj to Tgnd;

---**ampli_diff**---
quantity vindiff : real:=0.0;
quantity vg across Tg to electrical_ground;
---point milieu des alimentations
quantity v0 : real:= (vin + vgnd)/2.0;
--- tension d'entree limite avant saturation basse
quantity vinl : real:= ((vgnd - vin)/2.0)/Ad;
--- tension d'entree limite avant saturation haute
quantity vinh : real:= ((vin - vgnd)/2.0)/Ad;
begin

```

```

---**amplificateur differentiel**---
vindiff == vref - vadj;
---** point milieu des alimentations**---
v0 == (vin + vgnd)/2.0;
---** tension d'entree limite avant saturation basse**---
-
    vinl == ((vgnd - vin)/2.0)/Ad;
---** tension d'entree limite avant saturation haute**---
    vinh == ((vin - vgnd)/2.0)/Ad;
---**limitation de tension en sortie de l'ampli**---
    if vindiff >= vinh use
;--- **saturation haute**---
        vg == vin
    elseif vin <= vinl use
---**saturation basse**---
        vg == vgnd;
    else
---**zone lineaire**---
        vg == Ad*vindiff + v0;
    end use;
end architecture level1 ;

```

Figure 3-11 Modèle VHDL-AMS de l'amplificateur différentiel.

- Régulation amont/aval

La régulation amont et la régulation aval du régulateur de tension sont modélisées sous la forme d'une source de tension, c'est à dire une source de tension identifiée par V_{LR} , liée à la tension d'entrée V_{IN} pour la régulation amont et une source de tension identifiée par V_{LDR} , liée au courant de charge I_{OUT} pour la régulation avale. La modélisation VHDL-AMS de la source de tension de régulation amont et la source de régulation avale est exprimée par la figure 3-12.

```

entity regulateur is
    generic ( kp, vt, lambda, vref, Ad, lr, ldr )
    port ( terminal Tin, Tout, Tadj, Tgnd: electrical );
end entity regulateur;

architecture level1 of regulateur is
    ---**regulation_amont/ regulation_avale **
    quantity vreg_amont across iamont through
    Tinverseuse to Tn1;
    quantity vreg_aval across iaval through Tn1 to Tadj ;

    begin
    ---**pass-device**---
        if vgs <= vt use
            iout == 0.0;
            vreg_amont == 0.0;
            vreg_aval == 0.0;
        elsif vdo <= ( vgs - vt ) use
            iout == kp*( (vgs-vt)*vdo - vdo**2/2.0 )*(1.0 +
            lambda*vdo);
            vreg_amont == vin*lr;
            vreg_aval == iout*ldr;
        else
            iout == kp*0.5*( (vgs-vt)**2 )*(1.0 + lambda*vdo);
            vreg_amont == vin*lr;
            vreg_aval == iout*ldr;
        end use;
    end architecture level1;

```

Figure 3-12 Modèle VHDL-AMS de la régulation amont et avale.

- Le courant de fuite I_{GND}

L'étude du courant de fuite I_{GND} revient à faire le point sur le réseau de caractéristiques $I_{GND}=f(V_{IN})$ pour différents courant de sortie I_{OUT} . Pour ce cas, la modélisation du courant de fuite I_{GND} se matérialise sous la forme d'une loi polynomiale qui ajuste les mesures issues de la documentation technique du constructeur. Cette loi est définie quelle que soit la valeur de la tension d'entrée V_{IN} . La figure 3-13 exprime le modèle VHDL-AMS du courant de fuite I_{GND} du composant de puissance.

```

entity regulateur is
    generic ( kp, vt, lambda, vref, Ad, lr, ldr,
    ignd1,ignd2,ignd3 :real:=1.0);
    port ( terminal Tin, Tout, Tadj, Tgnd: electrical );
end entity regulateur;

architecture level1 of regulateur is
    ---**ground_pin_current**
    quantity ignd through Tin to Tgnd;

    begin
    ---**ground_pin_current**
    iin == iout + ignd;
    ignd == ignd0 +ignd1*iout*(1.0 + ignd2*iout*(1.0 +
    ignd3*iout));
    end architecture level1;

```

Figure 3-13 Modèle VHDL-AMS du courant de fuite I_{GND} .

- Un modèle VHDL-AMS du régulateur LT1129

L'écriture du modèle VHDL-AMS du régulateur de tension consiste à assembler, les différents blocs fonctionnels définis dans le paragraphe précédent, dans un unique modèle comportemental. Pour améliorer l'approche du modèle comportemental, la figure 3-14 présente la nouvelle architecture du régulateur de tension sur laquelle est basée l'écriture du modèle. Cette nouvelle architecture du composant exprime la synthèse de la mise en équation du paragraphe précédent.

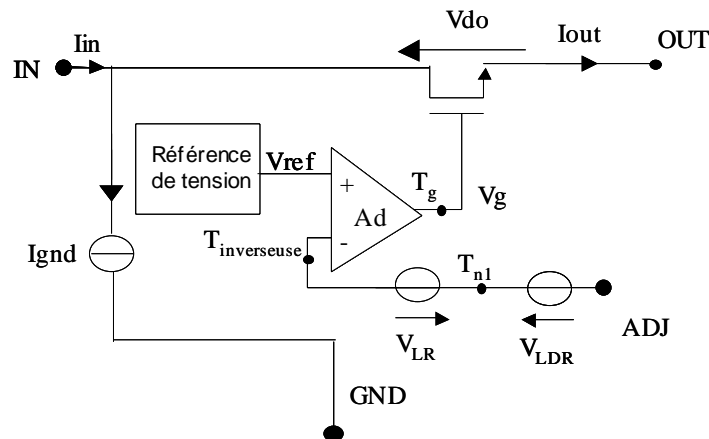


Figure 3-14 Architecture du modèle VHDL-AMS du régulateur de tension LT1129.

La figure 3-15 présente le modèle électrique comportemental complet du régulateur de tension LT1129S8.

```

entity regulateur is
generic ( kp, vt, lambda, vref, Ad, lr, ldr, ignd0, ignd1,
ignd2, ignd3 );
port ( terminal Tin, Tout, Tadj, Tgnd: electrical );
end entity regulateur;

architecture level1 of regulateur is
---***declaration des noeuds internes du regulateur***
terminal Tg, Tinverseuse, Tn1: electrical;
---***regulateur***
quantity vin across iin through Tin to Tgnd;
quantity vout across Tout to Tgnd;
quantity vgnnd across Tgnd to electrical_ground;
quantity vadj across Tadj to Tgnd;
---***ampli_diff***
quantity vindiff : real:=0.0;
quantity vinverseuse across Tinverseuse to Tgnd;
quantity vg across Tg to electrical_ground;
---point milieu des alimentations
quantity v0 : real:= (vin + vgnnd)/2.0;
--- tension d'entree limite avant saturation basse
quantity vinl : real:= ((vgnnd - vin)/2.0)/Ad;
--- tension d'entree limite avant saturation haute
quantity vinh : real:= ((vin - vgnnd)/2.0)/Ad;
---***passdevice***
quantity vdo across iout through Tin to Tout;
quantity vgs across igs through Tg to Tout;
---***regulation_ament/ regulation_avale ***
quantity vreg_ament across iamont through Tn1 to
Tinverseuse;
quantity vreg_aval across iaval through Tn1 to Tadj ;
---***ground_pin_current***
quantity ignd through Tin to Tgnd;

begin
---***ground_pin_current***
iin == iout + ignd;
ignd == ignd0 +ignd1*iout*(1.0 + ignd2*iout*(1.0 +
ignd3*iout));
---***pass-device***---
if vgs <= vt use
iout == 0.0;
vreg_ament == 0.0;
vreg_aval == 0.0;
elsif vdo <= ( vgs - vt ) use
iout == kp*( (vgs-vt)*vdo - vdo**2/2.0 )*(1.0 +
lambda*vdo);
vreg_ament == vin*lr;
vreg_aval == iout*ldr;
else
iout == kp*0.5*( (vgs-vt)**2 )*(1.0 + lambda*vdo);
vreg_ament == vin*lr;
vreg_aval == iout*ldr;
end use;
---***amplificateur differentiel***---
vindiff == vref - vinverseuse;
---*** point milieu des alimentations***---
v0 == (vin + vgnnd)/2.0;
---*** tension d'entree limite avant saturation basse***--
-
vinl == ((vgnnd - vin)/2.0)/Ad;
---*** tension d'entree limite avant saturation haute***---
vinh == ((vin - vgnnd)/2.0)/Ad;
---***limitation de tension en sortie de l'ampli***---
if vindiff >= vinh use
vg == vin; ---saturation haute
elsif vin <= vinl use
vg == vgnnd; ---saturation basse
else
vg == Ad*vindiff + v0; ---zone lineaire
end use;
end architecture level1;

```

Figure 3-15 Modèle comportemental VHDL-AMS du régulateur de tension LT1129.

3.3 Extraction des paramètres génériques

Nous introduisons les résultats obtenus à partir de la simulation du modèle *SPICE* et le modèle *VHDL-AMS*. Cette étude comparative permet de déterminer les paramètres génériques utiles pour définir chaque zone de fonctionnement de la caractéristique de transfert statique. Ceci permet aussi d'ajuster les paramètres électriques du modèle *VHDL-AMS*. La figure 3-16 montre la comparaison entre les caractéristiques de transfert obtenues à partir des différents modèles électriques. Elles sont définies pour un courant de sortie de 700 mA et une tension d'entrée variant de 0 V à 20 V.

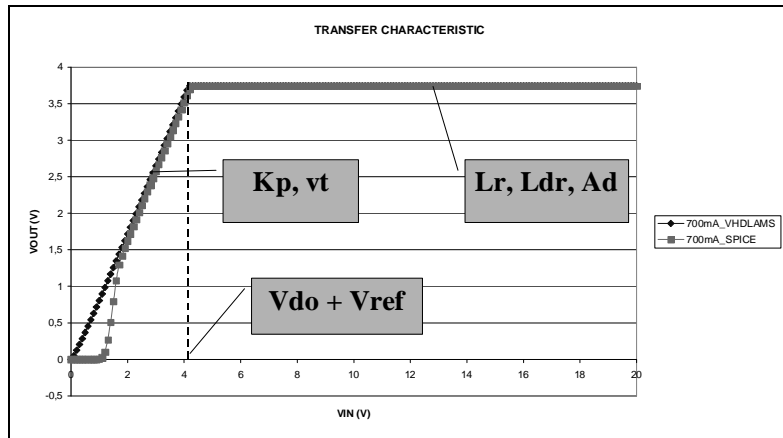


Figure 3-16 Etude comparative de la caractéristique de transfert $V_{OUT}=F(V_{IN})$.

La différence entre les deux caractéristiques pour une tension d'entrée inférieure à deux volts s'explique par le fait que le modèle *VHDL-AMS* n'est pas construit pour être précis dans le régime de non-régulation. Dans notre cas d'étude, notre intérêt se concentre sur le régime de fonctionnement en régulation.

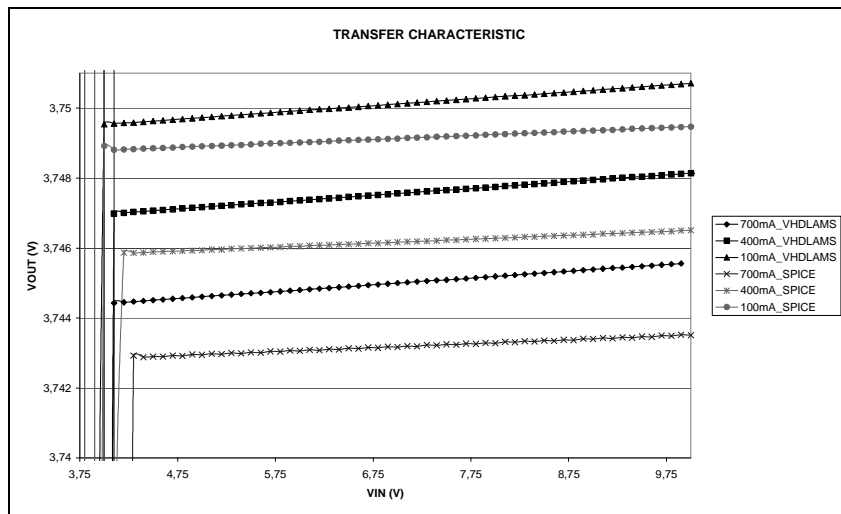


Figure 3-17 Etude comparative du régime de régulation de la caractéristique de transfert $V_{OUT}=F(V_{IN})$.

La figure 3-17 présente la zone de régulation des deux modèles électriques. Les caractéristiques sont obtenues pour plusieurs courants de charge. La figure montre que la caractéristique de transfert du modèle VHDL-AMS est en accord avec celle du modèle SPICE. La différence de tension entre les deux caractéristiques est moins de 2 mV dans la zone de régulation. La différence de pente est due au gain de boucle, ainsi que la valeur de la tension de régulation amont et avale.

Un point critique dans la modélisation du régulateur de tension est la transition entre le régime de non-régulation et le régime de régulation. Cette limite définit la tension limite de régulation V_{DO} . Une étude comparative de cette tension limite est exprimée par la figure 3-18. Sur cette figure, il y a trois caractéristiques qui respectivement sont obtenues avec le modèle SPICE, les données du constructeur et le modèle VHDL-AMS. A partir de la comparaison de ces trois courbes, nous observons que le modèle VHDL-AMS est plus précis.

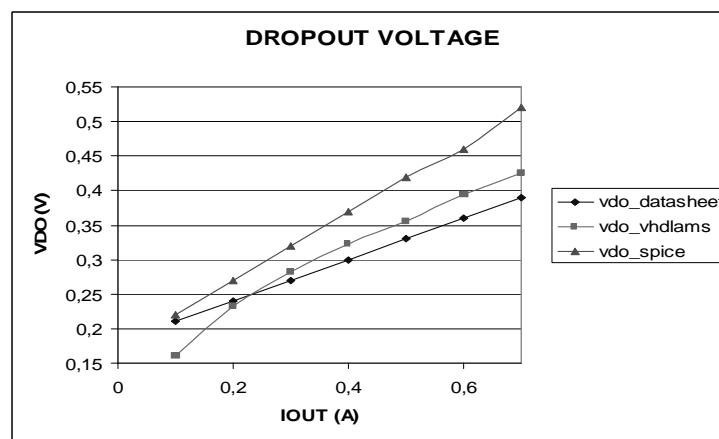


Figure 3-18 Etude comparative de la tension limite de régulation V_{DO} .

| Référence | Définition | Valeur | Unité |
|-----------|---|--------|------------------|
| V_{ref} | Tension nominale de sortie | 3,75 | V |
| V_t | Tension de seuil du transistor <i>NMOS</i> | 0,6 | V |
| K_p | Transconductance du transistor <i>NMOS</i> | 8 | A/V ² |
| λ | Effet de modulation de la longueur de canal | 0 | V ⁻¹ |
| A_d | Gain différentiel de l'amplificateur | 1000 | -- |
| L_r | Régulation amont | 145 | -- |
| L_{dr} | Regulation aval | 8,53 | Ω |
| $ignd_0$ | Coefficient du courant de masse I_{gnd} | 0 | A |
| $ignd_1$ | Coefficient du courant de masse I_{gnd} | 0 | A ⁻¹ |
| $ignd_2$ | Coefficient du courant de masse I_{gnd} | 0 | A ⁻¹ |
| $ignd_3$ | Coefficient du courant de masse I_{gnd} | 0 | A ⁻¹ |

Figure 3-19 Valeurs des paramètres électriques du régulateur VHDL-AMS.

Le jeu de paramètres génériques du modèle VHDL-AMS est donné par la figure 3-19. La modélisation VHDL-AMS a permis de réduire la complexité du modèle électrique du

régulateur de tension. Dix paramètres électriques sont suffisants pour modéliser le fonctionnement électrique du régulateur de tension.

Le modèle comportemental *VHDL-AMS* est construit à partir de différentes sources. Nous avons utilisé les données du constructeur, le modèle électrique *SPICE* pour dimensionner le modèle *VHDL-AMS*. La définition des grandeurs électriques du composant de puissance a permis de déterminer les paramètres génériques du modèle. La connaissance de la structure interne du composant nous a permis de construire une architecture simplifiée du modèle *VHDL-AMS*. Le modèle *VHDL-AMS* du régulateur de tension possède les caractéristiques électriques statiques essentielles. Nous allons l'utiliser comme une base de travail pour la suite du projet qui s'oriente vers l'intégration de paramètres électriques dépendants de la température.

4 Modélisation VHDL-AMS électrothermique

4.1 Les objectifs

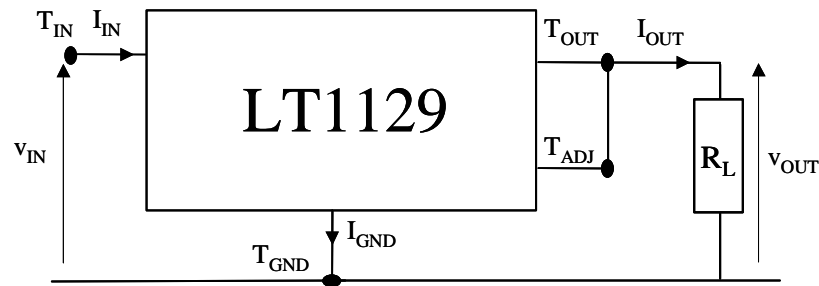
Cette partie est consacrée à la modélisation des effets électrothermiques induits au cours du fonctionnement électrique du régulateur de tension *LT1129*. L'étude est basée sur une approche expérimentale réalisée par *MBDA*. Notre collaborateur industriel a pris en charge l'étude expérimentale qui consiste à étudier le comportement électrique du régulateur par rapport à des variations de température comprises entre -55°C et $+125^{\circ}\text{C}$. L'analyse expérimentale se concentre essentiellement sur les caractéristiques électriques statiques du composant.

4.2 Construction d'un modèle VHDL-AMS

Les différentes caractéristiques électriques et leur dépendance à la température ont été passées en revue. Cette partie consiste à exploiter les données proposées afin de construire un modèle comportemental *VHDL-AMS* électrothermique du régulateur. Revenons, tout d'abord à la définition de l'environnement de simulation. Celui-ci est défini comme un couplage entre les simulateurs électriques et thermiques. La simulation des effets électrothermiques est réalisée grâce à un échange de données entre les deux simulateurs (voir figure 3-1). Le simulateur thermique fournit la variation de température locale du composant et en échange le simulateur électrique lui transmet la variation de puissance dissipée localisée correspondante. Par conséquent, il faut définir un modèle *VHDL-AMS* qui puisse tenir compte de la température et qui nous informe sur la puissance dissipée par le régulateur de tension.

4.2.1 Puissance dissipée localisée

Le calcul de la puissance dissipée localisée s'appuie les grandeurs électriques qui caractérisent le régulateur de tension. Considérons le régulateur de tension représenté par la figure 3-20, les grandeurs électriques utiles pour l'étude en puissance du composant sont : la tension d'entrée V_{IN} et le courant d'entrée I_{IN} , la tension de sortie V_{OUT} et le courant de sortie I_{OUT} , ainsi que le courant de masse I_{GND} .

Figure 3-20 Définition des grandeurs entrée/sortie du régulateur *LT1129*.

La puissance dissipée par l'étage d'entrée s'exprime par le produit du courant de masse I_{GND} par la tension d'entrée V_{IN} . La puissance dissipée par l'étage de sortie s'exprime par le produit du courant de charge I_{OUT} par la différence de potentiels V_{DO} entre l'étage d'entrée et l'étage de sortie. L'expression de la puissance dissipée totale P_{DIS} du régulateur de tension est la somme de deux composantes :

$$P_{DIS} = I_{OUT}(V_{IN} - V_{OUT}) + I_{GND}V_{IN} \quad (3.1)$$

4.2.2 Modèle VHDL-AMS électrothermique

La définition des grandeurs électriques utiles pour l'écriture du modèle électrothermique débouche sur une stratégie de modélisation. Elle tient compte du fait qu'il est nécessaire de paramétrer le modèle en fonction de la température. Une nouvelle entrée est donc nécessaire à l'interface d'entrées-sorties du composant de puissance. Le modèle électrothermique prend en compte la température. La définition de cette grandeur se réalise aisément avec *VHDL-AMS*. Le langage autorise la modélisation de systèmes de multiples technologies. La représentation du terminal température (Temp) se fait au niveau de l'entité du modèle *VHDL-AMS* dans l'interface port. Ensuite la définition de la température localisée T_{puce} est réalisée sous la forme d'une quantité qui représente par définition la température du composant et la grandeur puissance_puce représente le flux de puissance qui existe entre les nœuds thermiques temp et l'environnement de la puce. La figure 3-21 présente la nouvelle interface entité et architecture partielle du modèle *VHDL-AMS* électrothermique. Les nouveaux paramètres génériques du modèles électrothermique sont des coefficients pour des lois de dépendances en température polynômiales.

```

entity reguleur is
    generic (
        kp0 : real:= 8.0; ---mA/V*V
        kp1 : real:= 0.0;
        kp2 : real:= 0.0;

        vt0 : real:= 0.6;---tension de seuil du pass-device V
        vt1 : real:= 0.0;
        vt2 : real:= 0.0;

        lambda0 :real:= 0.0;      ---effet early
        lambda1 :real:= 0.0;
        lambda2 :real:= 0.0;

        vref0 : real:= 3.65; ---tension de seuil pour vref V

        vref1 : real:= 0.0;
        vref2 : real:= 0.0;

        Ad0 : real:= 1.0e4; ---gain en tension differentiel
        Ad1 : v:= 0.0;
        Ad2 : real:= 0.0;
        ---regulation amont
        Lr0 : real:=0.0; ---coefficients de la fonction
        Lr1 : real:=0.0; --- Lr=f(temperature)
        Lr2 : real:=0.0;

        ---regulation aval Ohm
        Ldr0 : real:=0.0; ---coefficients de la fonction
        Ldr1 : real:=0.0; --- Ldr=f(temperature)
        Ldr2 : real:=0.0;
    );
end entity;

```

```

Ignd00 : real:= 0.0; ---coefficients de la fonction
Ignd01 : real:= 0.0; --- ignd=f(temperature, iout)
Ignd02 : real:= 0.0;
Ignd10 : real:= 0.0;
Ignd11 : real:= 0.0;
Ignd12 : real:= 0.0;
Ignd20 : real:= 0.0;
Ignd21 : real:= 0.0;
Ignd22 : real:= 0.0;

Trefrence : real:= 25.0 ---temp. de reference en °C);

port ( terminal Tin, Tout, Tadj, Tgnd : electrical;
      terminal Temp: thermal);
end entity regulateur;

architecture level2 of regulateur is
---**regulator**
quantity vin across Tin to Tgnd;
quantity vout across Tout to Tgnd;
quantity vgnnd across Tgnd to electrical_ground;
quantity vadj across iadj through Tadj to Tgnd;
quantity vrefvrai : real:=0.0;
---**ampli_diff**
quantity vindiff : real:=0.0;
quantity vinverseuse : real:=0.0;
quantity vg : real:=1.0;
quantity v0 : real:=1.0;
---point milieu des alimentations
quantity vinl : real:=1.0;
--- tension d'entree limite avant saturation basse
quantity vinh : real:=1.0;
--- tension d'entree limite avant saturation haute
quantity vinh1 : real:=10.0e-24;
quantity Ad : real:=1.0e+04;---gain differentiel
---**passdevice**
quantity vdo across iout through Tin to Tout;
quantity vgs : real:=1.0;
quantity kp : real:=1.0;
quantity lambda : real:=1.0;
quantity vt : real:=1.0;
---**voltage reference**
quantity vref : real:=1.0;
---**regulation_ament/regulation_aval**
quantity vreg_ament : real:=0.0;
quantity vreg_aval : real:=0.0;
quantity lr : real:=0.0;
quantity ldr : real:=0.0;
---**ground_pin_current**
quantity ignd through Tin to Tgnd;
---**thermal_reference**
quantity Tpuce across Puissance_puce through Temp
to thermal_ground; ---temperature exterieure
quantity Delta_Temp : real:=0.0;

begin
---**thermal_reference**
Delta_Temp == Tpuce - Trefrence;
---**Puissance dissipee**
Puissance_puce == (vin-vout)*iout + ignd*vin;

iadj == 0.0;
---**regulation_ament/regulation_aval**
lr == lr0 + lr1*Delta_Temp + lr2* Delta_Temp **2.0;
vreg_ament == vin*lr;
ldr == ldr0 + ldr1* Delta_Temp + ldr2* Delta_Temp
**2.0;
vreg_aval == iout*ldr;
vinverseuse == vadj + vreg_aval - vreg_ament;
---**ground_pin_current**
ignd == (Ignd00 + Ignd01 * Delta_Temp + Ignd02 *
Delta_Temp **2) + (Ignd10 + Ignd11 * Delta_Temp +
Ignd12 * Delta_Temp **2)*iout + (Ignd20 + Ignd21 *
Delta_Temp + Ignd22 * Delta_Temp **2)*iout**2;
---**pass-device**---
kp == kp0 + kp1* Delta_Temp + kp2* Delta_Temp **2.0;
vt == vt0 + vt1* Delta_Temp + vt2* Delta_Temp **2.0;
lambda == lambda0 + lambda1* Delta_Temp +
lambda2* Delta_Temp **2.0;
vgs == vg - vgnnd - vout;

if vgs <= vt use
vout == 0.0;
elsif vdo <= ( vgs - vt ) use
iout == kp*( (vgs-vt)*vdo - vdo**2/2.0 )*(1.0 +
lambda*vdo);
else
iout == kp*0.5*( (vgs-vt)**2)*(1.0 + lambda*vdo);
end use;

---**voltage-reference**---
vref ==vref0 + vref1* Delta_Temp + vref2* Delta_Temp
**2.0;
if vin <= vref use
vrefvrai == vin;
else
vrefvrai == vref;
end use;
---**amplificateur differentiel**---
---**gain differentiel**---
Ad == Ad0 + Ad1* Delta_Temp + Ad2* Delta_Temp
**2.0;
---**entree differentielle**---
vindiff == vrefvrai - vinverseuse;
---**point milieu des alimentations**---
v0 == (vin + vgnnd)/2.0;
---**tension d'entree limite avant saturation basse**---
vinl == ((vgnnd - vin)/2.0)/Ad;
---** tension d'entree limite avant saturation haute**---
vinh == ((vin - vgnnd)/2.0)/Ad;
---**tension en sortie de l'amplificateur differentiel**---
-
if vinh <= 10.0e-24 use
vinh1==10.0e-24;
else
vinh1 == vinh;
end use;
---**limitation de tension en sortie de l'ampli**---
vg == (vin - v0)*(2.0/math_pi)*arctan(vindiff,vinh1) + v0;
end architecture level2;

```

Figure 3-21 Entité et architecture du modèle électrothermique VHDL-AMS.

La puissance dissipée a été définie, elle s'exprime en fonction des grandeurs électriques d'entrées et de sorties du composant. Ces grandeurs électriques, notamment leurs variations, sont dépendantes de la température localisée. Par conséquent, afin d'exprimer une puissance dissipée localisée en fonction de la température, il est nécessaire de définir une dépendance à

la température des paramètres électriques du modèle. Ce qui revient à construire un modèle électrothermique du régulateur.

Pour cela, il a été réalisé une extraction de paramètres à partir des données expérimentales fournies par *MBDA*. Ces résultats sont synthétisés dans la figure 3-22. Les nouveaux paramètres génériques sont utiles pour exprimer leur dépendance à la température. Le modèle *VHDL-AMS* électrothermique du régulateur de tension est ensuite utilisé au cours de la phase de validation.

| | | | |
|-------------------------------------|-------------------------------------|---|---|
| Pass-device Gain KP | Kp0 5.2 A/V ² | Kp1 -0.024 A/(V ² .°C) | Kp2 0.0001277 A/(V ² .°C ²) |
| Pass-device Tension de seuil vt | Vt0 0.0310008 V | Vt1 0.000479483 V/°C | Vt2 2.21492e-07 V/°C ² |
| Pass-device Effet d'Early lambda | lambda0 0.351094 V ⁻¹ | lambda1 -0.0034504 V ⁻¹ /°C | lambda2 4.62157e-05 V ⁻¹ /°C ² |
| Tension de référence Vref | Vref0 3.781 V | Vref1 1.4e-04 V/°C | Vref2 -1e-05 V/°C ² |
| Amplificateur Différentiel Ad | Ad0 15340.9 -- | Ad1 -36.5607 -- | Ad2 -0.113149 -- |

Figure 3-22 Paramètres électrothermiques du modèle électrothermique *VHDL-AMS*.

Une étude comparative, entre les données de simulations obtenues à partir du modèle *VHDL-AMS* et les données expérimentales, est proposée par la figure 3-23. Le composant de puissance est polarisé en boucle fermée unitaire. Nous étudions la courbe de transfert obtenue pour un courant de charge donné et différentes tensions d'entrée. Nous attachons moins d'importance à la zone de non-régulation puisque le composant est amené à fonctionner uniquement en régulation, c'est à dire des tensions d'entrée supérieure à la tension de référence.

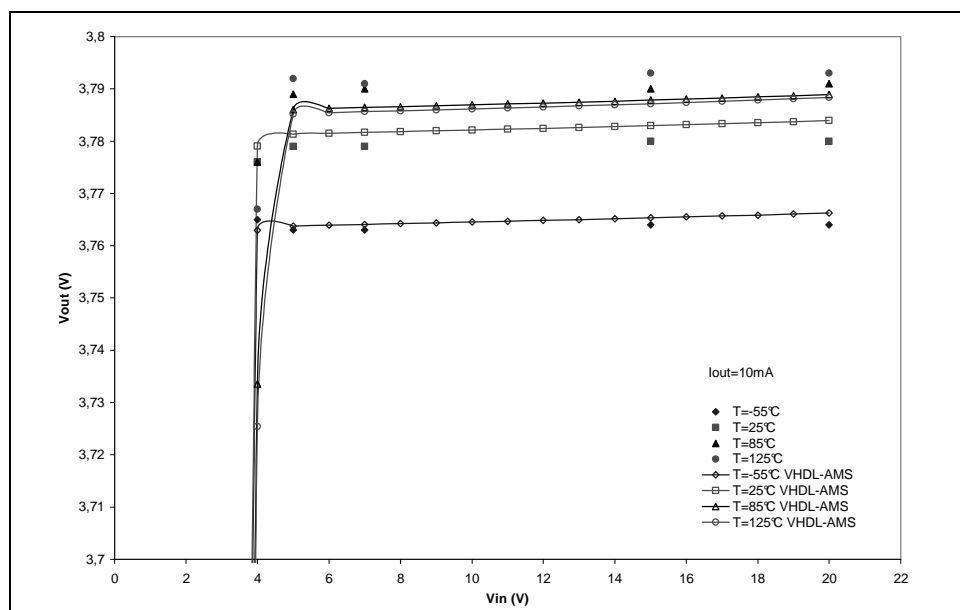


Figure 3-23 Comparaison de la caractéristique de transfert $V_{OUT}=f(V_{IN})$.

Les résultats montrent le bon accord entre les deux types de caractéristiques dans la zone de fonctionnement en régulation pour la plage de température -55°C à $+125^{\circ}\text{C}$. Une marge d'erreur maximale de 17% en zone de régulation est obtenue pour une température de $+125^{\circ}\text{C}$, cette erreur est équivalente à une variation de 7 millivolts de la tension de sortie du modèle *VHDL-AMS*.

A la suite de cette comparaison, nous validons le modèle *VHDL-AMS* du régulateur de tension. Désormais, nous pouvons appliquer le modèle *VHDL-AMS* au cours d'une simulation électrothermique.

4.3 Application en simulation électrothermique

Cette simulation a pour rôle de générer les données d'entrées pour le simulateur thermique, c'est à dire la puissance dissipée localisée du composant de puissance *LT1129*. Pour cela, nous avons besoin de connaître une donnée d'entrée primordiale, c'est à dire les variations de température locales du composant.

Ces variations de température ont été calculées par le simulateur thermique comme le préconise le flot de données de la simulation électrothermique exposé en figure 3-1. La société *EPSILON* a géré la simulation thermique au cours du projet *SPARTE*. Elle a défini un modèle physique du composant de puissance à partir des données technologiques obtenues auprès du constructeur du régulateur de tension *LT1129*.

La simulation électrique et thermique est effectuée avec le simulateur analogique *ELDO* de l'application *ADVanceMS*. C'est une analyse de type transitoire qui est utilisée dans ce cas. La durée de la simulation est fixée à une minute. Cette simulation transitoire consiste à générer la quantité de puissance dissipée par le composant de démonstration en fonction des contraintes opérationnelles et environnementales. La simulation est effectuée pour un régulateur de tension en configuration de boucle unitaire, c'est à dire que le composant de

puissance, en régime de régulation, a une tension de sortie équivalente à la tension de référence du régulateur. Le signal d'entrée V_{IN} varie de 0 volt à 10 volts sur la période temporelle de soixante secondes. La variation du signal d'entrée couvre les deux régions de fonctionnement du régulateur de tension, c'est à dire la zone de non-régulation, et la zone de régulation celle pour laquelle la tension d'entrée V_{in} est supérieure à la somme de la tension de référence V_{REF} et de la chute de tension minimale aux bornes du transistor de puissance V_{DO} .

Une montée en tension est imposée en entrée du régulateur sur une période temporelle de dix secondes, ensuite le signal d'entrée est maintenu à dix volts pour le temps de simulation restant. La figure 3-24 donne les variations du signal d'entrée. La figure 3-25 exprime les variations correspondantes du signal de tension en sortie du régulateur. Il apparaît évident que le composant de puissance atteint son régime de fonctionnement en régulation dès que le signal d'entrée est supérieur à la tension de sortie de référence, c'est à dire 3,75 volts.

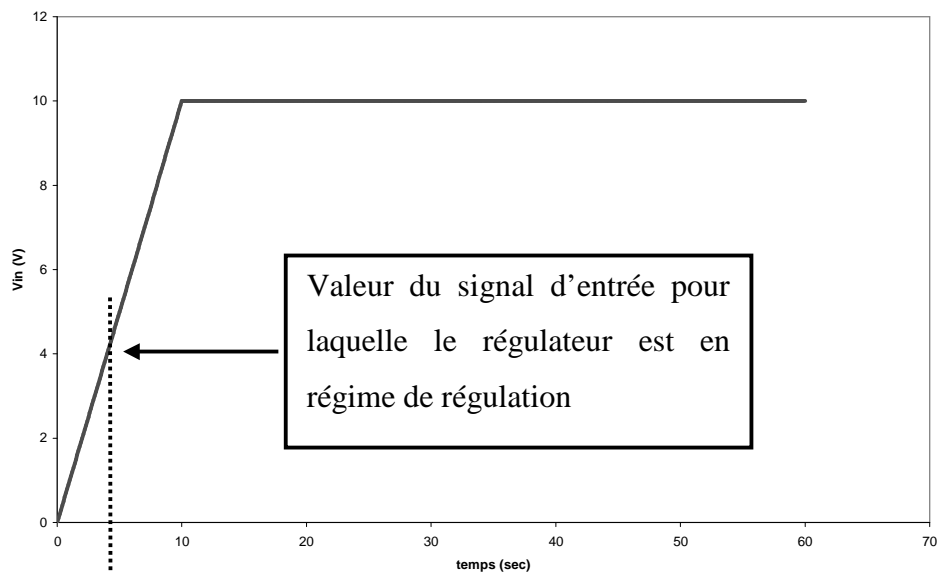


Figure 3-24 Variation temporelle du signal d'entrée V_{in} du régulateur de tension *LT1129*.

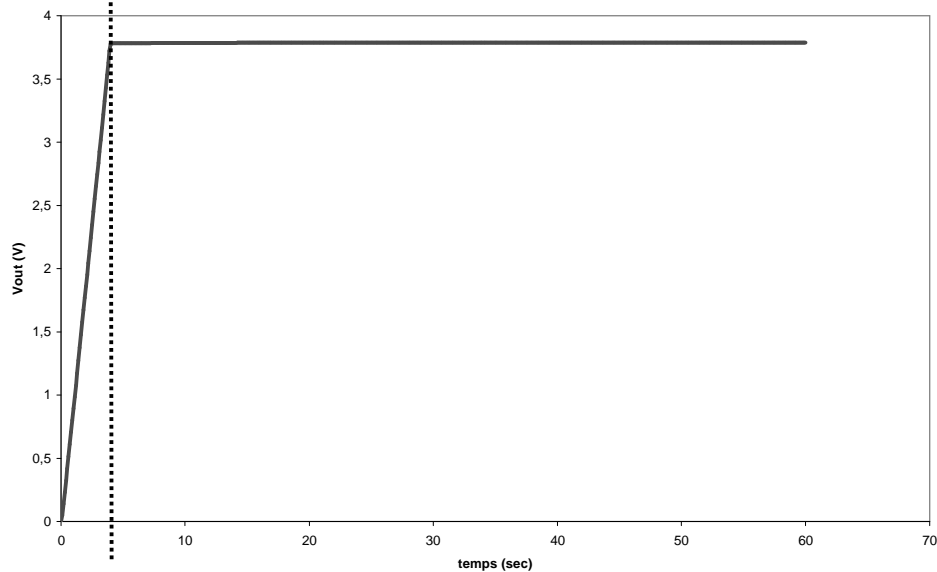


Figure 3-25 Variation temporelle de la tension de sortie V_{OUT} du régulateur de tension *LT1129*.

La puissance dissipée par le composant est aussi fonction de la température de la puce. La figure 3-26 donne les variations de la température locale de la puce en fonction du temps. Ces données ont été extraites de la simulation thermique, réalisée par la société *EPSILON*, à partir d'une modélisation physique et technologique du régulateur de tension.

Le régulateur de tension *LT1129* est connecté à une charge commandée qui permet de générer les variations du courant de sortie du composant. La variation de puissance induite est donc directement évaluée en fonction des variations des grandeurs d'entrées et de sorties du

régulateur de tension. Les variations du courant de sortie sont données par la figure 3-27. Elles sont définies pour une gamme de courant comprise entre 0 à 80 mA.

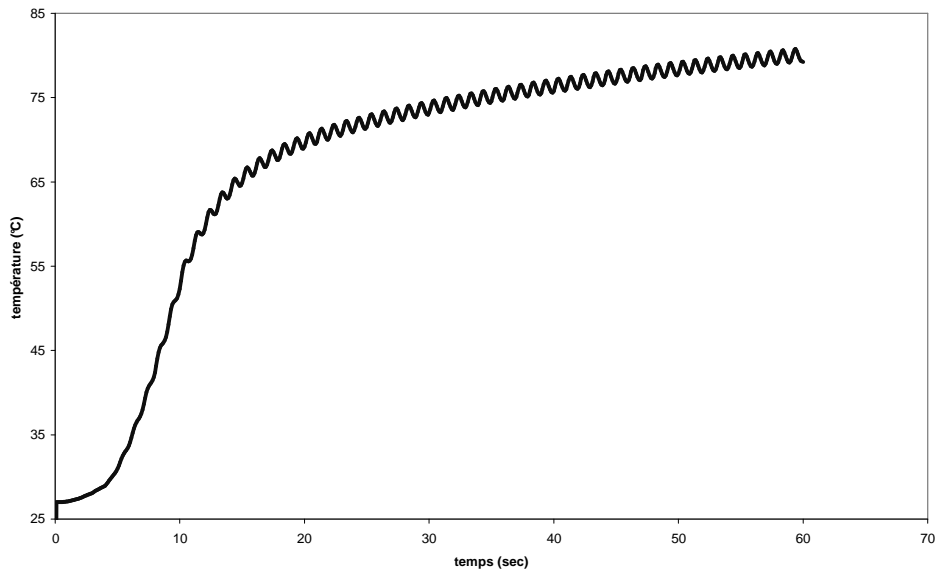


Figure 3-26 Variation de la température locale du régulateur *LT1129* extraite du simulateur thermique par la société *EPSILON*.

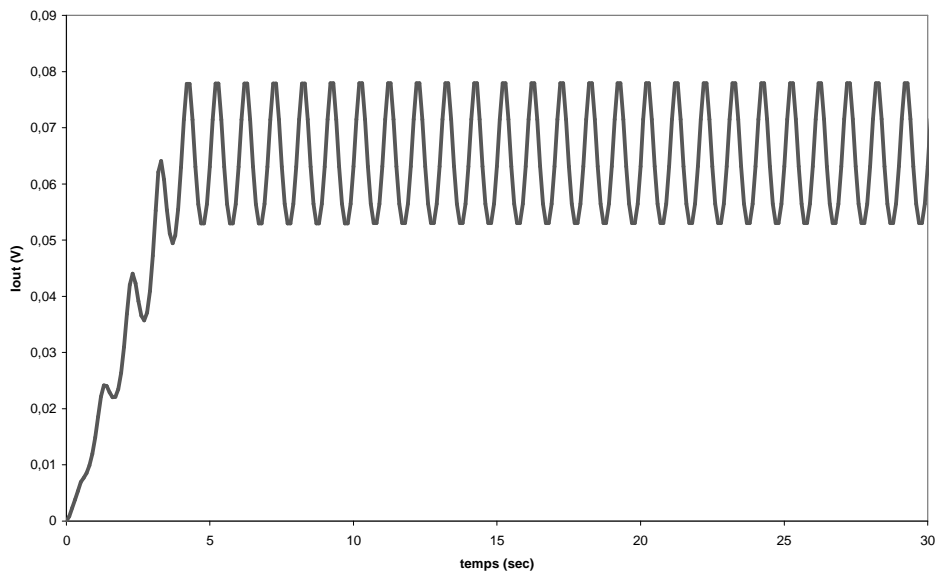


Figure 3-27 Variation du courant de sortie I_{OUT} du régulateur *LT1129*.

La puissance dissipée est alors évaluée en fonction des variations des grandeurs d'entrées et de sorties ainsi que la variation de la température locale du composant de puissance. La figure 3-28 donne les variations équivalentes de la puissance dissipée pour un régulateur de tension polarisé en configuration de boucle unitaire. Nous observons l'effet de la température sur les

variations de la puissance dissipée par le composant. La puissance moyenne maximale est atteinte pour une température de l'ordre de 75°C.

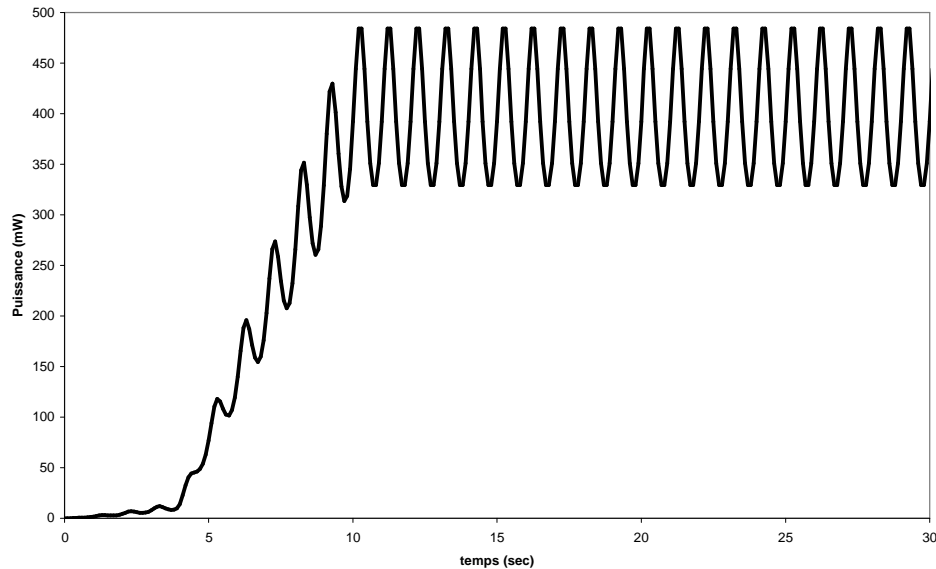


Figure 3-28 Variation de la puissance dissipée par le régulateur *LT1129* en configuration de boucle fermée unitaire.

4.4 Synthèse

A partir de données du constructeur, la définition des grandeurs électriques du composant de puissance a conduit à la construction d'un modèle *VHDL-AMS* électrique. Les résultats expérimentaux réalisés par *MBDA* sur le comportement électrothermique du composant nous ont permis de faire un travail de caractérisation électrothermique du composant. Ensuite, une phase d'extraction de paramètres permet de définir les lois de variations électrothermiques des paramètres électriques du composant de puissance. Ce travail a contribué à la construction d'un modèle *VHDL-AMS* électrothermique. Le modèle a été validé par simulation électrique. Son utilisation dans le cadre du projet *SPARTE* a permis de valider la méthode qui couple deux simulateurs, un simulateur électrique, et un simulateur physique. Ce couplage permet de mettre en œuvre un échange de données électriques et thermiques pour la simulation électrothermique.

5 Conclusion

Le projet *SPARTE* a pour but de définir et implémenter les méthodes et outils qui permettent d'évaluer l'aptitude de composants commerciaux pour répondre aux besoins de performances et au comportement fonctionnel attendu face aux conditions opérationnelles environnementales. Ces méthodes et outils s'adressent à tout le cycle de vie d'un composant en milieu industriel. Le projet *SPARTE* se concentre sur les effets électrothermiques, et l'évaluation de ces effets s'appuie sur la physique des composants et une approche de la simulation de multiples technologies qui établit les liens entre la modélisation thermique et la modélisation électrique des systèmes électroniques.

Dans ce cadre, nous avons contribué au développement d'un modèle comportemental *VHDL-AMS* électrothermique. Le circuit de démonstration est un composant de puissance : le régulateur de tension *LT1129*. Notre travail s'est appuyé sur les points clés de la méthode de construction d'un modèle comportementale *VHDL-AMS*. Tout d'abord, à partir de données du constructeur et une connaissance de la structure interne du composant, un modèle *VHDL-AMS* électrique a été défini. Ensuite, à partir de mesures expérimentales électrothermiques, le modèle *VHDL-AMS* du régulateur a été adapté pour définir la dépendance à la température des paramètres du modèle électrique. Cette étape a permis de construire le modèle électrothermique *VHDL-AMS* du régulateur de tension.

A présent, le modèle comportemental *VHDL-AMS* du régulateur de tension prend en compte les effets de la température. Il est alors utilisé pour une application en simulation électrothermique. Cette application est réalisée par le couplage de deux simulateurs : un simulateur électrique et un simulateur physique. L'application du modèle *VHDL-AMS* dans la simulation couplée a permis de valider la méthode définie pour répondre aux objectifs du projet *SPARTE*.

La construction du modèle *VHDL-AMS* du composant de puissance a mis en évidence les avantages de la modélisation comportementale. Les propriétés du langage *VHDL-AMS* offrent la possibilité de définir des modèles électriques de faible complexité pour un circuit de complexité moyenne. Cette approche facilite le dimensionnement du modèle dont les paramètres électriques peuvent être ajustés à partir de données expérimentales. De plus, nous avons la possibilité d'ajouter des propriétés de multiples technologies, sans difficulté majeure, comme nous l'avons fait avec l'introduction de la température dans le but de faire une application du modèle *VHDL-AMS* en simulation électrothermique.

De plus, Il est possible d'inclure directement le comportement dynamique de la thermique dans un modèle *VHDL-AMS* d'un circuit et/ou un système électronique. La définition et la construction de ce nouveau modèle *VHDL-AMS* électrothermique aurait pour avantage de s'affranchir du couplage de deux simulateurs. Dans ce cas, une seule simulation électrique suffirait pour analyser les effets dynamiques de la température sur la fonctionnement électrique des circuits électroniques.

D'autres paramètres environnementaux différents de la température peuvent être définis et ajoutés dans le modèle *VHDL-AMS*. La méthode de construction du modèle *VHDL-AMS*

électrothermique est donc reproductible pour d'autres applications et extensible à d'autres circuits électroniques voire systèmes.

CHAPITRE 4

Modèles VHDL-AMS et simulation de la fiabilité

1 Introduction

La simulation de la fiabilité est aujourd'hui une activité à part entière dans le flot de conception des circuits électroniques. Elle est une aide à la conception des circuits dans le but d'améliorer la robustesse des circuits vis à vis des mécanismes de dégradation qui peuvent affecter les structures des technologies. Elle permet de faire une étude prédictive de la fiabilité des circuits électroniques. Les outils de la simulation de la fiabilité sont construits sur la base des simulateurs électriques de type *SPICE*. Ces outils comprennent une librairie de modèle *SPICE* dont les caractéristiques sont modifiées afin de définir la dépendance des paramètres électriques au mécanisme de dégradation et au temps de vieillissement. Ceci est réalisé grâce à la construction d'algorithmes spécifiques.

Le développement de ces outils est en pleine phase de croissance. Aujourd'hui, il est nécessaire de réorienter le développement de ces outils vers une approche de la simulation de la fiabilité des systèmes électroniques. C'est le travail que nous présentons dans ce chapitre. Nous faisons la démonstration de la faisabilité de la construction de modèles de fiabilité fondée sur le langage comportemental *VHDL-AMS* dans le but de prédire la fiabilité des dispositifs élémentaires et des circuits électroniques.

Nous proposons de passer en revue les éléments nécessaires pour la mise en œuvre de la simulation du vieillissement électrique de circuits électroniques *CMOS*. Notre intérêt se concentre sur un mécanisme d'usure qui affecte la technologie *CMOS* : l'injection de porteurs chauds. Notre travail s'appuie sur les propriétés du langage *VHDL-AMS*. Nous définissons une méthode de construction de modèles *VHDL-AMS* de fiabilité des dispositifs et circuits analogiques *CMOS*.

Dans le cadre de la méthode ascendante, nous proposons dans un premier temps de construire des modèles de fiabilités des dispositifs élémentaires de la technologie *CMOS*. Ensuite, nous étudions la construction d'un modèle de fiabilité *VHDL-AMS* d'un circuit analogique.

Nous faisons l'étude d'un modèle structurel et d'un modèle fonctionnel. Le modèle structurel est construit à partir du modèle de fiabilité du dispositif élémentaire comme si nous étions dans une phase de conception. Le modèle fonctionnel est construit à partir du modèle électrique simplifié de l'amplificateur opérationnel auquel nous ajoutons des modules spécifiques afin de déterminer un modèle fonctionnel *VHDL-AMS* de fiabilité.

Ces différents modèles sont utilisés en simulation de vieillissement électrique. Les résultats obtenus démontrent et valident notre méthode de construction de modèles *VHDL-AMS* de fiabilité.

2 Méthode de construction de modèles VHDL-AMS de fiabilité

2.1 Des modèles SPICE de fiabilité

Les modèles électriques *SPICE* disponibles dans les bibliothèques de conception sont compilés dans le cœur du simulateur électrique. Ils sont écrits en langage *C*, et la modification de leurs caractéristiques (ajout de paramètres, modification des équations électriques) n'est pas très simple. Le développement d'outils de simulation de fiabilité, à partir d'un simulateur analogique de type *SPICE*, a nécessité l'utilisation de techniques de modélisation adaptées. Il existe plusieurs techniques. Chaque technique a donné naissance à un modèle électrique *SPICE* de fiabilité. L'usage de ces techniques a été possible parce que les développeurs ont un accès au noyau de simulation. Si ce n'est pas le cas, le développeur construit le modèle de fiabilité par l'ajout d'éléments externes au modèle électrique *SPICE*.

Différents modèles ont été définis pour la technologie *CMOS* et sa robustesse face à l'injection de porteurs chauds. Trois d'entre eux sont cités ici et illustrés par la figure suivante :

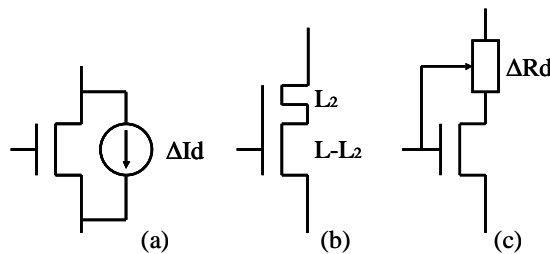


Figure 4-1 Modèles *SPICE* destinés à la simulation de la fiabilité des circuits *CMOS* vis à vis de l'injection de porteurs chauds.

Le modèle (a) a été développé dans le cadre du simulateur *BERT*⁸⁶. Il propose à partir du jeu de paramètres électriques dégradés du modèle *SPICE* d'évaluer la variation équivalente du courant drain-source, ce calcul étant réalisé à partir de tables de données expérimentales obtenues par caractérisation courant-tension.

Le modèle (b) a été développé dans le cadre du développement de l'outil *iSMILE*⁸⁷. Il est équivalent à la mise en série de deux transistors dont un a sa longueur effective de canal qui varie en fonction de la dégradation induite par la génération d'états d'interface. Le modèle a été construit à partir de données expérimentales issues de la caractérisation électrique mettant en application la méthode du pompage de charges. L'ajustement du modèle s'effectue par l'intermédiaire de deux paramètres, la charge équivalente à la génération d'états d'interface et la longueur effective de canal.

Le modèle (c) est construit à partir de l'ajout d'une résistance série connectée au drain de la primitive *SPICE* du transistor *MOSFET*. Ce modèle a été développé pour modéliser la variation de la résistance série de drain induite par la génération d'états d'interface⁸⁸. Ce modèle a la particularité de n'avoir qu'un seul paramètre à ajuster, en l'occurrence la densité d'états d'interface. Pour ce modèle, la caractérisation de la dégradation est réalisée par la méthode du pompage de charge.

Les modèles (b) et (c) sont très spécifiques à l'étude de la dégradation induite par la densité d'états d'interface. Ces modèles ont un jeu de paramètres d'ajustement réduit. Même si le jeu de paramètres de ces deux modèles est réduit, leur utilisation en simulation de vieillissement reste très limitée car ils ne prennent en compte qu'un seul mode d'injection de porteurs chauds.

Le modèle (a) a un jeu de paramètres dégradés comprenant tous les paramètres électriques du modèle *SPICE* du dispositif élémentaire. L'ordre de grandeur de ces paramètres est obtenu à partir de procédures automatiques d'extraction, suite à des caractérisations électriques courant-tension. Ces données d'extraction permettent de définir la variation temporelle de chaque paramètre électrique⁸⁹. Par contre, ces lois de variations sont dépendantes des contraintes électriques du dispositif élémentaire. Ces lois de variations temporelles sont utilisées au cours de la simulation de vieillissement électrique pour estimer la variation du courant drain-source du dispositif élémentaire. La variation de courant est donc la résultante du mécanisme de dégradation induit par l'injection de porteurs chauds. De ce fait, l'utilisation de ce modèle pour la simulation de vieillissement électrique est intéressante, parce que le calcul de la dérive du courant de drain est réalisé sans faire de distinction entre les différents modes d'injection des porteurs chauds.

2.2 De la modélisation SPICE vers la modélisation VHDL-AMS

Le traitement de la fiabilité de la technologie *CMOS*, vu au premier chapitre, montre que la technique de caractérisation courant-tension permet de mettre en évidence les dérives temporelles des paramètres électriques du transistor *MOSFET*. Cette étude a pour but de définir les variations dynamiques des paramètres électriques.

Or, d'un point de vue modélisation et simulation électrique, les paramètres électriques des modèles *SPICE* de la technologie *CMOS* ont, par défaut, des propriétés statiques. Il est par conséquent très difficile de simuler le vieillissement électrique avec les outils de conception électronique. Cependant certains travaux, présentés au premier chapitre, montrent que nous pouvons faire évoluer ces outils de simulation électrique vers des outils de simulation de vieillissement électrique. Pour cela, il est avantageux d'être propriétaire d'un simulateur électrique de type *SPICE*, d'une librairie de modèles électriques *SPICE*, de définir des algorithmes spécifiques pour générer les propriétés dynamiques des paramètres électriques, d'assurer le traitement des données avant et après simulation.

Cette technique de modélisation provient des caractéristiques intrinsèques du simulateur *SPICE*. C'est un simulateur analogique à primitives, c'est à dire que les modèles *SPICE* des librairies sont compilés avec le noyau de simulation. Ces modèles électriques sont donc uniquement accessibles par l'intermédiaire du fichier de conception, autrement dit la liste des primitives à simuler. De plus, le langage initialement associé au simulateur,

les langages *C* ou *Fortran*, ne sont pas très lisibles. Nous comprenons alors que l'évolution des modèles électriques de base des dispositifs élémentaires n'est pas très souple. Enfin, la modélisation bas-niveau des dispositifs élémentaires impose des caractéristiques intrinsèques aux primitives.

La figure 4-2 propose un comparatif des caractéristiques intrinsèques des modèles électriques *SPICE* et *VHDL-AMS*. Le modèle *SPICE*, écrit en langage *C*, possède un jeu de paramètres statiques. Les caractéristiques électriques intrinsèques du modèle sont figées puisque nous n'avons pas la possibilité de modifier ou d'ajouter des équations électriques. Le modèle *SPICE* est vu comme une boîte noire.

Par contre, le code source du modèle *VHDL-AMS* est accessible. Le modèle *VHDL-AMS* possède aussi un jeu de paramètres statiques. Les caractéristiques électriques intrinsèques du modèle ne sont pas figées puisque nous avons la possibilité de manipuler des grandeurs électriques dépendantes du temps de simulation, de modifier ou d'ajouter des équations électriques.

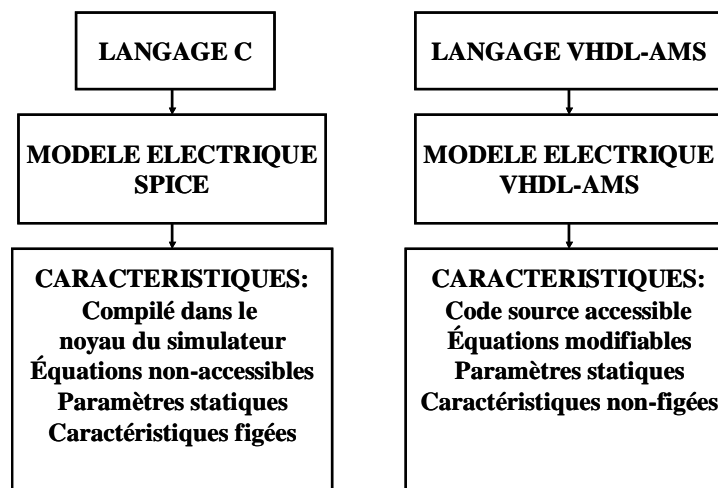


Figure 4-2 Comparatif des caractéristiques des modèles *SPICE* et *VHDL-AMS*.

2.2.1 Variation dynamique des paramètres électriques

Pour la simulation de vieillissement, les paramètres des modèles électriques *SPICE* doivent avoir des propriétés dynamiques. Ceci est réalisé grâce à la définition d'algorithmes spécifiques qui permettent de lier les paramètres électriques au temps de vieillissement électrique. Cette technique de modélisation et de simulation semble relativement compliquée. Afin de simplifier cette approche, il serait nécessaire de prendre en compte, dans les modèles de fiabilité, des grandeurs électriques qui sont directement dépendantes du temps de vieillissement. Les modèles de fiabilité des dispositifs *MOSFET* seraient construits sans tenir compte d'algorithmes spécifiques pour la mise à jour de leurs paramètres statiques. Par conséquent, les paramètres du modèle électriques de fiabilité auraient des propriétés dynamiques « naturelles ».

Les propriétés du langage *VHDL-AMS* nous permettent de répondre à ces besoins.

Les exemples traités dans le second chapitre ont mis en évidence les caractéristiques d'un modèle *VHDL-AMS*. Il est défini par une entité et une architecture. L'entité définit la liste

des paramètres génériques du modèle. Elle comprend aussi la définition de l'interface port des terminaux d'entrée-sortie. L'architecture intègre la liste des équations électriques qui relient entre elles les quantités électriques du modèle. Chaque équation du modèle fait usage d'un ou plusieurs paramètres génériques.

Un modèle *VHDL-AMS* est construit à partir d'une liste de paramètres génériques. Ces paramètres sont des constantes, c'est à dire qu'ils ont des propriétés statiques qui sont équivalentes à celles des paramètres électriques d'un modèle *SPICE*. Ce sont des constantes ajustables en dehors du modèle, mais elles conservent leur valeur tout au long d'une simulation.

Pour leur ajouter des propriétés dynamiques, il est nécessaire de définir une quantité électrique qui matérialise la variation dynamique des paramètres. Cette quantité électrique est alors placée dans l'architecture du modèle. Cette nouvelle quantité représente la valeur instantanée du paramètre électrique par rapport au temps courant de simulation. Ce sera la somme de la valeur initiale, le paramètre générique statique, et la variation dynamique induite par les contraintes électriques imposées au circuit électronique :

$$P(t) = P_0 + \Delta P(t) \quad (4.1)$$

Cette équation met donc en évidence un avantage du langage *VHDL-AMS*. Il est possible d'introduire directement dans le modèle électrique *VHDL-AMS* un modèle de dégradation dépendant des contraintes électriques.

2.2.2 Gestion de la double échelle de temps

Nous avons vu au premier chapitre que les outils actuels ont besoin de fonctionnalités particulières (algorithmes) pour calculer les variations dynamiques des paramètres électriques au cours de l'échelle des temps de vieillissement.

Dans notre cas d'étude, le modèle *VHDL-AMS* de dégradation est aussi construit à partir de grandeurs électriques dépendantes du temps de vieillissement. L'usage de ces grandeurs électriques est possible avec le langage de modélisation comportementale *VHDL-AMS*. La norme *IEEE* propose un accès au temps courant de simulation ; celui-ci est référencé par la fonction prédéfinie *NOW*. Cette grandeur retourne le temps courant de simulation, ce qui veut dire que nous serons limités par le temps de simulation maximale autorisé par les caractéristiques intrinsèques du simulateur analogique. Par exemple, le simulateur analogique que nous utilisons autorise une durée maximale de l'analyse transitoire d'environ dix mille secondes, soit à peu près une durée de trois heures.

Nous contournons cette limitation en introduisant un facteur d'échelle temporelle. Cette constante a pour objectif de projeter l'échelle des temps de vieillissement sur une échelle des temps correspondant à une durée d'analyse transitoire classique :

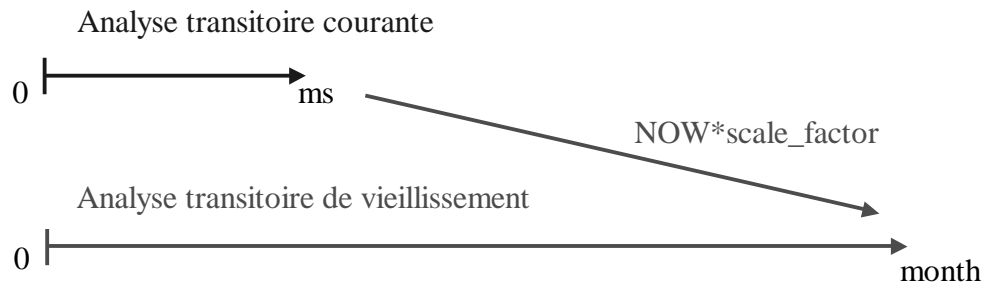


Figure 4-3 Génération de l'échelle de vieillissement.

Par exemple, nous pourrions choisir une seconde du temps courant de simulation transitoire comme équivalent à une heure de l'échelle des temps de vieillissement. Il serait alors possible de simuler plus de quatre cent jours de vieillissement électrique, soit une durée équivalente à dix mille heures de vieillissement électrique cumulé. Le facteur d'échelle apparaît donc comme un facteur d'accélération. Le dimensionnement de cette constante nécessite une validation expérimentale à partir de lois de dégradation extraites de vieillissements accélérés des dispositifs élémentaires⁹⁰.

La technique de modélisation *VHDL-AMS* a plus de souplesse que la modélisation *SPICE*. Elle offre de nombreuses opportunités pour le développement d'un outil de simulation de la fiabilité basé sur l'utilisation d'une bibliothèque de modèles *VHDL-AMS* de vieillissement électrique. Cette bibliothèque serait composée de divers modèles *VHDL-AMS* du transistor aux circuits électroniques.

2.3 Construction de modèles VHDL-AMS de fiabilité

Pour la construction d'un modèle de fiabilité *VHDL-AMS* d'un circuit électronique, il est nécessaire de connaître le cahier des charges défini pour la phase de conception du circuit. Ce cahier des charges définit les caractéristiques de la technologie du dispositif élémentaire. Il exprime aussi les performances électriques du circuit, le domaine d'application, donc l'environnement dans lequel il va évoluer.

Ces informations permettent de définir les signaux d'entrées et les signaux de sorties du circuit ainsi que les différentes contraintes électriques, thermiques ou autres que pourrait subir le circuit électronique.

Toutes ces informations sont utiles et, d'un point de vue fiabilité, déterminent le profil de mission du circuit.

En considérant que nous possédons ces informations, nous exprimons, dans cette partie, les étapes de la méthode pour la construction d'un modèle *VHDL-AMS* de fiabilité. Notre démonstration s'appuie principalement sur l'étude d'un circuit électronique *CMOS*. Puisque le régime de fonctionnement du circuit conditionne les contraintes électriques imposées au circuit et plus particulièrement aux dispositifs élémentaires, le modèle *VHDL-AMS* de fiabilité équivalent doit tenir compte de la nature du circuit. Le circuit de démonstration que nous utilisons est un circuit analogique *CMOS* polarisé autour d'un point de fonctionnement. Les contraintes électriques appliquées aux circuits et transistors *CMOS* vont donc conditionner la fiabilité du circuit électronique.

Pour la construction de nos modèles *VHDL-AMS* de fiabilité, nous définissons un modèle structurel et un modèle fonctionnel du circuit analogique. Le modèle structurel est construit à partir d'un modèle *VHDL-AMS* de fiabilité du dispositif élémentaire. Ce modèle tient compte de l'architecture interne du circuit analogique. Par contre, le modèle fonctionnel fait abstraction de la structure interne du circuit. C'est un modèle simplifié qui a pour but de générer le comportement électrique du circuit en s'appuyant sur des modèles analytiques.

2.3.1 Modèle VHDL-AMS structurel

2.3.1.1 Modèle de fiabilité du dispositif élémentaire

Dans cette partie, nous définissons les points clés nécessaires à la construction d'un modèle *VHDL-AMS* de fiabilité du transistor. Le dispositif élémentaire est l'élément de base pour la conception de circuits électroniques et sa fiabilité conditionne la fiabilité des circuits électroniques. La fiabilité du transistor est dépendante des contraintes électriques appliquées au circuit qui induisent une dégradation de performance des transistors. Cette dégradation d'usure se traduit, au cours du temps de vieillissement, sous la forme d'une variation des paramètres électriques du transistor. Le modèle de fiabilité doit donc relier les contraintes électriques du transistor à la dérive de ses paramètres électriques. Pour cela, nous définissons un modèle transitoire de fiabilité du transistor.

- Modèle transitoire

Le modèle transitoire de fiabilité a pour rôle de générer le comportement dynamique du vieillissement électrique du dispositif élémentaire. Il est construit sur la base du modèle de durée de vie qui est dépendant des contraintes électriques. Il existe plusieurs modèles comme nous l'avons vu au premier chapitre. Notre démonstration s'appuie sur le modèle de Hu en sachant que nous pourrions aisément lui substituer un autre modèle si l'on souhaitait modéliser un autre mécanisme de vieillissement.

Le modèle de Hu permet de déterminer la durée de vie du dispositif élémentaire selon un critère de dégradation donné. Ce modèle analytique est extrait de la mesure du rapport entre les courants de substrat et de drain, issus de tests expérimentaux accélérés. Il est en fait construit à partir de données expérimentales issues de tests de vieillissement accéléré pour lesquels les transistors sont polarisés dans des conditions de pire cas qui déterminent un courant de substrat maximum. Ensuite, la durée de vie du transistor, correspondant aux différents régimes de fonctionnement électrique, est extrapolée pour des conditions de polarisation opérationnelles.

A partir du modèle de Hu, nous avons donc la possibilité de modéliser le comportement dynamique de la dégradation. Ce modèle établit la relation entre les contraintes de polarisation du transistor et la dynamique de vieillissement électrique :

$$\Delta P(t) = f(V_{GS}, V_{DS}, I_{DS}, I_{BULK}, t) \quad (4.2)$$

L'équation (4.2) s'écrit sous la forme d'une équation différentielle qui exprime la variation du paramètre électrique au cours du temps en fonction des contraintes électriques :

$$\frac{\partial P(t)}{\partial t} = BI_{DS} \left(\frac{I_{BULK}}{I_{DS}} \right)^m \quad (4.3)$$

L'utilisation de ce modèle, en simulation, nous permet de générer les effets cumulatifs induits par le mécanisme de dégradation sur les paramètres électriques du transistor au cours du temps de vieillissement électrique.

2.3.1.2 Synthèse du modèle VHDL-AMS structurel

Le modèle de vieillissement du transistor est un point critique de la méthode de construction du modèle *VHDL-AMS* du circuit électronique. Il dépend fortement de la technologie du transistor. De plus, l'ajustement des paramètres du modèle de vieillissement du transistor nécessite un grand nombre de données expérimentales que nous n'avons pas à notre disposition. Les paramètres sont donc choisis ici sur la base du travail de bibliographie ou sont choisis arbitrairement. La conséquence de cette approximation réside dans le manque de précision sur l'évaluation de l'échelle des temps de vieillissement.

Le modèle de fiabilité du dispositif élémentaire est très intéressant pour la construction d'un modèle structurel de fiabilité des circuits analogiques. Ces modèles utilisés pour la conception des circuits sont une aide précieuse pour les concepteurs. Ils permettent, par un bouclage court sur la conception, de prédire et d'analyser la fiabilité des circuits électroniques.

2.3.2 Modèle VHDL-AMS fonctionnel

Nous définissons trois étapes pour la construction du modèle fonctionnel *VHDL-AMS* de fiabilité⁹¹. Le modèle *VHDL-AMS* de fiabilité, comme le montre la figure 4-4 doit tenir compte des conditions de polarisation du circuit *CMOS* qui sont à l'origine des contraintes électriques du dispositif élémentaire, d'un modèle de fiabilité du dispositif élémentaire *CMOS* qui détermine la dérive des paramètres électriques et de la sensibilité des paramètres électriques du circuit à la dégradation des paramètres électriques du dispositif élémentaire.

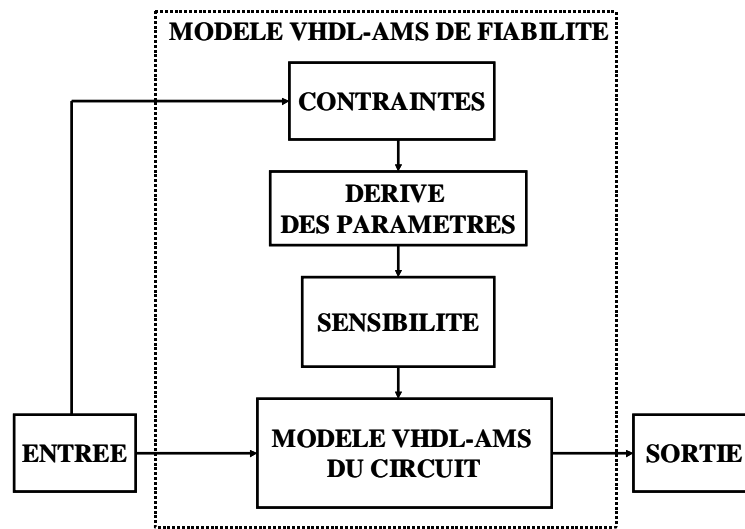


Figure 4-4 Modèle *VHDL-AMS* de fiabilité d'un circuit électronique.

2.3.2.1 Analyse des conditions de polarisation

L'analyse des conditions de polarisation est réalisée à partir de la structure à transistor du circuit électronique. A partir de simulations électriques statiques, nous déterminons l'ordre de grandeur des tensions de polarisations appliquées à chaque dispositif élémentaire. Les contraintes appliquées aux dispositifs élémentaires (voir figure 4-4) sont dépendantes des signaux d'entrée, du signal de sortie, donc de la nature de la charge, et des alimentations en tension du circuit.

L'ordre de grandeur des contraintes est utile pour déterminer les transistors susceptibles de vieillir prématurément. Ces contraintes ont une forte probabilité d'accélérer le vieillissement électrique du dispositif élémentaire. Par conséquent, l'évolution du vieillissement électrique du ou des transistors, au cours du temps, va induire le vieillissement électrique du circuit. Il est donc nécessaire de relier les contraintes électriques du circuit au modèle de fiabilité du dispositif élémentaire.

2.3.2.2 Modèle de fiabilité du dispositif élémentaire

Le modèle fonctionnel du circuit analogique prend en compte un modèle *VHDL-AMS* de fiabilité du dispositif élémentaire identique à celui présenté pour le modèle structurel. Ce modèle a pour rôle, à partir des contraintes électriques issues du générateur, d'exprimer les variations des paramètres électriques du transistor. Ces variations sont ensuite exploitées pour le calcul de la dérive temporelle des paramètres électriques du modèle fonctionnel.

2.3.2.3 Analyse de sensibilité

La connaissance des contraintes électriques des dispositifs élémentaires est une information primordiale pour la prédiction de fiabilité du circuit électronique. Cependant, cela ne suffit pas. L'analyse des contraintes nous informe sur les dispositifs susceptibles d'être polarisés sous fortes contraintes électriques. Ces contraintes vont entraîner une accélération du mode de dégradation dont la résultante est la dérive des paramètres des

dispositifs élémentaires. Cette dérive se traduit par une réduction de performances du transistor qui va donc contribuer à la modification des caractéristiques électriques du circuit électronique. Comme les grandeurs caractéristiques du circuit sont corrélées à la variation des paramètres électriques des dispositifs, il est nécessaire de déterminer la sensibilité des grandeurs caractéristiques du circuit électronique aux variations des paramètres électriques des dispositifs élémentaires.

L'analyse de sensibilité consiste à étudier la dépendance des caractéristiques électriques du circuit à la dérive des paramètres électriques des transistors. Pour cela, nous utilisons la structure à transistors et nous procédons par des simulations électriques où nous imposons de faibles variations aux paramètres électriques de chaque transistor. A partir de ces résultats, nous exprimons une relation linéaire entre la variation du paramètre P_T du transistor et le paramètre électrique P_C du modèle *VHDL-AMS* du circuit :

$$P_C = P_{C0} + \sum_n \frac{\partial P_C}{\partial P_{T,n}} \Delta P_{T,n} \quad (4.4)$$

Cette relation générique est applicable à tous les paramètres électriques du circuit électronique. Elle permet de déterminer la contribution du vieillissement électrique de chaque transistor à la dérive des caractéristiques électriques du circuit électronique.

2.3.2.4 Synthèse du modèle VHDL-AMS fonctionnel

A partir d'une analyse de contraintes, d'un modèle de fiabilité du transistor, et une analyse de sensibilité, nous possédons les informations utiles pour la construction d'un modèle *VHDL-AMS* de fiabilité d'un circuit électronique. Il assemble les différents éléments qui se présentent sous la forme d'un générateur de contraintes électriques, un module de fiabilité des transistors et un module d'estimation de la sensibilité des caractéristiques électriques du circuit. Les résultats obtenus à partir de ces trois modules sont affectés aux paramètres électriques du circuit pour définir un modèle *VHDL-AMS* de fiabilité du circuit électronique.

2.3.3 Conclusion

La méthode générique que nous avons présentée pour la construction d'un modèle *VHDL-AMS* de fiabilité d'un circuit électronique est appliquée dans la suite de ce chapitre. Nous proposons d'étudier deux approches pour notre circuit de démonstration : l'amplificateur opérationnel de transconductance. La modélisation niveau transistor est mise en œuvre avec l'utilisation d'un modèle *VHDL-AMS* du dispositif élémentaire pour la construction d'un modèle structurel du circuit. La modélisation niveau circuit est mise en œuvre avec l'utilisation d'un modèle fonctionnel.

3 Simulation de fiabilité d'un bloc analogique CMOS

3.1 Objectifs

Dans cette partie, nous proposons de démontrer la faisabilité d'analyser la fiabilité de blocs analogiques *CMOS* grâce à des simulations électriques de vieillissement développées au niveau transistor. Ce travail s'appuie sur un modèle *VHDL-AMS* de fiabilité du dispositif élémentaire *MOSFET* utilisé pour la conception. Ce modèle est construit à partir du modèle de Hu qui en prend compte le courant de substrat de la structure du *MOSFET*.

Nous développons des blocs analogiques *CMOS* de base dans le but d'analyser leur fiabilité en cours de conception. Nous montrons l'importance des contraintes électriques en tension sur les différentes fonctions analogiques.

3.2 Le transistor MOSFET

Pour le traitement de la fiabilité de la technologie *CMOS*, nous nous sommes attachés à construire un modèle électrique *VHDL-AMS* simplifiés du dispositif élémentaire en s'appuyant sur les connaissances de la structure de base de la technologie *CMOS*. Le modèle *VHDL-AMS* du dispositif élémentaire, proposé au chapitre deux, est construit sur la base des équations électriques modélisant la conduction sous le seuil, le régime linéaire, le régime de saturation. Cependant, l'évolution rapide de la technologie *CMOS* et la forte diminution des dimensions géométriques engendrent des effets physiques et électriques, du second ordre, non négligeables. Le modèle électrique *VHDL-AMS* de la technologie *CMOS* est défini pour une longueur minimale de grille de 0,8 μ m.

Le courant de substrat et le courant de grille sont deux grandeurs électriques majeures qui apparaissent non négligeables aujourd'hui. Ces deux grandeurs électriques sont donc primordiales dans la modélisation du fonctionnement électrique du transistor *MOSFET*, et pour la prédiction de fiabilité, notamment pour l'évaluation de la durée de vie.

L'origine physique de ces deux courants électriques est détaillée dans le premier chapitre. Elle est relative au phénomène d'usure induit par l'ionisation par impact et l'injection de porteurs dans la grille des transistors *MOSFET*. Ces deux grandeurs électriques ont été introduites dans le modèle *VHDL-AMS* du transistor *MOSFET*. Le courant de substrat et le courant de grille sont modélisés par deux sources de courant comme le montre le schéma électrique grand signal du transistor *MOSFET* de la figure 4-5. Le courant de substrat est modélisé par la source de courant I_{CB} et le courant de grille est modélisé par la source de courant I_{CG} .

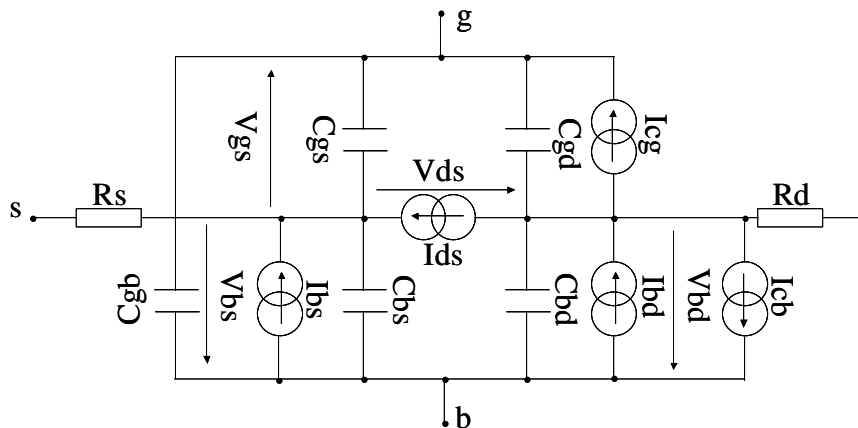


Figure 4-5 Modèle électrique grand signal du transistor *MOSFET* avec définition du courant de substrat et du courant de grille.

La construction du modèle de fiabilité du dispositif élémentaire s’appuie sur la méthode que nous avons définie précédemment. Or, dans le cas du transistor *MOSFET*, les contraintes électriques du dispositif sont évidentes puisqu’elles sont représentées par la tension drain-source et grille-source. De plus, dans le cas où le modèle *VHDL-AMS* de fiabilité du transistor, est utilisé pour la conception de circuit et l’étude de sa fiabilité, la sensibilité des caractéristiques électriques du circuit aux paramètres électriques du transistor est naturelle. C’est pour cela que nous appliquons la méthode de construction en ne développant que le modèle de fiabilité du dispositif élémentaire. Le modèle de fiabilité intègre le modèle de Hu, vu au premier chapitre, qui est dépendant du courant de drain et du courant de substrat.

3.2.1 Modèle VHDL-AMS du courant de substrat

L’origine du courant de substrat est principalement due au phénomène d’ionisation par impact sous l’influence de fort champ électrique horizontal du côté du drain. Une forte polarisation drain-source du transistor accélère les porteurs dans le canal. Après une collision avec les atomes de la structure de silicium, il se crée une paire électron-trou. Ces porteurs majoritaires et minoritaires se propagent, sous l’influence du champ électrique vertical, en direction du substrat ou de l’oxyde de grille. Ils sont donc à l’origine de courant de fuite. Dans le cas du transistor *NMOS*, le courant de substrat I_{CB} est un bon indicateur du phénomène d’ionisation par impact.

Le courant de substrat est dépendant de la polarisation drain-source V_{DS} et de la tension de saturation V_{DSAT} qui elle-même est dépendante de la tension grille-source V_{GS} . Il s’exprime en fonction du courant I_{DS} dans le canal⁹². La relation suivante donne son expression :

$$I_{CB} = I_{DS} \frac{A_i}{B_i} (V_{DS} - V_{DSAT}) \exp\left(\frac{-B_i L_d}{V_{DS} - V_{DSAT}}\right) \quad (4.5)$$

$$\text{avec } L_d = L_{d1} - L_{d2}(V_{DS} - V_{DSAT}) + L_{d3}(V_{DS} - V_{DSAT})^2 \quad (4.6)$$

Les coefficients A_i et B_i sont des coefficients qui modélisent l’ionisation par impact. La longueur L_d symbolise la longueur effective du canal du côté drain où se déroule le

phénomène d'ionisation par impact. Cette longueur effective est dépendante de la polarisation en tension du transistor *NMOS*.

Le modèle électrique *VHDL-AMS* du transistor *NMOS* est construit sur les mêmes bases que le premier modèle vu au premier chapitre. Nous ajoutons les équations électriques qui modélisent le courant de substrat dont la liste des paramètres génériques est donnée par la figure 4-6. L'introduction du courant de substrat permet de modéliser le fonctionnement électrique du transistor pour le régime d'avalanche obtenu pour des polarisations électriques drain-source supérieures aux conditions opérationnelles. Par conséquent, le nouveau modèle *VHDL-AMS* que nous proposons permet de modéliser le fonctionnement électrique du transistor dans les quatre régimes de fonctionnement : le régime sous le seuil, le régime linéaire, le régime de saturation, et le régime d'avalanche.

| GENERIC | NOM | TYPE | DESCRIPTION | UNITE |
|---------|-----|------|--|------------------|
| | Ai | real | ionisation impact first parameter | m ⁻¹ |
| | Bi | real | ionisation impact second parameter | V/m |
| | Ld1 | real | canal modulation length first parameter | m |
| | Ld2 | real | canal modulation length second parameter | m/V |
| | Ld3 | real | canal modulation length third parameter | m/V ² |

Figure 4-6 Paramètres génériques du courant de substrat I_{CB} du modèle *VHDL-AMS* du transistor *NMOS*.

L'introduction du courant de substrat dans le modèle *VHDL-AMS* a aussi été réalisée pour le transistor *NMOS*. Une caractéristique essentielle du courant de substrat est qu'il atteint un maximum approximativement pour une tension de grille-source V_{GS} équivalente à la moitié de la polarisation drain-source V_{DS} . Cette caractéristique électrique se représente sous la forme d'une courbe en cloche comme le montre la figure 4-7.

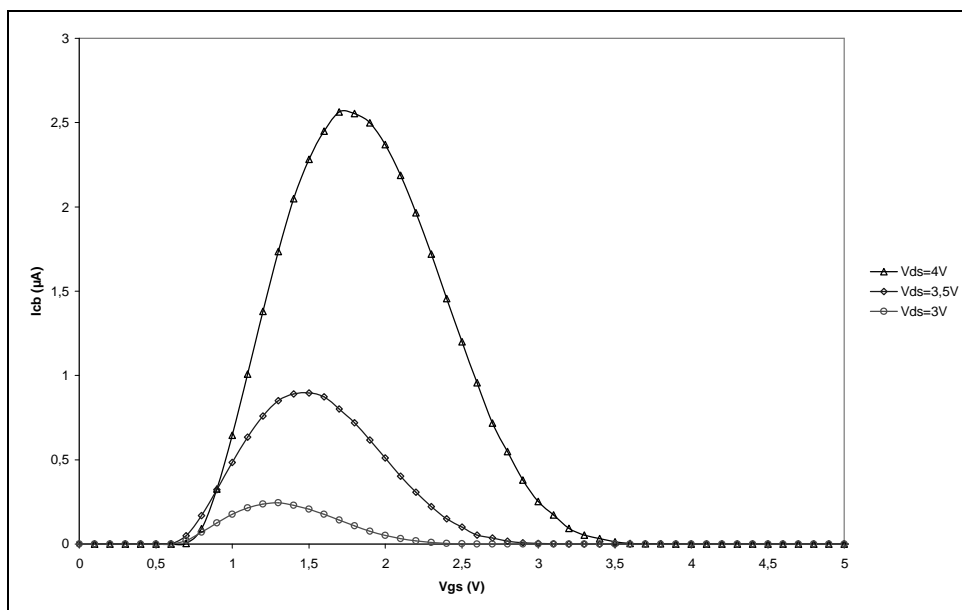


Figure 4-7 Caractéristique $I_{CB}=f(V_{GS})$ du transistor *NMOS* $W=6\mu\text{m}$, $L=0,8\mu\text{m}$.

L'intégration du courant de substrat dans l'architecture du modèle *VHDL-AMS* du transistor permet de modéliser un effet du second ordre non-négligeable dans les technologies *CMOS*. Le courant de substrat permet donc de modéliser un régime de fonctionnement électrique supplémentaire du transistor *MOSFET* : le régime d'avalanche. La figure 4-8 exprime la caractéristique de sortie du transistor *NMOS* pour de faibles polarisations grille-source. Les variations du courant de drain sont données pour les trois régimes de fonctionnement : le régime linéaire, le régime de saturation et le régime d'avalanche. Nous constatons que le régime d'avalanche est fortement dépendant de la tension drain-source. Le régime d'avalanche est obtenu pour des polarisations de drain supérieures à la tension nominale d'alimentation.

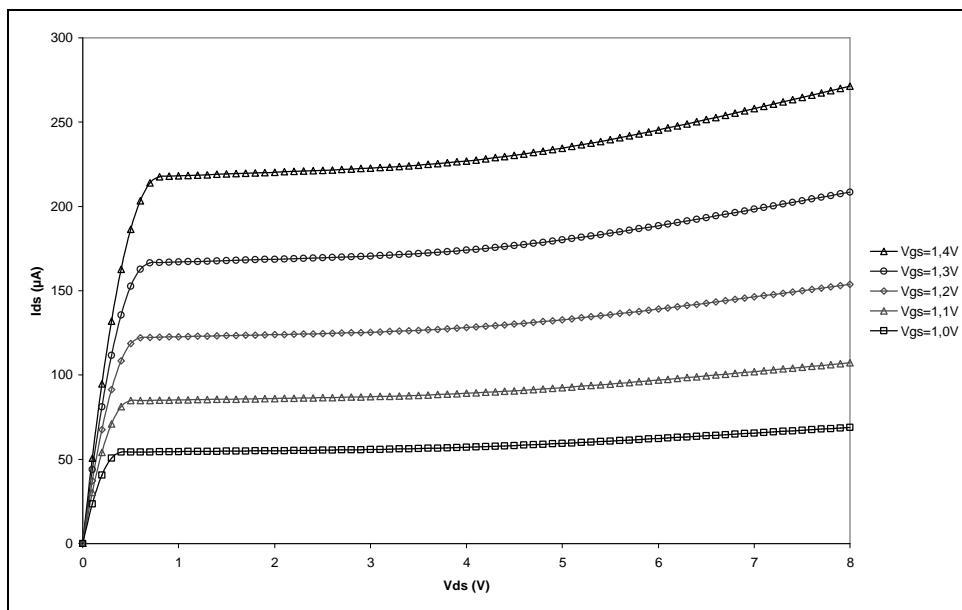


Figure 4-8 Caractéristique $I_{DS}=f(V_{DS})$ du transistor *NMOS* $W=6\ \mu\text{m}$, $L=0,8\ \mu\text{m}$ avec mise en évidence de trois régimes de fonctionnement : linéaire, saturation, avalanche.

Comme pour le courant de substrat, l'origine du courant de grille est fortement liée au phénomène d'ionisation par impact. Il est dû à la conséquence d'une forte polarisation drain-source du transistor qui accélère les porteurs dans le canal⁹³. Après une collision avec les atomes de la structure de silicium, il se crée une paire électron-trous. Ces porteurs majoritaires et minoritaires, sous l'influence du champ électrique vertical, se propagent en direction du substrat ou de l'oxyde de grille. Selon l'énergie atteinte par ces porteurs, certains sous l'influence du champ électrique vertical peuvent être piégés et traverser l'oxyde de silicium puis atteindre la grille. Ces porteurs sont donc à l'origine du courant de grille. Le courant de grille, tout comme le courant de substrat, est dépendant de la polarisation drain-source V_{DS} et de la tension de saturation V_{DSAT} qui elle-même est dépendante de la tension grille-source V_{GS} .

Le modèle électrique *VHDL-AMS* du transistor *MOSFET* peut donc être complété de l'équation modélisant le courant de grille. Cette grandeur électrique est utile pour la prédiction de la fiabilité du transistor *PMOS* comme nous l'avons vu au premier chapitre.

3.2.2 Modèle VHDL-AMS de dégradation de performance

Dans cette partie, nous utilisons le travail de bibliographie présenté au premier chapitre pour construire le modèle *VHDL-AMS* de fiabilité du transistor *MOSFET*. Nous définissons un modèle transitoire de dégradation du transistor. Le modèle intègre une loi de dégradation dépendante des contraintes électriques, qui permet de calculer les variations dynamiques des paramètres électriques au cours du vieillissement électrique.

- Modèle transitoire

La dégradation de performance dynamique du dispositif élémentaire est fonction de sa durée de vie et de la variation de ses paramètres électriques. Nous reprenons, dans cette partie, les différents modèles utiles pour l'estimation de la durée de vie des dispositifs élémentaires de la technologie *CMOS*. Les modèles analytiques définis au premier chapitre sont intégrés dans l'architecture du modèle *VHDL-AMS* du transistor *MOSFET*. Les différents paramètres utiles pour l'ajustement du modèle sont définis comme des paramètres génériques. Pour que l'utilisateur puisse faire un choix entre les modèles à utiliser, des étiquettes, sous forme de chaîne de caractère, ont été ajoutées. L'utilisateur peut donc choisir entre le modèle de durée de vie de Takeda ou le modèle de Hu.

Le modèle *VHDL-AMS* de prédiction de durée de vie du transistor *MOSFET* est construit sur la base du modèle *VHDL-AMS* proposé au second chapitre. La liste des paramètres génériques, utiles à la définition des modèles d'estimation de durée de vie, est ajoutée à la liste initiale des paramètres génériques du modèle *VHDL-AMS* du transistor *MOSFET*. La figure 4-9 exprime l'interface du modèle *VHDL-AMS* de durée de vie. La construction du modèle *VHDL-AMS* de prédiction de durée de vie s'appuie sur une nouvelle librairie nommée *MOSFET* à l'intérieur de laquelle un paquetage (package), *Stress_functions*, rassemble toutes les fonctions destinées à l'évaluation de la durée de vie des dispositifs *CMOS*.

| GENERIC | NOM | TYPE | DESCRIPTION |
|---------|--------------|--------|--------------------------|
| | lifetime | string | Hu, Takeda |
| | a | real | Takeda fitting parameter |
| | b | real | Takeda fitting parameter |
| | h | real | Hu technology parameter |
| | m | real | Hu fitting parameter |
| | scale_factor | real | scale factor |

Figure 4-9 Paramètres génériques du modèle *VHDL-AMS* de prédiction de durée de vie du dispositif élémentaire *CMOS*.

L'expression de la durée de vie permet de définir un modèle analytique qui permet de calculer les variations dynamiques des paramètres électriques. Ce modèle analytique est dépendant du temps courant de vieillissement électrique matérialisé par le temps courant de simulation dans la syntaxe du langage *VHDL-AMS*.

L'intégration des variations dynamiques des paramètres électriques dans l'architecture *VHDL-AMS* du transistor entraîne une modification de ses équations électriques. Les équations sont construites à partir de paramètres génériques statiques. Il nous faut donc modifier le jeu d'équations électriques en introduisant de nouvelles grandeurs. Ces

nouvelles quantités électriques représentent alors les propriétés dynamiques de chaque paramètre générique du modèle. Toutes les nouvelles équations, introduites dans le modèle *VHDL-AMS*, s'écrivent sous la forme :

$$\frac{\partial \Delta P(t)}{\partial t} = f(I_{DS}(t), I_{SUB}(t), V_{DS}(t), V_{GS}(t)) \quad (4.9)$$

Cette équation analytique est introduite dans le modèle *VHDL-AMS* du dispositif élémentaire selon le code donné par la figure 4.10. Le modèle tient compte du facteur d'échelle qui permet de projeter le temps de simulation courant sur une échelle de temps plus importante qui représente l'échelle des temps de vieillissement électrique.

```
if lifetime_model= "hu" use
```

```
...
```

```
delta_VT'DOT == scale_factor*h*ids*(ibulk/ids)**m;  $\frac{\partial VT(t)}{\partial t} = h I_{DS} \left( \frac{I_{BULK}}{I_{DS}} \right)^m scale\_factor$ 
```

```
VT == VT0 + delta_VT;
```

```
...
```

```
end use;
```

Figure 4-10 Equations partielles du modèle dynamiques de vieillissement électrique par injection de porteurs chauds.

A partir de la nouvelle échelle des temps de simulation, il est possible de générer de grands cycles de vieillissement à partir d'une simple analyse transitoire. L'intérêt est de pouvoir calibrer cette échelle des temps par l'intermédiaire d'un unique paramètre générique. Cette nouvelle unité de temps est prise en compte dans le modèle de dégradation de performance du transistor. Il nous est donc possible de simuler les propriétés dynamiques des paramètres électriques du modèle *VHDL-AMS* sur tout l'intervalle des temps de vieillissement. C'est à dire que nous pouvons aussi bien analyser, par simulation électrique, des vieillissements de courte durée (quelques heures) ou de longue durée (plusieurs mois).

D'un point de vue pratique, la durée d'une analyse transitoire est équivalente à une dizaine de périodes du signal d'entrée. Nous ne pouvons donc pas envisager de réaliser une simulation du vieillissement sur un plus grand nombre de période. Or, à partir de la connaissance de la durée d'analyse transitoire, nous pouvons ajuster le paramètre *scale_factor* afin d'obtenir une échelle de vieillissement qui soit prise en compte dans les modèles analytiques de variations paramétriques.

3.3 Application en simulation de fiabilité

Pour valider notre contribution à la modélisation *VHDL-AMS* et la simulation du vieillissement électrique, nous développons un exemple de bloc analogique construit à partir du modèle *VHDL-AMS* de fiabilité du transistor *MOSFET* : le miroir de courant. Le bloc analogique est construit à partir du modèle du dispositif élémentaire de longueur minimale (0,8µm). L'étude du vieillissement électrique est réalisée au cours d'une analyse transitoire à partir du modèle dégradé.

3.3.1 Dimensionnement du modèle de fiabilité du dispositif élémentaire

3.3.1.1 Modèle de dégradation

Nous dimensionnons le modèle de fiabilité du transistor *MOSFET* selon le tableau de la figure 4-11. Nous utilisons le modèle de Hu⁹⁴, pour modéliser la dérive temporelle de la tension de seuil du dispositif élémentaire, dont les valeurs des paramètres m et h , par défaut, sont issues de la bibliographie⁹⁵ sur les bases de la discussion menée au chapitre 1. La valeur du paramètre m est généralement comprise entre 2,5 et 3. Le paramètre h est une constante qui est fortement dépendante de la technologie. L'ordre de grandeur de ces paramètres est obtenu à partir de la caractéristique $\log(t \cdot I_{DS}) = \log(I_{SUB}/I_{DS})$ où n représente la pente et h l'ordonnée à l'origine. Cette caractéristique est couramment issue des protocoles de tests accélérés pour la qualification des procédés technologiques afin de déterminer par extrapolation la durée de vie du dispositif élémentaire dans des conditions de contraintes opérationnelles.

Nous ne possédons pas de données expérimentales qui nous permettent d'évaluer l'ordre de grandeur de h , c'est pourquoi nous choisissons une valeur par défaut.

| Paramètres | Valeur | Unité |
|------------|--------|---------|
| h | 10^4 | V/A/sec |
| m | 2.8 | -- |

Figure 4-11 Paramètres du modèle de dégradation du dispositif élémentaire.

Le modèle de Hu proposé sera intégré au modèle électrique *VHDL-AMS* du dispositif élémentaire afin de construire un modèle de fiabilité du transistor *MOSFET*. Le transistor *MOSFET* est dimensionné pour une longueur minimale de $0,8\mu\text{m}$. Ensuite, nous l'utiliserons pour le développement d'un bloc analogique, le miroir de courant, ainsi qu'un circuit analogique, l'amplificateur opérationnel de transconductance. Il nous permet d'étudier le vieillissement électrique de la fonction analogique en fonction des contraintes électriques imposées aux dispositifs élémentaires.

3.3.1.2 Facteur d'échelle du temps de vieillissement

Le paramètre *scale_factor* est choisi afin d'obtenir une échelle de temps du vieillissement électrique sur une unité mensuelle, c'est à dire que nous faisons correspondre une seconde du temps de simulation courant à un mois de vieillissement électrique. Le paramètre choisi (figure 4-12) joue le rôle d'un facteur d'accélération.

Le dimensionnement du paramètre *scale_factor* est donc un compromis entre la période du signal d'entrée, la durée de simulation transitoire et la durée du vieillissement électrique sur laquelle nous voulons analyser les effets du vieillissement électrique sur les caractéristiques électriques du circuit analogique.

| scale_factor | Valeur | correspondance |
|--------------|--------|--------------------------|
| | 3600 | 1s \Leftrightarrow 1h |
| | 86400 | 1s \Leftrightarrow 24h |

| | | |
|--|------------------|-----------------------------|
| | $2 \cdot 10^6$ | 1s \leftrightarrow 1mois |
| | $3,1 \cdot 10^6$ | 1s \leftrightarrow 1année |

Figure 4-12 Dimensionnement du facteur d'échelle dans le cas où la seconde serait l'unité de simulation transitoire.

A titre d'exemple, un circuit analogique est polarisé autour d'un point fonctionnement qui associe une composante continue et une composante alternative. Les contraintes de chaque dispositif élémentaire sont donc dépendantes de la fréquence de fonctionnement imposée par le signal d'entrée et son amplitude. Le lien entre la fréquence du signal d'entrée et le signal de sortie dégradé du circuit sur l'échelle de vieillissement est réalisé par le facteur d'échelle. La figure 4-13 donne un exemple de signaux que nous pouvons extraire d'une simulation de vieillissement électrique. Le signal de sortie sans dégradation (a) a une période de 10ms. La simulation est définie pour un *scale-factor* de $2 \cdot 10^6$, donc d'après le tableau de la figure 4-12 nous sommes en présence d'une échelle de vieillissement dont l'unité est le mois. Au cours de la simulation de transitoire un grand nombre de périodes du signal de sortie est généré. La mise en évidence des signaux à traiter pour la prédiction de fiabilité nécessite donc une phase d'extraction de données à partir des résultats de simulation électrique. Le signal de sortie avec dégradation (c) est observé pour une durée de vieillissement de 120 mois. Son extraction sur une période du signal nous permet de comparer les effets du vieillissement électrique. La figure 4-13 met en évidence la définition de la double graduation de l'échelle des temps de simulation dont le lien est le facteur d'échelle. Par la suite, nous observerons, en fonction des besoins, soit l'échelle de la période, soit l'échelle du vieillissement électrique.

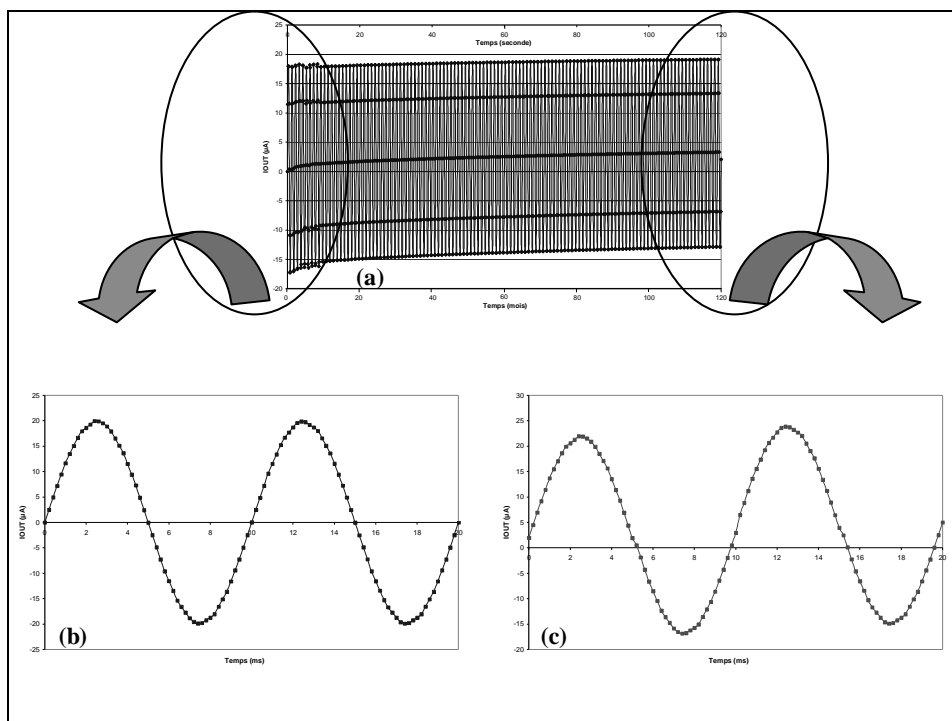


Figure 4-13 Extraction du signal de sortie I_{OUT} à partir résultat de simulation (a) ; comparaison du signal initial (b) et du signal après vieillissement de 120 mois (c); Mise en évidence de la double échelle de temps simulé ; $scale_factor=2.10^6$.

3.3.2 Miroir de courant

Dans cette partie, nous étudions un miroir de courant simple constitué de deux transistors *NMOS*. L'étage d'entrée représenté par le transistor $N1$ est polarisé par une source de courant I_{BIAS} . Le transistor $N1$ est connecté en charge active dont la polarisation de grille est commune au transistor de sortie $N2$. Le courant de sortie du miroir de courant est repéré par la grandeur électrique I_{OUT} .

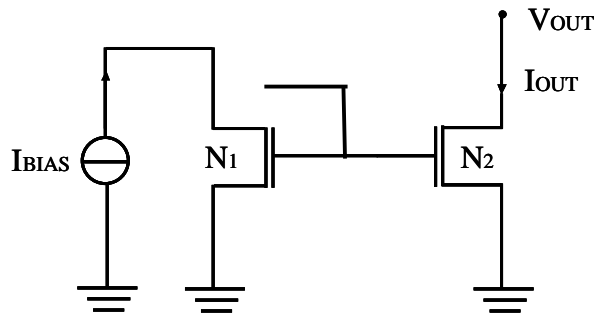


Figure 4-14 Schéma électrique du miroir de courant *NMOS*.

Nous proposons, à partir du modèle *VHDL-AMS* non dégradé du transistor vu au chapitre 1, l'étude de la caractéristique statique de transfert du miroir de courant. Nous définissons la relation qui lie le gain en courant du miroir aux paramètres électriques des transistors *NMOS*. Cette expression est ensuite utilisée pour évaluer la sensibilité du gain du bloc analogique à la dérive des paramètres électriques des transistors. Enfin, l'étude transitoire des caractéristiques électriques du miroir a pour objectif de mettre en évidence l'effet du vieillissement électrique des transistors sur le gain en courant. Cette étude transitoire est limitée à la dérive de la tension de seuil des transistors *NMOS* imposées par les contraintes en tension de l'étage d'entrée et de l'étage de sortie.

3.3.2.1 Caractéristique statique

Le miroir de courant est une fonction analogique dont les transistors fonctionnent en régime de saturation. Le rôle du miroir de courant est de dupliquer le courant de polarisation I_{BIAS} en sortie du bloc analogique I_0 proportionnellement au gain en courant du miroir. L'expression des courants d'entrée et de sortie du miroir de courant, pour des transistors en régime de saturation, est donnée respectivement par les relations :

$$I_{BIAS} = \frac{K_{N1}}{2} (V_{GS} - V_{TN1})^2 (1 + \lambda_{N1} V_{DS1}) \quad (4.10)$$

$$I_0 = \frac{K_{N2}}{2} (V_{GS} - V_{TN2})^2 (1 + \lambda_{N2} V_{DS2}) \quad (4.11)$$

Le gain du miroir de courant est défini par le rapport du courant de sortie sur le courant d'entrée. Ce rapport est donné par la relation :

$$\frac{I_0}{I_{BIAS}} = \frac{K_{N2}(V_{GS} - V_{TN2})^2(I + \lambda_{N2}V_{DS2})}{K_{N1}(V_{GS} - V_{TN1})^2(I + \lambda_{N1}V_{DS1})} \quad (4.12)$$

Une étude statique des performances électriques est réalisée afin de mettre en évidence le gain de courant statique du bloc analogique construit à partir de deux transistors identiques. La figure suivante exprime le lien entre le courant de polarisation d'entrée et le courant de sortie du miroir de courant. Nous observons la dépendance du gain en courant à la tension de polarisation de sortie V_{OUT} du miroir de courant.

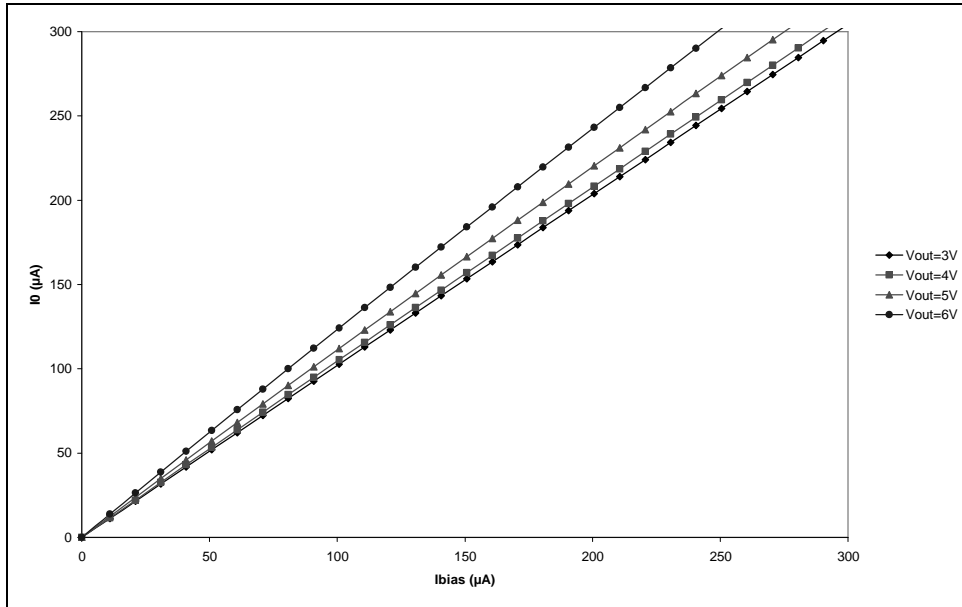


Figure 4-15 Courbe de transfert $I_{out}=f(I_{bias})$ du miroir de courant NMOS ; $W=6\mu\text{m}$, $L=0,8\mu\text{m}$.

Le gain en courant du miroir est aussi dépendant des dimensions géométriques de chaque transistor et du jeu de paramètres électriques des dispositifs NMOS. Le paramètre K_P est défini par le produit de la mobilité par la capacité d'oxyde COX et le rapport des dimensions géométriques :

$$K_N = \mu_0 COX \frac{W_N}{L_N} \quad (4.13)$$

En considérant, l'appariement des transistors NMOS exacte, c'est à dire pour le cas où la capacité d'oxyde, la mobilité et la tension de seuil seraient identiques, la caractéristique de transfert peut se simplifier et s'écrire sous la forme :

$$\frac{I_0}{I_{BIAS}} = \frac{\frac{W_{N2}}{L_{N2}}(I + \lambda_{N2}V_{DS2})}{\frac{W_{N1}}{L_{N1}}(I + \lambda_{N1}V_{DS1})} \quad (4.14)$$

Pour le cas où la tension d'entrée V_{DS1} et la tension de sortie V_{DS2} seraient égales, la relation (4.14) s'écrit :

$$\frac{I_0}{I_{BIAS}} = \frac{\frac{W_{N2}}{L_{N2}}}{\frac{W_{N1}}{L_{N1}}} \quad (4.15)$$

Cette relation exprime le gain en courant idéal en fonction de la dimension géométrique des transistors.

3.3.2.2 Analyse de sensibilité

La sensibilité du gain statique de la caractéristique de transfert du miroir de courant est fonction des tensions d'entrée V_{DS1} et de sortie V_{DS2} , du mauvais appariement entre les transistors N_1 et N_2 . Le mauvais appariement entre les éléments se caractérise soit par une variation de la grandeur K_P , soit une variation de la tension de seuil V_{TN} , soit une variation du paramètre d'effet d'Early λ . La sensibilité du gain statique à ces petites variations paramétriques n'est pas l'effet d'une seule variation mais bien évidemment d'une combinaison de ces petites variations. Cette affirmation est vérifiée par l'étude suivante.

Considérant les petites variations de chacun des paramètres, celles-ci s'écrivent sous la forme :

$$\Delta V_{THN} = V_{THN2} - V_{THN1} \text{ avec } V_{THN} = \frac{V_{THN2} + V_{THN1}}{2} \quad (4.16)$$

$$\Delta K_N = K_{N2} - K_{N1} \text{ avec } K_N = \frac{K_{N2} + K_{N1}}{2} \quad (4.17)$$

$$\Delta \lambda_N = \lambda_{N2} - \lambda_{N1} \text{ avec } \lambda_N = \frac{\lambda_{N2} + \lambda_{N1}}{2} \quad (4.18)$$

$$\Delta V_{DS} = V_{DS2} - V_{DS1} \text{ avec } V_{DS} = \frac{V_{DS2} + V_{DS1}}{2} \quad (4.19)$$

Il est donc possible d'écrire les relations suivantes :

$$V_{THN1} = V_{THN} - \frac{\Delta V_{THN}}{2} \text{ et } V_{THN2} = V_{THN} + \frac{\Delta V_{THN}}{2} \quad (4.20)$$

$$K_{N1} = K_N - \frac{\Delta K_N}{2} \text{ et } K_{N2} = K_N + \frac{\Delta K_N}{2} \quad (4.21)$$

$$\lambda_{N1} = \lambda_N - \frac{\Delta \lambda_N}{2} \text{ et } \lambda_{N2} = \lambda_N + \frac{\Delta \lambda_N}{2} \quad (4.22)$$

$$V_{DS1} = V_{DS} - \frac{\Delta V_{DS}}{2} \text{ et } V_{DS2} = V_{DS} + \frac{\Delta V_{DS}}{2} \quad (4.23)$$

Avec ces relations, il est possible de déterminer la sensibilité du gain statique du miroir de courant en fonction des petites variations des paramètres électriques. Les équations (4.20), (4.21) et (4.22) reportées dans la relation (4.12) mènent à l'expression suivante :

$$\frac{I_0}{I_{BIAS}} = \frac{K_N + \frac{\Delta K_N}{2} \left(V_{GS} - V_{TN} - \frac{\Delta V_{TN}}{2} \right)^2 \left(1 + \left(\lambda_N + \frac{\Delta \lambda_N}{2} \right) V_{DS2} \right)}{K_N - \frac{\Delta K_N}{2} \left(V_{GS} - V_{TN} + \frac{\Delta V_{TN}}{2} \right)^2 \left(1 + \left(\lambda_N - \frac{\Delta \lambda_N}{2} \right) V_{DS1} \right)}$$

$$\Leftrightarrow \frac{I_0}{I_{BIAS}} = \frac{I + \frac{\Delta K_N}{2K_N} \left(I - \frac{\Delta V_{TN}}{2(V_{GS} - V_{TN})} \right)^2 \left(I + \lambda_N V_{DS2} + \frac{\Delta \lambda_N}{2} V_{DS2} \right)}{I - \frac{\Delta K_N}{2K_N} \left(I + \frac{\Delta V_{TN}}{2(V_{GS} - V_{TN})} \right)^2 \left(I + \lambda_N V_{DS1} - \frac{\Delta \lambda_N}{2} V_{DS1} \right)}$$

$$\Leftrightarrow \frac{I_0}{I_{BIAS}} \approx \left(I + \frac{\Delta K_N}{2K_N} \right) \left(I + \frac{\Delta K_N}{2K_N} \right) \left(I - \frac{\Delta V_{TN}}{2(V_{GS} - V_{TN})} \right) \left(I - \frac{\Delta V_{TN}}{2(V_{GS} - V_{TN})} \right) \left(I + \lambda_N V_{DS2} + \frac{\Delta \lambda_N}{2} V_{DS2} \right) \left(I + \lambda_N V_{DS1} - \frac{\Delta \lambda_N}{2} V_{DS1} \right)$$

$$\Leftrightarrow \frac{I_0}{I_{BIAS}} \approx \left(I + \frac{\Delta K_N}{K_N} + \left(\frac{\Delta K_N}{2K_N} \right)^2 \right) \left(I - \frac{\Delta V_{TN}}{(V_{GS} - V_{TN})} + \left(\frac{\Delta V_{TN}}{2(V_{GS} - V_{TN})} \right)^2 \right)^2 \left(I + \lambda_N V_{DS2} + \frac{\Delta \lambda_N}{2} V_{DS2} \right) \left(I + \lambda_N V_{DS1} - \frac{\Delta \lambda_N}{2} V_{DS1} \right)$$

En considérant les termes du 1^{er} ordre pour les grandeurs K_N et V_{TN} , il vient la relation suivante :

$$\frac{I_0}{I_{BIAS}} \approx \left(I + \frac{\Delta K_N}{K_N} \right) \left(I - \frac{2\Delta V_{TN}}{(V_{GS} - V_{TN})} \right) \left(I + \lambda_N V_{DS2} + \frac{\Delta \lambda_N}{2} V_{DS2} \right) \left(I + \lambda_N V_{DS1} - \frac{\Delta \lambda_N}{2} V_{DS1} \right)$$

En première approximation, le terme λ est négligé, cette simplification amène à la relation suivante :

$$\frac{I_0}{I_{BIAS}} \approx \left(I + \frac{\Delta K_N}{K_N} \right) \left(I - \frac{2\Delta V_{TN}}{(V_{GS} - V_{TN})} \right) \approx I + \frac{\Delta K_N}{K_N} - \frac{2\Delta V_{TN}}{(V_{GS} - V_{TN})} \quad (4.24)$$

Mais la sensibilité du gain statique du miroir de courant est aussi dépendante de la variation du paramètre λ . Il est donc nécessaire de tenir compte de la quantité suivante :

$$\frac{I + \lambda_N V_{DS2}}{I + \lambda_N V_{DS1}} \left(I + \frac{\Delta \lambda_N}{2} \frac{V_{DS2}}{I + \lambda_N V_{DS2}} \right) \left(I + \frac{\Delta \lambda_N}{2} \frac{V_{DS1}}{I + \lambda_N V_{DS1}} \right) \quad (4.25)$$

En considérant que les termes du 1^{er} ordre, il vient la relation :

$$\frac{I + \lambda_N V_{DS2}}{I + \lambda_N V_{DS1}} \left(I + \frac{\Delta \lambda_N}{2} \frac{V_{DS2}}{I + \lambda_N V_{DS2}} + \frac{\Delta \lambda_N}{2} \frac{V_{DS1}}{I + \lambda_N V_{DS1}} \right) \quad (4.26)$$

Par conséquent, la relation globale de la sensibilité du gain statique est donnée par :

$$\frac{I_0}{I_{BIAS}} \approx \left(I + \frac{\Delta K_N}{K_N} \right) \left(I - \frac{2\Delta V_{TN}}{(V_{GS} - V_{TN})} \right) \frac{I + \lambda_N V_{DS2}}{I + \lambda_N V_{DS1}} \left(I + \frac{\Delta \lambda_N}{2} \frac{V_{DS2}}{I + \lambda_N V_{DS2}} + \frac{\Delta \lambda_N}{2} \frac{V_{DS1}}{I + \lambda_N V_{DS1}} \right) \quad (4.27)$$

Cependant, l'expression de la sensibilité du gain statique du miroir de courant n'est pas tout à fait complète puisque le terme ΔK_N est une expression qui englobe la mobilité U_0 et la valeur de la capacité de l'oxyde de grille COX. Il serait donc nécessaire de tenir compte aussi de l'influence de ces deux paramètres sachant qu'ils sont très sensibles au mode de dégradation induit par l'injection de porteurs chauds.

L'analyse de la sensibilité du gain en courant apparaît compliquée, pour une fonction analogique de base comme le miroir de courant, dans la mesure où nous prenons en compte tout le jeu de paramètres électriques et technologiques du transistor. De plus, elle

pourrait être complexe si nous utilisons un modèle électrique du transistor, de nouvelle génération, défini avec de nombreux paramètres électriques.

C'est pourquoi, nous utilisons le simulateur électrique pour évaluer les variations du gain statique en courant du miroir en fonction de la variation de la tension de seuil et du courant de polarisation. Nous observons en figure 4.13 que le gain statique est beaucoup plus sensible aux variations de la tension de seuil dans le cas d'un faible courant de polarisation.

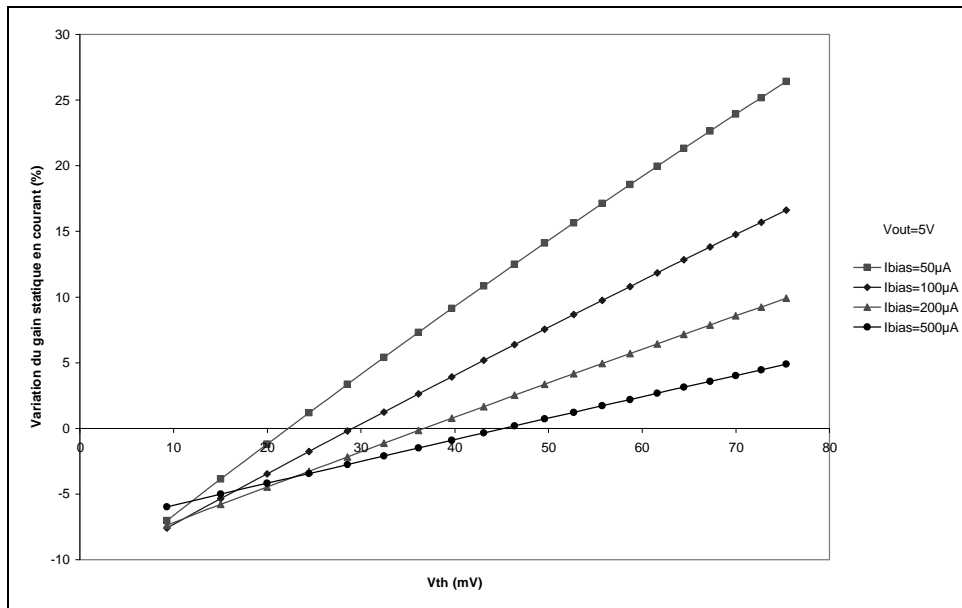


Figure 4-16 Variation du gain statique en fonction de la variation de la tension de seuil du transistor N2.

3.3.2.3 Simulation transitoire de vieillissement

L'analyse transitoire du miroir de courant, construit avec un modèle *VHDL-AMS* du dispositif élémentaire dépendant de la dégradation par injection de porteurs chauds, nous permet d'analyser l'effet de la dégradation sur les performances électriques du bloc analogique en fonction des contraintes appliquées.

L'analyse transitoire a pour but de montrer la dépendance du miroir de courant à la contrainte électrique imposée par la polarisation de sortie V_{OUT} . Nous étudions l'évolution du courant de sortie en fonction du temps de vieillissement et de la polarisation V_{OUT} pour un courant de polarisation I_{BIAS} donné. Le courant de polarisation est défini par une composante continue qui fixe le point de polarisation du miroir de courant, et d'une composante sinusoïdale qui joue le rôle de variation dynamique.

Pour cette étude, nous observons sur la simulation que la cinétique du vieillissement électrique du transistor *N1* est très faible puisque le dispositif est polarisé dans un régime de fonctionnement où les dégradations sont négligeables, alors que le transistor *N2* est dépendant de la dérive de sa tension de seuil du fait de la polarisation du dispositif dans un régime de fonctionnement de forte saturation. La figure 4-17 propose les variations de la tension de seuil du transistor N2.

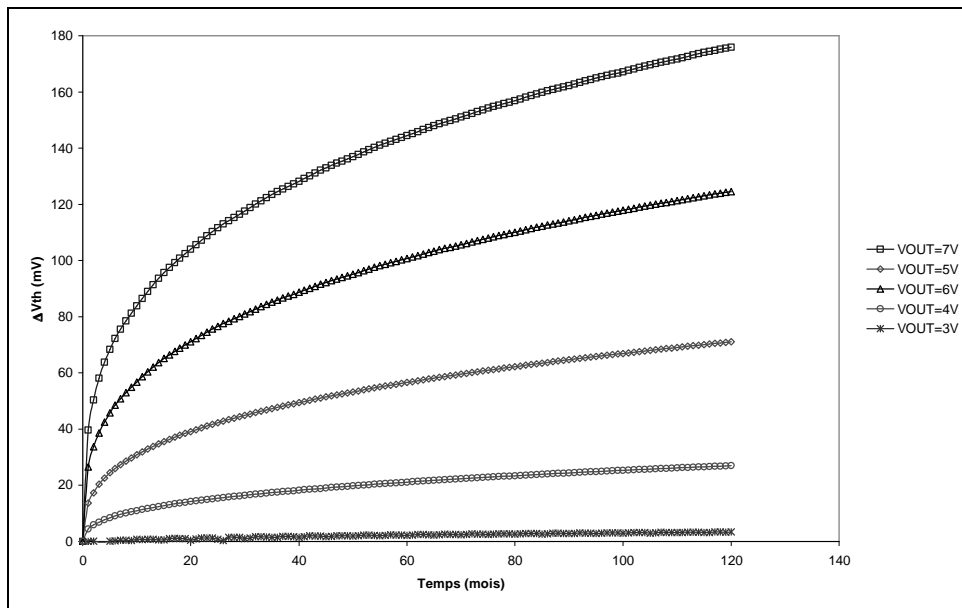


Figure 4-17 Evolution de la tension de seuil du transistor $N2$ en fonction de la polarisation V_{OUT} et du temps de vieillissement.

Nous observons que le vieillissement électrique du transistor $N2$ est fortement dépendant de la polarisation V_{OUT} . Nous constatons que les polarisations en conditions opérationnelles induisent un vieillissement électrique qui est beaucoup plus faible que celui imposé par une augmentation de la tension de sortie dont l'effet est d'accélérer le vieillissement électrique du miroir de courant.

La figure 4-18 exprime les variations du gain en courant du miroir (I_{OUT}/I_{BIAS}), nous observons que pour des tensions d'alimentation supérieure à la tension d'alimentation opérationnelle, le gain varie de 25% et plus sur une période de 120 mois. Les oscillations observées sont dues à la composante dynamique du courant de polarisation.

Cette étude montre qu'une évolution graduelle des conditions de polarisation du miroir, au cours du temps, endommage fortement les propriétés du bloc analogique. Notre résultat de simulation est équivalent à celui obtenu par les développeurs du simulateur PRESS⁹⁶ pour d'autres conditions de simulation et un dimensionnement différent du bloc analogique.

En conséquence, si le bloc analogique est utilisé pour la conception d'un circuit analogique, il est recommandé de tenir compte des contraintes électriques qui seront imposées aux dispositifs du miroir de courant parce qu'une petite variation (moins de 10%) des paramètres électriques du dispositif élémentaire peut entraîner de grandes variations des caractéristiques électriques d'un circuit analogique⁹⁷.

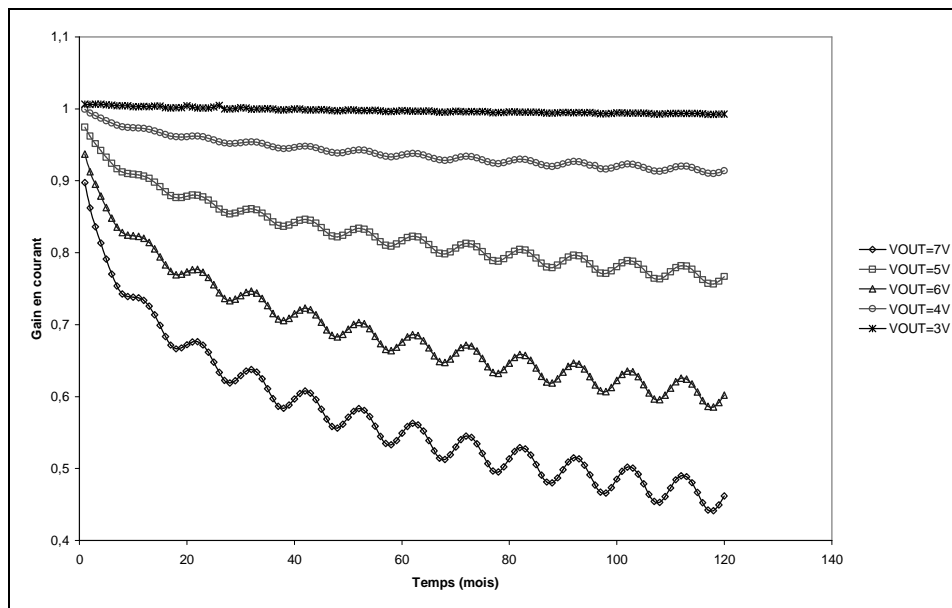


Figure 4-18 Variation du gain en courant du miroir de courant (I_{OUT}/I_{BIAS}) en fonction de la contrainte en tension V_{OUT} de l'étage de sortie
 $I_{bias}=100 \cdot 10^{-6} + 10 \cdot 10^{-6} \sin(2\pi ft)$; $f=0,1\text{Hz}$.

3.4 Conclusion

La mise en œuvre de la simulation de la fiabilité de la technologie *CMOS* et de circuits analogiques a été démontrée au travers de différents exemples d'application. Le travail que nous avons accompli utilise initialement un modèle *VHDL-AMS* électrique du transistor *MOSFET* dont le jeu d'équations électriques est simplifié. Nous appliquons la méthode de construction de modèles *VHDL-AMS* de fiabilité pour définir un modèle de fiabilité du transistor *MOSFET*. Ce modèle nous permet de nous affranchir de l'évaluation des contraintes et de la prise en compte de la sensibilité des paramètres des circuits de démonstration, puisque ces évaluations sont naturellement prises en compte dans le modèle électrique *VHDL-AMS* structurel des circuits.

Nous avons donc uniquement besoin de définir un modèle de vieillissement électrique du dispositif élémentaire équivalent à la dégradation induite par injection de porteurs chauds dans la structure de la technologie *CMOS*. La construction de ce modèle de dégradation équivalent est un point critique de la méthode qui nécessiterait une investigation plus approfondie à partir de données expérimentales de vieillissement électrique. Ces données nous permettraient d'améliorer la définition et le dimensionnement des modèles de vieillissement électrique du dispositif élémentaire.

Cependant, nous démontrons la faisabilité de générer une simulation de vieillissement électrique au niveau transistor à partir du modèle *VHDL-AMS* de fiabilité du *MOSFET* dimensionné à partir de données de la bibliographie. L'exemple de démonstration développé propose une analyse transitoire du vieillissement électrique. L'analyse transitoire nous permet d'observer l'évolution des caractéristiques électriques du circuit en fonction des contraintes et au cours des simulations de vieillissement de longue durée. Elle nous permet aussi de localiser les dispositifs élémentaires de la structure d'un circuit

électronique. L'interprétation de ces résultats est délicate parce que le modèle de fiabilité du dispositif élémentaire manque de précision. Par contre, l'obtention de ces résultats par simulation électrique ouvre de nombreuses perspectives afin d'améliorer le concept de la simulation de la fiabilité au niveau transistor.

De plus, cette première étude nous permet d'envisager le développement d'un circuit analogique comme un amplificateur opérationnel dont la construction des modèles *VHDL-AMS* de fiabilité est définie par deux méthodes : la modélisation structurelle au niveau transistor et la modélisation fonctionnelle à un niveau d'abstraction supérieure.

4 Simulation de fiabilité d'un circuit analogique CMOS

4.1 Objectifs

Le développement de la simulation de la fiabilité de circuits analogiques est limité par le nombre de transistors que nous pouvons simuler. Cette restriction que nous rencontrons déjà dans le flot de conception conventionnel peut être contournée par l'introduction de la modélisation *VHDL-AMS* comportementale ou fonctionnelle à un niveau d'abstraction supérieure par l'application de méthode ascendante.

Dans l'objectif d'analyser par simulation électrique les performances et la fiabilité de circuits complexes, la modélisation *VHDL-AMS* fonctionnelle nous permet de prendre en compte le comportement électrique et les effets du vieillissement électriques sur les caractéristiques électriques sans tenir compte de la structure interne du circuit.

Dans cette partie, nous proposons de développer un modèle comportemental (fonctionnel) *VHDL-AMS* de l'amplificateur opérationnel à transconductance, à partir de la caractérisation d'un modèle structurel construit à partir du modèle *VHDL-AMS* dispositif élémentaire *MOSFET*. Le modèle fonctionnel modélise le comportement électrique du circuit analogique sans tenir compte de sa structure interne au niveau transistor⁹⁸. Nous appliquons la méthode de construction d'un modèle *VHDL-AMS* de fiabilité d'un circuit électronique dans le but de définir un modèle *VHDL-AMS* fonctionnel de fiabilité de l'amplificateur⁹⁹. Nous introduisons les techniques et les modèles *VHDL-AMS* utiles à la construction du modèle fonctionnel de fiabilité en nous appuyant sur les propriétés de modularité de la modélisation comportementale *VHDL-AMS*. Ce travail a pour but de mettre en évidence la faisabilité d'une simulation de la fiabilité d'un circuit analogique en faisant abstraction de son architecture interne.

4.2 Modèle structurel de fiabilité

Dans cette partie, nous proposons l'étude du circuit analogique *CMOS*. Nous évaluons le vieillissement électrique de l'amplificateur opérationnel à transconductance. Il est construit à partir du modèle *VHDL-AMS* du transistor *MOSFET*. Les paramètres technologiques des transistors sont identiques à ceux définis pour l'étude du miroir de courant.

Nous définissons donc un modèle structurel *VHDL-AMS* du circuit analogique comme celui qui a été présenté au second chapitre.

L'amplificateur opérationnel à transconductance (*OTA*), autrement appelé convertisseur tension-courant, a une architecture composée, en entrée, d'un étage différentiel polarisé par une source de courant formée des transistors M10 et M5. Trois miroirs de courant

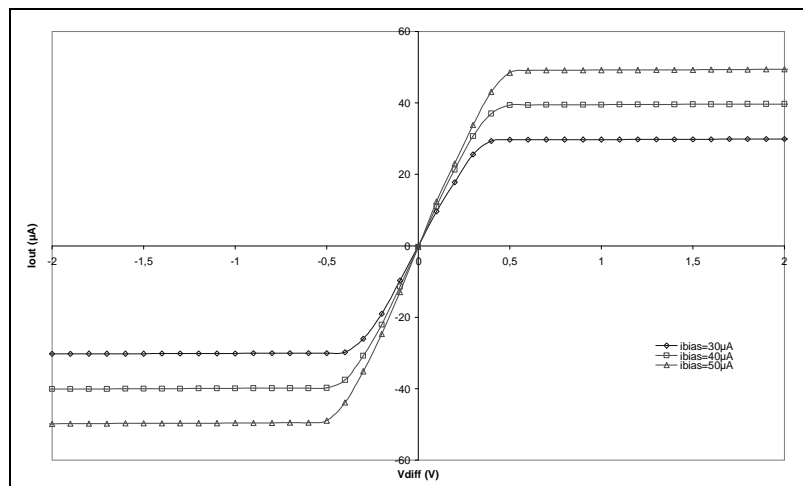


Figure 4-20 Caractéristique de transfert de l'amplificateur opérationnel de transconductance ; $i_{bias}=30 \mu A$, $R_L=30 K\Omega$.

A partir de cette caractéristique, nous déterminons la dynamique d'entrée, la dynamique de sortie, l'offset et le gain différentiel de transconductance de l'amplificateur, ainsi que les courants de saturation. La figure suivante résume les caractéristiques statiques de l'amplificateur opérationnel de transconductance :

| Paramètre statique | Valeur | Unité |
|--------------------|--------|---------|
| gdm | 93 | μS |
| vos | 2,47 | mV |
| Isat+ | 30 | μA |
| Isat- | -30 | μA |

Figure 4-21 Caractéristiques statiques de l'amplificateur opérationnel de transconductance ; $i_{bias}=30\mu A$, $R_L=30k\Omega$.

4.2.2 Simulation transitoire de vieillissement

L'étude de la caractéristique transitoire consiste à montrer comment évoluent les caractéristiques électriques du circuit analogique, en fonction de la dégradation des transistors *NMOS*, au cours de la simulation transitoire de vieillissement. Les contraintes appliquées aux dispositifs élémentaires sont équivalentes au point de polarisation du circuit défini par la tension de mode commun et la charge du circuit, plus une variation dynamique, autour de ce point, imposée par la tension de mode différentielle (figure 4-22).

Nous utilisons le modèle *VHDL-AMS* de fiabilité transitoire du dispositif élémentaire. Le modèle de Hu est utilisé pour estimer la dérive des performances des transistors dont la tension de seuil est dépendante du mécanisme de dégradation. La vitesse de dégradation de chaque dispositif est fonction des contraintes électriques appliquées au transistor. Le dimensionnement du modèle de Hu est identique à celui présenté pour l'analyse du vieillissement électrique du bloc analogique : le miroir de courant.

A partir des résultats de simulation électrique, nous faisons une extraction de données sur toute la durée du vieillissement électrique afin de mettre en évidence les dérives des

caractéristiques des dispositifs élémentaires ou de celles de l'amplificateur opérationnel de transconductance. Les points de simulation obtenus nous informent sur la tendance des variations imposées par le vieillissement électrique.

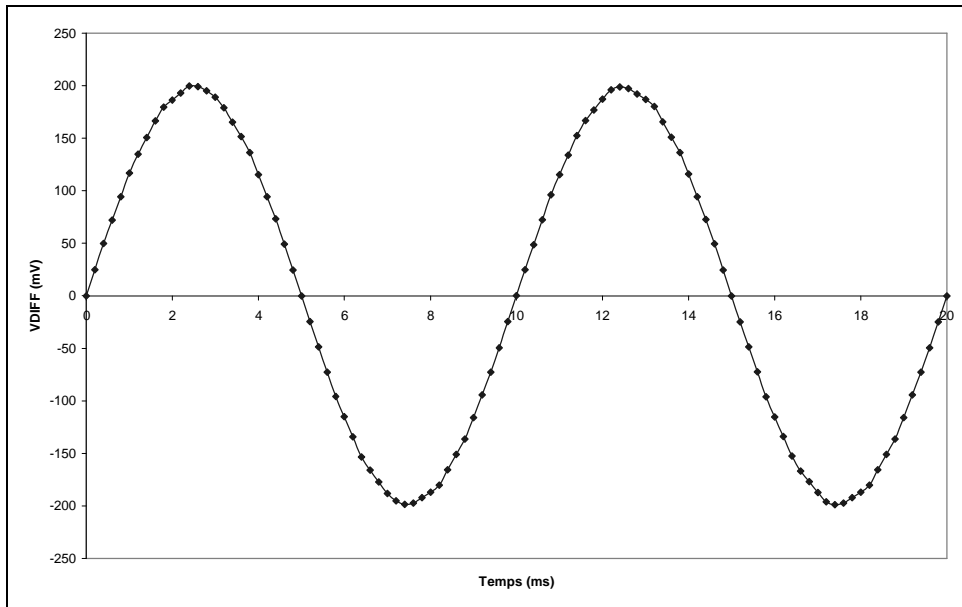


Figure 4-22 Caractéristique du signal d'entrée du circuit analogique tension de mode commun $V_{com}=2,5V$; fréquence de 100Hz.

Nous avons identifié au cours de l'analyse de contraintes en tension que le transistor M9 est celui dont les contraintes sont les plus élevées. Il est donc susceptible de vieillir prématurément et par conséquent d'affecter les performances de l'amplificateur opérationnel.

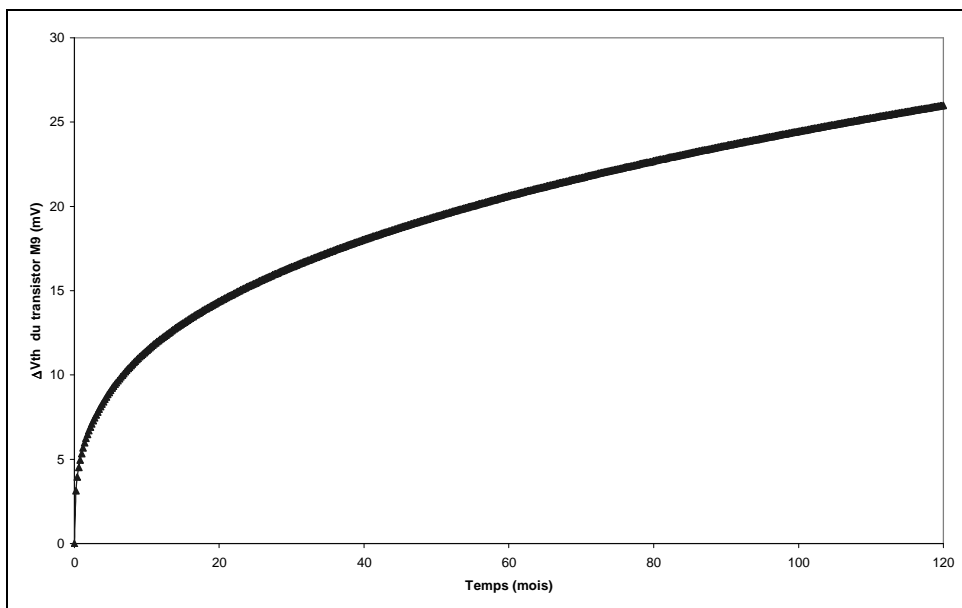


Figure 4-23 Variation de la tension de seuil du transistor M9 en fonction du temps de vieillissement.

L'analyse transitoire de vieillissement électrique confirme cette tendance. La figure 4-24 montre comment évolue la tension de seuil du transistor M9 au cours du temps de vieillissement. Pour le jeu de contraintes défini initialement, ($V_{gs}=1,6V$, $V_{ds}=3,1V$), nous constatons que la dérive de la tension de seuil est de l'ordre de 25 mV sur la période de vieillissement donnée.

Les effets induits par la dérive de la tension de seuil du transistor M9 sur les caractéristiques de sorties sont donnés par les figures 4-24 et 4-25. Nous constatons que le vieillissement électrique impose une réduction du gain de transconductance de $17\mu S$ ainsi que l'apparition d'un offset de courant de l'ordre de $2\mu A$.

Le vieillissement des transistors induit une variation de l'amplitude du courant de sortie de l'amplificateur et une variation du point de polarisation du circuit par l'intermédiaire d'un offset en courant.

Les variations du gain de transconductance sont calculées en considérant le rapport ($\Delta I_{OUT}/\Delta V_{DIFF}$). La dispersion observée sur la figure 4-24 est due à l'échantillonnage des points de simulation utilisés pour calculer la variation du signal de sortie. Ces points ne tombent pas en phase avec les maxima et minima du signal d'entrée V_{DIFF} .

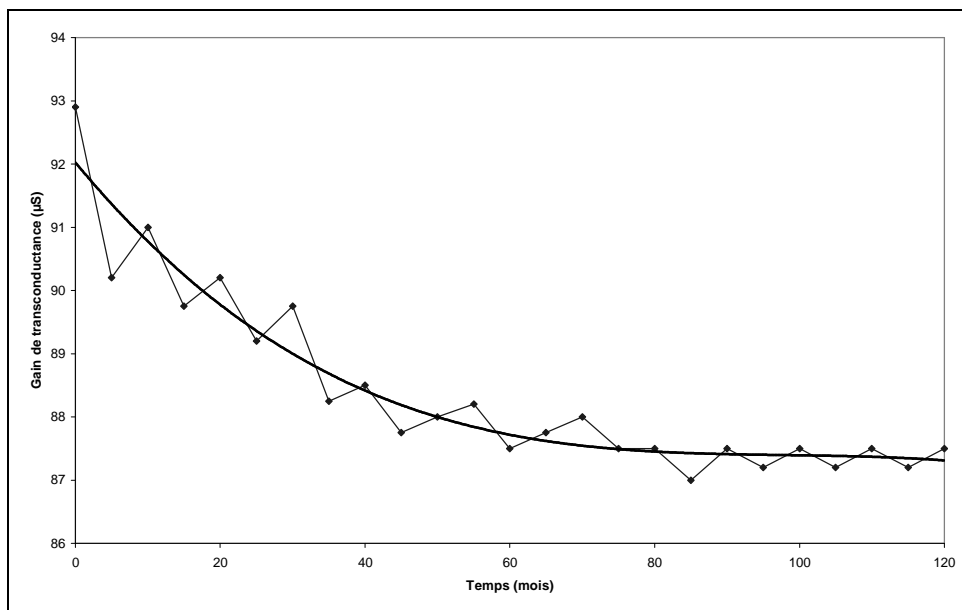


Figure 4-24 Dérive du gain de transconductance de l'amplificateur opérationnel dû au vieillissement électrique du transistor M9.

Nous présentons les points de simulation et une courbe de tendance.

La figure 4-25 exprime les variations de l'offset en courant de sortie en fonction du temps de vieillissement. Les points de simulation sont obtenus grâce à un échantillonnage de mesure sur une période de vieillissement de 6 mois. Ces résultats valident la faisabilité d'une analyse de la fiabilité d'un circuit analogique par simulation électrique au niveau transistor. Notre démonstration s'appuie sur un modèle de fiabilité standard dont le

dimensionnement est réalisé à partir de la bibliographie. Nous prenons en compte uniquement le vieillissement des transistors *NMOS*.

De plus, notre analyse de la fiabilité du circuit analogique doit être nuancée par le fait que nous ne considérons pas l'amplificateur dans une application spécifique. Dans le contexte d'une application, la fiabilité du circuit analogique sera étudiée selon un seuil de dégradation qui s'applique aux caractéristiques électriques du circuit analogique.

A partir d'un seuil de dégradation donné, le concepteur pourra contrôler par simulation électrique les performances et la fiabilité du circuit analogique en s'assurant que les résultats obtenus sont en relation avec les spécifications du cahier des charges. Sinon, il devra revoir la conception de son circuit en fonction des éléments sensibles de l'architecture afin de limiter les contraintes électriques et d'améliorer la fiabilité du circuit.

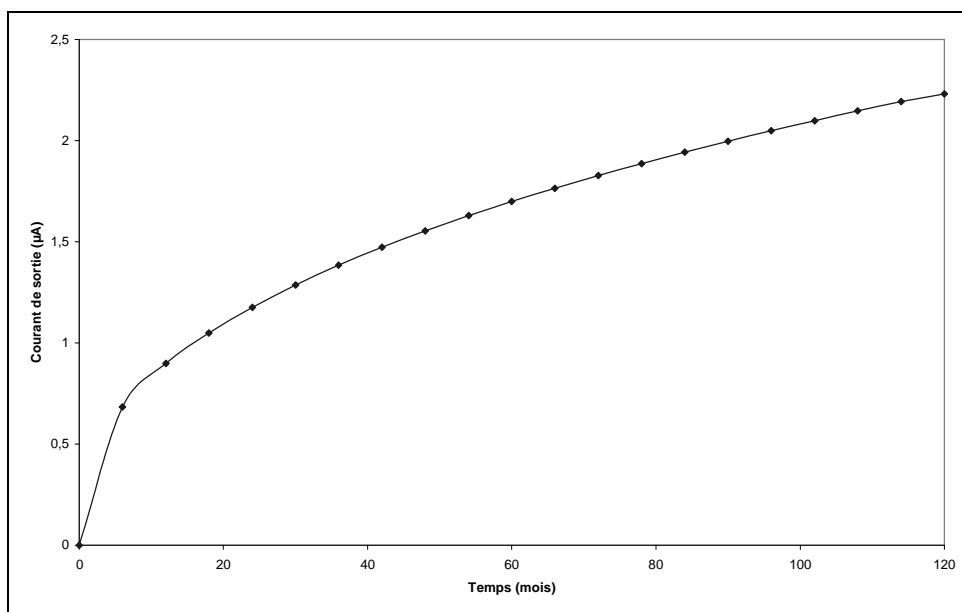


Figure 4-25 Mise en évidence de l'offset de courant du signal de sortie I_{OUT} imposé par le vieillissement électrique du transistor M9.

Les résultats proposés au cours de cette démonstration valident la méthode de construction de modèles *VHDL-AMS* de fiabilité au niveau transistor. Leur utilisation au cours de la conception permet de faire une analyse prédictive de la fiabilité de circuits analogiques. Cette démonstration valide la faisabilité de la méthode du bouclage court sur la conception présentée au premier chapitre.

4.3 Modèle fonctionnel de fiabilité

Le modèle de fiabilité de l'amplificateur opérationnel de transconductance est construit à partir d'un modèle fonctionnel *VHDL-AMS* du circuit analogique. Nous appliquons la méthode de construction de modèle *VHDL-AMS* de fiabilité de circuit analogique décrite précédemment. Par conséquent, le modèle de fiabilité du circuit est composé du modèle fonctionnel de l'amplificateur opérationnel, d'un générateur de contraintes, d'un modèle de vieillissement électrique du dispositif élémentaire *MOSFET*, et d'un modèle de

sensibilité. Cet assemblage caractérise le modèle *VHDL-AMS* fonctionnel de fiabilité de l'amplificateur opérationnel de transconductance.

4.3.1 Modèle VHDL-AMS fonctionnel

Le modèle *VHDL-AMS* fonctionnel de l'amplificateur est construit à partir du bloc de transfert du modèle électrique décrit au second chapitre (figure 4-26). La construction du modèle de fiabilité équivalent s'appuie sur une modification majeure de l'interface port. Nous introduisons les paramètres dégradés de l'amplificateur comme des terminaux d'entrée du modèle fonctionnel de dégradation : *Tgdm* pour le gain de transconductance et *Toffset* pour la tension d'offset. Les paramètres génériques initiaux (gain et offset) ne sont donc plus pris en compte dans le modèle *VHDL-AMS* de dégradation de l'amplificateur. Ils sont pris en compte dans le bloc *VHDL-AMS* de sensibilité qui nous permet d'évaluer le comportement dynamique du gain et de la tension d'offset. La figure 4-27 propose le modèle *VHDL-AMS* fonctionnel de l'amplificateur opérationnel de transconductance.

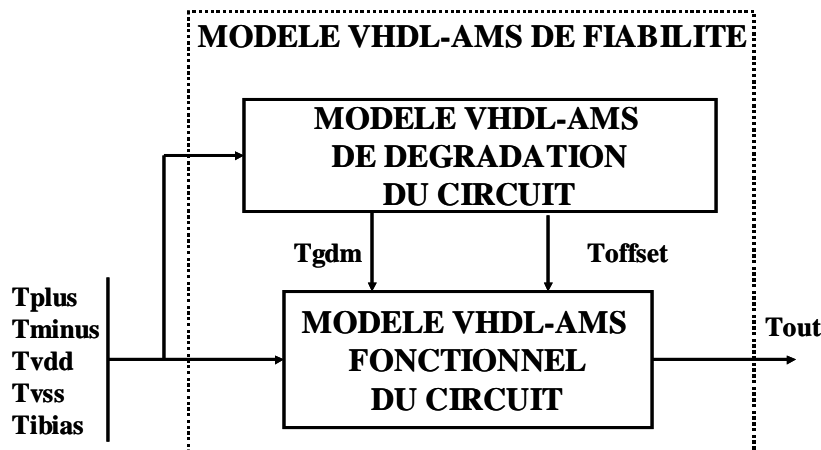


Figure 4-26 Bloc fonctionnel du modèle VHDL-AMS de fiabilité de l'amplificateur opérationnel de transconductance.

```
entity ota is
  generic (rdm      : real:= 1.0e+06;
           rp1: real:= 1.0e+06);
  port ( terminal Tplus, Tminus, Tout, Tvdd, Tvss ,
        Tibias: electrical;
        terminal Tgdm : electrical;
        terminal Toffset : electrical);

  architecture behavioral of ota is
    ---internal nodes
    terminal Tvoffset : electrical;

    ---input stage
    quantity voffset across ioffset through Tplus to
    Tvoffset;
    quantity vin across irdm through Toffset to
    Tminus;

    ---high/low power supply voltage
    quantity vdd across Tvdd to electrical_ground;
    quantity vss across Tvss to electrical_ground;

    ---bias current
    quantity ibias through electrical_ground to
    Tibias;

    ---internal quantities
    --power middle point voltage
    quantity vref : real := 1.0;

    ---transconductance current source
    quantity igm through electrical_ground to Tout;

    ---output voltage
```

```

quantity vout across irp1 through Tout to
electrical_ground;

---stressed parameters
quantity gdm across idelta_gdm through Tgdm
to electrical_ground;
quantity vos across idelta_vos through Toffset
to electrical_ground;

begin
idelta_vos == 0.0;
idelta_gdm == 0.0;

---input/output stage
voffset == vos;
vin == irdm*rdm;

---transfer stage
vref == (vdd+vss)/2.0;

---current limitation
igm == ibias*tanh((gdm)*vin/ibias);

---***voltage limitation***---
if vout'above(vdd) use
    vout == vdd;
elsif not vout'above(vss) use
    vout == vss;
else
    vout == irp1*rp1 + vref;
end use;
end architecture behavioral;

```

Figure 4-27 Modèle VHDL-AMS fonctionnel de l'amplificateur opérationnel de transconductance.

Nous validons le modèle fonctionnel de l'amplificateur opérationnel de transconductance en comparant les caractéristiques de transfert obtenues par simulation électrique statique du modèle fonctionnel et du modèle structurel (figure 4-28). Cette comparaison nous permet de dimensionner le modèle VHDL-AMS électrique fonctionnel.

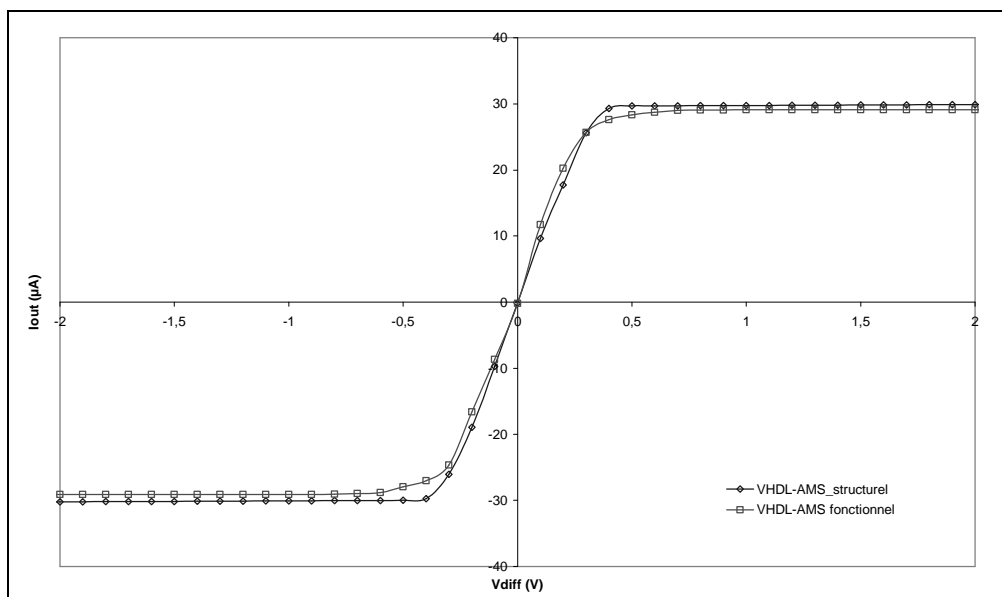


Figure 4-28 Comparaison des caractéristiques de transfert statique $i_{bias}=30\mu A$, $R_L=30k\Omega$; $g_{dm}=140\mu S$, $v_{os}=0 V$, $r_{dm}=1M\Omega$, $r_{p1}=1M\Omega$.

4.3.2 Générateur de contraintes en tension

L'étude du point de polarisation de l'amplificateur opérationnel nous informe sur l'ordre de grandeur des contraintes en tension appliquée à chaque dispositif de l'architecture de l'amplificateur opérationnel de transconductance. L'analyse de contraintes nous informe sur

les éléments susceptibles de vieillir prématurément et dont les effets de la dégradation auront une influence importante sur les caractéristiques électriques du circuit analogique.

Une analyse des contraintes en tension des dispositifs élémentaires de l'amplificateur opérationnel, en fonction de la tension de mode commun, est donnée par la figure 4-29. Les dispositifs sont donc polarisés selon les trois régimes de fonctionnement (sous le seuil, régime ohmique, régime de saturation). Nous observons une région critique où les transistors *NMOS* M9 et M6, en régime de saturation, sont soumis à de fortes contraintes. Les contraintes en tension pour les autres transistors sont plus faibles mais cela ne veut pas dire que le vieillissement de ces éléments n'aura pas d'effets sur les performances électriques du circuit analogique. Cela dépendra de la sensibilité des caractéristiques électriques de l'amplificateur à la dérive des paramètres électriques des dispositifs élémentaires.

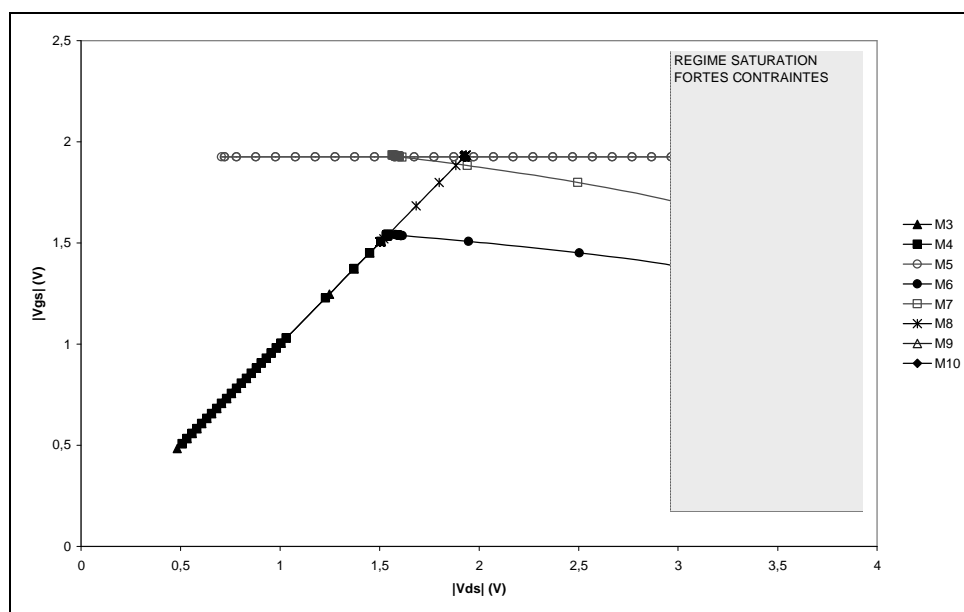


Figure 4-29 Analyse des contraintes en tension des éléments de l'amplificateur opérationnel de transconductance en fonction du mode commun avec un pas de 0,5V ; Mise en évidence de la région de saturation où de fortes contraintes sont appliquées aux dispositifs élémentaires MOSFET.

Le générateur de contraintes en tension est construit à partir de l'information extraite de la caractérisation statique de l'amplificateur opérationnel. Cette étape a pour but de mettre en évidence l'ordre de grandeur des tensions de polarisations appliquées à chaque dispositif élémentaire de la structure du circuit analogique. Les contraintes appliquées aux dispositifs élémentaires sont dépendantes des signaux d'entrée, du signal de sortie, donc de la nature de la charge, du courant de polarisation et des alimentations de l'amplificateur.

A partir de la caractérisation statique de l'amplificateur, nous utilisons les données pour extraire un modèle *VHDL-AMS* de générateur de contraintes électriques des transistors en fonction des conditions de polarisation du circuit analogique. Le générateur est défini par son entité et son architecture *VHDL-AMS* données par la figure 4-30. L'interface d'entrées-sorties est définie de manière à produire tous les couples de contraintes en tension (V_{GS} , V_{DS}) de chaque transistor à partir des conditions de polarisation de l'amplificateur. Les paramètres

génériques sont extraits pour le calcul analytique des conditions de polarisation des transistors *MOSFET* ce qui nous permet de construire un modèle simplifié du générateur de contraintes.

```

entity contraintes is
generic ( ...
ads1_1      : real:=0.286205;
ads1_2      : real:=0.100841;
ads1_3      : real:=0.207119;
ads1_4      : real:=0.412967 ...);

port ( terminal Tnon_inversor, Tinversor, Tout, Tvdd, Tvss : electrical;
...
terminal Tdrain1, Tgrille1      : electrical;
terminal Tdrain2, Tgrille2      : electrical;
terminal Tdrain3, Tgrille3      : electrical;
terminal Tdrain4, Tgrille4      : electrical;
terminal Tdrain5, Tgrille5      : electrical;
terminal Tdrain6, Tgrille6      : electrical;
terminal Tdrain7, Tgrille7      : electrical;
terminal Tdrain8, Tgrille8      : electrical;
terminal Tdrain9, Tgrille9      : electrical;
terminal Tdrain10,Tgrille10     : electrical);
end entity contraintes;

architecture behavioral of contraintes is
...
quantity vdd across Tvdd to electrical_ground;
quantity vss across Tvss to electrical_ground;
quantity vinv across Tinversor to electrical_ground;
quantity vnoninv across Tnon_inversor to electrical_ground;
quantity vout across Tout to electrical_ground;

quantity vcom, vdiff : real := 1.0;

quantity vds1_0, vds1_1, vds1_2, vds1_3, vds1_4      : real := 1.0;
quantity vgs1_0, vgs1_1, vgs1_2, vgs1_3, vgs1_4      : real := 1.0;
quantity vds2_0, vds2_1, vds2_2, vds2_3, vds2_4, vds2_5 : real := 1.0;
quantity vgs2_0, vgs2_1, vgs2_2, vgs2_3, vgs2_4      : real := 1.0;
quantity vds5_0, vds5_1, vds5_2, vds5_3, vds5_4      : real := 1.0;
quantity vds8_0, vds8_1, vds8_2, vds8_3              : real := 1.0;

quantity vds1 across ids1 through Tdrain1 to electrical_ground;
quantity vgs1 across igs1 through Tgrille1 to electrical_ground;

begin

vdiff == vinv - vnoninv;
vcom == (vinv + vnoninv)/2.0;

---contraintes M1
vds1_0 == ads1_1 + ads1_2 * vdiff + ads1_3 * vcom;
vds1_1 == ads1_4 + ads1_5 * vdiff + ads1_6 * vcom;
vds1_2 == ads1_7 + ads1_8 * vdiff + ads1_9 * vcom;
vds1_3 == ads1_10 + ads1_11 * vdiff + ads1_12 * vcom;
vds1_4 == ads1_13 + ads1_14 * vdiff + ads1_15 * vcom;

vds1 == realmax( vds1_0, realmin(realmin( vds1_1, vds1_2 ), realmax( vds1_3, vds1_4 ) ) );

vgs1_0 == ags1_1 + ags1_2 * (-vdiff) + ags1_3 * vcom;
vgs1_1 == ags1_4 + ags1_5 * (-vdiff) + ags1_6 * vcom;
vgs1_2 == ags1_7 + ags1_8 * (-vdiff) + ags1_9 * vcom;

```

```

vgs1_3 == ags1_10 + ags1_11 * (-vdiff) + ags1_12 * vcom;
vgs1_4 == ags1_13 + ags1_14 * (-vdiff) + ags1_15 * vcom;

vgs1 == realmax( vgs1_0, realmin(realmin(vgs1_1 , vgs1_2 ) , realmin( vgs1_3, vgs1_4 ) ) );

---contraintes M3
vgs3 == vdd - vds5 - vds2;
vds3 == vgs3;

---contraintes M9
vds9 == vdd - vds8;
vgs9 == vgs3 ;
...
end architecture behavioral;

```

Figure 4-30 Modèle VHDL-AMS partiel du générateur de contraintes.

Les figures suivantes proposent une comparaison entre les contraintes en tension obtenues par caractérisation statique via la simulation électrique et celles générées par le modèle VHDL-AMS. Nous obtenons une bonne adéquation entre les caractéristiques. Le générateur de contraintes génère donc les couples de contraintes de chaque transistor du circuit analogique. Ces contraintes sont utilisées comme données d'entrée du modèle de dégradation du dispositif élémentaire pour estimer la dynamique de vieillissement de la tension de seuil de chaque dispositif du circuit analogique.

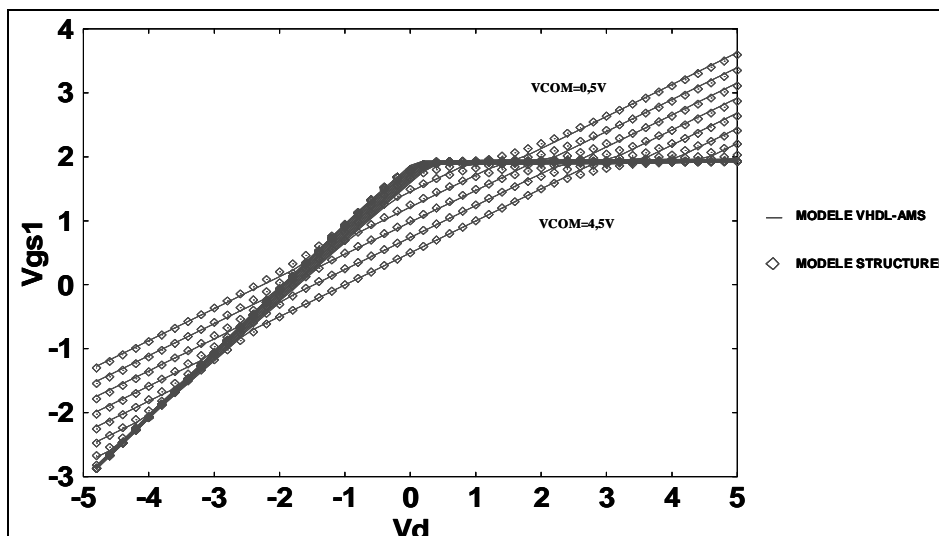


Figure 4-31 Distribution des contraintes en tension du transistor M1 en fonction de la tension différentielle d'entrée V_d et pour différentes valeurs de la tension de mode commun V_{com} .

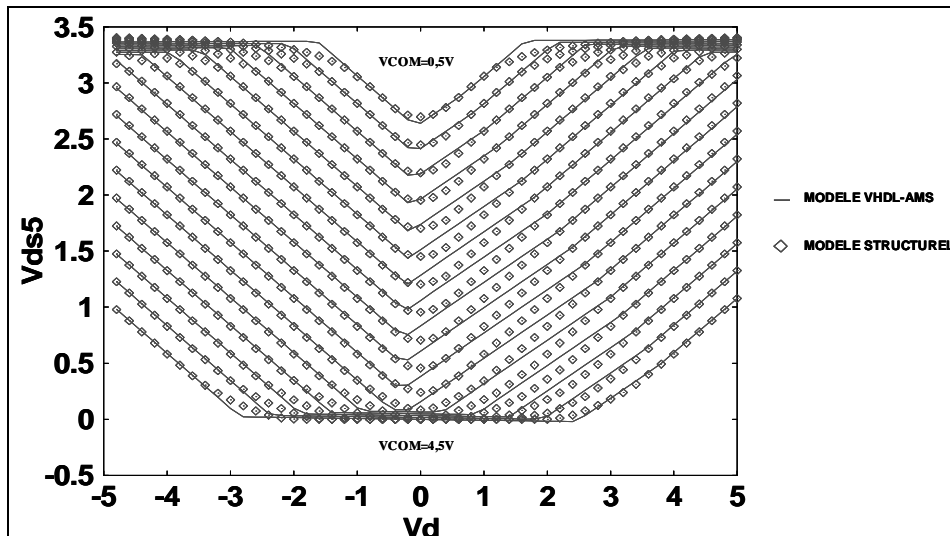


Figure 4-32 Distribution des contraintes en tension du transistor M5 en fonction de la tension différentielle d'entrée V_d et pour différentes valeurs de la tension de mode commun V_{com} .

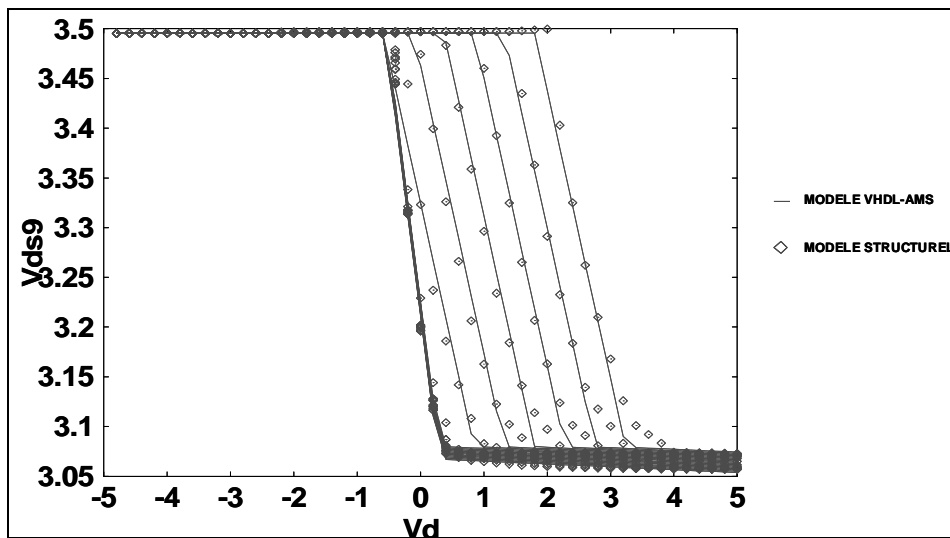


Figure 4-33 Distribution des contraintes en tension du transistor M9 en fonction de la tension différentielle d'entrée V_d et pour différentes valeurs de la tension de mode commun V_{com} .

4.3.3 Vieillessement du dispositif élémentaire

Toutes les contraintes électriques en tension induisent une dégradation de performance des transistors *MOSFET*. Cette dégradation se traduit sous la forme de la variation des paramètres électriques. La résultante, à long terme, provoque la dérive des caractéristiques électriques du transistor *MOSFET*. Dans notre étude, tous les transistors de l'amplificateur fonctionnent en régime de saturation. Ce régime de fonctionnement entraîne la dégradation des transistors au cours du temps d'utilisation de l'amplificateur.

Pour la simulation de la dégradation de performance, nous utilisons le modèle de Hu. Ce modèle est utilisé pour modéliser l'évolution temporelle des paramètres électriques en fonction des contraintes électriques du transistor *MOSFET*. Ce modèle va donc générer, en simulation, les effets cumulatifs induits par le mécanisme de dégradation sur les paramètres électriques du transistor au cours de l'échelle des temps de vieillissement. Le développement du modèle de vieillissement s'appuie sur la variation de la tension de seuil du transistor. Il s'écrit donc en fonction des contraintes électriques :

$$\frac{dV_{T,n}}{dt} = f(V_{DS,n}, V_{GS,n}, I_{DS,n}, I_{B,n}) \quad (4.28)$$

Nous utilisons ici le modèle *VHDL-AMS* de fiabilité du transistor *MOSFET* utilisé dans la troisième partie de ce chapitre. Nous apportons uniquement une modification de l'interface port en introduisant un terminal pour la tension de seuil du dispositif élémentaire.

4.3.4 Sensibilité des paramètres électriques du circuit

L'analyse de sensibilité consiste à étudier la dépendance des caractéristiques électriques du circuit analogique à la dérive des paramètres électriques des transistors. Pour cela, nous procédons par des simulations électriques statiques où nous imposons de faibles variations à la tension de seuil de chaque transistor. Les valeurs des paramètres électriques sont extraites à partir de la caractéristique statique de transfert du circuit analogique pour une configuration en boucle ouverte et pour une variation de 100mV de la tension de seuil de chaque dispositif élémentaire.

L'analyse de sensibilité montre comment évolue les caractéristiques statiques de l'amplificateur en fonction de la dérive statique des transistors *MOSFET*. Elle revient à analyser l'impact théorique du vieillissement électrique de chaque dispositif élémentaire sur les caractéristiques électriques statiques du circuit analogique. La figure 4-34 montre que la dérive de la tension de seuil de chaque dispositif *NMOS* tend à réduire le gain différentiel de transconductance, de modifier les courants de saturation, et d'augmenter la dynamique d'entrée mais par contre de réduire la dynamique de sortie de l'amplificateur.

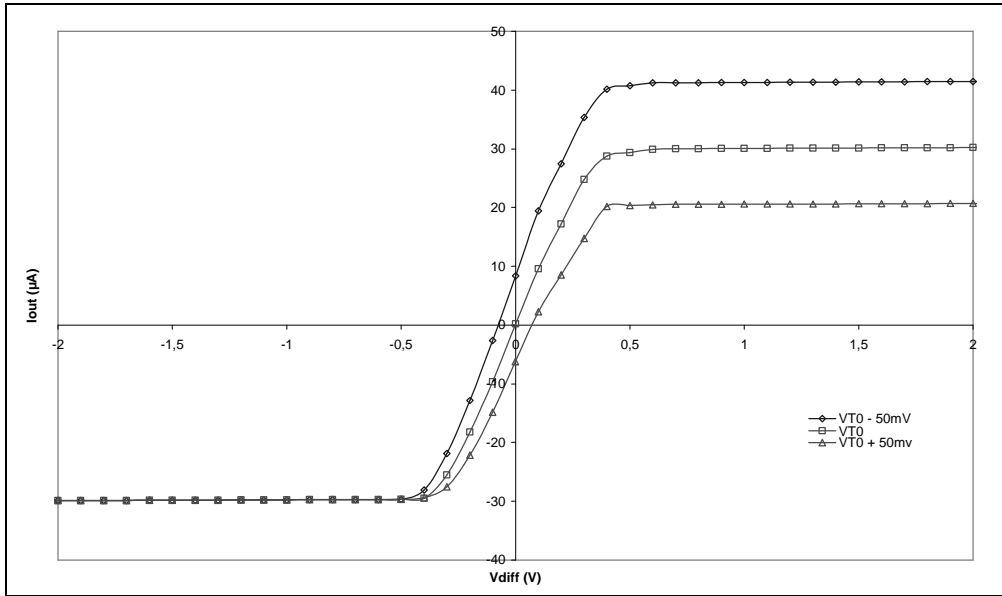


Figure 4-34 Effet de la variation statique de la tension de seuil de l'élément M9.

Nous étudions le gain de transconductance et la tension d'offset. Ces données nous permettent de calculer les coefficients de sensibilité. Ensuite, nous exprimons une relation linéaire entre la variation de la tension de seuil et le paramètre électrique du modèle VHDL-AMS du circuit analogique. A titre d'exemple, nous exprimons la variation du gain de transconductance et de la tension d'offset de l'amplificateur par les expressions suivantes :

$$\Delta G_M = G_{M0} + \sum_n \frac{\partial G_M}{\partial V_{T,n}} \Delta V_{T,n} \quad (4.29)$$

$$\Delta V_{OFFSET} = V_{OFFSET0} + \sum_n \frac{\partial V_{OFFSET0}}{\partial V_{T,n}} \Delta V_{T,n} \quad (4.30)$$

Ces deux équations sont incluses dans les modules VHDL-AMS de sensibilité. Ils reçoivent en entrée les variations dynamiques de chaque tension de seuil et ils fournissent les variations dynamiques du gain et de la tension de seuil. Chaque module prend en compte le paramètre initial, puis génère le paramètre dégradé correspondant au vieillissement électrique des transistors. Les modèles VHDL-AMS sont proposés par les figures 4-35 et 4-36.

entity sensitivite_gm is

```
generic ( gdm : real:= 140.0e-06;
Svt1 : real:= 0.0e-06; Svt2 : real:= 0.0e-06; Svt3 : real:= 0.0e-06;
Svt4 : real:= 0.0e-06; Svt5 : real:= 0.0e-06; Svt6 : real:= 0.0e-06;
Svt7 : real:= 0.0e-06; Svt8 : real:= 0.0e-06; Svt9 : real:= 0.0e-06; Svt10 : real:= 0.0e-06);
```

```
port ( terminal Tvth1, Tvth2, Tvth3, Tvth4, Tvth5, Tvth6, Tvth7, Tvth8, Tvth9, Tvth10: electrical;
terminal Tgdm : electrical);
```

end entity sensitivite_gm;

```
architecture behavioral of sensitivite_gm is
```

```

quantity delta_vt1 across idelta_vt1 through Tvth1 to electrical_ground;
quantity delta_vt2 across idelta_vt2 through Tvth2 to electrical_ground;
quantity delta_vt3 across idelta_vt3 through Tvth3 to electrical_ground;
quantity delta_vt4 across idelta_vt4 through Tvth4 to electrical_ground;
quantity delta_vt5 across idelta_vt5 through Tvth5 to electrical_ground;
quantity delta_vt6 across idelta_vt6 through Tvth6 to electrical_ground;
quantity delta_vt7 across idelta_vt7 through Tvth7 to electrical_ground;
quantity delta_vt8 across idelta_vt8 through Tvth8 to electrical_ground;
quantity delta_vt9 across idelta_vt9 through Tvth9 to electrical_ground;
quantity delta_vt10 across idelta_vt10 through Tvth10 to electrical_ground;

quantity delta_gdm across idelta_gdm through Tgdm to electrical_ground;

begin

delta_gdm ==  gdm + delta_vt1*Svt1 + delta_vt2*Svt2 + delta_vt3*Svt3 + delta_vt4*Svt4
              + delta_vt5*Svt5 + delta_vt6*Svt6 + delta_vt7*Svt7 + delta_vt8*Svt8
              + delta_vt9*Svt9 + delta_vt10*Svt10;

end architecture behavioral;

```

Figure 4-35 Modèle VHDL-AMS
de vieillissement électrique du gain de transconductance.

```

entity sensitivite_offset is

generic ( voffset : real:= 0.0;

Svos1 : real:= 0.0;Svos2 : real:= 0.0;Svos3 : real:= 0.0;
Svos4 : real:= 0.0; Svos5 : real:= 0.0; Svos6 : real:= 0.0; Svos7 : real:= 0.0; Svos8 : real:= 0.0;
Svos9 : real:= 0.0; Svos10 : real:= 0.0);

port ( terminal Tvth1, Tvth2, Tvth3, Tvth4, Tvth5, Tvth6, Tvth7, Tvth8, Tvth9, Tvth10: electrical;
       terminal Toffset : electrical);

end entity sensitivite_offset;

architecture behavioral of sensitivite_offset is

quantity delta_vt1 across idelta_vt1 through Tvth1 to electrical_ground;
quantity delta_vt2 across idelta_vt2 through Tvth2 to electrical_ground;
quantity delta_vt3 across idelta_vt3 through Tvth3 to electrical_ground;
quantity delta_vt4 across idelta_vt4 through Tvth4 to electrical_ground;
quantity delta_vt5 across idelta_vt5 through Tvth5 to electrical_ground;
quantity delta_vt6 across idelta_vt6 through Tvth6 to electrical_ground;
quantity delta_vt7 across idelta_vt7 through Tvth7 to electrical_ground;
quantity delta_vt8 across idelta_vt8 through Tvth8 to electrical_ground;
quantity delta_vt9 across idelta_vt9 through Tvth9 to electrical_ground;
quantity delta_vt10 across idelta_vt10 through Tvth10 to electrical_ground;

quantity delta_vos across idelta_vos through Toffset to electrical_ground;

begin

delta_vos ==  voffset + delta_vt1*Svos1 + delta_vt2*Svos2 + delta_vt3*Svos3
              + delta_vt4*Svos4 + delta_vt5*Svos5 + delta_vt6*Svos6 + delta_vt7*Svos7
              + delta_vt8*Svos8 + delta_vt9*Svos9 + delta_vt10*Svos10;

end architecture behavioral;

```

Figure 4-36 Modèle VHDL-AMS de vieillissement électrique de la tension d'offset.

4.3.5 Simulation transitoire de vieillissement électrique

Le modèle VHDL-AMS fonctionnel de dégradation est proposé par la figure 4-37 sous la forme d'un schéma de blocs fonctionnels. Le modèle de dégradation de l'amplificateur opérationnel de transconductance est le résultat de l'assemblage de quatre blocs fonctionnels VHDL-AMS dont les caractéristiques ont été exposées précédemment.

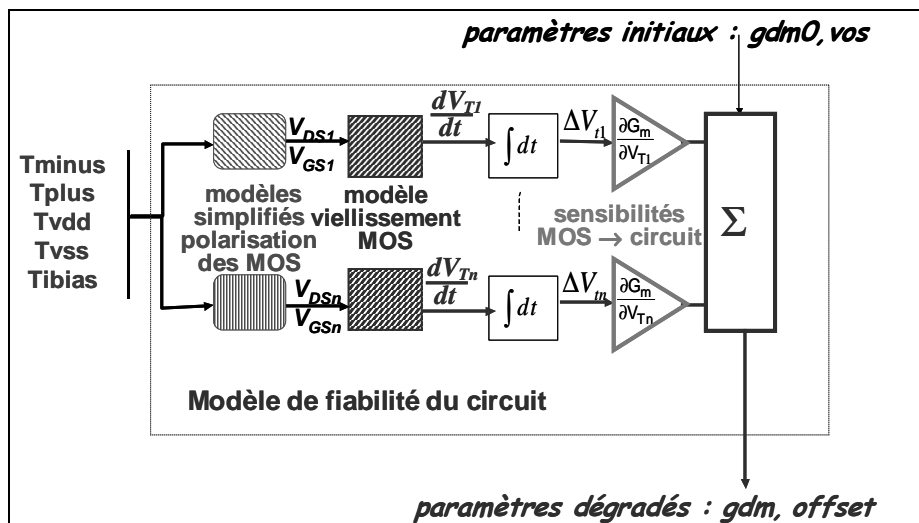


Figure 4-37 Modèle fonctionnel de fiabilité de l'amplificateur opérationnel de transconductance sous la forme de blocs fonctionnels.

Le circuit de démonstration est utilisé dans le cadre d'une analyse transitoire de vieillissement. Nous utilisons les mêmes conditions de simulation que pour le modèle structural de l'amplificateur opérationnel : un signal de mode différentiel de 200mV d'amplitude et de fréquence 100 Hz.

Cette analyse transitoire consiste à générer le vieillissement dynamique de l'amplificateur opérationnel de transconductance. Elle a pour but de montrer comment évolue le courant de sortie de l'amplificateur opérationnel au cours du vieillissement électrique des transistors MOSFET sous contraintes électriques imposées par la polarisation de l'amplificateur configuré en boucle ouverte ainsi que la dérive de ses caractéristiques électriques (gain et offset).

L'évolution du courant de sortie est observée pour un fonctionnement de l'amplificateur en régime linéaire. L'amplificateur opérationnel est polarisé autour du point milieu des alimentations. Les contraintes en tension appliquées aux transistors induisent une dégradation du fonctionnement électrique des dispositifs élémentaires.

Les effets du vieillissement sont principalement dus à la variation du gain de transconductance et de la tension d'offset induits par la dégradation des transistors. Nous savons grâce à notre étude que la dynamique du vieillissement de chaque transistor dépend des contraintes en tension. Puis selon la sensibilité, les effets induits sur le gain et la tension d'offset seront plus ou moins importants.

Les figures 4-38 et 4-39 montrent les variations des paramètres internes dégradés du modèle fonctionnel *VHDL-AMS* du circuit analogique au cours du temps de vieillissement. Le vieillissement électrique des dispositifs élémentaires impose une variation de $14\mu\text{S}$ du paramètre gain de transconductance (via le terminal port Tgdm) et une variation de 35mV du paramètre qui modélise la tension d'offset (via le terminal port Toffset). Ces variations simultanées imposent une variation du courant de sortie de l'amplificateur opérationnel de transconductance ce qui a pour effet de modifier les performances électriques du circuit analogique.

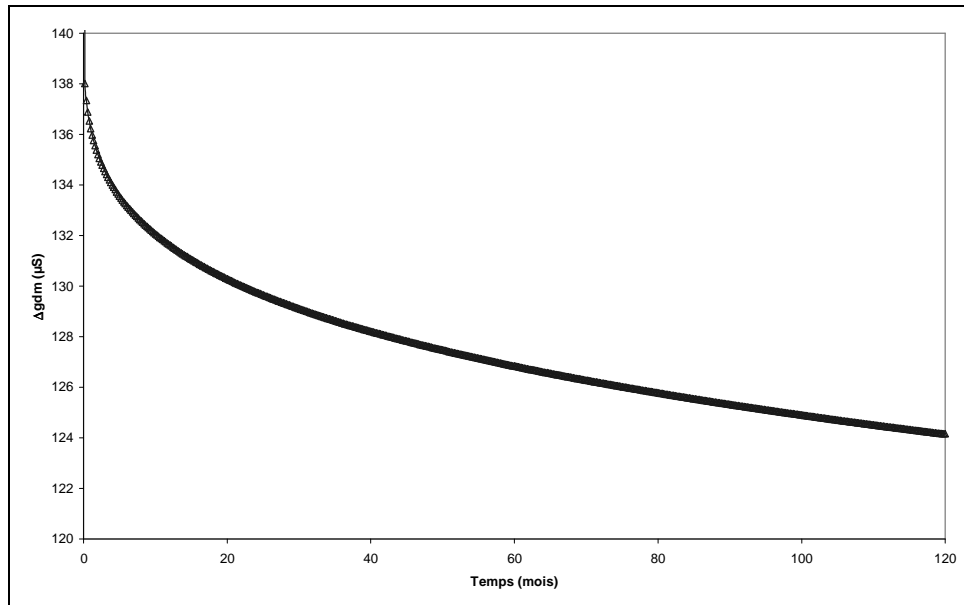


Figure 4-38 Dérive du paramètre interne g_{dm} du modèle fonctionnel au cours du vieillissement électrique de l'amplificateur opérationnel.

Les variations des paramètres électriques et notamment la vitesse d'évolution est corrélée à la fréquence et à l'amplitude de la tension différentielle appliquée en entrée du modèle fonctionnel de fiabilité de l'amplificateur opérationnel. Puis comme les contraintes ont des variations sinusoïdales, elles induisent alternativement des contraintes plus faibles sur le dispositif donc une vitesse de dégradation plus lente.

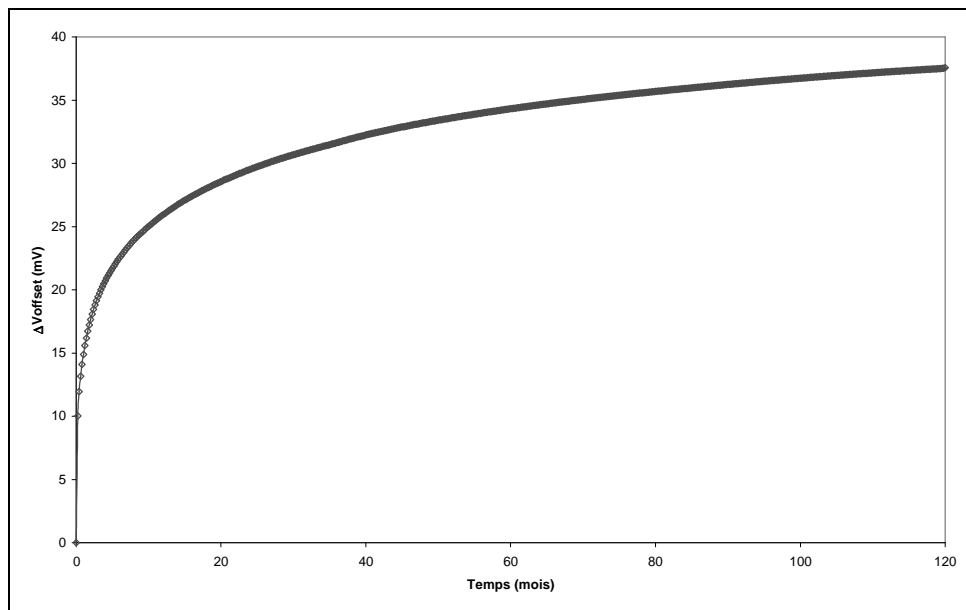


Figure 4-39 Dérive de la tension d'offset Vos

du modèle fonctionnel au cours du vieillissement électrique de l'amplificateur opérationnel.

Les figures 4-40 et 4-41 montrent l'évolution des caractéristiques électriques de l'amplificateur opérationnel de transconductance au cours du vieillissement électrique. Les points de simulation observés sont obtenus grâce à la même méthode que dans le cas d'étude proposé pour le modèle structurel *VHDL-AMS* de l'amplificateur opérationnel.

Le gain de transconductance de l'amplificateur opérationnel varie de $5\mu\text{S}$. L'offset de courant varie de $4,5\mu\text{A}$. Ces variations ont une courbe de tendance similaire à celles obtenues avec le modèle structurel *VHDL-AMS* du circuit analogique. Par contre, l'ordre de grandeur de ces variations est beaucoup plus faible.

Plusieurs sources sont à l'origine de ces différences. Rappelons que le modèle fonctionnel *VHDL-AMS* de dégradation utilise un modèle de fiabilité du dispositif élémentaire *MOSFET* identique au modèle structurel. Or, dans le cas du modèle fonctionnel, les contraintes appliquées aux dispositifs élémentaires sont issues d'un modèle *VHDL-AMS* simplifié dont la qualité du dimensionnement peut fortement influencer sur le calcul de la vitesse de dégradation des dispositifs élémentaires. De plus, nous notons que le modèle fonctionnel de dégradation de l'amplificateur opérationnel ne tient pas compte de l'évolution graduelle des contraintes en tension appliquées au dispositif élémentaire au cours du vieillissement électrique. Il n'y a pas de bouclage des effets de la variation des caractéristiques électriques de l'amplificateur opérationnel sur les contraintes appliquées aux dispositifs élémentaires.

En conséquence, le modèle *VHDL-AMS* fonctionnel ne tient pas compte d'une évolution temporelle des contraintes en tension d'un ou plusieurs dispositifs élémentaires critiques de l'architecture du circuit analogique ; Les contraintes en tension appliquées sont essentiellement statiques. Ce mode de fonctionnement est critique pour la prédiction de la fiabilité de circuits analogiques. De plus, le calcul de la sensibilité des caractéristiques électriques de l'amplificateur est aussi un point critique de la méthode. La définition de l'ordre de grandeur des paramètres de sensibilités au premier ordre peut aussi apporter un manque de précision.

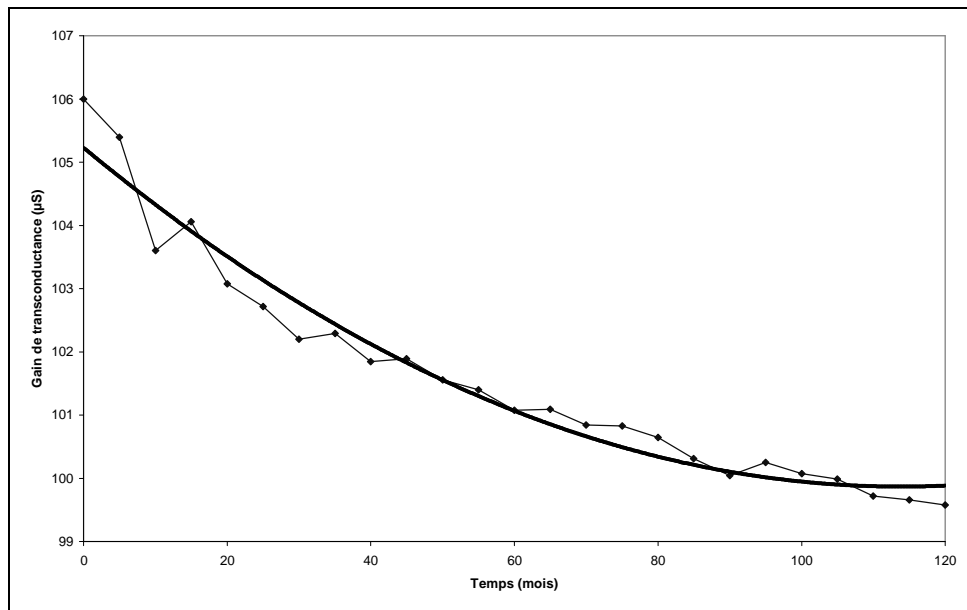


Figure 4-40 Dérive du gain de transconductance de l'amplificateur opérationnel dû au vieillissement électrique du transistor M9 ; scale-factor= 2.10^6 . Nous présentons les points de simulation et une courbe de tendance.

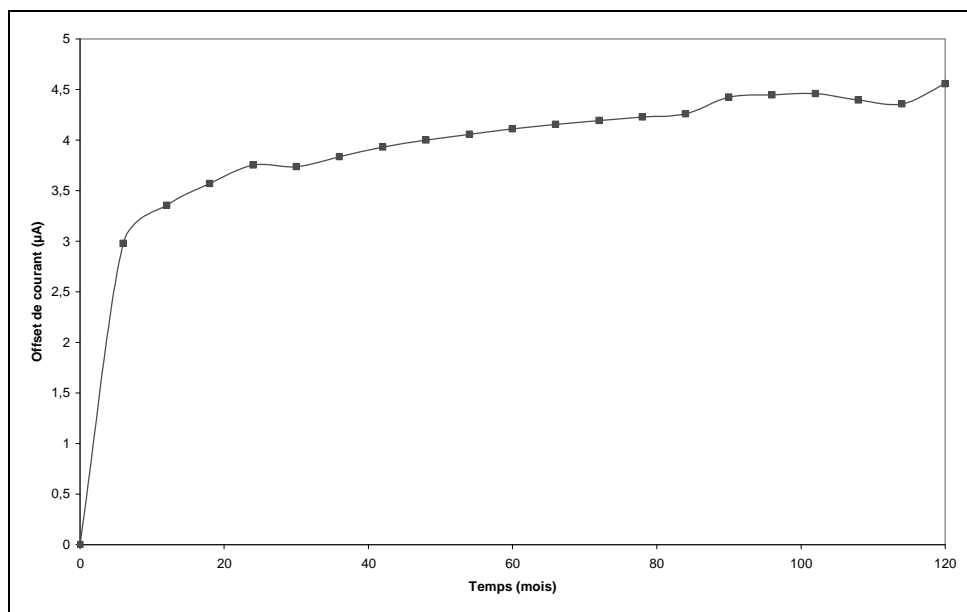


Figure 4-41 Mise en évidence de l'offset de courant du signal de sortie I_{OUT} imposé par le vieillissement électrique de l'amplificateur opérationnel ; scale-factor= 2.10^6 .

4.4 Comparaison des modèles structurel et fonctionnel

Les résultats de simulation de vieillissement obtenus à partir du modèle structurel et du modèle fonctionnel présentent des variations similaires du gain de transconductance et de l'offset du courant de sortie de l'amplificateur opérationnel. Nous observons quelques différences dont l'origine s'explique par les différents blocs construits pour le modèle fonctionnel.

Sachant que le modèle de fiabilité du dispositif élémentaire est identique pour les deux cas d'étude. Les différences de variation s'expliquent par le manque de précision et d'exactitude du générateur de contraintes, des modèles pour le calcul de la sensibilité du gain de transconductance et de la tension d'offset. La qualité de ces modèles fonctionnels dépend fortement des techniques de caractérisation et d'extraction des paramètres génériques des modèles *VHDL-AMS*.

D'un point de vue simulation, l'utilisation de modèles fonctionnels pour l'analyse de la fiabilité d'un circuit analogique permet de réduire comme le montre la figure 4-42, le temps de calcul du simulateur de 33% par rapport au temps de calcul nécessaire pour le modèle structurel de l'amplificateur.

| Modèle <i>VHDL-AMS</i> | Structurel | Fonctionnel |
|------------------------------------|------------|-------------|
| Temps d'exécution de la simulation | 1h30min | 30min |

Figure 4-42 Comparaison des temps d'exécution de la simulation de vieillissement électrique ; scale-factor=2.10⁶.

La réduction du temps de calcul est fortement intéressante dans le cas d'un circuit analogique d'une plus grande complexité puisque le modèle fonctionnel permet de limiter le nombre de nœuds électriques à traiter. Par conséquent, la matrice correspondante à résoudre est réduite par rapport à celle définie par le modèle structurel. C'est donc un avantage précieux dans le cas d'une étude de fiabilité d'un système complexe.

Cependant, le modèle fonctionnel ne tient pas compte de l'évolution graduelle des contraintes appliquées aux dispositifs élémentaires au long de la simulation de vieillissement électrique. La qualité de l'évaluation de la dérive des caractéristiques électriques du circuit analogique est donc remise en cause. De plus, la précision et l'exactitude des résultats sont fortement dépendantes des modules *VHDL-AMS* définis pour la construction du modèle fonctionnel de dégradation.

De ce point de vue, l'utilisation du modèle structurel a donc un avantage conséquent, même si le temps de simulation nécessaire est plus important. Le modèle structurel a donc pour avantage de tenir compte de la sensibilité « naturelle » de la dérive des caractéristiques électriques du circuit à la dégradation des paramètres électriques. En ajoutant que l'évolution graduelle des contraintes est naturellement prise en compte par le simulateur.

En conséquence et d'un point de vue conception, le modèle structurel permet au concepteur d'intervenir directement sur l'architecture des blocs analogiques. La détection des dispositifs élémentaires critiques de l'architecture d'un circuit a pour but d'augmenter la robustesse du circuit vis à vis des modes de dégradation d'usures. Par conséquent, l'utilisation d'un modèle *VHDL-AMS* de fiabilité du dispositif élémentaire *MOSFET* est un élément important pour l'intégration de la fiabilité dans le flot de conception des circuits analogiques.

4.5 Bilan

La construction du modèle *VHDL-AMS* fonctionnel de fiabilité du circuit analogique s'appuie sur une méthode dont nous avons défini les étapes. Elles ont pour objectif de définir la dépendance des paramètres du modèle électrique fonctionnel *VHDL-AMS* du circuit au vieillissement électrique des dispositifs élémentaires. Les étapes de la construction du modèle sont groupées autour d'une analyse de contraintes, d'une étude du modèle de fiabilité du transistor, et du calcul de la sensibilité des paramètres électriques du circuit au vieillissement des transistors. L'étude de chaque module débouche sur la construction d'un modèle *VHDL-AMS* que nous utilisons ensuite pour la construction du modèle *VHDL-AMS* fonctionnel de fiabilité du circuit analogique.

Nous avons appliqué cette méthode à un circuit de démonstration : l'amplificateur opérationnel *CMOS* à transconductance. Ce circuit est un bloc analogique de base disponible dans les outils de conception et il est construit au niveau transistor. Le dispositif élémentaire du circuit analogique est sensible à l'injection de porteurs chauds sous l'effet des contraintes de polarisation. Ce phénomène de dégradation provoque à long terme la dérive des caractéristiques électriques du transistor qui elles-mêmes ont une influence sur les performances électriques du circuit. La modélisation du vieillissement électrique du dispositif élémentaire est un point critique de la méthode et le modèle *VHDL-AMS* que nous avons utilisé est un modèle standard issu de la bibliographie. Ce modèle a besoin de données d'entrée qui sont les contraintes en tension appliquées à chaque transistor. Ces tensions sont exprimées en fonction des conditions de polarisation du circuit. Ce travail amène à la construction du générateur de contraintes *VHDL-AMS*. Ensuite, les sorties du modèle de fiabilité sont utilisées par le calculateur de sensibilité des paramètres électriques du modèle *VHDL-AMS* du circuit analogique. L'association de ces modules *VHDL-AMS* avec le modèle fonctionnel du circuit amène à la définition du modèle *VHDL-AMS* de fiabilité du circuit analogique.

La construction du modèle fonctionnel de fiabilité s'appuie sur les composants élémentaires du circuit analogique. La méthode de construction du modèle fonctionnel de fiabilité est donc dépendante du nombre de transistors qui composent l'architecture. En fonction du nombre de transistor, l'application de la méthode peut présenter certaines limitations. Par exemple, le calcul des coefficients de sensibilité peut s'avérer fastidieux du fait du grand nombre de paramètres électriques à prendre en compte puisque la tension de seuil du transistor n'est pas l'unique paramètre influent. A cela s'ajoute le calcul correspondant de la dérive des paramètres électriques en fonction des contraintes électriques, tout comme la génération des contraintes électriques en fonction de la polarisation du circuit. Ces limitations peuvent être réduites dans le cas où nous serions capables de générer automatiquement l'écriture et l'ajustement des différents modules *VHDL-AMS*. Ceci est une perspective à explorer.

Cependant, la construction du modèle fonctionnel *VHDL-AMS* sera toujours limitée par la complexité du circuit. De plus, le modèle comportemental fonctionnel du circuit utilise un modèle de fiabilité du dispositif élémentaire dont l'estimation de la dynamique du vieillissement est délicate, et d'ailleurs le problème est similaire dans le cas du modèle *VHDL-AMS* structurel. C'est pourquoi, afin de réduire la complexité du modèle *VHDL-AMS*, il pourrait être intéressant de s'affranchir du modèle de fiabilité du dispositif élémentaire. Pour cela, la méthode de construction du modèle *VHDL-AMS* doit évoluer vers un modèle de

vieillessement électrique du circuit plus abstrait. En fait, le vieillissement électrique des transistors doit être généré par des modèles analytiques dont la construction est minimale.

Par exemple, dans le cadre de la méthode ascendante, et pour un cahier des charges donné, une étude du vieillissement électrique de circuits est réalisable au niveau transistor comme nous l'avons démontré dans la troisième partie avec la conception d'un modèle *VHDL-AMS* structurel du circuit analogique. Les simulations de fiabilité sont alors générées en tenant compte des contraintes de polarisation du circuit selon le profil de mission. Et à partir de ces résultats de simulation, un travail de caractérisation électrique permettrait d'observer le vieillissement des caractéristiques électriques du circuit, puis d'extraire les paramètres génériques du modèle *VHDL-AMS* et les modèles de fiabilité correspondant des caractéristiques électriques.

Bien sûr, pour réaliser ce travail, les modèles de fiabilité du transistor devront être calibrés grâce à des études expérimentales réalisées, sur des structures de test, en amont du flot de conception et de simulation de la fiabilité. Cette phase expérimentale est difficilement réalisable sans le support d'un industriel de la microélectronique.

5 Conclusion

Une méthode de construction de modèles *VHDL-AMS* de fiabilité a été définie. Elle répond au besoin de simplifier l'approche de la simulation de la fiabilité de circuits électroniques basée sur des outils de simulations type *SPICE*. Nous appliquons cette méthode pour la construction d'un modèle de fiabilité du transistor *MOSFET* et celui d'un amplificateur opérationnel de transconductance. L'utilisation de ces modèles nous permet de démontrer la faisabilité de la simulation de vieillissement électrique à partir de modèles comportementaux de fiabilité fondés sur le langage *VHDL-AMS*.

Les modèles de fiabilité sont construits sur la base d'un mécanisme de dégradation d'usure de la technologie *CMOS* : l'injection de porteurs chauds. Ce mécanisme d'usure favorise la variation des paramètres électriques du dispositif élémentaire, notamment la tension de seuil. Cette variation se traduit par la dérive des caractéristiques électriques des transistors. Finalement, la dérive des paramètres électriques des transistors perturbe le fonctionnement électrique de l'amplificateur opérationnel.

Les différents exemples traités à partir du niveau transistor et à partir d'un modèle fonctionnel du circuit analogique montrent comment nous pouvons traiter la prédiction de fiabilité des circuits électroniques en cours de conception. En nous appuyant sur le critère de dégradation de la tension de seuil, nous pouvons déterminer le temps au bout duquel un circuit est considéré comme étant hors spécifications. Cette analyse est facilitée par la mise en œuvre d'une seule simulation transitoire grâce aux propriétés du langage *VHDL-AMS*. La technique consiste à prendre en compte un facteur d'échelle qui fait le lien entre la durée d'analyse de la simulation transitoire de performance et la durée d'analyse transitoire de vieillissement électrique. Ce changement d'échelle de temps apporte un avantage non négligeable par rapport à la méthode classique. Il permet de réduire la durée d'analyse de prédiction de la fiabilité.

La contribution de ce travail permet d'envisager le développement d'une bibliothèque de modèles *VHDL-AMS* de fiabilité grâce à la reproductibilité de la méthode de construction proposée. Cette base de données prend en compte aussi bien les divers dispositifs élémentaires que les circuits analogiques et logiques. Ces différents modèles pourront alors être utilisés dans le cadre de la méthode ascendante afin de prédire la fiabilité des circuits et systèmes électroniques.

5.1 Perspectives

Une première perspective est de développer une phase expérimentale approfondie du phénomène de dégradation par injection de porteurs au niveau du transistor *MOSFET*. Elle apporterait des informations utiles pour une meilleure compréhension du phénomène de dégradation. De plus, l'exploitation des données expérimentales permettrait de faire évoluer le modèle *VHDL-AMS* de fiabilité du transistor *MOSFET*. Comme l'étude expérimentale sera réalisée sur des technologies *CMOS* de nouvelle génération, il sera aussi nécessaire en complément de faire évoluer le modèle électrique *VHDL-AMS* du transistor *MOSFET*.

A partir du développement du modèle *VHDL-AMS* de fiabilité du transistor *MOSFET*, une seconde perspective concerne le développement de la simulation de la fiabilité dans le flot de conception des circuits analogiques. Les améliorations à apporter au modèle électrique *VHDL-AMS* du transistor doivent être ciblées et correspondre aux attentes du concepteur. Le modèle *VHDL-AMS* devra donc être opérationnel pour les quatre types d'analyse électrique, c'est à dire le calcul du point de fonctionnement, celui de la caractéristique statique, dynamique et transitoire. De plus, en ce qui concerne, le modèle *VHDL-AMS* de fiabilité, celui-ci doit permettre au concepteur d'ajuster le temps de vieillissement électrique quel que soit le type d'analyse électrique. Avec ces nouvelles fonctionnalités, la simulation du vieillissement électrique doit fournir des informations utiles et nécessaires au concepteur en complément de l'analyse de performance électrique. Ces informations complémentaires doivent aider le concepteur à prévoir la fiabilité de son circuit analogique quel que soit les caractéristiques électriques étudiées (statique, dynamique ou transitoire).

Une troisième perspective consiste à étendre la simulation de vieillissement électrique au circuit logique. Les modèles de fiabilité du transistor sont valables quelle que soit la nature du circuit. Ceci est donc possible dans la mesure où le modèle électrique *VHDL-AMS* du dispositif élémentaire est validé pour la conception de circuit logique.

CONCLUSION GENERALE

Conclusion Générale

L'évolution croissante des technologies microélectroniques a poussé la communauté des experts de la fiabilité à réagir face au traitement de la fiabilité des transistors, des circuits et des systèmes électroniques. Ce traitement est réparti selon différents axes dépendants de la technologie de conception, du type de composant et de sa complexité, de son environnement d'utilisation donc de son profil de mission. Le dernier axe contribue à la définition de la méthode mise en jeu pour assurer le traitement de la fiabilité. Le traitement de la fiabilité des dispositifs élémentaires est complexe et les méthodes utilisées sont nombreuses et complémentaires.

La physique des défaillances s'oriente vers une approche de la fiabilité au travers d'analyses des modes de dégradation qui affectent les dispositifs élémentaires. Cette méthode propose donc, selon le profil de mission des composants, de relier les causes, c'est à dire les contraintes, aux effets induits par les défaillances physiques sur les performances électriques des composants. L'information résultante de ces analyses est utilisée pour construire des modèles de fiabilité. Ces modèles sont intégrés dans les outils spécifiques pour l'analyse de la fiabilité des circuits électroniques. Leur usage en bouclage court sur la conception définit la boucle de la fiabilité intégrée ou encore appelée boucle *DFR* (Design For Reliability). Ces outils permettent d'effectuer un traitement de fiabilité prévisionnel en amont du cycle de production des composants.

Les outils de la simulation de la fiabilité sont en constante phase de validation et de qualification. Leur précision est fortement dépendante de l'exactitude des modèles physiques de dégradation des dispositifs élémentaires et de la précision des calculs de l'impact de ces dégradations sur les performances et les caractéristiques électriques des circuits intégrés.

Les outils de simulation de fiabilité actuels sont construits sur la base d'un simulateur analogique. Ils utilisent les modèles électriques *SPICE*. Pour le calcul de la dégradation des transistors, des algorithmes spécifiques, externes au simulateur électrique, et fondés sur des simulations itératives sont nécessaires. Ils permettent aussi de gérer les deux échelles de temps imposées par l'analyse transitoire de performance et l'analyse transitoire de vieillissement électrique.

Le développement d'outils d'analyse de la fiabilité inclus dans le flot de conception des circuits électroniques est en pleine phase de croissance. Grâce à l'étude de nombreuses applications et validations expérimentales, des outils ont été développés progressivement tout en suivant l'évolution rapide des technologies. Le développement de ses outils est en phase croissante. Une maturité de ces outils est prévue pour l'année 2010 si l'on se réfère aux prévisions donnée par la société *ITRS* (International Technology Roadmap for Semiconductor).

Ces outils ont pour but de fournir de l'information sur la fiabilité des circuits intégrés à forte densité d'intégration. Or, l'analyse de performances électriques de ce type de circuit n'est pas toujours évidente à réaliser. Compte tenu du grand nombre de transistors à simuler, le temps de calcul peut s'avérer très élevé. De plus, il vient s'ajouter le temps de calcul nécessaire à l'analyse de fiabilité. C'est pourquoi, jusqu'à présent, les applications développées se limitent

Conclusion générale

à des fonctions logiques ou analogiques de base dont le nombre de transistors est limité. Chaque application consiste à prévoir les dérives des caractéristiques électriques de la fonction au cours du temps de vieillissement électrique. Ces analyses par simulation électrique ont pour but de détecter les éléments sensibles de l'architecture d'un circuit intégré. Elles sont donc un recours à la conception des circuits intégrés. Les concepteurs ont donc aujourd'hui la possibilité de prendre des mesures correctives pour améliorer la robustesse des circuits intégrés.

D'un point de vue général, tous les outils présentés sont capables d'analyser par simulation électrique la fiabilité des dispositifs élémentaires et des circuits intégrés, dans la mesure où la taille des circuits à simuler ne nécessite pas trop de temps de calcul. Par conséquent, tous ces outils développent leurs capacités de calcul à partir de la connaissance de la fiabilité du dispositif élémentaire. Ils sont alors utilisés comme un outil de conception et un outil d'analyse de la fiabilité dans le flot de conception grâce à la boucle *DFR*. Cependant, dans le cas de circuits complexes voir d'un système électronique, l'analyse de la fiabilité avec de tels outils semble compromise. Il est pourtant nécessaire d'orienter les objectifs de la modélisation et la simulation de la fiabilité pour ce type de circuits électroniques. La modélisation comportementale orientée vers les circuits et systèmes électroniques est une voie à explorer. L'avantage d'une telle orientation est la capacité de modéliser le comportement électrique sans tenir compte de la structure interne des circuits. La modélisation des circuits s'appuie alors sur des langages de description matérielle de type *HDL*. Cette approche est d'autant plus intéressante qu'elle est reproductible pour tous les systèmes qu'il s'agisse de systèmes électroniques, thermiques, voir électrothermiques ou mécaniques.

Nous avons vu que le langage de description matériel *VHDL-AMS* offre de nombreuses possibilités pour la modélisation des circuits et systèmes électroniques. Le développement d'un tel langage coïncide avec les motivations exprimées par les industriels de l'électronique. Leurs motivations ont montré la nécessité de définir un langage standard de modélisation comportementale pour la modélisation de circuits et systèmes complexes.

Ce langage de modélisation permet le développement de bibliothèques de modèles comportementaux à tous les niveaux d'abstraction. Selon la méthode choisie, ascendante ou descendante, le langage de description matériel *VHDL-AMS* offre la possibilité de choisir le type de modèles le mieux adapté aux objectifs (performances, précisions des résultats, etc.). Le développement de modèles logiques, analogiques et mixtes permet de construire et de modéliser des systèmes électroniques complexes. Les modèles de circuits développés à titre d'application, pourraient inclure en supplément des grandeurs de natures thermiques, mécaniques, radiatives ou de vieillissement électrique.

Ce type de modélisation, qui associe grandeurs électriques et environnementales, est qualifié de modélisation de multiples technologies. Cette technique de modélisation nécessite d'établir le lien entre la modélisation thermique et la modélisation électrique des systèmes électroniques. Nous avons exploité cet aspect technique de la modélisation comportementale dans le cadre du projet européen *SPARTE*.

Le consortium de projet *SPARTE* a défini et implémenté des méthodes et des outils qui permettent d'évaluer l'aptitude de composants commerciaux pour répondre aux besoins de performances et au comportement fonctionnel attendu face aux conditions opérationnelles environnementales. Le projet *SPARTE* se concentre sur les effets électrothermiques, et l'évaluation de ces effets s'appuie sur la physique des composants et une approche de la simulation de multiples technologies.

Conclusion générale

Pour cela, nous avons contribué au développement d'un modèle comportemental *VHDL-AMS* électrothermique d'un composant de puissance : le régulateur de tension *LT1129*. Notre travail s'est appuyé sur les points clés de la méthode de construction d'un modèle comportemental *VHDL-AMS*. Tout d'abord, à partir de données du constructeur et une connaissance de la structure interne du composant, un modèle *VHDL-AMS* électrique a été défini. Ensuite, à partir de mesures expérimentales électrothermiques, le modèle *VHDL-AMS* du régulateur a été adapté pour définir la dépendance à la température des paramètres du modèle électrique. Cette étape a permis de construire le modèle électrothermique *VHDL-AMS* du régulateur de tension.

Le modèle comportemental *VHDL-AMS* du régulateur de tension est alors utilisé pour une application en simulation électrothermique. Cette application est réalisée par le couplage de deux simulateurs : un simulateur électrique et un simulateur physique. L'application du modèle *VHDL-AMS* dans la simulation couplée a permis de valider la méthode définie pour répondre aux objectifs du projet *SPARTE*.

La construction du modèle *VHDL-AMS* du composant de puissance a mis en évidence les avantages de la modélisation comportementale. Les propriétés du langage *VHDL-AMS* offrent la possibilité de définir des modèles électriques de faible complexité. Cette approche facilite le dimensionnement du modèle dont les paramètres électriques peuvent être ajustés à partir de données expérimentales. De plus, nous avons la possibilité d'ajouter des propriétés de multiples technologies, sans difficulté majeure, comme nous l'avons fait avec l'introduction de la température dans le but de faire une application du modèle en simulation électrothermique. La construction du modèle *VHDL-AMS* électrothermique peut être étendue à un modèle plus évolué qui prend compte directement les effets dynamiques de la température sur le fonctionnement électrique. Cette technique aurait pour avantage d'éviter le couplage de deux simulateurs, donc une seule simulation électrique suffirait.

La méthode de construction du modèle *VHDL-AMS* électrothermique est reproductible pour d'autres applications et extensible à d'autres circuits électroniques et à des systèmes. D'autres paramètres peuvent être définis et ajoutés dans le modèle *VHDL-AMS*. Ainsi, nous avons démontré qu'il est possible de modéliser un phénomène d'usure (l'injection de porteurs chauds) qui modifie les performances des dispositifs élémentaires *MOSFET*. Ce phénomène de dégradation intrinsèque qui affecte les structures *MOS* a été modélisé et intégré dans un modèle électrique *VHDL-AMS* du dispositif élémentaire *MOSFET*. Nous avons utilisé ce modèle de fiabilité au cours de la conception d'un amplificateur opérationnel de transconductance au niveau transistor. Il a aussi été utilisé au cours de la construction d'un modèle *VHDL-AMS* fonctionnel de dégradation du circuit analogique. Ce travail a contribué à démontrer la faisabilité de la simulation de la fiabilité des circuits électroniques.

Pour cela, nous avons défini une méthode de construction de modèles *VHDL-AMS* de fiabilité. Cette méthode tient compte des conditions de polarisation des circuits électroniques pour déterminer les contraintes électriques de chaque élément de l'architecture. Le modèle *VHDL-AMS* du dispositif élémentaire est associé à une loi de dégradation dépendante des contraintes électriques. Il est alors possible de générer les dérivées des paramètres électriques qui vont affecter les caractéristiques électriques du circuit électronique.

Cette méthode est adaptée pour les circuits analogiques. Nous l'avons appliquée dans le cadre du développement d'un bloc analogique (le miroir de courant) et d'un amplificateur opérationnel de transconductance. Un modèle structurel et un modèle fonctionnel de fiabilité ont été construits pour l'amplificateur opérationnel de transconductance.

Conclusion générale

Le modèle structurel s'appuie sur la conception de l'architecture du circuit analogique au niveau transistor à partir d'un modèle *VHDL-AMS* de fiabilité du dispositif élémentaire *MOSFET*. Le modèle *VHDL-AMS* fonctionnel de dégradation est construit à partir d'un générateur de contraintes simplifié, d'un modèle de fiabilité du transistor *MOSFET* et d'un calculateur de sensibilité du paramètre électrique du circuit à la dérive du paramètre électrique des transistors de l'architecture et enfin un modèle électrique *VHDL-AMS* fonctionnel du circuit analogique. La nature de ces deux modèles implique un domaine d'application distinct. Dans le cadre de la méthode ascendante de modélisation, l'analyse de la fiabilité du circuit analogique au niveau transistor est réalisée en construisant le modèle *VHDL-AMS* structurel. Par contre, une approche orientée vers les circuits et les systèmes est réalisée en construisant le modèle *VHDL-AMS* fonctionnel.

Ces deux modèles s'appuient sur le principe de la double échelle de temps qui consiste à relier par un facteur d'échelle la durée de l'analyse transitoire de performance à la durée de l'analyse transitoire de vieillissement électrique. Cette technique a pour avantage de permettre la réalisation d'une seule simulation de vieillissement électrique, ce qui réduit le temps machine pour estimer la prédiction de fiabilité. Cette réduction s'explique par le fait que nous n'utilisons pas d'algorithmes spécifiques externes au simulateur pour calculer la dérive des paramètres électriques et surtout que les modèles *VHDL-AMS* ont un nombre réduit d'équations analytiques.

Notre travail a été validé par des simulations de vieillissement électrique qui démontrent la faisabilité d'obtenir de l'information sur la dérive des caractéristiques électriques d'un circuit analogique face à l'injection de porteurs chauds. Nous utilisons ces données pour estimer la fiabilité des circuits analogiques *CMOS*. L'utilisation du modèle structurel ou du modèle fonctionnel montre des résultats similaires. Les différences obtenues avec le modèle fonctionnel s'expliquent par le manque de précision et d'exactitude des différents modules *VHDL-AMS* utilisés pour la construction du modèle. Il faut retenir aussi que le dimensionnement du modèle de dégradation du dispositif élémentaire est critique pour les deux types de modèle *VHDL-AMS*. De plus, le modèle fonctionnel ne tient pas compte de l'évolution graduelle des contraintes au cours du vieillissement électrique du circuit alors que le modèle structurel les prend en compte naturellement. Par contre, si le critère de choix est le temps de calcul de la simulation de vieillissement électrique d'un circuit au sein d'un système, le modèle fonctionnel est plus avantageux puisque nous avons démontré que le temps machine est réduit par un facteur trois. Cet avantage est précieux dans le cas d'un circuit analogique d'une plus grande complexité.

Perspectives

Les méthodes que nous avons développées ont pour principal intérêt d'utiliser un langage de description *HDL* puisque nous avons la possibilité de construire des modèles électriques et de fiabilité. L'utilisation de ces modèles permet de faire une prédiction de fiabilité rapide de circuits et de systèmes électroniques. Ces modèles doivent progresser dans le but de construire une bibliothèque complètes de modèles électriques et de fiabilité des circuits électroniques. La progression des modèles doit se faire sur leur capacité à modéliser le comportement électrique des circuits dans les trois domaines d'analyse. Ce travail dépend fortement des propriétés du langage et des fonctionnalités du simulateur. Aujourd'hui, nous avons la possibilité de construire des modèles *VHDL-AMS* fonctionnel pour une analyse

Conclusion générale

statique (calcul du point de polarisation), pour une analyse transitoire (simulation du vieillissement électrique) et une analyse en fréquence. Pour l'analyse de la fiabilité des circuits, nous utilisons principalement une analyse transitoire pour montrer comment évoluent les caractéristiques électriques des circuits au cours de l'échelle de temps de vieillissement.

Puisque les modèles *VHDL-AMS* peuvent modéliser le comportement électrique dans les trois domaines d'analyses, un intérêt supplémentaire serait de pouvoir analyser l'évolution des caractéristiques électriques statiques et dynamiques des circuits au cours de la simulation de vieillissement transitoire. Pour cela, il serait nécessaire d'écrire des programmes qui, au cours ou après la simulation transitoire, récupère les données de la variation des paramètres électriques des dispositifs élémentaires ou des circuits afin d'analyser le comportement statique et dynamique des circuits en fonction du vieillissement. Il s'agit alors de prendre en compte le vieillissement électrique des paramètres électriques grand signal et petit signal. Les algorithmes de calcul pourraient être intégrés à un post-processeur. Finalement, ce travail déboucherait sur la définition d'un simulateur de la fiabilité dont les fonctionnalités autoriseraient une étude détaillée des caractéristiques électriques de vieillissement des circuits électroniques. Le développement d'un simulateur de la fiabilité des circuits électroniques doit aujourd'hui être corrélé à un développement d'une bibliothèque de modèle *VHDL-AMS* de fiabilité dont le dimensionnement s'appuierait sur des résultats d'expériences et des simulations effectuées au niveau transistor à partir d'un des outils spécifiques présentés au chapitre premier.

Les modèles *VHDL-AMS* de vieillissement seraient définis comme des modèles standard de bibliothèque auxquels seront associées les informations propres à la fiabilité des dispositifs élémentaires et des circuits. Leur utilisation, au cours de la méthode ascendante, aurait pour avantage de minimiser le temps d'évaluation de la fiabilité au cours du développement des systèmes. Le développement de ces modèles et leur documentation technique pourrait devenir une partie intégrante d'une base de données de la fiabilité des dispositifs élémentaires, des composants, des circuits et systèmes électroniques.

ANNEXE

1 Publication

Article de revues :

- B. MONGELLAZ, F. MARC, Y. DANTO, "Ageing simulation of MOSFET circuit using a VHDL-AMS behavioural modelling: An experimental case study", *Microelectronics Reliability*, vol. 43; pp 1513-1518, 2003.
- B. MONGELLAZ, F. MARC, N. LEWIS, Y. DANTO, "Contribution to ageing simulation of complex analogue circuit using VHDL-AMS behavioural modelling language", *Microelectronics Reliability*, vol. 42; pp 1353-1358, 2002.

Congrès/Colloques :

- B. MONGELLAZ, "Introduction to Reliability Simulation with EKV Device Model", *EKV Meeting Workshop*, Lausanne, Suisse, Novembre 2004.
- B. MONGELLAZ, "Introduction to CMOS Reliability Simulation", *Invitation à IHP Microelectronics*, Frankfurt/Oder, Allemagne, Octobre 2004.
- B. MONGELLAZ, J. OUDINOT*, C. DESCLEVES*, "CMOS Device Reliability Models Applied in the ELDO User Defined Reliability Model Tool", *Austrochip 2004*, Graaz, Octobre 2004. *Mentor Graphics Corporation.
- B. MONGELLAZ, F. MARC, C. BESTORY, Y. DANTO, "Electrical Ageing Laws Included in CMOS Compact Device VHDL-AMS Model", *IEEE MIXDES conf.*, Szczecin, Pologne, juin 2004.
- B. MONGELLAZ, F. MARC, C. BESTORY, Y. DANTO, "A CMOS Analogue Function VHDL-AMS Behavioral Ageing Model", *IEEE International Symposium on Industrial Electronics (ISIE) 2004*, Ajaccio, 4-7 mai 2004.
- B. MONGELLAZ, J. OUDINOT*, C. DESCLEVES*, "CMOS Device Reliability Models Applied in the ELDO User Defined Reliability Model Tool", *user2user Mentor Graphics conf.*, Santa Clara, Avril 2004. *Mentor Graphics Corporation.
- B. MONGELLAZ, F. MARC, Y. DANTO, "CMOS transistor electrical ageing experiments to build VHDL-AMS behavioral models", *IEEE International Reliability Physics Symposium (IRPS) 2004*, Phoenix, USA, Avril 25-29.
- F. MARC, B. MONGELLAZ, Y. DANTO, "Prévision de l'impact du vieillissement des composants sur le comportement des circuits", *Workshop MicroNanotechnologies*, Crolles, 16 décembre 2003.
- F. MARC, B. MONGELLAZ, Y. DANTO, "Reliability simulation of electronic circuits with VHDL-AMS", *Forum on Specification and Design Languages - FDL'03*, Frankfurt, 23-26 septembre 2003.
- F. MARC, B. MONGELLAZ, Y. DANTO, "Modélisation comportementale de la fiabilité des circuits intégrés complexes", *RTP Fiabilité*, Bordeaux, 16 septembre 2003.
- B. MONGELLAZ, "Contribution à la modélisation comportementale VHDL-AMS de circuits analogiques", *6^{ème} Journées Nationales du Réseau Doctoral de Microélectronique*, Toulouse – France, 24-25 avril 2003.
- F. MARC, B. MONGELLAZ, Y. DANTO, "Modélisation comportementale et fiabilité des systèmes", *Journées électroniques du Club EEA : La fiabilité de microélectronique et microtechnologies*, Bordeaux, 27-28 mars 2003.
- B. MONGELLAZ, A. SCHMITT, N. LEWIS, F. MARC, Y. DANTO, "Modèle Comportemental VHDL-AMS d'un Amplificateur CMOS à Transconductance: Application à la conception de filtres", *SETIT 2003*, Sousse (Tunisie), 17-21 mars 2003.
- TETELIN, H. LEVI, B. MONGELLAZ, C. PELLETT, "Behavioral modelling of a humidity sensor using an analog Hardware Description Language", *MSM'02, Fifth International Conference on Modeling and Simulation of Microsystems*, San Juan, Porto Rico, USA, Avril 2002.
- B. MONGELLAZ, "Intégration de la fiabilité dans le flot de conception de circuits intégrés fondée sur l'utilisation d'un langage de description comportementale VHDL-AMS", *4^{ème} Journées Nationales du Réseau Doctoral de Microélectronique*, Strasbourg – France, 24-25 avril 2001.

Contribution à ouvrage :

- F. MARC, B. MONGELLAZ, Y. DANTO, "Reliability simulation of electronic circuits with VHDL-AMS" dans *Languages for System Specification and Verification*, Christoph Grimm, Kluwer, pp.217-228, 2004.

2 Modèles électriques VHDL-AMS

2.1 Modèle VHDL-AMS du transistor NMOS

2.1.1 Paquetage MOSFET

```
-----  
-- Title       : mos_level1  
-- Library     : CMOS  
-- Author      : Benoit Mongellaz  
-- Purpose     : This packages defines a set of user-defined library for designers to use  
                in describing the MOSFET electrical behaviour used in vhdl modeling.  
-- Note       : Functions described SCHICHMAN-HODGES model.  
-----
```

package functions is

---Gm transconductance initialisation

function init_KP (KP,U0,COX : real) return real;

---Oxide capacitor initialisation

function init_COX (COX,TOX,eox : real) return real;

---PHI initialisation

function init_PHI (PHI,NSUB,ni,vt : real) return real;

---GAMMA initialisation

function init_GAMMA (GAMMA,physical_Q,NSUB,eps_Si,capa_ox : real) return real;

---POTENTIAL WORK initialisation

function init_phims (TPG,VT0,eg,TYPE_CHANNEL,pot_surf,vt,NGATE,ni : real) return real;

function band_gap (Temperature : real) return real;

function intrinsic_carrier (Temperature, eg, physical_Q, physical_K : real) return real;

function thermal_threshold (Temperature, physical_Q, physical_K : real) return real;

function Idionization (LD1, LD2, LD3, LD4, vds, vgs, VT0 : real) return real;

constant eox : real:= 3.9*physical_epsilon0; ---permittivity of SiO2,Farad/meter

constant eps_Si : real:= 11.7*physical_epsilon0; ---permittivity of Si,Farad/meter

end package functions;

package body functions is

---Gm transconductance initialisation

function init_KP (KP,U0,COX : real) return real is

variable gm : real;

begin

if KP <= 0.0 then

gm := U0*COX;

else

gm := KP;

end if;

return(gm);

end init_KP;

---Oxide capacitor initialisation

function init_COX (COX,TOX,eox : real) return real is

variable capa_oxide : real;

begin

if COX <= 0.0 then

capa_oxide := eox/TOX;

Annexe

```
else
    capa_oxide := COX;
end if;
return(capa_oxide);
end init_COX;

---PHI initialisation
function init_PHI ( PHI,NSUB,ni,vt : real) return real is
    variable surf_pot : REAL;

begin
    if PHI <= 0.0 then
        surf_pot := 2.0*vt*LOG( NSUB/ni );
    else
        surf_pot := PHI;
    end if;
    return(surf_pot);
end init_PHI;

---GAMMA initialisation
function init_GAMMA ( GAMMA,physical_Q,NSUB,eps_Si,capa_ox : real) return real is
    variable body_factor : real;

begin
    if GAMMA <= 0.0 then
        body_factor := ( SQRT( 2.0*physical_Q*eps_Si*NSUB*1.0e6 ) )/capa_ox;
    else
        body_factor := GAMMA;
    end if;
    return(body_factor);
end init_GAMMA;

---POTENTIAL WORK initialisation
function init_phims ( TPG,VT0,eg,TYPE_CHANNEL,pot_surf,vt,NGATE,ni : real) return real is
    variable work_function : real;
    variable polySi_doping : real;

begin
    if NGATE <= 0.0 then
        polySi_doping := 1.0e18;
    else
        polySi_doping := NGATE;
    end if;
    if (VT0 <= 0.0) AND (TPG <= 0.0) then
        work_function := -1.0*(eg/2.0) - (TYPE_CHANNEL*pot_surf)/2.0 - 105.0;
    end if;
    if ( (VT0 > 0.0) and ( (TPG <= 1.0)OR(TPG <= -1.0) ) ) and (NGATE <= 0.0) ) then
        work_function := TYPE_CHANNEL*( -1.0*(TPG*eg)/2.0 - pot_surf/2.0 );
    end if;
    if ( (VT0 <= 0.0) and ( (TPG <= 1.0)OR(TPG <= -1.0) ) ) then
        if NGATE <= 0.0 then
            work_function := TYPE_CHANNEL*( -1.0*(TPG*eg)/2.0 - pot_surf/2.0 );
        end if;
    else
        work_function := TYPE_CHANNEL*( -1.0*TPG*vt*LOG( (polySi_doping*1.0e6)/ni ) - (pot_surf/2.0) );
    end if;
    return(work_function);
end init_phims;

function band_gap ( Temperature : real) return real is
    variable eg : real;

begin
    eg := 1.16 - 7.02e-4*(Temperature + 273.0)**2/(Temperature + 273.0 + 1108.0);
    return(eg);
end band_gap;

function intrinsic_carrier ( Temperature, eg, physical_Q, physical_K : real) return real is
    variable ni : real;

begin
    ni := 1.45e10*( SQRT( ((Temperature + 273.0)/300.0)**3 ) )*EXP( ( eg*physical_Q )*( (1.0/300.0) -
    (1.0/(Temperature + 273.0)) )/( 2.0*physical_K ) );
    return(ni);
```

Annexe

```
end intrinsic_carrier;

function thermal_threshold ( Temperature, physical_Q, physical_K : real) return real is
    variable vt : real;
begin
    vt := (physical_K*(Temperature + 273.0))/physical_Q;
    return(vt);
end thermal_threshold;

function Idionization ( LD1, LD2, LD3, vds, vgs, VT0 : real) return real is
    variable Id : real:=0.0;
begin
    Id := (LD1*(LD2 - LD3*( vds - (vgs - VT0) ) + LD4*( ( vds - (vgs - VT0) )*( vds - (vgs - VT0) ) ));
    return(Id);
end Idionization;
end package body functions;
```

2.1.2 Entité

```
-----
-- Title           : NMOS LEVEL 1
-- Project         : AGEING NMOS DEVICE MODEL
-----
-- Author          :      Benoit Mongellaz
--                  :      Electronic Institute IXL Bordeaux 1 University
--                  :      http://www.ixl.fr
-- Date            : 2004, december 31th
-- version         : 1.0
-----
```

```
entity nmos is
generic (
W          : real:= 2.0e-6;          ---effective channel width, m
L          : real:= 6.0e-6;          ---effective channel length, m
Wd         : real:= 0.0e-6;          ---modulation channel width, m
Ld         : real:= 0.0e-6;          ---modulation channel length, m
LAMBDA    : real:= 0.001;           ---channel-length modulation, 1/V
KP         : real:= 20.0e-6;         ---intrinsic transconductance, A/V^2
U0         : real:= 600.0e-4;        ---carrier mobility, cm^2/V.s
COX        : real:= 3.45e-4;         ---oxide capacitance, F/m^2
TOX        : real:= 1.0e-7;         ---gate oxide thickness, m
PHI        : real:= 0.0;             ---surface potential, V
NSUB       : real:= 1.0e15;          ---substrate doping, At/cm^3
GAMMA      : real:= 0.0;             ---bulk threshold, V^1/2
TYPE_CHANNEL : real:= 1.0;          ---type channel, type=+1.0 =>nmos, type=-1.0
TPG        : real:= 1.0;             ---type of gate silicon,tpg=-1.0 same as substrate,
                                     type=1.0 opposite to substrate,type=0.0 aluminium gate

NGATE      : real:= 0.0e18;          ---polysilicon gate doping,cm^3
NSS        : real:= 1.0e-4;          ---surface state density, 1/cm^2
DELVT0     : real:= 0.0;             ---zero-bias threshold voltage shift, V
VT0        : real:= 0.6;             ---threshold voltage, V
TNOM       : real:= 27.0;            ---nominal temperature, C°
Ai         : real:= 0.882e+08;       ---ionisation impact first parameter
Bi         : real:= 1.92e+08;       ---ionisation impact second parameter
Ci         : real:= 0.5;             ---ionisation impact second parameter

LD1        : real:= 1.0e-08;         ---
LD2        : real:= 12.8;            ---
LD3        : real:= 1.52;            ---canal modulation parameters
LD4        : real:= 0.119;           ---

RD         : real:= 1.0e-3;          ---drain resistor Ohm
RS         : real:= 1.0e-3;          ---source resistor Ohm
AD         : real:= 15.0e-12;        ---drain area m^2
AS         : real:= 15.0e-12;        ---source area m^2
JS         : real:= 1.0;             ---bulk junction saturation current/sqr meter

CGS        : real:= 2.0e-13;        ---linear capacitance gate-source, F/m

```

Annexe

```
CGD      : real:= 2.0e-13;      ---linear capacitance gate-drain, F/m
CBS      : real:= 2.4e-13;      ---linear capacitance bulk-source, F/m
CBD      : real:= 2.4e-13;      ---linear capacitance bulk-drain, F/m

scale_factor : real:= 1.0e+00;  ---ageing law scale factor

----Takeda lifetime model
a        : time:= 1.0 sec;      ---A and B fit parameters
b        : real:= 5.88e+06; ---
----Hu lifetime model
h        : real:= 1.0e+00;      ---h, c and m fit parameters
c        : real:= 1.0e+00; ---
m        : real:= 1.00e+00; ---

analyse   : string:="tran";    ---tran
lifetime_model : string:="hu"  ---hu);

port ( terminal Tgrille, Tdrain, Tsource, Tbulk : electrical );
end entity nmos;
```

2.1.3 Architecture

architecture level1 of nmos is

```
---internal node
terminal d1, s1 : electrical;

---NMOS voltage/current
quantity vds across ids through d1 to s1;
quantity vgs across igs through Tgrille to s1;

---drain/source resistor
quantity vsr across isr through s1 to Tsource;
quantity vdr across idr through d1 to Tdrain;

---junction diode
quantity vbs across ibs through Tbulk to s1; ---bulk source diode
quantity vbd across ibd through Tbulk to d1; ---bulk drain diode

---effective width/lentgh
constant Weff : real:= W - 2.0*WD;
constant Leff : real:= L - 2.0*LD;

---substrate diode
quantity iss, isd : real:=1.0e-12;
constant gmin : real:= 1.0e-12;

---MOSFET capacitor
quantity icgs through Tgrille to s1;      ---cgs capacitor
quantity icbd through Tbulk to d1;      ---cbd capacitor
quantity icbs through Tbulk to d1;      ---cbs capacitor
quantity vgd across icgd through Tgrille to d1; ---cgd capacitor

---substrate drain current source
quantity icb through d1 to Tbulk;

---threshold voltage shifting
quantity vt_shift : real:= 1.0;          ---threshold voltage ageing shifting

---lifetime
quantity ratio : real:= 1.0;
quantity tauinv : real:= 1.0;

begin
    ---drain/source resistor
    vdr == idr*rd;
    vsr == isr*rs;
```

Annexe

```
---gate current
vgs == igs*1.0e+09;

---Drain Current Evaluation
---NORMAL MODE
---cutoff region
if (vgs < vt_shift) use
    ids == 1.0e-09*vds;

---linear region
elseif ( (vds <= (vgs - vt_shift)) and (vgs >= vt_shift) and (vds >= 0.0) ) use
    ids == KP *(Weff/Leff)*( 1.0 + LAMBDA*vds )*( (vgs-vt_shift) - (vds/2.0))*vds;

---saturation region
elseif ( (vds >= vgs - vt_shift) and (vgs >= vt_shift) and (vds >= 0.0) ) use
    ids == (KP /2.0)*(Weff/Leff)*( 1.0 + LAMBDA*vds )*(vgs-vt_shift)*(vgs-vt_shift);
end use;

---substrate diode equations
iss == js*as;          ---substrate diode saturation source current
isd == js*ad;          ---substrate diode saturation drain current

---substrate to source diode
if vbs > 0.0 use
    ibs == iss*(exp(vbs/thermal_threshold ( TNOM, physical_Q, physical_K)) - 1.0) + gmin*vbs;
else
    ibs == iss*(vbs/thermal_threshold ( TNOM, physical_Q, physical_K)) + gmin*vbs;
end use;

---substrate to drain diode
if vbd > 0.0 use
    ibd == isd*(exp(vbd/thermal_threshold ( TNOM, physical_Q, physical_K)) - 1.0) + gmin*vbd;
else
    ibd == isd*(vbd/thermal_threshold ( TNOM, physical_Q, physical_K)) + gmin*vbd;
end use;

---MOSFET capacitor
icgs == cgs*vgs'dot;
icgd == cgd*vgd'dot;
icbs == cbs*vbs'dot;
icbd == cbd*vbd'dot;

---substrate drain current source

if (vgs < vt_shift) use
    icb == 0.0;
---linear region
elseif ( (vds <= vgs - vt_shift) and (vgs >= vt_shift) and (vds >= 0.0) ) use
    icb == 0.0;
---saturation region
else ( (vds >= vgs - vt_shift) and (vgs >= vt_shift) and (vds >= 0.0) ) use
---saturation_region,vds>>vgs-vth
    icb == ids*(Ai/Bi)*(vds - Ci*(vgs-vt_shift))*exp(-Bi*Iidionization(LD1, LD2, LD3, LD4, vds, vgs,
vt_shift)/(vds - Ci*(vgs-vt_shift)) );
end use;

-----Lifetime Evaluation-----

if lifetime_model="hu" and analyse="tran" use

    if idr = 0.0 use
        ratio == 0.0;
    else
        ratio ==-icb/idr;
    end use;

    tauinv == -(1.0/scale_factor)*idr*power(ratio,m)/(h*Weff);
    vt_shift == tauinv*INTEG;

else
```

Annexe

```
ratio == 1.0;
tauinv == 1.0;
vt_shift == VT0;
end use;
end architecture level1;
```

2.2 Modèle VHDL-AMS de l'amplificateur opérationnel de transconductance CMOS

2.2.1 Entité

```
-----
-- Title   : Operationnal Transconductor Amplifier (Behavioural description)
-- Project  : TOPBEHAV02
-----
-- File    : ota.vhd (Behavioural)
-- Author  : Benoit Mongellaz student
--          : Electronic Institute IXL Bordeaux 1 University
--          : http://www.ixl.fr
-- Date    : December 31th
-- version : 1.0
-----

entity ota is

generic (
  gdm   : real:= 100.0e-06;    ---differential mode transconductance    uA/V
  cmrr  : real:= 66.0;        ---common mode rejection ratio      dB
  vos   : real:= 1.0e-01;    ---offset voltage                    V
  rdm   : real:= 10.0e+06;    ---differential mode resistor       Ohm
  cdm   : real:= 15.9e-16;    ---differential mode capacitor      F
  rcm   : real:= 10.0e+06;    ---common mode resistor            Ohm
  ccm   : real:= 1.59e-16;    ---common mode capacitor           F
  rp1   : real:= 1.0e+06;    ---output resistor                 Ohm
  cp1   : real:= 1.59e-12;    ---output capacitor                F
  fp2   : real:= 10.0e+06;    ---second pole frequency           Hz
  fz1   : real:= 50.0e+06;    ---frequency                       Hz);

port ( terminal Tplus, Tminus, Tout, Tvdd, Tvss , Tibias: electrical );

---GENERIC PARAMETER CONTROL

begin
assert ( gdm > 0.0)      report ("Generic Parameter gdm should be positive, unity uA/V") severity error;
assert ( cmrr > 0.0)    report ("Generic Parameter cmrr should be positive, unity dB") severity error;
assert ( rdm > 0.0)     report ("Generic Parameter rdm should be positive, unity Ohm") severity error;
assert ( cdm >= 0.0)    report ("Generic Parameter cdm should be positive, unity F") severity error;
assert ( rcm > 0.0)     report ("Generic Parameter rcm should be positive, unity Ohm") severity error;
assert ( ccm > 0.0)     report ("Generic Parameter ccm should be positive, unity F") severity error;
assert ( rp1 > 0.0)     report ("Generic Parameter rp1 should be positive, unity Ohm") severity error;
assert ( cp1 > 0.0)     report ("Generic Parameter cp1 should be positive, unity F") severity error;
assert ( fz1 > fp2)     report ("Generic Parameter fz1 should be superior to fp2, unity Hz") severity error;
assert ( fp2 > 1.0/(2.0*math_pi*rp1*cp1)) report ("Generic Parameter fp2 should be superior to fp1, unity Hz") severity error;

end entity ota;
```

2.2.2 Architecture

```
architecture behavioural of ota is

---***internal nodes***
```

Annexe

```
terminal Tref      :      electrical;
terminal Toffset   :      electrical;
terminal Tgm       :      electrical;
terminal Tgm1      :      electrical;
terminal Tn1       :      electrical;

---**external quantities**
quantity vdd across Tvdd to electrical_ground;      --- high saturation voltage
quantity vss across Tvss to electrical_ground;      --- low saturation voltage
quantity vibias across ibias through Tibias to electrical_ground; --- bias current
quantity vout across Tout to electrical_ground;      --- output voltage

---**internal quantities**
quantity vref across iref through Tref to electrical_ground; --- power supply middle point
quantity vinl : real := -1.0;                        --- low saturation voltage limit input voltage
quantity vinh : real := 1.0;                        --- high saturation voltage limit input voltage
quantity vplus across Tplus to electrical_ground;    --- non inverting voltage
quantity vminus across Tminus to electrical_ground;  --- inverting voltage

---**input stage**---
quantity voffset across ioffset through Tplus to Toffset; --- offset voltage

---**frequency shaping stages**---

---**differential mode impedance**---
quantity vd across ird through Toffset to Tminus;    --- differential mode voltage
quantity vcd across icd through Toffset to Tminus;

---**common mode impedance**---
quantity vrip across irip through Tplus to Tref;
quantity vcip across icip through Tplus to Tref;
quantity vrim across irim through Tminus to Tref;
quantity vcim across icim through Tminus to Tref;
quantity vcm : real := 1.0;

---transfer stage---
quantity vgm across igm through Tgm to Tref;

---**common mode gain**---
constant gcm : real := gdm/10.0**(CMRR/20.0); --- common mode gain

---output stage---

---** output current**---
quantity iout0 through electrical_ground to Tout;

---** frequency shaping stages**---

---**dominant pole**---
quantity vrp1 across irp1 through Tout to electrical_ground;
quantity vcp1 across icp1 through Tout to electrical_ground;
constant fp1 : real := 1.0/(2.0*math_pi*rp1*cp1); --- dominant pole frequency

---**second pole**---
quantity vrp2 across irp2 through Tgm to Tref;
quantity vcp2 across icp2 through Tgm to Tref;
constant rp2 : real := 1.0e+06; --- second pole resistor
constant cp2 : real := 1.0/(2.0*math_pi*rp2*fp2); --- second pole capacitor

---**zero pole**---
quantity vrz1 across irz1 through Tgm1 to Tn1;
quantity vlz1 across ilz1 through Tn1 to Tref;
constant rz1 : real := 1.0e+06; --- zero pole resistor
constant lz1 : real := rz1/(2.0*math_pi*fz1); --- zero pole inductor

---** AC current source**---
quantity ac : real spectrum 1.0e-6, frequency;
begin

if (DOMAIN = QUIESCENT_DOMAIN) or (DOMAIN = TIME_DOMAIN) use
```

Annexe

```
---**input stage**---
    voffset == vos;

---**frequency shaping stages**---
---**differential mode impedance**---
    vd == ird*rdm;
    icd == cdm*vcd'dot;

---**common mode impedance**---
    vrip == irip*rcm;
    icip == ccm*vcip'dot;
    vrim == irim*rcm;
    icim == ccm*vcim'dot;

    if vcm < 0.0 use
        vcm == 0.0;
    else
        vcm == 0.5*(vrip + vrim);
    end use;

---**transfer stage**---
    vibias == 0.0;

---**low saturation voltage limit input voltage**---
    vinl*gdm == -ibias;

---**high saturation voltage limit input voltage**---
    vinh*gdm == ibias;

---**supply middle point**---
    vref == (vdd+vss)/2.0;

---**current limitation**---
    if not ibias'above(0.0) use
        igm == 0.0;
    else
        igm == ibias*tanh(gdm*vd/ibias) + vcm*gcm;
    end use;

---**output stage**---
---**frequency shaping stages**---
---**dominant pole**---
    vrp1 == irp1*rp1;
    icp1 == cp1*vcp1'dot;

---**second pole**---
    vrp2 == irp2*rp2;
    icp2 == cp2*vcp2'dot;

---**first zero**---
    vrz1 == vgm*1.0e-6*rz1;
    vlz1 == lz1*ilz1'dot;

---**voltage limitation**---
    if vout'above(vdd) use
        vout == vdd;
    elsif not vout'above(vss) use
        vout == vss;
    else
        iout0 == -(vrz1 + vlz1)*1.0e-6;
    end use;

else    ---**FREQUENCY_DOMAIN**---

---**input stage**---
    voffset == vos;

---**frequency shaping stages**---
---**differential mode impedance**---
```

```

    vd == ird*rdm;
    icd == cdm*vcd'dot;

---**common mode impedance**---
    vrip == irip*rcm;
    icip == ccm*vcip'dot;
    vrim == irim*rcm;
    icim == ccm*vcim'dot;

    if vcm < 0.0 use
        vcm == 0.0;
    else
        vcm == 0.5*(vrip + vrim);
    end use;

---**transfer stage**---
    vibias == 0.0;

---**low saturation voltage limit input voltage**---
    vinl*gdm == -ibias;

---**high saturation voltage limit input voltage**---
    vinh*gdm == ibias;

---**supply middle point**---
    vref == (vdd+vss)/2.0;

---**current limitation**---
    if not ibias'above(0.0) use
        igm == 0.0;
    else
        igm == ibias*tanh(gdm*vd/ibias) + vcm*gcm + ac;
    end use;

---**output stage**---
---**frequency shaping stages**---
---**dominant pole**---
    vrp1 == irp1*rp1;
    icp1 == cp1*vcp1'dot;

---**second pole**---
    vrp2 == irp2*rp2;
    icp2 == cp2*vcp2'dot;

---**first zero**---
    vrz1 == vgm*1.0e-6*rz1;
    vlz1 == lz1*ilz1'dot;

---**voltage limitation**---
    if vout > vdd use
        vout == vdd;
    elsif vout < vss use
        vout == vss;
    else
        iout0 == -(vrz1 + vlz1)*1.0e-6 + ac;
    end use;
end use;
end architecture behavioural;

```

2.3 Modèle VHDL-AMS du régulateur de tension LT1129

entity regulateur is

```

generic (
    kp      : real:= 8.0;      ---mAV*V
    vt      : real:= 0.6;     ---tension de seuil du pass-device V
    lambda  : real:= 0.0;     ---effet de réduction de canal V^-1
    vref    : real:= 3.65;    ---tension de seuil pour vref V

```


Annexe

```

    Ad      : real:= 1.0e4;    ---gain en tension differentiel
    lr      : real:= 0.0;     ---regulation amont
    ldr     : real:= 0.0;     ---regulation aval Ohm
    ignd0   : real:= 0.0;     ---coefficients de la fonction
    ignd1   : real:= 0.0;     ---ignd=f(iout)
    ignd2   : real:= 0.0;
    ignd3   : real:= 0.0);
port ( terminal Tin, Tout, Tadj, Tgnd: electrical );
end entity regulateur;

architecture level1 of regulateur is
---**declaration des noeuds internes du regulateur**
terminal Tg, Tinverseuse, Tn1: electrical;

---**regulateur**
quantity vin across iin through Tin to Tgnd;
quantity vout across Tout to Tgnd;
quantity vgnd across Tgnd to electrical_ground;
quantity vadj across Tadj to Tgnd;

---**ampli_diff**
quantity vindiff : real:=0.0;
quantity vinverseuse across Tinverseuse to Tgnd;
quantity vg across Tg to electrical_ground;

---point milieu des alimentations
quantity v0 : real:= (vin + vgnnd)/2.0;

--- tension d'entree limite avant saturation basse
quantity vinl : real:= ((vgnd - vin)/2.0)/Ad;

--- tension d'entree limite avant saturation haute
quantity vinh : real:= ((vin - vgnnd)/2.0)/Ad;

---**passdevice**
quantity vdo across iout through Tin to Tout;
quantity vgs across igs through Tg to Tout;

---**regulation_amont/ regulation_avale **
quantity vreg_amont across iamont through Tn1 to Tinverseuse;
quantity vreg_aval across iaval through Tn1 to Tadj ;

---**ground_pin_current**
quantity ignd through Tin to Tgnd;

begin

---**ground_pin_current**
iin == iout + ignd;
ignd == ignd0 +ignd1*iout*(1.0 + ignd2*iout*(1.0 + ignd3*iout));

---**pass-device**---
if vgs <= vt use
    iout == 0.0;
    vreg_amont == 0.0;
    vreg_aval == 0.0;
elsif vdo <= ( vgs - vt ) use
    iout == kp*( (vgs-vt)*vdo - vdo**2/2.0 )*(1.0 + lambda*vdo);
    vreg_amont == vin*lr;
    vreg_aval == iout*ldr;
else
    iout == kp*0.5*( (vgs-vt)**2 )*(1.0 + lambda*vdo);
    vreg_amont == vin*lr;
    vreg_aval == iout*ldr;
end use;

---**amplificateur differentiel**---
vindiff == vref - vinverseuse;

---** point milieu des alimentations**---
```

Annexe

```
v0 == (vin + vgnD)/2.0;
---*** tension d'entree limite avant saturation basse***---
vinl == ((vgnD - vin)/2.0)/Ad;

---*** tension d'entree limite avant saturation haute***---
vinh == ((vin - vgnD)/2.0)/Ad;

---***limitation de tension en sortie de l'ampli***---
if vindiff >= vinh use
    vg == vin;                ---saturation haute
elsif vin <= vinl use
    vg == vgnD;            ---saturation basse
else
    vg == Ad*vindiff + v0; ---zone lineaire
end use;
end architecture level1;
```

2.4 Modèle VHDL-AMS électrothermique du régulateur de tension LT1129

```
entity reguleur is
generic (
    kp0 : real:= 8.0;          ---transconductance mA/V*V
    kp1 : real:= 0.0;
    kp2 : real:= 0.0;

    vt0 : real:= 0.6;         ---tension de seuil du pass-device V
    vt1 : real:= 0.0;
    vt2 : real:= 0.0;

    lambda0 :real:= 0.0;      ---réduction de longueur de canal V^-1
    lambda1 :real:= 0.0;
    lambda2 :real:= 0.0;

    vref0 : real:= 3.65;     ---tension de référence vref V
    vref1 : real:= 0.0;
    vref2 : real:= 0.0;

    Ad0 : real:= 1.0e4;      ---gain en tension différentiel
    Ad1 : v:= 0.0;
    Ad2 : real:= 0.0;

    Lr0 : real:=0.0;         ---regulation amont
    Lr1 : real:=0.0;         ---coefficients de la fonction
    Lr2 : real:=0.0;         ---Lr=f(temperature)
    Ldr0 : real:=0.0;        ---regulation aval Ohm
    Ldr1 : real:=0.0;        ---coefficients de la fonction
    Ldr2 : real:=0.0;        ---Ldr=f(temperature)

    Igd00 : real:= 0.0;      ---Courant de masse
    Igd01 : real:= 0.0;      ---coefficients de la fonction
    Igd02 : real:= 0.0;      --- Igd=f(temperature, iout)
    Igd10 : real:= 0.0;
    Igd11 : real:= 0.0;
    Igd12 : real:= 0.0;
    Igd20 : real:= 0.0;
    Igd21 : real:= 0.0;
    Igd22 : real:= 0.0;

    Trefence : real:= 25.0 ---temp. de reference en °C);
port ( terminal Tin, Tout, Tadj, Tgnd : electrical;
      terminal Temp: thermal);
end entity reguleur;

architecture level2 of reguleur is
```

Annexe

```
---***regulator***
quantity vin across Tin to Tgnd;
quantity vout across Tout to Tgnd;
quantity vgnnd across Tgnd to electrical_ground;
quantity vadj across iadj through Tadj to Tgnd;
quantity vrefvrai : real:=0.0;
---***ampli_diff***
quantity vindiff : real:=0.0;
quantity vinverseuse : real:=0.0;
quantity vg : real:=1.0;
quantity v0 : real:=1.0;
---point milieu des alimentations
quantity vinl : real:=1.0;
--- tension d'entree limite avant saturation basse
quantity vinh : real:=1.0;
--- tension d'entree limite avant saturation haute
quantity vinh1 : real:=10.0e-24;
quantity Ad : real:=1.0e+04;---gain differentiel
---***passdevice***
quantity vdo across iout through Tin to Tout;
quantity vgs : real:=1.0;
quantity kp : real:=1.0;
quantity lambda : real:=1.0;
quantity vt : real:=1.0;
---***voltage reference***
quantity vref : real:=1.0;
---***regulation_ament/regulation_aval***
quantity vreg_ament : real:=0.0;
quantity vreg_aval : real:=0.0;
quantity lr : real:=0.0;
quantity ldr : real:=0.0;
---***ground_pin_current***
quantity ignd through Tin to Tgnd;
---***thermal_reference***
quantity Tpuce across Puissance_puce through Temp to thermal_ground; ---temperature exterieure
quantity Delta_Temp : real:=0.0;

begin
---***thermal_reference***
Delta_Temp == Tpuce - Treference;
---***Puissance dissipee***
Puissance_puce == (vin-vout)*iout + ignd*vin;
iadj == 0.0;
---***regulation_ament/regulation_aval***
lr == lr0 + lr1*Delta_Temp + lr2* Delta_Temp **2.0;
vreg_ament == vin*lr;
ldr == ldr0 + ldr1* Delta_Temp + ldr2* Delta_Temp **2.0;
vreg_aval == iout*ldr;
vinverseuse == vadj + vreg_aval - vreg_ament;
---***ground_pin_current***
ignd == (Igcd00 + Igcd01 * Delta_Temp + Igcd02 * Delta_Temp **2) + (Igcd10 + Igcd11 * Delta_Temp + Igcd12 *
Delta_Temp **2)*iout + (Igcd20 + Igcd21 * Delta_Temp + Igcd22 * Delta_Temp **2)*iout**2;
---***pass-device***---
kp == kp0 + kp1* Delta_Temp + kp2* Delta_Temp **2.0;
vt == vt0 + vt1* Delta_Temp + vt2* Delta_Temp **2.0;
lambda == lambda0 + lambda1* Delta_Temp + lambda2* Delta_Temp **2.0;
vgs == vg - vgnnd - vout;

if vgs <= vt use
    vout == 0.0;
elseif vdo <= ( vgs - vt ) use
    iout == kp*( (vgs-vt)*vdo - vdo**2/2.0 )*(1.0 + lambda*vdo);
else
    iout == kp*0.5*( (vgs-vt)**2 )*(1.0 + lambda*vdo);
end use;

---***voltage-reference***---
vref ==vref0 + vref1* Delta_Temp + vref2* Delta_Temp **2.0;
if vin <= vref use
    vrefvrai == vin;
```

Annexe

```
else
    vrefvrai == vref;
end use;
---***amplificateur differentiel***---
---***gain differentiel***---
Ad == Ad0 + Ad1* Delta_Temp + Ad2* Delta_Temp **2.0;
---***entree differentielle***---
vindiff == vrefvrai - vinverseuse;
---***point milieu des alimentations***---
v0 == (vin + vgnd)/2.0;
---***tension d'entree limite avant saturation basse***---
vinl == ((vgnd - vin)/2.0)/Ad;
---*** tension d'entree limite avant saturation haute***---
vinh == ((vin - vgnd)/2.0)/Ad;
---***tension en sortie de l'amplificateur differentiel***---
if vinh <= 10.0e-24 use
    vinh1==10.0e-24;
else
    vinh1 == vinh;
end use;
---***limitation de tension en sortie de l'ampli***---
vg == (vin - v0)*(2.0/math_pi)*arctan(vindiff,vinh1) + v0;
end architecture level2;
```

Bibliographie

- ¹ Bing J. Sheu, Wen-Jay Hsu, Vance C. Tyree, "Reliability Assurance of Application-Specific Microelectronic Circuits", *IEEE Proceedings Annual Reliability and Maintainability*, pp. 381-388, 1990.
- ² Bing J. Sheu, Wen-Jay Hsu, Vance C. Tyree, "Modeling Requirements for Computer-Aided VLSI Circuit Reliability Assessment", *IEEE Eight Biennial University/Government/Industry Symposium*, pp. 199-204, 1989.
- ³ C. Hu, "IC Reliability Simulation", *IEEE Integrated Circuit Conference*, pp. 4.1.1-4.1.4, 1991.
- ⁴ S. Minehane, R. Duane, P. O'Sullivan, K. G. McCarthy, A. Mathewson, "Design For Reliability", *Microelectronics Reliability*, vol. 40, pp. 1285-1294, 2000.
- ⁵ A. G. Chynoweth, "Ionization Rates for Electrons and Holes in Silicon", *Physical Review*, vol. 109, n°5, pp. 1537, 1958.
- ⁶ S. Minehane, S. Healy, P. O'Sullivan, K. McCarthy, A. Mathewson, B. Mason, "Direct Parameter Extraction for Hot-Carrier Reliability Simulation", *Microelectronics Reliability*, vol.37, n°.10/11, pp. 1437-1440, 1997.
- ⁷ A. J. Mouthaan, C. Salm, M. M. Lunenburg, M. A. R. C. de Wolf, F. G. Kuper, "Dealing with Hot-Carrier in nMOS and DMOS, models, simulations, and characterizations", *Microelectronics Reliability*, invited paper, vol. 40, pp. 909-917, 2000.
- ⁸ N. Hwang, L. Forbes, "Hot-Carrier Induced Series Resistance Enhancement Model (HISREM) of nMOSFET's for Circuit Simulation and Reliability Projections", *Microelectronics Reliability*, vol. 35, pp. 225-239, 1995.
- ⁹ <http://www.sematech.org/docubase/>
- ¹⁰ JEDEC Standard JESD-28, "A Procedure For Measuring N-Channel MOSFET Hot-Carrier-Induced Degradation at Maximum Substrate Current Under DC Stress", *JEDEC Hot-Carrier Working Group*, 1995.
- ¹¹ <http://www.fsa.org/>
- ¹² <http://www.sony.com/qr/>
- ¹³ <http://www.st.com/qr/>
- ¹⁴ E. Takeda, N. Suzuki, "An Empirical Model for Device Degradation Due to Hot-Carrier Injection", *IEEE Electrons Device Letters*, vol. EDL-4, n°4, pp. 111-113, April 1983.
- ¹⁵ Z. Cui, J. Liou, Y. Yue, J. Vinson, "Empirical Reliability Modeling for 0.18µm MOS Devices", *Solid State Electronics*, vol. 47, pp. 1515-1522, 2003.
- ¹⁶ S. Minehane, P. O'Sullivan, A. Mathewson, B. Mason, "Evolution of BSIM3V3 Parameters During Hot-Carrier Stress", *IEEE IRW final Report*, pp. 110-118, 1997.
- ¹⁷ E. Takeda, N. Suzuki, "An Empirical Model for Device Degradation Due to Hot-Carrier Injection", *IEEE Electrons Device Letters*, vol. EDL-4, n°4, pp. 111-113, April 1983.
- ¹⁸ C. Hu, S. C. Tam, F.-C. Hsu, P.-K. Ko, T.-Y. Chan, K. W. Terrill, "Hot-Electron-Induced MOSFET Degradation-Model, Monitor, and Improvement", *IEEE Journal of Solid-State Circuits*, vol. SC-20, n°1, pp. 295-305, February 1985.
- ¹⁹ J. S.Goo, Y. G. Kim, H. L'ye, H.-Y. Kwon, H. Shin, "An Analytical Model for Hot-Carrier-Induced Degradation of Deep-Submicron n-Channel LDD MOSFETS", *Solid State Electronics*, vol. 38, n°6, pp. 1191-1196, 1995.
- ²⁰ Dreesden, K. Croes, J. Manca, W. De Ceuninck, L. De Schepper, A. Pergoot, G. Groeseneken, "A New Degradation Model and Lifetime Extrapolation Technique for Lightly Doped Drain NMOSFETS under Hot-Carrier Degradation", *Microelectronics Reliability*, pp. 565-577, 1989.
- ²¹ D. R. Wolters, A. T. A. Zegers-van Duynhoven, "Trapping of Hot-Electrons", *Proceedings 6th INFOS*, pp. 565-577, 1989.
- ²² B. Marchand, G. Ghibaudo, F. Balestra, G. Guégan, S. Deleonibus, "A New Hot-Carrier Degradation Law for MOSFET Lifetime Prediction", *Microelectronics Reliability*, vol. 38, pp. 1103, 1998.
- ²³ Z. Cui, J. Liou, Y. Yue, J. Vinson, "A New Extrapolation Method for Long-Term Degradation Prediction of Deep-Submicron MOSFETS", *IEEE Transactions on Electron Devices*, vol. 50, n°5, pp. 1398-1401, may 2003.
- ²⁴ <http://www.ise.ch>
- ²⁵ <http://www.ansys.com>
- ²⁶ <http://www.silvaco.com>
- ²⁷ Medhat Karam, Wael Fikry, Hisham Haddara, Hani Ragai, "Implementation of Hot-Carrier Reliability Simulation in Eldo", <http://www.mentor.com/dsm/>, september 2000.

- ²⁸ Horst Rempp, Oliver Talau, Andrea Scorzoni, Gerard Guilbaudo, Emmanuel Vincent, Sean Minehane, "Experiences on Reliability Simulation in the Framework of the PROPHECY Project", *Microelectronics Reliability*, pp.661-672, 1999.
- ²⁹ Shian Aur, Dale E. Hocevar, Ping Yang, "HOTRON - A Circuit Hot Electron Effect Simulator", *IEEE IEDM*, pp.134-137, 1988.
- ³⁰ Wen-Jay Hsu, Chih-Ching Shih, Bing J. Sheu, "RELY : A Reliability Simulator for VLSI Circuits", *IEEE Custom Integrated Circuits Conference*, pp. 27.4.1-27.4.1, 1988.
- ³¹ Teresa S. Hohol, Lance A. Glasser, "RELIC: A Reliability Simulator for Integrated Circuits", *IEEE*, 1986.
- ³² David F. Frost, " RELIANT: A reliability analysis tool for VLSI interconnects ", *IEEE Transactions on Solid-State Circuits*, Vol. 24, n°2, pp. 458-462, april 1989.
- ³³ Meindert Lunenburg, "MOSFET Hot-Carrier Degradation : Failure Mechanisms and Models for Reliability Circuit Simulation", *Ph. D thesis*, Twente University , october 1996.
- ³⁴ Yogesh J. Pitkar, A. N. Chandorkar, "MOSFET Reliability Simulation Using Fast Timing Simulator ILLIADS", http://ipoint.vlsi.uiuc.edu/people/abhijit/illiads2_pub.html.
- ³⁵ Yung-Ho, Yusef Leblebici, Sung-Mo Kang, "ILLIADS : A Fast Timing and Reliability Simulator for digital MOS Circuits", *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, Vol. 12, n°9, pp. 1387-1402, september 1993.
- ³⁶ Lifeng Wu, Jingkun Fang, Hirokazu Yonezawa, Yoshiyuki Kawakami, Nobufusa Iwanishi, Heting Yan, Ping Chen, Alvin I-Hsien Chen, Norio Koike, Yoshifumi Okamoto, Chune-Sin Yeh, Zhiong Liu, "GLACIER :A Hot Carrier Level Circuit Characterization and Simulation System for VLSI Design", *IEEE*, pp. 73-79, 2000.
- ³⁷ Robert Tu, Gary Lum, Paolo Pavan, Ping Ko, Chenming Hu, "Simulating Total-Dose Radiation Effects on Circuit Behavior", *IEEE International Reliability Physics Symposium*, pp. 344-350, 1994.
- ³⁸ Robert H. Tu, Elyse Rosenbaum, Wilson Y. Chan, Chester C. Li, Eric Minami, Khandker Quader, Ping Keung Ko, Chenming Hu, "Berkeley Reliability Tools-BERT", *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol.12, n° 10, pp.1524-1534, october 1993.
- ³⁹ <http://www.cadence.com> ou <http://www.celestry.com>
- ⁴⁰ Peter M. Lee, Mary M. Kuo, Koichi Seki, P.K. Ko, C. Hu, "Circuit Aging Simulator (CAS)", *ICCAD*, pp.256-259, 1987.
- ⁴¹ Shian Aur, Dale E. Hocevar, Ping Yang, "HOTRON - A Circuit Hot Electron Effect Simulator", *IEEE IEDM*, pp.134-137, 1988.
- ⁴² M.M. Lunenburg, Ph. Wolbert, P.Meijer, T.-P. Nguyen, J.F. Verweij, "PRESS-A Reliability Circuit Simulator with Built-In Hot carrier Degradation Model", *Conf. Proc. ESREF*, pp. 157-161, october 1993.
- ⁴³ Meindert Lunenburg, "MOSFET Hot-Carrier Degradation : Failure Mechanisms and Models for Reliability Circuit Simulation", *Ph. D thesis*, Twente University , october 1996.
- ⁴⁴ Dewi S. Sugiharto, Cary Y. Yang, Huy Le, James E. Chung, "Beating the Heat", *IEEE Circuits and Devices*, pp. 43-51, 1998.
- ⁴⁵ Khandker N. Quader, Peng Fang, John T. Yue, Ping K. Ko, Chenming Hu "Hot-Carrier-Reliability Design Rules for Translating Device Degradation to CMOS Digital Circuit Degradation", *IEEE Transaction on Electron Device*, vol. 41, N°5, pp. 681-691, may 1994.
- ⁴⁶ Y. Leblebici, S. M. Kang, "Simulation of Hot-Carrier Induced MOS Circuit Degradation for VLSI Reliability Analysis", *IEEE Transactions on Reliability*, vol. 43,n°2, june 1994.
- ⁴⁷ Peng Fang, Jiang Tao, Jone F. Chen, and C. Hu, "Design In Hot-Carrier Reliability For High Performance Logic Applications", *IEEE Custom Integrated Circuits Conference*, 1998.
- ⁴⁸ Wenjie Jiang, Huy Le, James E. Chung, Thomas Kopley, Paul Marcoux, Changhong Dai , "Assessing Circuit-Level Hot-Carrier Reliability", *IEEE 36th Annual International Reliability Physics Symposium*, pp. 173-179, 1998.
- ⁴⁹ Jacob Van Der Pol, "New Methods for Building-In and Improvement of Integrated Circuit Reliability : Application to High Volume Semiconductor Manufacturing", *Ph. D thesis*, Twente University , 8 octobre 2000.
- ⁵⁰ Shian Aur, Charvaka Duvvury, William R. Hunter, "Setting the Trap for Hot Carriers", *IEEE Circuits & Devices*, pp. 18-24, June 1995.
- ⁵¹ M.M. Lunenburg, Ph. Wolbert, P.Meijer, T.-P. Nguyen, J.F. Verweij, "PRESS-A Reliability Circuit Simulator with Built-In Hot carrier Degradation Model", *Conf. Proc. ESREF*, pp. 157-161, october 1993.
- ⁵² R. Thewes, W. Weber, "Effects of Hot-Carrier Degradation in Analog CMOS Circuits", *Microelectronic Engineering*, Vol. 36, pp. 285-292, 1997.
- ⁵³ Huy Le, Paul J. Marcoux, Wenjie Jiang, James E. Chung, "On The Methodology of Assessing Hot-Carrier Reliability of Analog Circuits", *IEEE IRW Final Report*, pp. 20-23, 2000.
- ⁵⁴ James E. Chung, Khandker N. Quader, Charles G. Sodini, Ping-Keung Ko, Chenming Hu, "The Effects of Hot-Electron Degradation on Analog MOSFET Performance", *IEEE IEDM*, pp. 553-556, 1990.

- ⁵⁵ R. Thewes, T. Schindhelm, M. Tiebout, E. Wohlrab, U. Kollmer, S. Kessel, D. Schmitt-Landsiedel, W. Weber, "Method for Precise Determination of the Statistical Distribution of The Input Offset Voltage Of Differential Stages", *Microelectronics Reliability*, Vol. 36, n°11/12, pp. 1823-1826, 1996.
- ⁵⁶ S.Z. Mohamedi, V.-H Chan, J.-T. Park, "Hot-Electron-Induced Input Offset Voltage Degradation in CMOS Differential Amplifiers", *Proc. IEEE Int. Reliability Physics Symposium*, pp. 76-80, 1992.
- ⁵⁷ Y. Leblebici, S. M. Kang, "Simulation of MOS Circuit Performance Degradation with Emphasis on VLSI Design-For-Reliability", *IEEE*, June 1989.
- ⁵⁸ R. Thewes, R. Bredelow, C. Schundler, P. Wiczorek, B. Ankele, A. Hesener, J. Holz, S. Kessel, W. Weber, "MOS Transistor Reliability under Analog Operation", *Microelectronics Reliability*, Vol. 40, pp. 1545-1554, 2000.
- ⁵⁹ Chun Jiang Tao, Eric Johnson, J.J. Shaw, Chenming Hu "AC Hot-Carrier Degradation in a Voltage Controlled Oscillator", *IEEE IRPS*, pp. 53-56, 1993.
- ⁶⁰ Y. Hervé, "VHDL-AMS : Un atout pour la conception de système", <http://www.comelec.enst.fr/taisa/programme.html>
- ⁶¹ A. Vachoux, "Modélisation de Systèmes Intégrés Analogiques et Mixtes : Introduction à VHDL-AMS", <http://lsmwww.epfl.ch>.
- ⁶² J. Oudinot, "Méthodologie de Conception d'ASIC Mixtes avec VHDL-AMS", *Thèse ENST Paris*, 2000.
- ⁶³ Jean Oudinot, Caroline Vaganay, Michel Robbe, Patrick Radja, "Mixed-Signal ASIC Top-Down and Bottom-Up Design Methodologies using VHDL-AMS", November 2000, <http://www.mentor.com/dsm>.
- ⁶⁴ Allen, Holberg, "CMOS Analog Circuit Design", *Wiley Editor*, fourth edition.
- ⁶⁵ A. Vladimirescu, Andrei "The Spice Book", Wiley (December, 1993).
- ⁶⁶ Analogy Corporation, saber simulator.
- ⁶⁷ Mentor Graphics Corporation, eldo simulator, users manual.
- ⁶⁸ Cadence Corporation, spectre simulator, users manual.
- ⁶⁹ A. Vachoux, "Analog and Mixed-Signal Extensions to VHDL", *Analog Integrated Circuits and Signal Processing*, vol. 16, pp. 185-200, 1998.
- ⁷⁰ H. Alan Manthooth, Philipp E. Allen, "A Behavioural Model of An Analog Voltage Comparator", *IEEE*, pp. 989-992, 1990.
- ⁷¹ H. Alan Manthooth, Philipp E. Allen, "Behavioural Simulation of a 3-Bit Flash ADC", *IEEE*, pp. 1356-1359, 1990.
- ⁷² A. Fakhfakh, "Contribution à la Modélisation Comportementale des Circuits Radio-Fréquences", *Thèse Université Bordeaux I*, 2002.
- ⁷³ Benoît Mongellaz, Arnaud Schmitt, Noëlle Milet-Lewis, François Marc, Yves Danto, "Modèle comportemental VHDL-AMS d'un amplificateur opérationnel CMOS à transconductance : application à la conception de filtres", *IEEE SETIT conference*, 2003.
- ⁷⁴ Genhong Ruan, "A Behavioural Model of A/D Converters Using a Mixed-Mode Simulator", *IEEE Journal of Solid-State Circuits*, vol. 26, n° 3, pp. 283-290, march 1991.
- ⁷⁵ Rami Ahola, Daniel Wallner, Marius Sida, "Bluetooth Transceiver Design with VHDL-AMS", June 2003, <http://www.mentor.com/dsm>.
- ⁷⁶ Jean Oudinot, Christophe Hui-Bon-Hoa, François Lémyer, Augusto Rossi, "Validation of a New Methodology Using VHDL-AMS on a Hard-Disk Drive Design", November 2000, <http://www.mentor.com/dsm>.
- ⁷⁷ Mentor Graphics Corporation, <http://www.mentor.com> .
- ⁷⁸ S. Scotti, "Vérifier un Circuit RF Complet Modélisé en VHDL-AMS", *Electronique*, n°125, mai 2002.
- ⁷⁹ Benoît Mongellaz, Arnaud Schmitt, Noëlle Milet-Lewis, François Marc, Yves Danto, "Modèle comportemental VHDL-AMS d'un amplificateur opérationnel CMOS à transconductance : application à la conception de filtres", *IEEE SETIT conference*, 2003.
- ⁸⁰ Benoît Mongellaz, "Contribution à la modélisation comportementale VHDL-AMS de circuits analogiques: cas de l'amplificateur opérationnel CMOS à transconductance", *Proceedings of JNRDM Conference*, May 2003.
- ⁸¹ BEAMS, "Behavioral modelling of Analog and Mixed System, a non lucrative association for the promotion of behavioural modelling and simulation with HDL languages (mainly VHDL-AMS)", <http://www.beams.asso.fr>.
- ⁸² R.L. Geiger, E. Sanchez-Sinencio, "Active Filter Design Using Operational Transconductance Amplifiers", *IEEE Circuits and Devices Magazine*, Vol. 1, pp. 20-32, March 1985.
- ⁸³ Benoît Mongellaz, Arnaud Schmitt, Noëlle Milet-Lewis, François Marc, Yves Danto, "Modèle comportemental VHDL-AMS d'un amplificateur opérationnel CMOS à transconductance : application à la conception de filtres", *IEEE SETIT conference*, 2003.
- ⁸⁴ SPARTE progress report.
- ⁸⁵ K. V. Noren, A. Tarakji, "Thermal Macromodelling of Integrated Circuits", *International Journal of Electronics*, vol. 86, pp. 153-172, 1999.

- ⁸⁶ K. N. Quader, C. Li, R. Tu, E. Rosenbaum, P. K. Ko, C. Hu, "A New Approach for Simulation of Circuit Degradation Due to Hot-Electron Damage in NMOSFETS", *IEDM*, pp. 337-340, 1991.
- ⁸⁷ Y. Leblebici, S. M. Kang, "A One-Dimensionnal MOSFET Model for Simulations of Hot-Carrier Induced Device and Circuit Degradation", *IEEE International Symposium Circuits Systemes*, pp. 109-112, 1990.
- ⁸⁸ Nam. Hwang, Leonard. Forbes, "Hot-Carrier Induced Series Resistance Enhancement Model (HISREM) of nMOSFET's For Circuit Simulations and Reliability Projections", *Microelectronics Reliability*, pp.225-239, 1995.
- ⁸⁹ S. Minehane, S. Healy, P. O'Sullivan, K. McCarthy, A. Mathewson, B. Mason, "Direct Parameter Extraction For Hot-Carrier Reliability Simulation", *Microelectronics Reliability*, pp.1437-1440, 1997.
- ⁹⁰ A. J. Mouthaan, C. Salm, M.M. Lunenburg, M.A.R.C de Wolf, F. G. Kuper, "Dealing with hot-carrier aging in nMOS and DMOS, models, simulations and characterizations", *Microelectronics Reliability*, pp.909-917, 2000.
- ⁹¹ B. Mongellaz, F. Marc, N. Milet-Lewis, Y. Danto, "Contribution to Ageing simulation of Complex Analogue Circuit Using VHDL-AMS Behavioural Modelling Language", *Microelectronics Reliability*, pp.1353-1358, 2002.
- ⁹² W. Li, J. S. Yuan, S. Chetlur, J. Zhou, A. S. Oates, "An Improved Substrate Current Model For Deep Submicron MOSFETs", *Solid-State Electronics*, Vol. 44, pp. 1985-1988, 2000.
- ⁹³ Peter M. Lee, Tom Garfinkel, Pink K. Ko, Chenming Hu, "Simulation of P and N MOSFET Hot-Carrier degradation in CMOS Circuits", *VSLITSA*, vol. 26, n° 3, pp. 191-195, 1991.
- ⁹⁴ C. Hu, S. C. Tam, F.-C. Hsu, P.-K. Ko, T.-Y. Chan, K. W. Terrill, "Hot-Electron-Induced MOSFET Degradation-Model, Monitor, and Improvement", *IEEE Journal of Solid-State Circuits*, vol. SC-20, n°1, pp. 295-305, February 1985.
- ⁹⁵ R. Dreesen, K. Croes, J. Manca, W. De Ceuninck, L. De Schepper, A. Pergoot, G. Groeseneken, "A new degradation model and lifetime extrapolation technique for lightly doped drain nMOSFET under hot-carrier degradation", *Microelectronics Reliability*, pp.437-443, 2001.
- ⁹⁶ M.M. Lunenburg, Ph. Wolbert, P.Meijer, T.-P. Nguyen, J.F. Verweij, "PRESS-A Reliability Circuit Simulator with Built-In Hot carrier Degradation Model", *Conf. Proc. ESREF*, pp. 157-161, october 1993.
- ⁹⁷ Thewes R, Bredelow R, "MOS transistor reliability under analog operation," *Microelectronics Reliability*, 2000, pp. 1545-1554.
- ⁹⁸ N. Milet-Lewis, "Contribution à la modélisation comportementale des circuits analogiques", Thèse de l'Université de Bordeaux 1, 1997.
- ⁹⁹ B. Mongellaz, F. Marc, Y. Danto, "Reliability Simulation of Electronic Circuits with VHDL-AMS", *Foreign Design Langage*, 2003.

Résumé

L'évolution croissante des technologies CMOS entraîne le renouvellement des techniques de prédiction de la fiabilité des circuits. Les méthodes statistiques ne suffisent plus pour évaluer la fiabilité des circuits à forte intégration. De nouvelles techniques de prédiction de fiabilité doivent être définies et mises en place afin de répondre rapidement aux contraintes d'analyse de la fiabilité. Une étude de la fiabilité des circuits CMOS doit être prise en charge en amont de la production. Pour cela, il est nécessaire de tenir compte de la dépendance des dispositifs élémentaires aux mécanismes de dégradation au cours du flot de conception des circuits. A partir d'un modèle électrique de dégradation du transistor MOSFET, fondé sur le langage de description comportementale VHDL-AMS, il est démontré qu'une prédiction de la fiabilité des circuits CMOS est réalisable à partir de simulations électriques. Une validation est réalisée à partir d'un circuit CMOS de démonstration : l'amplificateur opérationnel de transconductance. L'intérêt de cette méthode est sa reproductibilité pour la construction de modèles VHDL-AMS de dégradation de circuits CMOS d'abstraction supérieure dans le but d'analyser la fiabilité des systèmes.

Mots-clés

Circuit analogique CMOS
Modélisation VHDL-AMS
Modélisation comportementale
Porteurs chauds
Simulation de vieillissement électrique

Abstract

The increasing CMOS process evolution involves the renewal of the techniques to predict the circuits reliability. The statistical methods are not enough any more to evaluate the reliability of the VLSI circuits. New techniques of reliability prediction must be defined and implemented in order to quickly answer to the constraints of reliability analysis. A study of the CMOS circuits reliability must be dealt with upstream production. Then, it is necessary to hold account the dependence of the elementary devices with the degradation mechanisms during the circuit design flow. From a degradation electric model of transistor MOSFET, founded on the VHDL-AMS behavioral modelling language, it is shown that a prediction of the CMOS circuits reliability is realizable starting from electric simulations. A validation is carried out starting from a CMOS circuit demonstration : the operational transconductance amplifier. The method interest is its reproducibility to build degradation VHDL-AMS models of CMOS circuits with higher description abstraction in order to analyze the reliability of the electronics systems.

Key words

CMOS analog circuit
VHDL-AMS language
Behavioural modelling
Hot-Carrier Injection
Electrical ageing simulation