

N° d'ordre : 3084

THÈSE

présentée à

L'UNIVERSITÉ BORDEAUX I

ÉCOLE DOCTORALE DE PHYSIQUE

par Nathalie DELTIMPLE

POUR OBTENIR LE GRADE DE

DOCTEUR

SPÉCIALITÉ : **Electronique**

***Etude et réalisation d'un amplificateur de puissance
reconfigurable en technologie BiCMOS SiGe pour des
applications multi-standards GSM/DCS/UMTS***

Soutenance le : 9 décembre 2005

Après avis de :

MM.	A. Kaiser, Directeur de Recherche, IEMN - ISEN, Lille	Rapporteur
	R. Quéré, Professeur, IRCOM, IUT GEII, Brive	Rapporteur

Devant la commission d'examen formée de :

MM.	D. Belot, Ingénieur, STMicroelectronics, Crolles	Invité
	Y. Deval, Professeur, ENSEIRB, Bordeaux	Invité
	P. Fouillat, Professeur, ENSEIRB, Bordeaux	Examineur
	P. Jarry, Professeur, Université Bordeaux 1	Directeur de thèse
	E. Kerhervé, Maître de conférences, ENSEIRB, Bordeaux	Co-directeur de thèse
	A. Kaiser, Directeur de Recherche, IEMN - ISEN, Lille	Rapporteur
	R. Plana, Professeur, Université P. Sabatier, Toulouse	Examineur
	R. Quéré, Professeur, IRCOM, IUT GEII, Brive	Rapporteur
	A. Touboul, Professeur, Université Bordeaux 1	Invité

“En essayant continuellement on finit par réussir.

Donc : plus ça rate, plus on a des chances que ça marche”

Devise shadok

Remerciements

Nous pensons souvent à tort, qu'une thèse est le fruit d'un travail de réflexion solitaire. Or cette réflexion n'aurait pu être menée à bien sans le soutien de l'entourage aussi bien du point de vue scientifique que moral. Je me lance donc dans l'exercice des "remerciements" et je vais essayer d'exprimer ma gratitude à ceux qui m'ont aidé à venir au bout de ce travail de thèse.

Mes travaux de recherche s'étant déroulés au sein du Laboratoire IXL, je tiens tout d'abord à remercier le Professeur André Touboul, Directeur, de m'y avoir accueilli.

Je remercie le Professeur Pierre Jarry, responsable du groupe *Télécommunication, Circuits, Systèmes*. Il m'a accordé sa confiance en me permettant de réaliser cette thèse. En tant que directeur de thèse, il a su me laisser une grande liberté dans mes recherches et ses conseils ont permis d'améliorer l'écriture du manuscrit. Ma vive gratitude à Eric Kerhervé, Maître de Conférences, responsable de l'équipe *Circuits en hyperfréquence*. J'ai particulièrement apprécié travailler à ses côtés, de par sa rigueur alliée à son ouverture d'esprit. Il a su m'orienter dans mon travail, se montrant disponible dès que j'avais besoin de ses conseils.

Des remerciements particuliers pour le Professeur Pascal Fouillat. Il a signé ma toute première convention de stage en 1999, lorsque j'étais en DEUG. Je ne me doutais alors pas que je resterais autant liée à ce laboratoire...

Mille mercis au Professeur Yann Deval, il a été un soutien technique et moral sans faille tout au long de la thèse. Il est des enseignants qui comptent beaucoup dans nos études, il en fait largement partie dans mon cas. Le fameux module P32 et son mémorable théorème de l'autruche ont sans nul doute contribué à m'engager dans la poursuite de la filière EEA, et à y rester...

J'adresse mes remerciements au professeur Robert Plana qui m'a fait l'honneur de présider mon jury de thèse. Je remercie également mes rapporteurs, les professeurs Andreas Kaiser et Raymond Quéré pour l'attention portée à mon manuscrit et leurs remarques constructives. Je tiens à remercier Didier Belot, André Touboul, Pascal Fouillat et Yann Deval d'avoir accepté de participer à ce jury.

J'associe à ce travail et je remercie également Jean-Marie Pham ainsi que les doctorants de l'équipe *Circuits en hyperfréquence*, les anciens comme les plus récents. Je

citerai donc par ordre alphabétique Laurent Courcelle, Ouail El Gharniti, Mustapha El Hassan, Elias Hanna, Mathieu Hazouard, Laurent Leysse, Cristian Moreira, Alexandre Shirakawa.

Je remercie aussi les Maîtres de Conférences et Professeurs suivants pour leur aide, leur réconfort et leur soutien à tous les moments de ma thèse : Jean-Baptiste Begueret, Nathalie Malbert, François Marc, Hervé Lapuyade (nos nombreuses discussions autour de sujets aussi variés que les sciences, la politique et la place de la femme dans le monde moderne...), Sylvain Saïghi, Thierry Taris, ainsi que Nathalie Labat, Sylvie Renaud, Thomas Zimmer.

Je remercie ensuite les ingénieurs et techniciens qui m'ont apporté un soutien sans faille, toujours avec gentillesse : Magalie De Matos, Régis Devreese, Patrick Hellmuth, Nicole Lavigne, Olivier Mazouffre, Gilles N'Kaoua, Bernard Plano, Patrick Villesuzanne.

En continuant la tournée, je remercie tous les doctorants que j'ai côtoyé pendant ces années, et plus particulièrement : Isabelle Bord (la marraine de mon chat mais également mon double, même si cela ne se voit pas au coup d'oeil), Didier Castagnet, Mikaël Cimino (les BICS n'ont qu'à bien se tenir), Fabien Essely, Sébastien Frégonèse, Brice Grandchamp, Alexandrine Guedon-Gracia, Vincent Lagarestre (Galak), Cédric Majek (le « bo gosse » du labo, fan incontesté d'Activia-ex-Bio et parrain de mon chat), André Mariano (un danseur épatant), Florence Razan (ma camarade de fin de thèse), Cyril Recoquillon (mon binôme qui allait bien souvent à la piscine...), Christophe Rougier (maçon-snowboarder-chef d'entreprise-thésard, trop fort ce Kriss) et Pierre-Yvan Sulima (promis, je viendrai un jour à la piscine).

Un grand merci à Mireille Bernard, Valérie Cauhapé, Simone Dang Van, Fanny Damas et Corine Doumerc, pour leur aide qui m'a souvent été précieuse.

Une pensée pour ma famille, tout particulièrement ma mère et mon frère qui sont si fiers de moi... et pour mon chat, qui lui ne dit rien mais n'en pense pas moins.

SOMMAIRE

INTRODUCTION.....	1
CHAPITRE 1	5
I Introduction	6
II Caractéristiques et spécifications des principaux standards de communication.....	6
II.1 Bandes de fréquence allouées	6
II.2 Techniques de modulation employées	7
II.3 Techniques d'accès multiple.....	8
II.4 Bande passante du canal	9
III Amplificateur de puissance au cœur des systèmes d'émission-réception RF multi-standards	10
III.1 Systèmes de communication radio-fréquence.....	10
III.1.1 Les architectures de récepteurs.....	11
III.1.2 Les architectures d'émetteurs	12
III.2 Systèmes RF multi-standard.....	12
IV Caractéristiques d'un amplificateur de puissance	14
IV.1 Différents gains et rendements	14
IV.2 Grandeurs non-linéaires caractérisant un circuit	17
IV.2.1 Caractéristique d'un circuit non-linéaire	17
IV.2.2 Point de compression à 1 dB.....	18
IV.2.3 Conversion Amplitude-Phase (AM/PM).....	20
IV.2.4 Produits d'intermodulation	20
IV.2.5 ACPR (Adjacent Channel Power Ratio).....	22
IV.2.6 Amplificateurs multi-étages.....	23
IV.3 Les classes de fonctionnement	24
IV.3.1 Les classes sinusoïdales : A, AB, B et C	25

IV.3.1.1	Présentation générale	25
IV.3.1.2	Calcul du rendement théorique maximal	26
IV.3.1.3	Synthèse sur les classes sinusoïdales	28
IV.3.2	Les classes commutées	30
IV.3.2.1	La classe E.....	30
IV.3.2.2	La classe F	31
IV.3.3	Synthèse sur les classes de fonctionnement.....	33
V	Adaptation d'impédance.....	34
V.1	Nécessité de l'adaptation	34
V.2	Méthode Load-Pull.....	35
V.3	Influence de la mesure	36
VI	Conclusion	36
VII	Références bibliographiques	38
CHAPITRE 2	41
I	Introduction	42
II	Différentes topologies des amplificateurs de puissance	46
III	Techniques utilisées pour améliorer le rendement	49
III.1	La polarisation dynamique	49
III.2	La technique Doherty	51
III.3	Le traitement des harmoniques	52
III.4	Conclusion sur les techniques présentées.....	53
IV	Architecture générale retenue et principe de fonctionnement	53
IV.1	Contrôle de la fréquence de fonctionnement du dispositif	55
IV.1.1	Varicap MOS	55
IV.1.2	Banque de capacités	58
IV.2	Contrôle de la classe de fonctionnement	59
IV.2.1	Compromis rendement/linéarité de la structure à deux étages	59

IV.2.2	Contrôle par les circuits de polarisation.....	61
IV.2.3	Utilisation du réseau de sortie.....	63
IV.3	Contrôle du point de compression à 1 dB.....	64
IV.4	Contrôle de l'impédance équivalente du circuit de polarisation de l'étage de puissance.....	65
V	Topologie finale.....	68
VI	Conclusion.....	69
VII	Références bibliographiques.....	72
CHAPITRE 3	77
I	Introduction.....	78
II	Prise en compte de la forme de l'enveloppe pour la conception.....	79
III	Conception de l'amplificateur de puissance.....	82
III.1	Conception de l'étage de puissance.....	82
III.1.1	L'impédance de charge.....	82
III.1.2	Choix de la taille du transistor de sortie.....	83
III.1.2.1	Fréquence de transition.....	83
III.1.2.2	Détermination de la géométrie du transistor de sortie.....	85
III.1.3	La dégénération de l'émetteur.....	85
III.1.4	La polarisation de l'étage.....	87
III.2	Conception du premier étage.....	88
III.2.1	Variation dynamique du CP1.....	88
III.2.2	Compromis linéarité/rendement de l'étage.....	89
III.2.3	Structure de l'étage.....	89
III.3	Circuits d'adaptation d'impédance.....	90
III.3.1	Entrée.....	90
III.3.2	Inter-étage.....	90
III.3.3	Sortie.....	90

III.4	Dessin de l'amplificateur de puissance	91
IV	Résultats de simulation.....	92
IV.1	Variation du point de compression à 1dB	94
IV.2	Contrôle du gain.....	96
V	Dispositifs de test	101
V.1	Placement de la puce dans le boîtier.....	101
V.2	Élaboration du PCB.....	101
V.3	Résultats de mesures	102
V.3.1	Difficulté de la mesure avec un signal W-CDMA	102
V.3.2	Résultats.....	104
V.3.2.1	Mesures DC.....	104
V.3.2.2	Mesures à l'analyseur de réseau	105
V.3.2.3	Mesures à l'analyseur de spectre	106
V.3.2.4	Bilan des résultats de mesure.....	106
V.3.3	Analyse des défauts.....	107
V.3.3.1	Premier étage de l'amplificateur	107
V.3.3.2	Encapsulation.....	108
V.3.4	Retro-simulations.....	109
V.4	Amélioration du circuit	111
V.4.1	Placement de la puce sur le PCB.....	111
V.4.2	Résultats de mesures.....	112
V.4.2.1	Conditions des tests.....	112
V.4.2.2	Mesures DC avec une faible puissance d'entrée.....	113
V.4.2.3	Mesures dynamiques avec une faible puissance d'entrée.....	113
V.4.2.4	Contrôle du paramètre S_{21}	115
VI	Conclusion	116
VII	Références bibliographiques	118

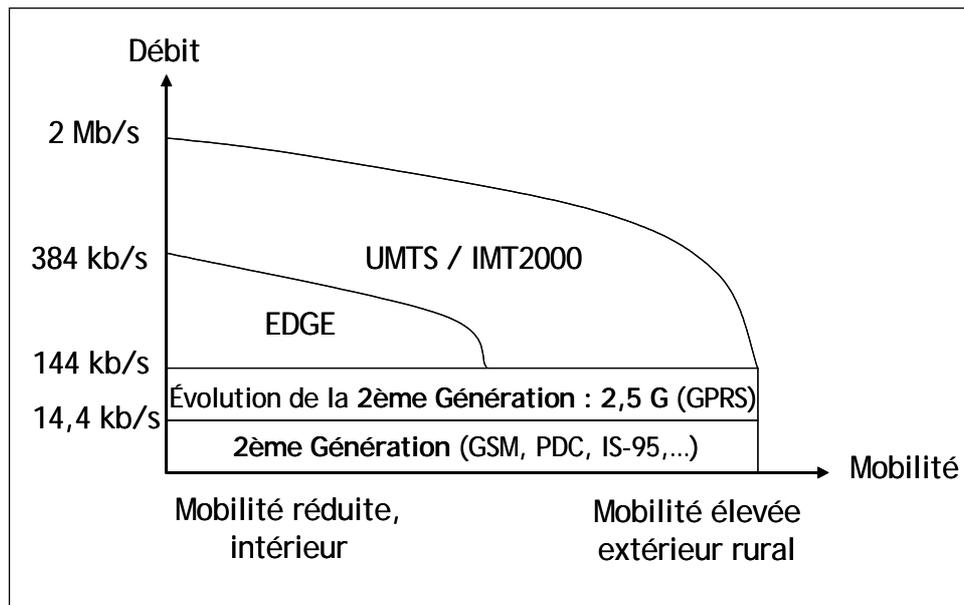
CHAPITRE 4	121
I Introduction	122
II Topologie de l'amplificateur de puissance reconfigurable multi-standard réalisé.....	122
II.1 Variation dynamique du point de compression à 1dB (CP1).....	122
II.2 Variation dynamique de la classe de fonctionnement	123
II.2.1 Rappel sur les classes de fonctionnement.....	123
II.2.2 Rappel sur les structures à deux étages	123
II.2.3 Cas du mode UMTS	124
II.2.4 Cas des standards GSM et DCS.....	124
II.2.5 Variation du réseau de sortie – Traitement des harmoniques.....	124
II.2.5.1 Structure des classes sinusoïdales et de la classe F.....	124
II.2.5.2 Structure de l'étage de puissance	127
II.3 Topologie finale du PA reconfigurable multi-standard	128
III Conception du circuit.....	130
III.1 Conception de l'étage de puissance	130
III.1.1 Structure de l'étage.....	130
III.2 Conception du premier étage	131
III.2.1 Structure de l'étage.....	131
III.3 Circuits d'adaptation d'impédance	131
III.3.1 Entrée	131
III.3.2 Inter-étage	132
III.3.3 Sortie	132
III.4 Dessin de l'amplificateur de puissance	133
IV Résultats de simulations	134
V Dispositifs de test.....	139
V.1 Placement de la puce sur le PCB	139
V.2 Résultats de mesures	140

V.2.1	Conditions des tests.....	140
V.2.2	Mesures DC avec une faible puissance d'entrée	140
V.2.3	Mesures dynamiques avec une faible puissance d'entrée	140
V.2.3.1	Paramètre S_{21}	140
V.2.4	Performances du circuit.....	141
V.2.4.1	Adaptation en entrée	142
V.3	Analyse des résultats	143
VI	Conclusion	144
VII	Références bibliographiques	145
CONCLUSION GENERALE ET PERSPECTIVES		147
I	Conclusion générale.....	148
II	Perspectives.....	150
II.1	Amélioration de la technique proposée	150
II.2	Les projets européens	151
II.2.1	Projet MOBILIS (Mixed SiP and SoC Integration of Power BAW Filters for Digital Wireless Transmissions).....	151
II.2.2	MEDEA+ UPPERMOST.....	152
II.3	La fiabilité des amplificateurs de puissance	152
GLOSSAIRE.....		155
LISTE DES TRAVAUX, OUVRAGES ET COMMUNICATIONS		157

Introduction

Le monde des communications mobiles sans fil a beaucoup évolué durant les vingt dernières années, encouragé par la croissance spectaculaire du nombre d'utilisateurs, intéressés par la transmission de la voix, mais également par la vidéo et autres services Internet. Nous sommes passés d'un monde entièrement analogique (dans le début des années 1980) à un monde numérique, et désormais un monde numérique large bande.

Plusieurs pays ont développé leurs propres standards pour cette première génération analogique de système cellulaire pour les communications sans fil. Nombre d'entre eux sont toujours en cours, nous pouvons citer par exemple l'AMPS (Advanced Mobile Phone Service – pour l'Asie et l'Amérique du Nord) et le NMT (Nordic Mobile Telephone – pour la Suède, la Norvège et la Finlande). Les limitations de cette première génération, telles que la difficulté d'augmenter la capacité du réseau pour une allocation de spectre fixe ou les différences entre tous les standards existants, furent les éléments moteurs de la mise en place de la deuxième génération. Le standard GSM (Global System of Mobile communication) fit son apparition au début des années 1990, avec une capacité supérieure basée sur une modulation numérique (GMSK : Gaussian Minimum Shift Keying) et des techniques élaborées de partage de ressources spectrales (TDMA / FDMA : Time / Frequency Division Multiple Access). Cependant, le faible débit du réseau GSM ne permet pas d'avoir des communications multimédia compétitives. Pour palier à ce manque, dans un premier temps, les standards GPRS (General Packet Radio Service) et EDGE (Enhanced Data rates for GSM Evolution) ont vu le jour. Ces étapes ont marqué le début de la troisième génération, avec l'UMTS (Universal Mobile Telecommunication System, pour l'Europe et le Japon) et IMT2000 (International Mobile Telecommunication–2000 pour les USA). Grâce à des techniques de modulation et des techniques d'accès (à base d'étalement de spectre) plus élaborées, cette évolution permet de proposer des débits élevés, jusqu'à 2 Mb/s, afin de permettre l'essor d'applications multimédia, à un plus grand nombre d'utilisateurs. Les principales caractéristiques de ces standards sont présentées par la figure ci-dessous.



**Évolution de la téléphonie mobile :
débit et mobilité pour diverses technologies**

Afin d'offrir aux utilisateurs des communications haut débit à courte distance, les réseaux locaux sans fil (WLAN) ont été développés pour permettre des accès radio vers des infrastructures de communications existantes (réseau, IP, ATM, ...). Ces systèmes reposent sur une architecture soit *cellulaire* (par le biais d'une borne d'accès), soit de *réseaux ad-hoc* (communications directes entre les terminaux). Des réseaux de communications peuvent ainsi être facilement créés dans des environnements variés tel que les hôtels et les aéroports. Les principaux standards sont HiperLAN1&2 et la norme IEEE802.11a dans la gamme 5-6 GHz, mais également les normes 802.11b, h et g qui se situent dans la bande ISM à 2,4 GHz.

Une autre application grand public des systèmes de communications radio sont les objets communicants. Ce terme regroupe à la fois les objets personnels : les PDA (Palm™ et Pocket PC), les téléphones, les ordinateurs, les caméscopes, et les objets partagés : imprimantes, projecteur, etc. Les deux principaux standards de communications sont Bluetooth et Home RF, fonctionnant dans la bande ISM à 2,4 GHz. Le premier objectif de ces systèmes est de proposer une solution de substitution aux câblages entre les équipements cités à faible coût.

Tous ces systèmes de communications radio sont très différents les uns des autres et nécessitent le développement de terminaux adaptés à chacun. Devant le nombre important

d'applications spécifiques et donc de standards, le concept de terminaux multi-standards a vu le jour, afin de pouvoir offrir aux utilisateurs une inter-opérabilité entre ces systèmes.

Ces travaux de thèse s'intègrent à cette problématique et proposent une étude des amplificateurs de puissance intégrés radio-fréquence dans les systèmes d'émission-réception multi-standard GSM/DCS/UMTS, dans une technologie bas coût Silicium-Germanium. Nous présentons, dans ce document, une méthodologie de conception, ainsi que l'étude, la réalisation et la caractérisation expérimentale de deux amplificateurs de puissance multi-standards.

Dans le premier chapitre, nous décrivons les caractéristiques des principaux standards de communications RF afin de comprendre en quoi ces caractéristiques sont importantes pour la conception de circuit. Puis nous nous intéressons aux architectures d'émission-réception permettant l'obtention de terminaux multi-standards, et particulièrement à l'architecture reconfigurable. Cette dénomination signifie que chaque bloc de la chaîne d'émission-réception est capable d'adapter ses caractéristiques afin de répondre aux spécifications du standard actif. Au sein de cette architecture, nous nous focalisons sur l'amplificateur de puissance qui sera donc appelé *amplificateur de puissance reconfigurable*. Enfin, nous présentons les notions fondamentales qui ont trait à l'amplification de puissance. Ainsi, les différentes définitions des grandeurs électriques sont rappelées. Ensuite, nous abordons la notion de classes de fonctionnement à travers la présentation de chacune d'entre elle. Nous terminons ce chapitre avec l'adaptation d'impédance et la méthode *Load-Pull*.

Le second chapitre propose une méthode de conception d'amplificateur de puissance reconfigurable dédié aux standards GSM, DCS et UMTS. L'étude menée au chapitre 1 a permis de mettre en évidence les points importants : la linéarité pour le standard UMTS qui utilise une modulation à enveloppe non-constante et le rendement pour les standards GSM et DCS qui spécifient des puissances de sortie importantes. Nous nous intéressons donc aux techniques de linéarisation des amplificateurs de puissance à classes commutées ainsi qu'aux techniques d'augmentation du rendement des amplificateurs de puissance linéaires. Différentes topologies d'amplificateurs sont étudiées pour ces différents standards. Cela permet de déterminer une architecture de base qui puisse convenir à chacun des standards. Sur cette architecture, nous allons alors développer des méthodes permettant de modifier les caractéristiques de l'amplificateur de puissance, notamment sa linéarité et sa puissance de sortie, afin de satisfaire les spécifications du standard actif.

Les standards utilisant des modulations à enveloppe non-constante, tel que l'UMTS, utilisent des amplificateurs de puissances linéaires afin d'éviter la déformation de l'enveloppe. L'amplitude du signal d'entrée de l'amplificateur peut être soit la puissance de sortie spécifiée par le standard, soit des niveaux de puissances moins importants pour lesquels le rendement est très bas. La conséquence est que le rendement global de l'amplificateur est très faible. Afin de valider l'architecture reconfigurable mise au point dans le second chapitre et de mettre en œuvre les techniques qui y sont décrites, le chapitre 3 se focalise sur la conception d'un amplificateur de puissance dédié au standard UMTS. Cet amplificateur est alors reconfigurable en puissance afin d'augmenter le rendement aux faibles niveaux de puissance d'entrée. Pour ce faire, nous utilisons les méthodes proposées au chapitre 2 en modifiant dynamiquement le point de compression à 1 dB (CP1) à gain constant. Deux amplificateurs reconfigurables en puissance sont réalisés, nous commenterons les résultats de mesure obtenus.

Les méthodes décrites dans le chapitre 2 sont ensuite appliquées à la conception d'un amplificateur de puissance reconfigurable multi-standard dans le chapitre 4. Les standards UMTS, DCS et GSM n'ayant pas les mêmes priorités (la linéarité ou le rendement), il est intéressant de travailler sur les classes de fonctionnement de chacun des étages afin de tirer partie des avantages des différentes classes. La méthode appliquée consiste donc à modifier dynamiquement la classe de fonctionnement de chaque étage et le réseau de sortie de l'amplificateur afin de contrôler le niveau des harmoniques sur le signal de sortie. Un amplificateur de puissance multi-standard est réalisé associant à la fois la notion de reconfigurabilité en puissance et en classe.

Enfin, la conclusion générale nous permet de faire le bilan des travaux présentés dans ce mémoire et d'évoquer les perspectives de développement de notre méthode.

Chapitre 1

Les caractéristiques de l'amplification de puissance dans les systèmes radiofréquences multi-standards

CHAPITRE 1	5
I Introduction	6
II Caractéristiques et spécifications des principaux standards de communication.....	6
III Amplificateur de puissance au cœur des systèmes d'émission-réception RF multi-standards	10
IV Caractéristiques d'un amplificateur de puissance	14
V Adaptation d'impédance.....	34
VI Conclusion	36
VII Références bibliographiques	38

I Introduction

Le concept de terminaux multi-standards indique qu'un seul terminal RF doit pouvoir émettre et recevoir plusieurs standards. La quasi-totalité des standards de communications ne sont pas compatibles entre eux. Nous allons donc décrire les caractéristiques des principaux standards afin de voir leurs points communs et leurs dissemblances. Ces caractéristiques sont essentielles pour se fixer les contraintes de conception des circuits RF associés. Nous nous intéressons ensuite aux architectures d'émission-réception multi-standards. Au sein de ces architectures, nous nous focaliserons sur l'amplificateur de puissance et présenterons ses principales caractéristiques.

II Caractéristiques et spécifications des principaux standards de communication

II.1 *Bandes de fréquence allouées*

Les standards de la téléphonie mobile, des réseaux locaux sans fils et des objets communicants couvrent une large gamme de fréquence qui s'étend de 800 MHz à 6 GHz, comme l'illustre la Figure 1 - 1.

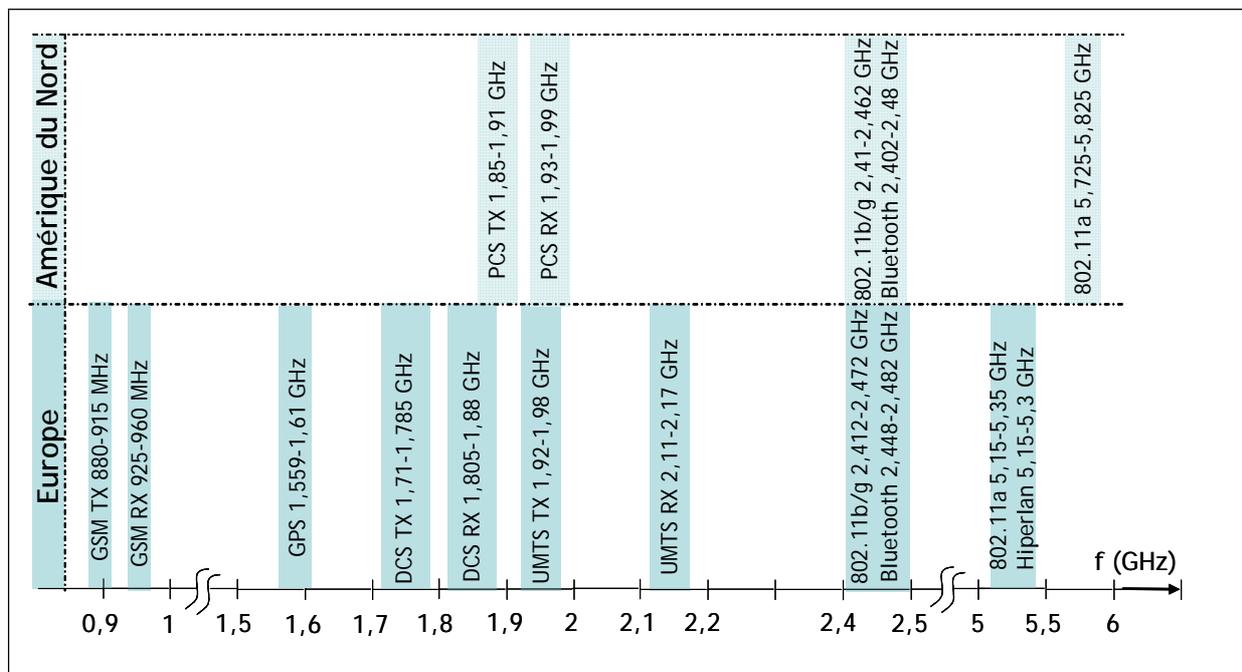


Figure 1 - 1 : Utilisation du spectre de fréquence

Nous retrouvons dans la partie basse de ce spectre les standards relatifs à la téléphonie mobile alors que les systèmes de réseaux locaux sans fil, nécessitant plus de bande passante afin de satisfaire leurs objectifs en termes de débits, campent la partie haute du spectre.

II.2 Techniques de modulation employées

Les standards de communications sont basés sur l'utilisation de modulations numériques qui permettent d'atteindre des débits élevés. Ces modulations sont des modulations de fréquence, de phase ou d'amplitude suivant les débits à transmettre fixés par la norme. Les standards 802.11a et Hiperlan2 utilisent la modulation multi-porteuse OFDM (Orthogonal Frequency Division Multiplex) qui offre la possibilité d'utiliser différents types de modulations sur chacune des porteuses. Le Tableau 1-1 indique la modulation utilisée pour chaque standard.

Standards	Modulation
GSM, DCS, PCS	GMSK (FSK)
UMTS	QPSK
Bluetooth	GFSK
802.11a	OFDM & BPSK, QPSK, QAM
802.11b	BPSK, QPSK
HiperLAN	FSK, GMSK
HiperLAN2	OFDM & BPSK, QPSK, QAM
GPS	BPSK

Tableau 1 - 1 : Techniques de modulation utilisées pour différents standards

Nous n'allons pas revenir sur la description de chacune des modulations mais nous intéresser à un élément lié à ces modulations, à savoir la forme de l'enveloppe. Cet aspect est essentiel pour déterminer le degré de linéarité que doivent atteindre les chaînes d'émission et de réception. Nous devons donc être d'autant plus vigilants quant à la linéarité du système et en particulier celle de l'amplificateur de puissance, dès lors que nous traiterons des signaux à enveloppe non-constante afin de ne pas détériorer l'information contenue dans l'enveloppe.

Nous pouvons dès lors classer les types de modulation en deux critères : « modulation à enveloppe constante » ou « modulation à enveloppe non-constante ».

Dans le premier critère nous retrouvons les modulations FSK (Frequency Shift Keying), GFSK (Gaussian-FSK), GMSK (Gaussian Minimum -SK) et BPSK (Binary Phase-SK), tandis que dans le second il s'agit des modulations QPSK (Quadrature Phase-SK), x-QAM (x-Quadrature Amplitude Modulation).

II.3 Techniques d'accès multiple

Les techniques d'accès multiple (*Multiple Access – MA*) au canal sont spécifiées pour chaque système de radiocommunication, comme nous le voyons dans le Tableau 1-2. Elles permettent d'offrir la garantie pour les utilisateurs de pouvoir accéder en même temps et de manière transparente au réseau de communication. Cela peut s'effectuer de différentes façons : soit par répartition fréquentielle (FDMA – *Frequency Division MA*), soit par répartition temporelle (TDMA – *Time Division MA*) ou bien encore par répartition codée, qui est une technique basée sur l'étalement de spectre (CDMA - *Code Division MA*, FHSS – *Frequency Hopping Spread Spectrum*, DSSS - *Direct Sequence Spread Spectrum*), par sondage des porteuses (CSMA - *Carrier Sense Multiple Access*) ou par gestion de priorité (EY-NPMA – *Elimination Yield Non Preemptive Multiple Access*).

Standards	Techniques d'accès
GSM, DCS, PCS	TDMA & FDMA (FDD)
UMTS	W-CDMA (FDD, TDD)
Bluetooth	TDMA & FHSS (TDD)
802.11a	CSMA
802.11b	CSMA & DSSS
HiperLAN	MAC (EY-NPMA)
HiperLAN2	MAC (ATM- & IP-like)
GPS	DSSS

Tableau 1 - 2 : Techniques d'accès utilisées pour différents standards

Chacune des ces techniques impose des contraintes différentes sur les chaînes d'émission et de réception. Notons par exemple que l'approche d'accès multiple DSSS est extrêmement exigeante au regard du modulateur, du fait de la très large bande passante du signal à transmettre, ou encore les techniques d'accès par saut de fréquence de type FHSS qui imposent au synthétiseur de fréquence des caractéristiques d'agilité en fréquence souvent très sévères.

II.4 Bande passante du canal

Les bandes passantes des différents standards sont présentées dans le Tableau 1-3. La bande passante du canal d'un standard donné est directement liée à la technique d'accès et au débit: les standards utilisant des techniques à base d'étalement de spectre tels que 802.11a et 802.11b ont une bande passante plus étendue que le GSM, celui-ci étant utilisé de ce fait essentiellement pour la phonie.

Standards	Bande passante
GSM, DCS, PCS	200 kHz
UMTS	5 MHz
Bluetooth	1 MHz
802.11a	20 MHz
802.11b	22 MHz
HiperLAN	24 MHz
HiperLAN2	20 MHz
GPS	20 MHz

Tableau 1 - 3 : Bande passante du canal pour différents standards

La bande passante du GSM de 200 kHz, impose des contraintes fortes sur le pas de synthèse du synthétiseur de fréquence, ce qui rend difficile la mise en œuvre d'une boucle à verrouillage de phase classique, au profit d'architectures plus complexes, telles que les synthétiseurs fractionnaires, les synthétiseurs à offset, etc.

Les spécifications inhérentes à chacun des standards présentés imposent des contraintes différentes sur les systèmes d'émission-réception. Il est donc important de connaître ces spécifications lors des étapes de conception. Les axes de recherche s'attachent de plus en plus à faire évoluer les systèmes actuels conçus pour une application particulière, associée à un standard de communication spécifique, vers des systèmes intégrant plusieurs services et applications, associés à plusieurs standards, dans un seul et même terminal. Ne perdant pas de vue l'esprit faible coût d'un tel système, les efforts sont engagés à la fois sur les architectures et les technologies. Nous allons nous intéresser à présent aux architectures d'émetteurs-récepteurs radiofréquences.

III Amplificateur de puissance au cœur des systèmes d'émission-réception RF multi-standards

III.1 *Systèmes de communication radio-fréquence*

Un système de communication radio-fréquence est un système de communication qui utilise les ondes hertziennes radio-fréquences comme moyen de transmission. Il s'appuie sur le schéma de principe présenté à la Figure 1 - 2. Un tel système est composé d'une partie émission et d'une partie réception. Le rôle de l'émetteur est de transposer en fréquence le signal modulé avant de le transmettre à l'antenne. Le signal ainsi émis pourra alors être présenté au récepteur. Le rôle de ce dernier est d'amplifier le signal modulé radiofréquence et de le transposer en fréquence, en le filtrant pour le présenter au démodulateur permettant ainsi le traitement de l'information reçue.

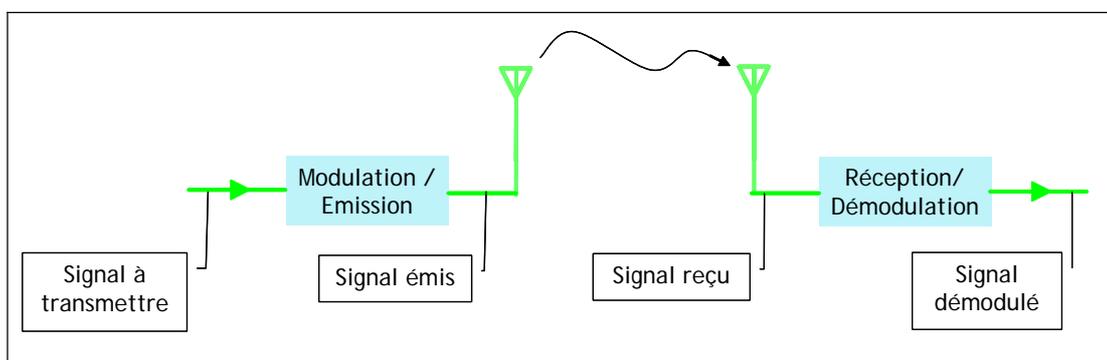


Figure 1 - 2 : Système d'émission-réception

L'explosion du marché de la téléphonie mobile et des objets communicants a entraîné une évolution rapide des architectures de récepteur et d'émetteur, ceci afin d'améliorer les

niveaux d'intégration, et par conséquent, de réduire les coûts de fabrication. Nous allons décrire brièvement les principales architectures existantes, en commençant par les récepteurs, puis celles des émetteurs.

III. 1.1 Les architectures de récepteurs

L'architecture fonctionnelle d'une chaîne complète de réception est présentée Figure 1 - 3. L'architecture de récepteur la plus couramment rencontrée est la topologie superhétérodyne. La partie « front-end » est constituée de filtres, d'amplificateurs, de mélangeurs et d'oscillateurs locaux (OL). La première étape est de sélectionner le canal désiré par le biais d'un filtre passe-bande puis de l'amplifier par un amplificateur faible bruit afin d'augmenter le niveau du signal tout en limitant le bruit à l'entrée du mélangeur. Le signal est ensuite transposé à des fréquences plus basses grâce au mélangeur qui multiplie ce signal par une sinusoïde de fréquence f_{OL} fournie par l'oscillateur local. Le résultat de ce mélange est une composante à la fréquence $f_{OL}-f_{porteuse}$ et une composante à la fréquence $f_{OL}+f_{porteuse}$. Le filtre passe-bande en sortie du mélangeur est alors utilisé pour ne retenir, par exemple dans le cas de l'architecture supradynne, que la composante à la fréquence $(f_{OL}-f_{porteuse})$. Le signal, ainsi isolé et amplifié, pourra être traité numériquement après avoir traversé un modulateur IQ et un convertisseur analogique/numérique (CAN).

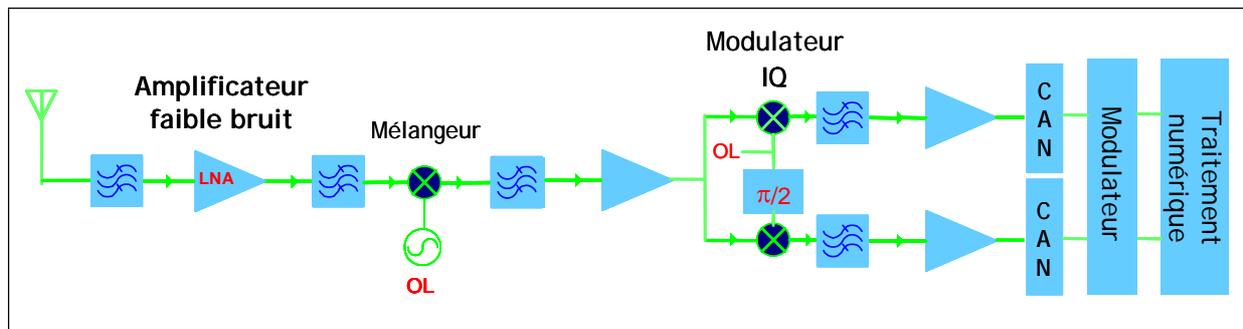


Figure 1 - 3 : Structure fonctionnelle des récepteurs – récepteur superhétérodyne

Les récepteurs ont récemment considérablement évolué depuis la topologie superhétérodyne ou les récepteurs superhétérodynes à double changement de fréquence vers des architectures polyphasées ou les récepteurs à conversion directe, mieux à même de traiter des données numériques et permettant de faciliter l'intégration.

III.1.2 Les architectures d'émetteurs

L'architecture de la Figure 1 - 4 présente la structure fonctionnelle d'un émetteur. Le signal en bande de base est d'abord modulé, puis transposé à la fréquence de la porteuse. Il est ensuite amplifié par un amplificateur de puissance, afin d'atteindre un niveau suffisant pour être émis à travers l'antenne.

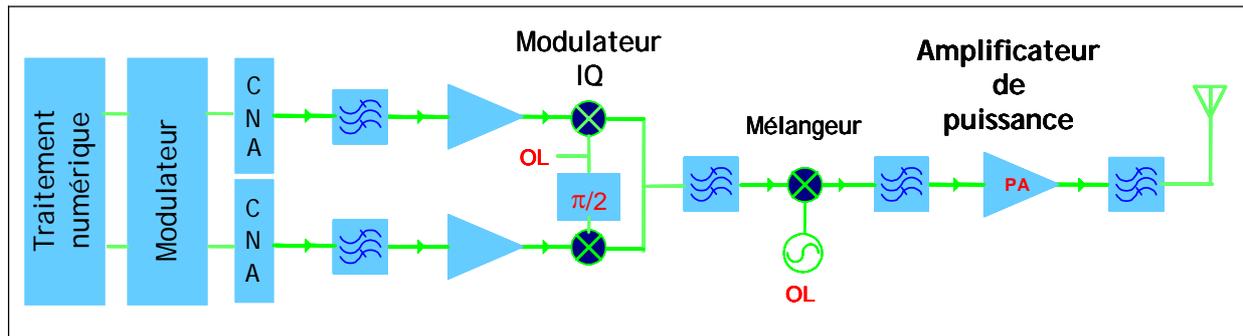


Figure 1 - 4 : Structure fonctionnelle des émetteurs

Les architectures classiques d'émetteur sont semblables aux structures des récepteurs, il existe plusieurs types d'émetteur : les émetteurs à conversion directe ou à fréquence intermédiaire, cette dernière architecture est présentée à la Figure 1 - 4. L'essentiel des travaux sur les chaînes d'émission se concentrent sur l'amplificateur de puissance. En effet, celui-ci reste très gourmand en terme de consommation, c'est donc vers la conception de ce bloc que les efforts se font afin de réduire la consommation totale du système.

III.2 Systèmes RF multi-standard

Il existe plusieurs approches pour réaliser des terminaux multi-standards. La première est la commutation entre plusieurs architectures d'émission-réception, où chaque standard se voit allouer une chaîne spécifique. Une telle architecture est présentée Figure 1 - 5, dans le cas d'un module multi-standard GSM/DCS/UMTS. L'avantage de cette approche est la simplicité. En contrepartie, le nombre de composants est accru, ce qui induit une augmentation de la taille, de la consommation, de la complexité et du coût de la puce.

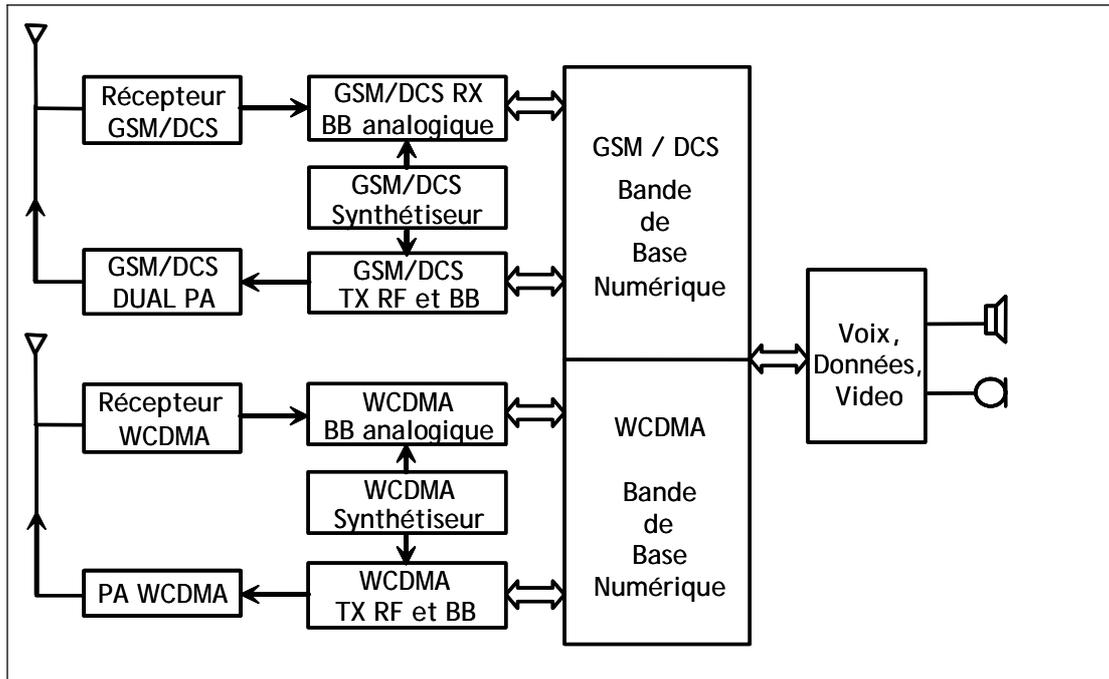


Figure 1 - 5 : Système d'émission-réception multi-standard

Afin de réduire la taille de la puce, nous pouvons envisager l'utilisation d'une seule chaîne, capable de modifier ses propriétés en fonction du standard utilisé à un moment donné. Une telle architecture est appelée émetteur-récepteur reconfigurable et un exemple est donné Figure 1 - 6. Cette solution est la plus ardue du point de vue conception mais la plus intéressante en terme d'encombrement et de coût.

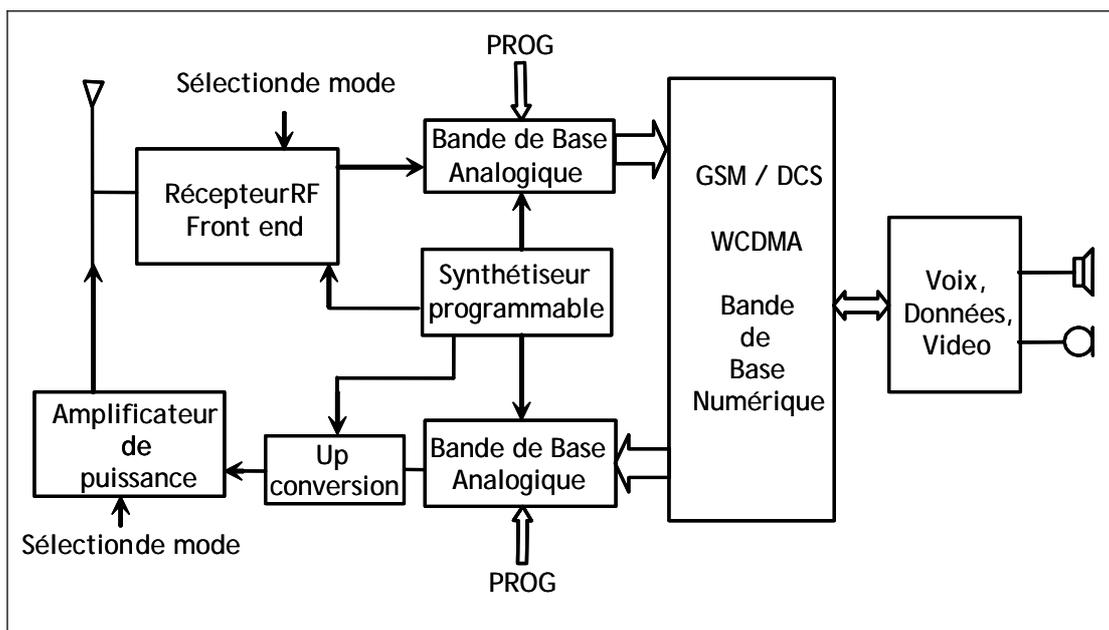


Figure 1 - 6 : Système d'émission-réception multi-standard reconfigurable

L'approche multi-standard oblige les concepteurs à revisiter les architectures des émetteurs-récepteurs RF ainsi que les blocs composants ces chaînes, afin de les adapter aux contraintes spécifiques du multi-standard. Le niveau d'intégration est particulièrement important et plusieurs pistes sont possibles pour l'améliorer. Une diminution de l'utilisation des selfs intégrées est souvent souhaitable, en substituant par exemple l'emploi d'un VCO (Voltage Controlled Oscillator - Oscillateurs contrôlés en tension) dans le synthétiseur de fréquence par une structure à base de DLL (Delay Locked Loop – Boucle à verrouillage de délai) [Spa02][Del03-1][Del03-2]. Une telle structure programmable a été étudiée au Laboratoire IXL pour permettre de générer les fréquences de tous les standards visés [Maj04].

Dans ce manuscrit, nous nous concentrerons sur la conception d'un amplificateur de puissance reconfigurable, capable de couvrir les standards GSM, DCS et UMTS. Nous allons, dans un premier temps, étudier les principales caractéristiques d'un amplificateur de puissance.

IV Caractéristiques d'un amplificateur de puissance

IV.1 *Différents gains et rendements*

La Figure 1 - 7 donne la représentation d'un amplificateur de puissance attaqué par un générateur (e_g , Z_g) et chargé par un élément Z_L . Nous allons définir deux caractéristiques importantes pour cet amplificateur : le gain et le rendement.

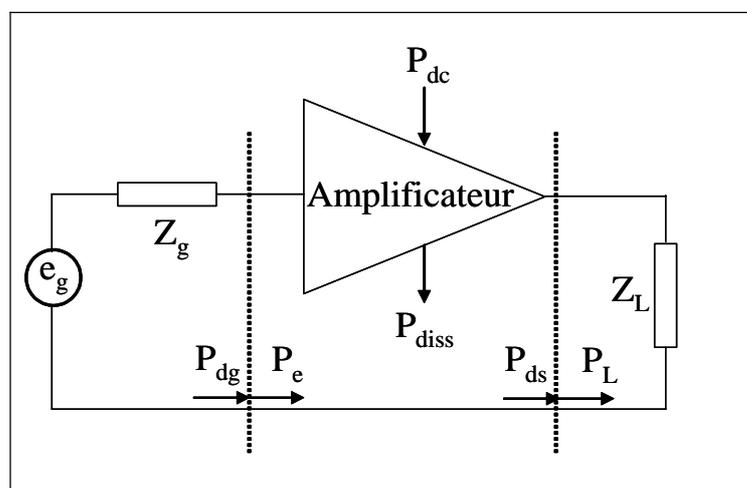


Figure 1 - 7: Amplificateur de puissance

avec :

P_{dg} : puissance maximale disponible au générateur

P_e : puissance d'entrée de l'amplificateur

P_{ds} : puissance maximale disponible à la sortie de l'amplificateur

P_L : puissance délivrée à la charge

P_{dc} : puissance continue fournie par l'alimentation

P_{diss} : puissance dissipée par l'amplificateur

Si le transfert de puissance entre le générateur et l'amplificateur de puissance est optimal, et si toute la puissance en sortie de l'amplificateur est transmise à la charge, on dit qu'il y a adaptation du gain en puissance :

$$P_e = P_{dg} \text{ et } P_{ds} = P_L \quad \text{Eq. 1 - 1}$$

Or, en radiofréquences, les ondes de puissance subissent des réflexions aux accès du quadripôle amplificateur (les paramètres S permettent de quantifier ce phénomène) et on a alors :

$$P_{dg} > P_e \text{ et } P_{ds} > P_L \quad \text{Eq. 1 - 2}$$

Selon les puissances considérées, il est alors possible de définir trois types de gain qui sont les suivants :

$$\text{le gain en puissance opérant : } G_p = \frac{P_L}{P_e} \quad \text{Eq. 1 - 3}$$

$$\text{le gain en puissance disponible : } G_d = \frac{P_{ds}}{P_{dg}} \quad \text{Eq. 1 - 4}$$

$$\text{le gain composite ou transductique : } G_t = \frac{P_L}{P_{dg}} \quad \text{Eq. 1 - 5}$$

Le **gain** en puissance **opérant** (ou gain en puissance) est le rapport de la puissance délivrée à la charge P_L à la puissance présente à l'entrée de l'amplificateur P_e .

Le **gain** en puissance **disponible** permet de prendre en compte l'adaptation en gain en entrée, dans la mesure où il exprime le rapport entre la puissance mesurée directement à la sortie de l'amplificateur P_{ds} et la puissance maximale disponible du générateur P_{dg} .

Enfin, le **gain transducique** permet de se rapprocher d'une conception système de l'amplificateur, car il exprime le rapport de la puissance délivrée à la charge P_L à la puissance disponible du générateur P_{dg} . L'expression du gain transducique est la plus usitée dans la conception des amplificateurs RF et microondes, puisqu'elle est la seule facilement mesurable et qu'elle tient compte de l'adaptation en entrée et en sortie. Par conséquent nous l'emploierons par la suite de façon systématique dans notre analyse.

Nous pouvons également définir plusieurs types de rendement afin d'évaluer les performances de l'amplificateur. Le rendement est la grandeur qui définit la relation entre la puissance d'alimentation P_{dc} et la puissance délivrée à la charge P_L . Lors de l'utilisation de transistor à effet de champ, ce rendement est nommé rendement de drain ; dans le cas de l'utilisation de transistor bipolaire, il est nommé rendement de collecteur. Sa définition est donc la suivante :

$$\eta_{(c,d)} = \frac{P_L}{P_{dc}} \quad \text{Eq. 1 - 6}$$

Nous retrouvons également dans la littérature la notion de rendement en puissance ajoutée, communément connue sous l'acronyme PAE signifiant Power Added Efficiency. Elle fait intervenir à la fois la puissance délivrée à la charge, la puissance disponible au générateur et la puissance d'alimentation. Sa définition est la suivante :

$$PAE = \frac{P_L - P_{dg}}{P_{dc}} \quad \text{Eq. 1 - 7}$$

En reportant les expressions du rendement de collecteur (ou de drain) (Eq. 1-6) et du gain transducique (Eq. 1-5), nous pouvons donner une autre expression du rendement en puissance ajoutée :

$$PAE = \eta_{(c,d)} \left(1 - \frac{1}{G_t} \right) \quad \text{Eq. 1 - 8}$$

Cette expression permet de montrer que, lorsque le gain transducique augmente, le rendement en puissance ajoutée tend vers un maximum qui est le rendement de collecteur (ou de drain).

Le rendement en puissance ajoutée est un élément important de comparaison des performances des amplificateurs de puissance, il est largement employé par rapport au rendement de collecteur (ou de drain) [Sal92][Cri99][Ken00][Zha00], et ceci pour plusieurs raisons. Premièrement, il fait intervenir la puissance d'entrée de l'amplificateur (expression (1-7)), nous savons dès lors sur quelle gamme de puissance d'entrée nous évaluons le rendement. Ensuite, en s'exprimant en fonction du gain (1-8), le rendement en puissance ajoutée permet de distinguer deux amplificateurs ayant un rendement de collecteur (ou de drain) identique avec toutefois un gain différent.

IV.2 Grandeurs non-linéaires caractérisant un circuit

IV.2.1 Caractéristique d'un circuit non-linéaire

Dans un système de communications, en raison de la présence de bruit et de la bande passante de valeur finie, on peut rencontrer, à la traversée d'un dispositif linéaire, des distorsions du signal liées à des variations d'amplitudes et de phase en fonction de la fréquence :

$$H(j\omega) = |H(j\omega)| \exp[j\Phi(\omega)] \quad \text{Eq. 1 - 9}$$

D'autres distorsions, liées à la présence d'éléments non-linéaires, peuvent apparaître dans un système.

Dans ce cas, il ne peut plus être décrit par une simple fonction de transfert. On représente alors le signal de sortie $v_s(t)$ comme une fonction du signal d'entrée $v_e(t)$. La Figure 1 - 8 : représente un exemple de caractéristique de transfert.

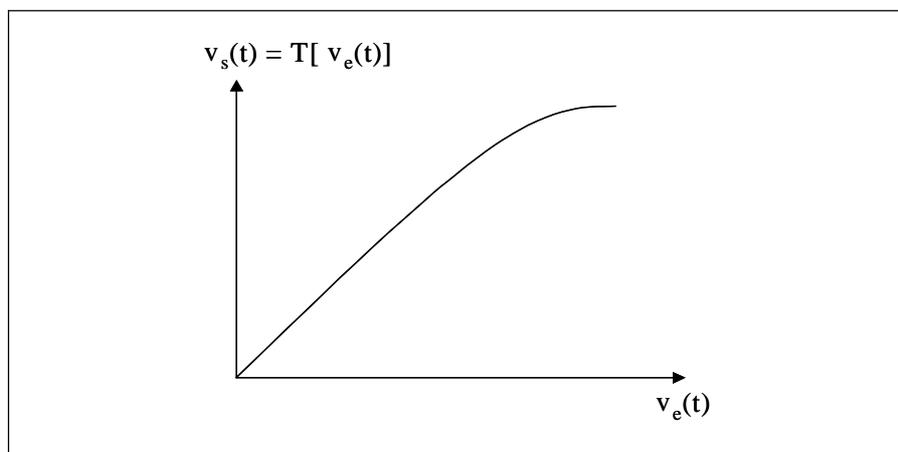


Figure 1 - 8 : Caractéristique de transfert d'un circuit non-linéaire

IV.2.2 Point de compression à 1 dB

L'une des caractéristiques essentielles dans un circuit non-linéaire est représentée par la distorsion d'amplitude qui résulte de la caractéristique de transfert non-linéaire.

On peut considérer que la tension de sortie est une fonction instantanée de la tension d'entrée et que la non-linéarité est assez faible pour la représenter sous forme d'une série :

$$v_s = a_1 v_e + a_2 v_e^2 + a_3 v_e^3 + \dots \quad \text{Eq. 1 - 10}$$

Si nous considérons un signal d'entrée un ton et un circuit non-linéaire à l'ordre 3 :

$$v_e = A \cos \omega_1 t \quad \text{Eq. 1 - 11}$$

$$v_s = a_1 v_e + a_2 v_e^2 + a_3 v_e^3 \quad \text{Eq. 1 - 12}$$

On peut écrire le signal de sortie sous la forme:

$$v_s = a_1 A \cos \omega_1 t + a_2 A^2 \cos^2 \omega_1 t + a_3 A^3 \cos^3 \omega_1 t \quad \text{Eq. 1 - 13}$$

$$v_s = a_1 A \cos \omega_1 t + a_2 A^2 \left(\frac{1}{2} + \frac{1}{2} \cos 2\omega_1 t \right) + a_3 A^3 \left(\frac{3}{4} \cos \omega_1 t + \frac{1}{4} \cos 3\omega_1 t \right) \quad \text{Eq. 1 - 14}$$

$$v_s = \frac{1}{2} a_2 A^2 + \left(a_1 A + \frac{3}{4} a_3 A^3 \right) \cos \omega_1 t + \frac{1}{2} a_2 A^2 \cos 2\omega_1 t + \frac{1}{4} a_3 A^3 \cos 3\omega_1 t \quad \text{Eq. 1 - 15}$$

On remarque que la composante fondamentale du signal de sortie a une amplitude égale à :

$$a_1 A \left(1 + \frac{3}{4} \frac{a_3}{a_1} A^2 \right) \quad \text{Eq. 1 - 16}$$

Cette grandeur est :

- inférieure à $a_1 A$ (gain linéaire) si $a_3 < 0$,
- supérieure à $a_1 A$ (gain linéaire) si $a_3 > 0$.

Ce phénomène est respectivement appelé la compression de gain ou expansion de gain. La plupart des composants fonctionnant dans le cas compressif, c'est-à-dire avec $a_3 < 0$, on définit alors la puissance de sortie à 1 dB de compression.

Le gain à la fréquence fondamentale est donné par :

$$G = 20 \log \left(\frac{a_1 A + \frac{3}{4} a_3 A^3}{A} \right) = 20 \log \left(a_1 + \frac{3}{4} a_3 A^2 \right) \quad \text{Eq. 1 - 17}$$

Le gain linéaire G_0 est défini en décibels par :

$$G_0 = 20 \log \frac{a_1 A}{A} = 20 \log a_1 \quad \text{Eq. 1 - 18}$$

Le gain à 1 dB de compression est défini par :

$$G_{1\text{ dB}} = G_0 - 1\text{ dB} \quad \text{Eq. 1 - 19}$$

Trois zones de fonctionnement, illustrées par la Figure 1 - 9, peuvent alors être distinguées.

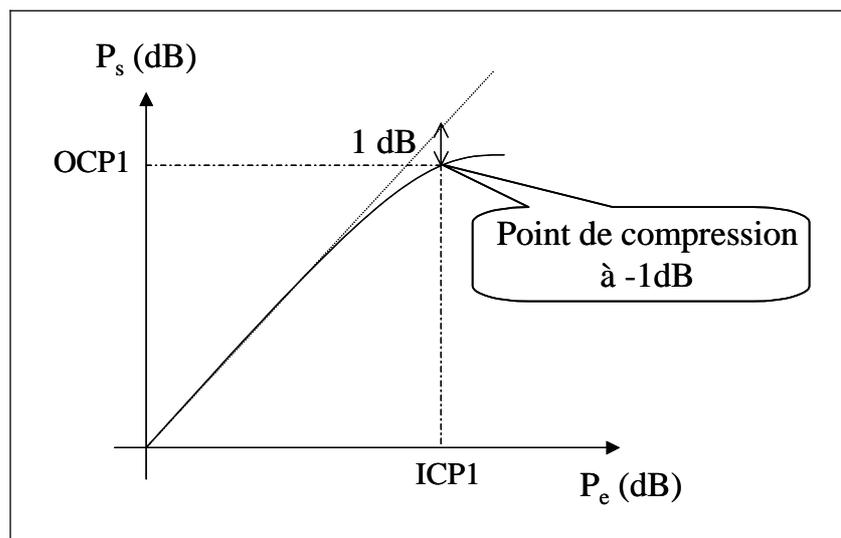


Figure 1 - 9 : Représentation du point à 1 dB de compression

La **zone linéaire** correspond à un fonctionnement faibles signaux où la relation entre la puissance d'entrée et la puissance de sortie est la suivante : $P_{out} = G \cdot P_e$.

Dans la **zone de compression de gain**, le gain tend à diminuer lorsque la puissance d'entrée croît. On définit alors *le point de compression à 1 dB*, qui correspond à une chute de 1 dB de la puissance de sortie par rapport au comportement linéaire extrapolé. Ce point est utilisé dans l'étude comportementale des amplificateurs de puissance; en effet, la puissance de sortie à 1 dB de compression est fournie par tous les fabricants de composants et se pose alors comme un élément de référence et de comparaison.

La **zone de saturation** correspond à un régime de forte compression de gain où la puissance de sortie a atteint son niveau maximum. La puissance qui ne peut se reporter sur le fondamental se répartie alors sur les différentes harmoniques. En outre, cette zone de saturation est synonyme de fortes dégradations des performances électriques de l'élément actif. Enfin, un fonctionnement prolongé dans cette zone peut conduire à la destruction du composant.

IV.2.3 Conversion Amplitude-Phase (AM/PM)

Le phénomène de compression du gain est également appelé la conversion AM/AM. Une autre manifestation des non-linéarités de l'amplificateur se traduit par une variation du déphasage entre les signaux d'entrée et de sortie, en fonction du niveau de la puissance. On parle alors de conversion Amplitude-Phase (conversion AM/PM). La courbe de conversion de phase est obtenue en traçant les variations de l'argument du rapport de la puissance de sortie sur la puissance d'entrée de l'amplificateur, en fonction de la puissance d'entrée.

IV.2.4 Produits d'intermodulation

La décroissance du gain à partir d'une certaine puissance est due à l'apparition de produits d'intermodulation, causée par les différentes non-linéarités des composants actifs. Une partie de l'énergie va être véhiculée par les raies spectrales correspondant à ces produits d'intermodulation, ainsi que par les différentes harmoniques.

En effet, lorsque deux signaux de fréquences f_1 et f_2 sont appliqués à l'entrée d'un amplificateur, il apparaît à la sortie, non seulement les signaux amplifiés à ces mêmes fréquences, mais également des porteuses indésirables aux harmoniques de f_1 et f_2 ainsi qu'aux combinaisons linéaires de f_1 et f_2 : $mf_1 \pm nf_2$, appelées produits d'intermodulation d'ordre $n+m$.

La Figure 1 - 10 nous présente le spectre de sortie d'un amplificateur de puissance lorsque deux signaux de même amplitude sont présentés à son entrée. Le spectre a été volontairement tronqué à l'ordre 3, car du fait de l'étendue spectrale en sortie, il nous est impossible de placer le spectre en entier; c'est pourquoi, les fréquences voisines de f_1 et f_2 ont été uniquement représentées.

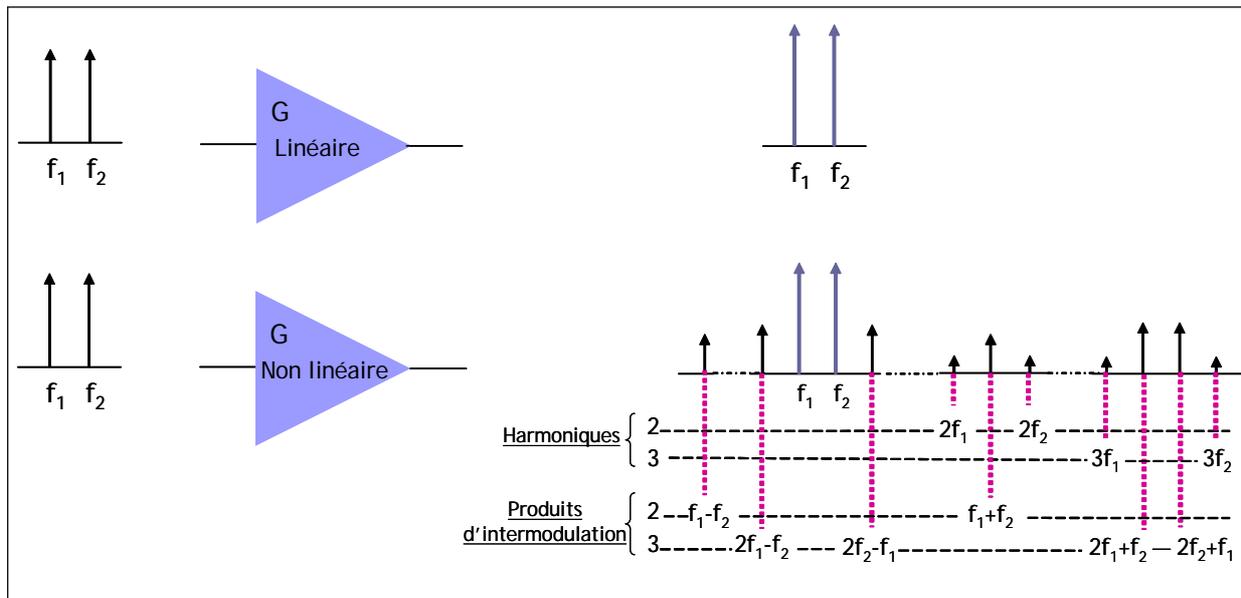


Figure 1 - 10: Représentation simplifiée d'un phénomène non-linéaire pour un signal deux tons

Cette figure met en évidence l'importance des produits d'inter-modulation d'ordre 3, c'est-à-dire aux fréquences $2f_1-f_2$ et $2f_2-f_1$. En effet plus les fréquences f_1 et f_2 seront proches et plus les produits d'intermodulation d'ordre 3 seront proches de f_1 et f_2 , ce qui posera un problème lors du filtrage du canal.

Le point d'interception d'ordre n , noté IP_n , est un point fictif caractérisant les non-linéarités d'ordre n . Ce point est obtenu en projetant l'interpolation linéaire de la courbe représentant la puissance sur le fondamental (ordre 1).

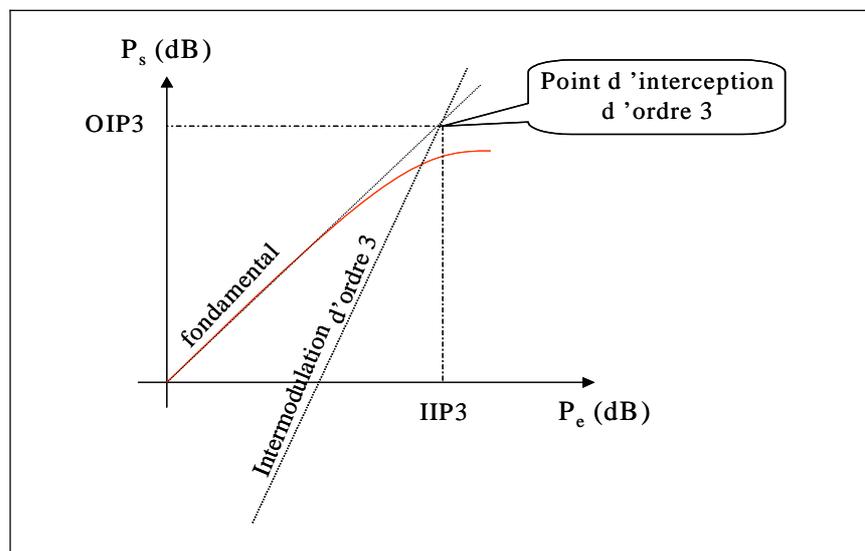


Figure 1 - 11: Représentation du point d'interception d'ordre 3

Pour les raisons invoquées plus haut, nous nous intéressons particulièrement au point d'interception d'ordre 3, noté par conséquent IP3, défini par la valeur de la puissance d'entrée en dBm pour laquelle les puissances des raies situées à f_1 , f_2 , $2f_1-f_2$ et $2f_2-f_1$ sont égales.

Une relation particulière a été établie entre le point de compression et le point d'interception d'ordre 3 dans [Raz98] :

$$IIP3_{dBm} - ICP1_{dBm} = 9,6dB \quad \text{Eq. 1 - 20}$$

Cette équation est valable en petit signal, de sorte que dans le cas particulier des amplificateurs de puissance, cette relation devient plus approximative. Cependant, cela nous donne un ordre de grandeur de l'IIP3 dès lors que nous connaissons ICP1, ou inversement.

IV.2.5 ACPR (Adjacent Channel Power Ratio)

L'utilisation d'un amplificateur de puissance non-linéaire dans une chaîne de transmission engendre des distorsions (modulations de phase et d'amplitude parasites) [Bau02]. Pour les transmissions multicanaux des signaux numériques, ces distorsions se traduisent sur le spectre par des remontées des lobes dans les canaux adjacents, entraînant ainsi un élargissement de la densité spectrale de puissance de sortie (aussi connu sous le nom de *spectral regrowth*).

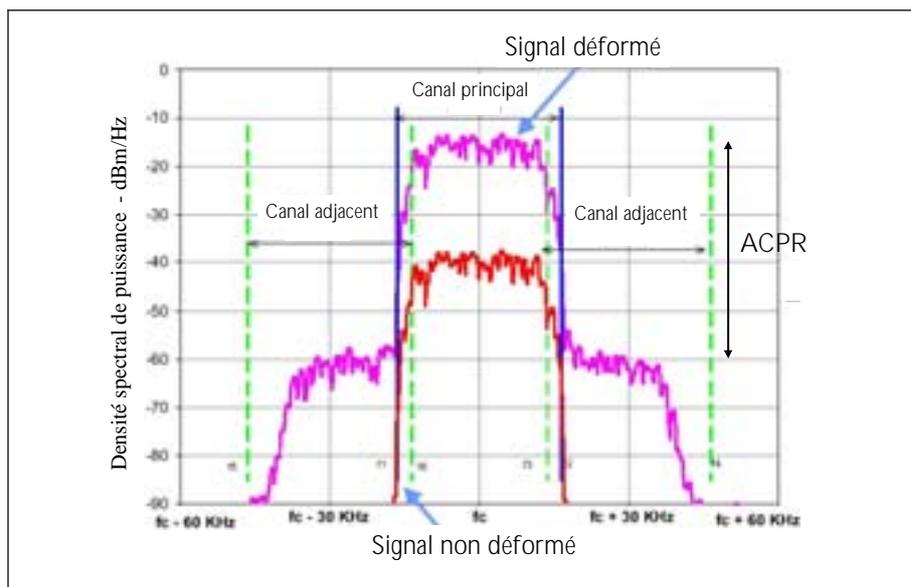


Figure 1 - 12 : Illustration du spectre d'un signal modulé sous l'effet d'une amplification non-linéaire

La Figure 1 - 12 présente les perturbations introduites sur un spectre par un système non-linéaire. L'importance des déformations des lobes adjacents est caractérisée par l'ACPR, noté aussi quelquefois ACLR (*Adjacent Channel Leakage Power Ratio*). Il est défini, comme le montre cette figure, par la différence de puissance entre le signal utile et la remontée de bruit dans les canaux adjacents.

L'ACPR se présente alors comme un élément de caractérisation important des systèmes de transmissions numériques, les normes très exigeantes en terme de linéarité, font également apparaître la notion d'ACPR₁ et ACPR₂ qui permet de s'intéresser aux remontés spectrales respectivement dans le premier et dans le deuxième canal adjacent.

IV.2.6 Amplificateurs multi-étages

Les amplificateurs de puissance comportent généralement plusieurs étages, comme nous le verrons ultérieurement. Il convient donc aussi d'étudier l'évolution du point de compression à 1 dB et du point d'intermodulation d'ordre 3 au travers des étages afin d'éprouver la linéarité totale du dispositif. Prenons l'exemple décrit à la Figure 1 - 13 d'un système comportant deux étages :

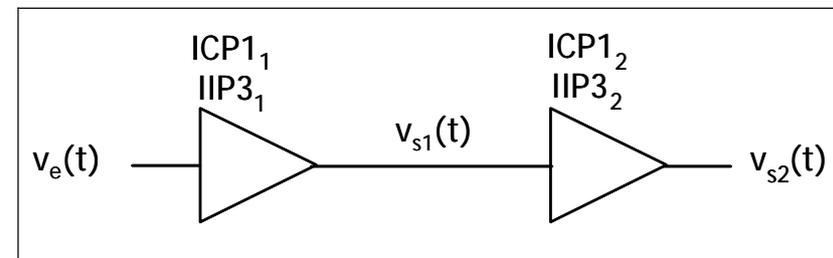


Figure 1 - 13 : Chaîne à deux étages

La réponse du premier étage à un signal $v_e(t)$ peut s'écrire de la manière suivante :

$$v_{s1}(t) = a_1 v_e(t) + a_2 v_e^2(t) + a_3 v_e^3(t) \quad \text{Eq. 1 - 21}$$

Ainsi en sortie du second étage nous avons :

$$v_{s2}(t) = b_1 v_{s1}(t) + b_2 v_{s1}^2(t) + b_3 v_{s1}^3(t) \quad \text{Eq. 1 - 22}$$

On montre que le point de compression global de N opérateurs en cascade est donné par [Pac96] :

$$\frac{1}{ICP1_g} = \frac{1}{ICP1_1} + \frac{a_1}{ICP1_2} + \dots + \frac{\prod_{i=0}^{i=N-1} a_i}{ICP1_N} \quad \text{Eq. 1 - 23}$$

Si maintenant nous considérons le fondamental et les harmoniques de type $(2\omega_2 - \omega_1)$, le point d'interception de troisième ordre de la chaîne entière à deux étages donne lieu à des calculs fastidieux effectués dans [RAZ98] dont nous présenterons simplement les résultats :

$$\frac{1}{A_{IP3}^2} \approx \frac{1}{A_{IP3,1}^2} + \frac{a_1^2}{A_{IP3,2}^2} \quad \text{Eq. 1 - 24}$$

On définit l'expression générale d'un système à 3 étages et plus en cascade :

$$\frac{1}{A_{IP3}^2} \approx \frac{1}{A_{IP3,1}^2} + \frac{a_1^2}{A_{IP3,2}^2} + \frac{a_1^2 \cdot b_1^2}{A_{IP3,3}^2} + \dots \quad \text{Eq. 1 - 25}$$

IV.3 Les classes de fonctionnement

Dans les amplificateurs de puissance RF, le transistor peut se comporter soit comme une source de courant haute impédance, soit comme un interrupteur basse impédance.

La topologie du circuit seule ne permet pas forcément de définir le mode d'opération du transistor ou la classe de fonctionnement de l'amplificateur. Ces classes sont regroupées en deux catégories, suivant le mode d'opération du transistor :

- les classes sinusoïdales : cette catégorie comprend des classes nommées A, B, AB et C. Le transistor se comporte comme une source de courant et la puissance de sortie est proportionnelle à la puissance d'entrée.
- les classes à haut rendement : dans cette catégorie se trouvent les classes notées D, E et F. Le transistor se comporte comme un interrupteur : c'est alternativement un court-circuit et un circuit ouvert et la puissance de sortie n'est pas une fonction linéaire de la puissance d'entrée.

IV.3.1 Les classes sinusoïdales : A, AB, B et C

IV.3.1.1 *Présentation générale*

Les classes sinusoïdales regroupent les modes de fonctionnement du transistor pour lesquels les signaux sont de types sinusoïdaux. On distingue quatre classes de fonctionnement qui diffèrent suivant le temps pendant lequel le transistor conduit sur une période. On introduit alors la notion d'angle de conduction du transistor, qui peut varier entre 0° et 360° , défini par rapport à la durée pendant laquelle le courant ne s'annule pas.

- Lorsque le transistor fonctionne en régime linéaire et qu'il conduit pendant toute la période du signal RF, c'est-à-dire si l'angle de conduction vaut 360° , on parle alors de fonctionnement en classe A. Il est d'usage de dire que la classe A est par essence la classe linéaire.
- Lorsque le transistor ne conduit que sur une demi-période, c'est-à-dire si l'angle de conduction vaut 180° , le transistor fonctionne en classe B.
- Lorsque l'angle de conduction est compris entre 180° et 360° et sous réserve que l'amplitude des signaux ne soit pas trop faible, on dit que le transistor fonctionne en classe AB.
- La dernière classe correspond à un angle de conduction inférieur à 180° , il s'agit de la classe C.

Le fonctionnement en classe A, AB, B ou C dépend du point de polarisation choisi. La Figure 1 - 14 permet de visualiser le lien entre le point de polarisation et la classe de fonctionnement d'un transistor bipolaire. Pour cela, nous nous basons sur la topologie de la Figure 1 - 15.

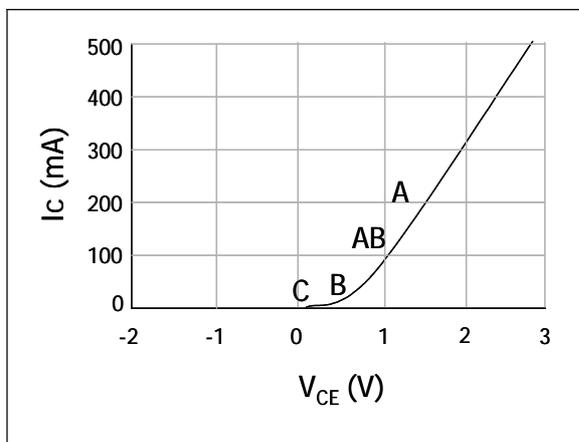


Figure 1 - 14 : Points de polarisation associés aux modes de fonctionnement

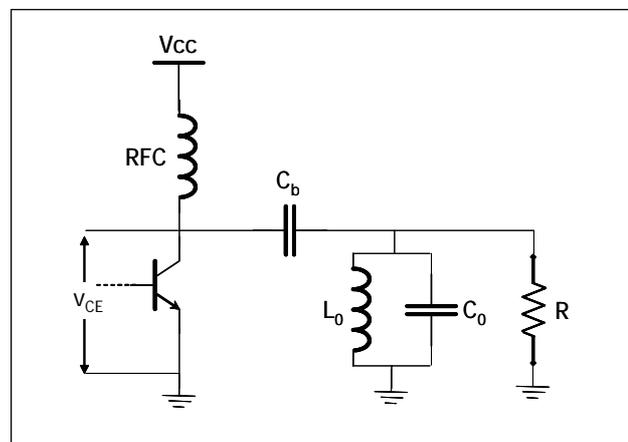


Figure 1 - 15 : Implémentation classique des amplificateurs classe A, B, AB ou C [Sok00]

Les formes d'onde du courant de collecteur associées à chacun des modes de fonctionnement sont présentées Figure 1 - 16.

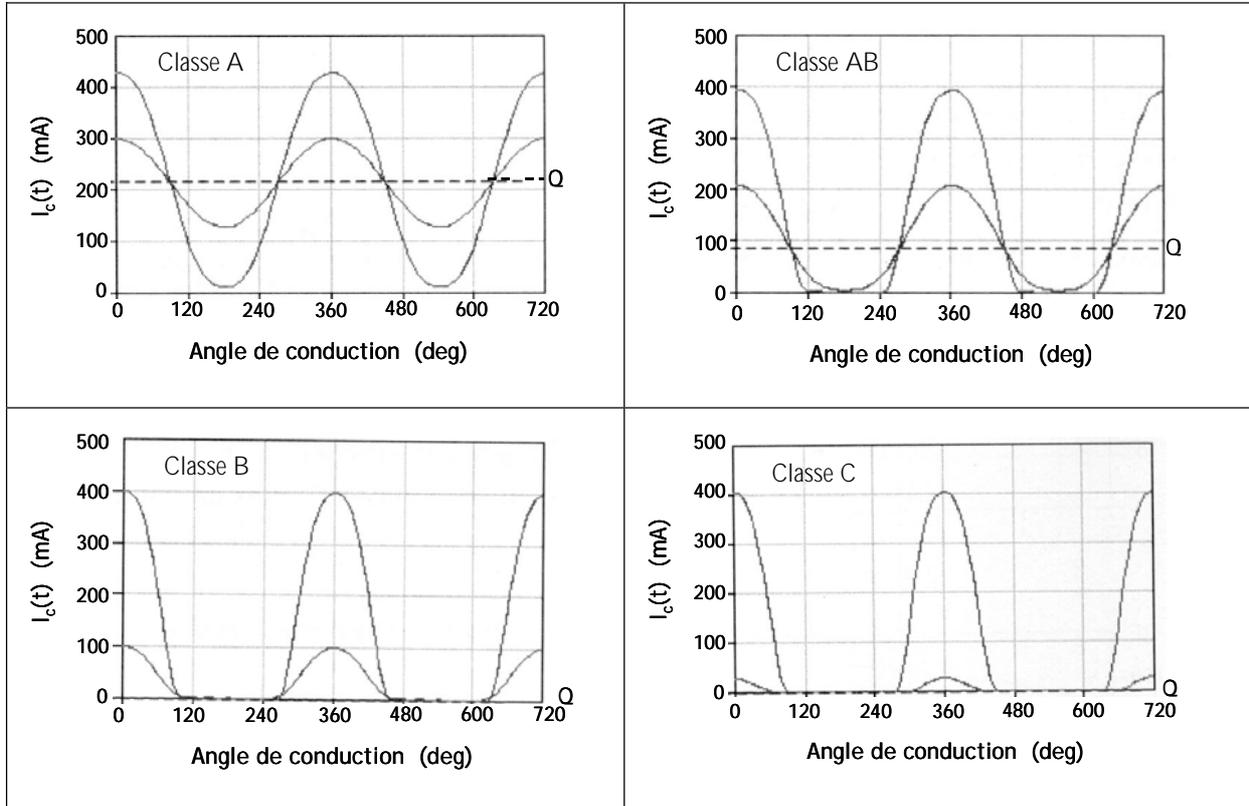


Figure 1 - 16 : Forme d'onde du courant de collecteur pour les classes sinusoidales

IV.3.1.2 Calcul du rendement théorique maximal

Nous pouvons déterminer le rendement théorique maximal qu'il est possible d'obtenir avec ces classes de fonctionnement. Pour cela, nous noterons V_{min} et V_{max} les tensions de collecteur minimum et maximum, $I_{c_{min}}$ et $I_{c_{max}}$ les courants de collecteur minimum et maximum, V_{cc} la tension d'alimentation. Pour réaliser ces calculs, nous nous basons toujours sur le schéma du circuit présenté Figure 1 - 15.

Classe A

Nous pouvons donner les expressions suivantes :

$$\text{La puissance RF de sortie : } P_S = \frac{1}{2} \cdot I_{C_1} \cdot V_{C_1} = \frac{1}{2} \cdot \frac{I_{C_{max}} - I_{C_{min}}}{2} \cdot \frac{V_{max} - V_{min}}{2} \tag{Eq. 1 - 26}$$

$$\text{La puissance d'alimentation : } P_{al} = I_{C_0} \cdot V_{C_0} = \frac{I_{C_{\max}} + I_{C_{\min}}}{2} \cdot \frac{V_{\max} + V_{\min}}{2} \quad \text{Eq. 1 - 27}$$

Nous pouvons, à partir des équations 1-26 et 1-27, définir la valeur maximum théorique du rendement (lorsque l'excursion des signaux est maximale, le gain infini, la tension de coude nulle).

$$\text{Le rendement théorique : } \eta_{\max} = \frac{P_s}{P_{al}} = \frac{1}{2} \text{ soit } \eta_{\max} \approx 50\% \quad \text{Eq. 1 - 28}$$

Classe B

Le courant de collecteur étant nul sur une demi-période, nous pouvons l'écrire sous la forme suivante :

$$I_C = \frac{1}{T} \int_0^T I_{C_{\max}} \cdot \sin \omega t \cdot dt \quad \text{Eq. 1 - 29}$$

$$\text{La puissance RF de sortie : } P_s = \frac{1}{2} \cdot I_{C_{\max}} \cdot \frac{V_{\max}}{2} \quad \text{Eq. 1 - 30}$$

$$\text{La puissance d'alimentation : } P_{al} = \frac{V_{CC} \cdot I_{\max}}{\pi} \quad \text{Eq. 1 - 31}$$

$$\text{Le rendement total : } \eta_{\max} = \frac{P_s}{P_{al}} = \frac{\pi}{4} \text{ soit } \eta_{\max} \approx 78,5\% \quad \text{Eq. 1 - 32}$$

Classe AB et C

Le calcul du rendement étant lié à la valeur de l'angle de conduction, nous pouvons en déduire que le rendement théorique maximal de la classe AB sera compris entre celui de la classe A et celui de la classe B. Il sera d'autant plus élevé que le point de polarisation sera proche de celui de la classe B et d'autant plus faible que le point de polarisation sera proche de celui de la classe A.

De même, le rendement théorique maximal du classe C sera compris entre 78,5% et 100%.

IV.3.1.3 Synthèse sur les classes sinusoïdales

Afin de pouvoir mieux comparer les classes sinusoïdales et de pouvoir établir des critères de choix lors de la conception d'un amplificateur de puissance, il est intéressant de regarder l'amplitude des harmoniques en fonction de l'angle de conduction, noté α . Pour ce faire, nous nous baserons sur l'équation Eq. 1-33 et sur la Figure 1 - 17, en se limitant à l'harmonique d'ordre 5 [Cri99].

$$I_n = \frac{1}{\pi} \cdot \int_{-\alpha/2}^{\alpha/2} \frac{I_{max}}{1 - \cos(\alpha/2)} [\cos \theta - \cos(\alpha/2)] \cos n\theta d\theta \tag{Eq. 1 - 33}$$

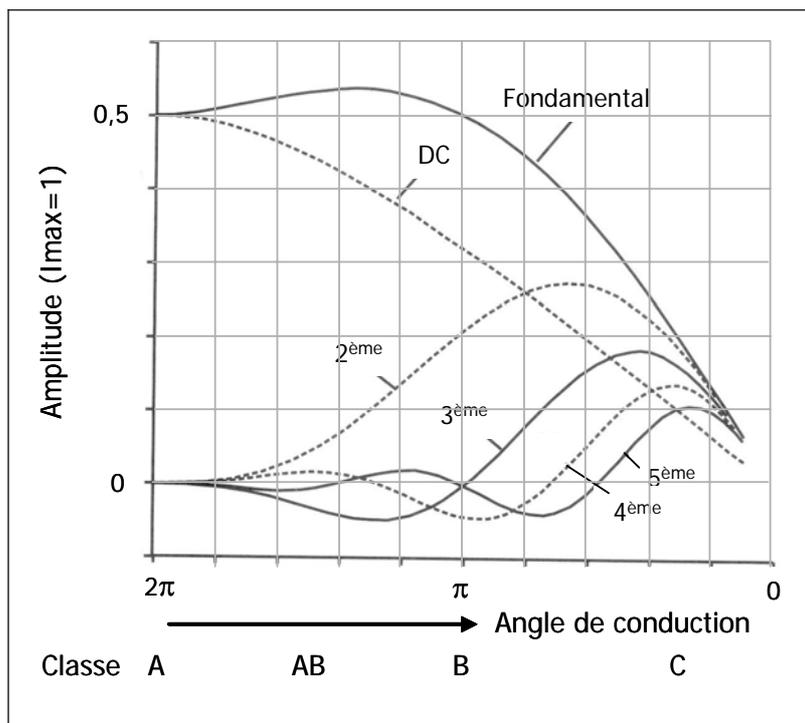


Figure 1 - 17 : Réduction de l'angle de conduction : analyse de Fourier

Nous pouvons tout d'abord remarquer que la composante continue (notée DC) décroît avec la diminution de l'angle de conduction ce qui corrobore le fait que le rendement de la classe B est plus important que celui de la classe A pour la même amplitude du fondamental.

Si maintenant nous regardons l'amplitude des harmoniques, de la classe AB à la classe B, nous retrouvons principalement l'harmonique 2. Lorsque l'angle de conduction devient supérieur à π , l'amplitude de chaque harmonique devient importante, dégradant ainsi la linéarité du signal. Nous pouvons remarquer que, dans le cas de la classe AB,

l'amplitude de l'harmonique 3 n'est pas négligeable alors qu'elle est nulle pour les classes A et B. Ceci est particulièrement intéressant car, en ajustant le point de polarisation, nous pourrions contrôler le niveau de l'amplitude de l'harmonique 3, nous y reviendrons plus tard.

Reprenant les définitions de la puissance de sortie et du rendement donnés au paragraphe IV.3.1.2, nous pouvons déduire la variation de ces deux paramètres en fonction également de l'angle de conduction, sous certaines conditions (amplitudes maximales de la tension et du courant, charge optimale et harmoniques court-circuitées). Les courbes sont présentées Figure 1 - 18 [Cri99].

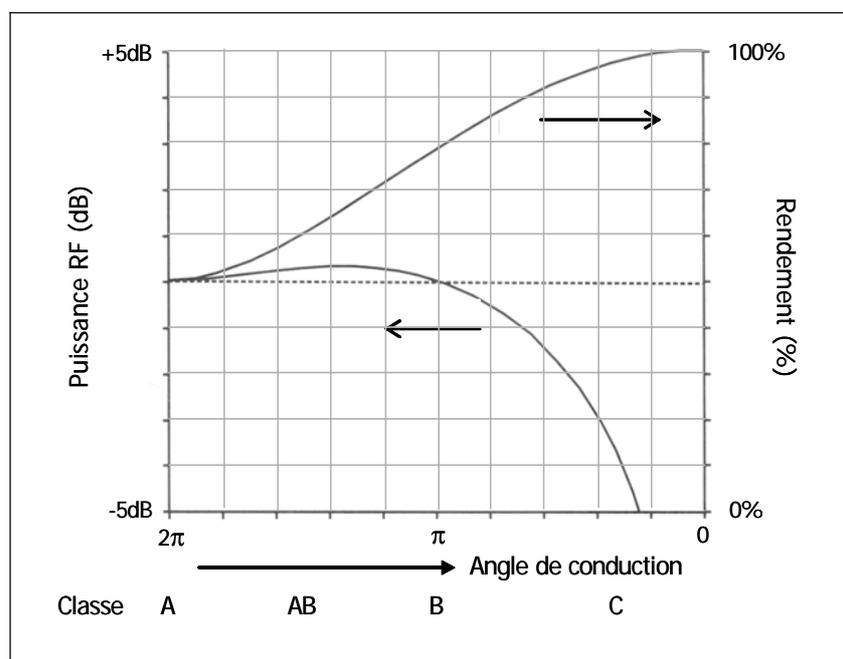


Figure 1 - 18 : Puissance RF et rendement en fonction de l'angle de conduction

Nous retrouvons bien, comme nous l'avons vu précédemment, l'augmentation du rendement avec la diminution de l'angle de conduction.

Ces deux courbes mettent en évidence le principal avantage et le principal défaut de la classe C : son rendement proche de 100% d'une part et sa faible puissance de sortie d'autre part. La puissance de sortie reste à peu près constante de la classe A à la classe B, avec une légère augmentation pour la classe AB liée à l'augmentation de la composante fondamentale. Pour les classes B et C, il est nécessaire d'appliquer une puissance élevée à l'entrée du transistor, pour des puissances de sortie maximales, ce qui provoque une diminution du rendement en puissance ajoutée.

Dans ces conditions, il est souvent intéressant d'utiliser la classe AB qui allie à la fois une bonne linéarité, un grand potentiel de puissance de sortie et un rendement meilleur que celui de la classe A.

IV.3.2 Les classes commutées

IV.3.2.1 La classe E

La classe E est une classe où le mode de fonctionnement du transistor est soit passant soit bloqué. Cette classe a été développée dans le but d'améliorer le rendement en diminuant la puissance dissipée. Elle se base sur la classe D dont le principe est le suivant: lorsqu'un courant apparaît aux bornes du transistor, la tension de drain ou de collecteur doit être minimale et inversement. Idéalement, on cherche à obtenir la relation décrite à l'éq. 1-34, qui conduit à une puissance dissipée nulle et, par conséquent, un rendement de 100%.

$$I_c(t) \cdot V_{ce}(t) = 0$$

Eq. 1 - 34

Cette relation doit être valable quelque soit t , ce qui est difficile à assurer lors des commutations. Avec des fréquences de fonctionnement élevées, la classe D ne permet pas d'atteindre cet objectif : la puissance consommée reste élevée et le rendement diminue. La classe E a permis une nette amélioration en contrôlant les temps de montée et de descente de la tension et du courant de collecteur, afin d'éviter les recouvrements. Le principe est décrit Figure 1 - 19.

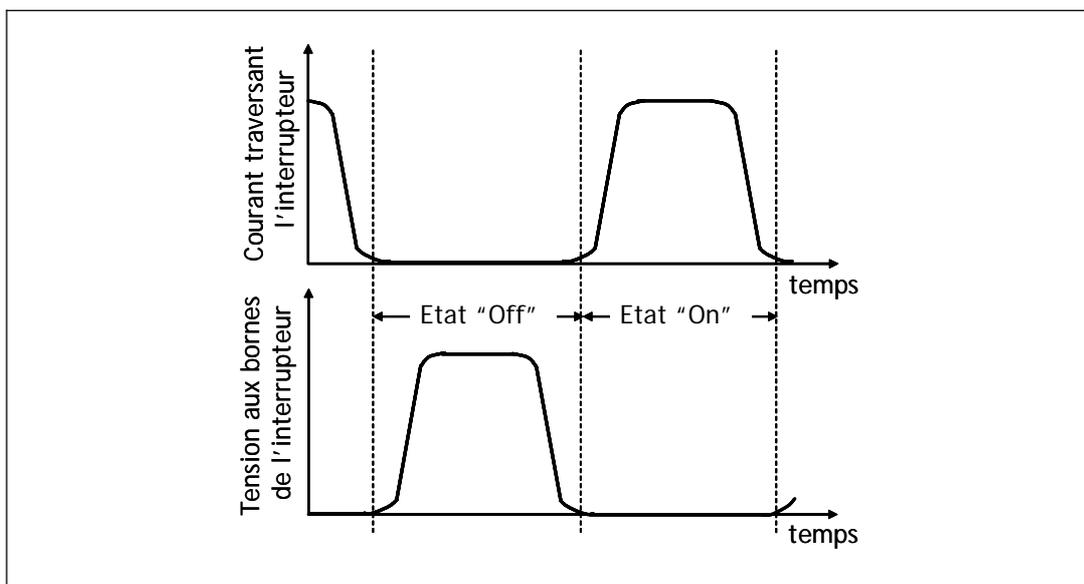


Figure 1 - 19 : Formes temporelles de la tension et du courant de collecteur

Ceci est réalisé par un choix approprié des éléments du réseau de charge présenté Figure 1 - 20.

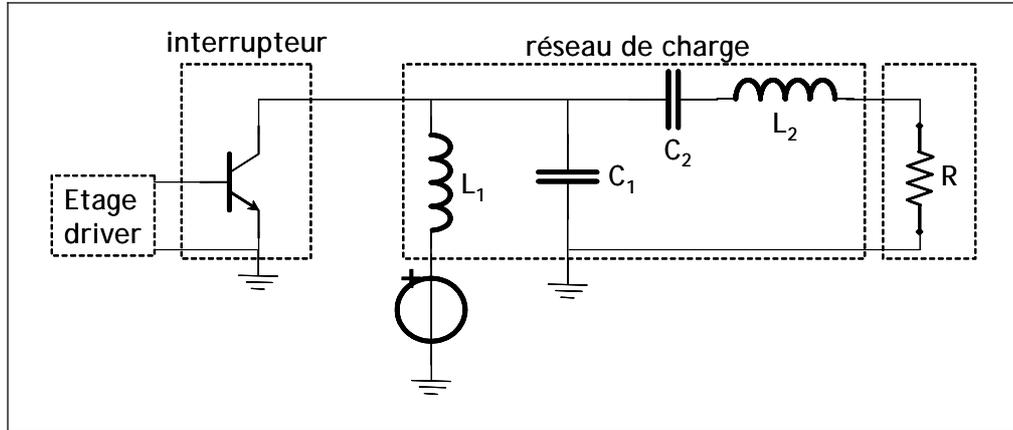


Figure 1 - 20 : Schéma de principe de la classe E

Si cette classe de fonctionnement permet d'obtenir un rendement élevé, une limitation majeure apparaît lorsque la fréquence augmente. Elle provient de la nature du signal à présenter à l'entrée du dispositif. En effet, le niveau de puissance d'entrée doit être suffisamment élevé pour présenter une forme carrée au dispositif, ce qui entraîne un faible rendement en puissance ajoutée pour des fréquences supérieures à 1 GHz.

IV.3.2.2 La classe F

La présentation des classes sinusoïdales a permis de montrer que les classes A, AB ou B permettent d'obtenir des rendements en puissance ajoutée élevés aux fréquences utilisées en radiocommunication. Pour ces classes, la tension de collecteur est maintenue sinusoïdale par la mise en œuvre d'un circuit de charge sélectif à la fréquence de travail. Le rapport amplitude sur valeur moyenne, utilisé dans le calcul du rendement, est alors au maximum égal à 1. Or une amélioration du rendement est obtenue si le rapport de l'amplitude de la composante à la fréquence de travail sur la valeur moyenne de la tension de collecteur augmente. Un tel résultat peut être obtenu en privilégiant certaines composantes harmoniques et ainsi en modifiant la forme d'onde.

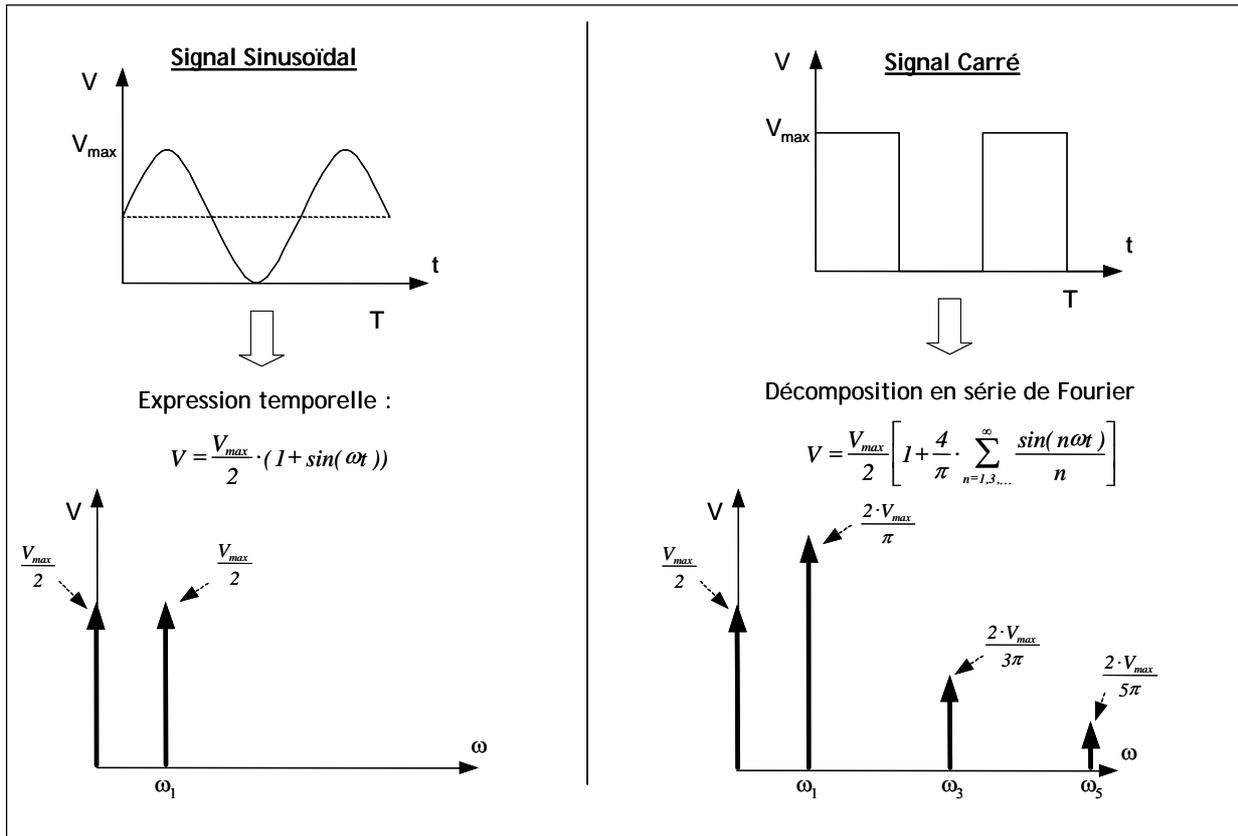


Figure 1 - 21 : Expressions temporelles et spectres fréquentiels d'un signal sinusoïdal et d'un signal carré

Le principe de la classe F est alors de présenter des impédances de charge spécifiques aux différents harmoniques afin de tendre vers une forme carrée pour la tension de collecteur. En effet, cette forme de signal a la caractéristique particulière d'avoir une composante fondamentale supérieure à l'amplitude du signal, ce que nous montrons à la Figure 1 - 21. Or, dans le calcul de la puissance de sortie fournie au circuit de charge ou dans celui du rendement en puissance ajoutée, seules les composantes fondamentales des courants et tensions de sortie sont prises en compte.

Le principe général pour obtenir un fonctionnement en classe F est alors de partir d'un circuit polarisé dans une classe statique (A, AB, B ou C), puis de réaliser un circuit de charge qui permette d'obtenir les conditions optimales à la fréquence fondamentale afin d'optimiser les performances électriques souhaitées. Pratiquement, l'obtention d'un signal carré passe par la présence de la troisième composante harmonique sur la tension et cela conduit au schéma de principe présenté à la Figure 1 - 22 et aux formes d'onde de la Figure 1 - 23.

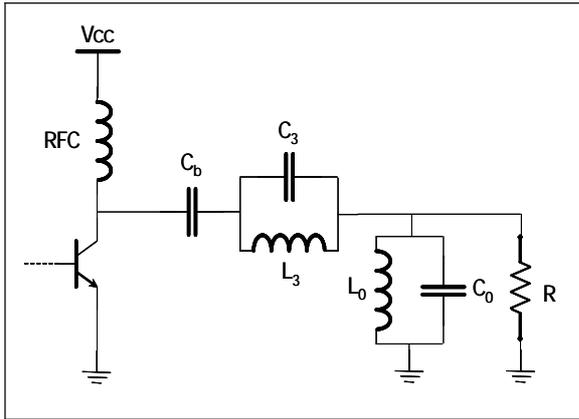


Figure 1 - 22 : Topologie de l'amplificateur classe F

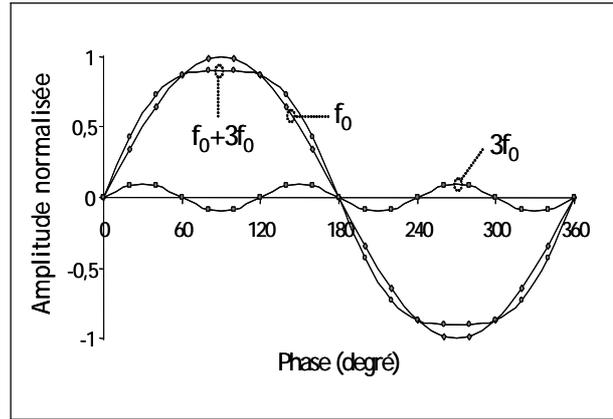


Figure 1 - 23 : Formes d'onde des signaux

La classe F permet d'obtenir des rendements électriques élevés en utilisant néanmoins un signal d'excitation de forme sinusoïdale. Le gain par rapport à un signal sinusoïdal est de l'ordre de 15 %.

IV.3.3 Synthèse sur les classes de fonctionnement

Le tableau 1-4 présenté ci-après nous permet d'effectuer une synthèse.

	$V_e(t)$	$I_s(t)$	$V_s(t)$	Rendement théorique
A	Sinus	Sinus	Sinus	50 %
B	Sinus	1/2 Sinus	Sinus	78 %
C	Sinus	Calottes de Sinus	Sinus	> 78 %
E	Carré	Carré	Carré	100 %
F	Sinus	Sinus	Carré	64 %
		1/2 Sinus	Carré	100 %

Tableau 1 - 4 : Synthèse sur les classes de fonctionnement

Nous voyons dès lors que linéarité et rendement ne peuvent être atteints simultanément, il s'agit donc de déterminer une priorité entre ces deux critères, cette priorité étant fortement liée à l'application visée.

Mieux connues, donc plus rassurantes, les classes A, AB et B sont cependant les plus utilisées, quand bien même une amplification linéaire n'est pas requise.

V Adaptation d'impédance

V.1 *Nécessité de l'adaptation*

Lorsque les dimensions du circuit ne sont plus petites devant la longueur d'onde, un phénomène de propagation du signal électrique apparaît, ce qui introduit la notion de signal incident et de signal réfléchi [Vil02]. Considérons le schéma de la Figure 1 - 24.

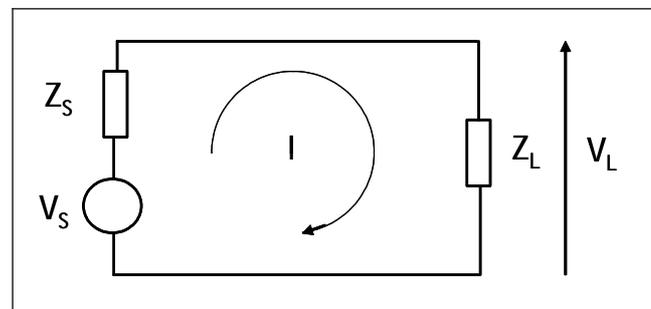


Figure 1 - 24 : Générateur chargé

La puissance délivrée à la charge se déduit du courant circulant dans la maille et la tension à ses bornes par l'expression suivante :

$$P_L = \frac{1}{2} \operatorname{Re}(V_L \cdot I^*) = \frac{|V_s|^2}{2} \frac{R_L}{(R_L + R_S)^2 + (X_L + X_S)^2} \quad \text{Eq. 1 - 35}$$

La valeur du couple (R_L, X_L) qui maximise P_L est obtenue par un calcul aux dérivées partielles. Le résultat en est :

$$R_L = R_S \text{ et } X_L = -X_S \quad \text{Eq. 1 - 36}$$

On en déduit que le générateur délivre sa puissance maximum s'il est chargé par son impédance conjuguée. L'objectif de l'adaptation d'impédance sera donc de présenter au dispositif étudié son impédance conjuguée en entrée et en sortie afin de favoriser le transfert en puissance.

V.2 Méthode Load-Pull

La méthode de caractérisation de circuits non-linéaires *Load-Pull* repose sur un principe simple: le composant à tester est considéré comme une "boîte noire" et aucune information concernant les caractéristiques géométriques ou physiques n'est nécessaire. Ainsi, aucune équation mathématique n'entre en jeu pour modéliser les phénomènes non-linéaires. Les mesures *Load-Pull* permettent, par la mise en condition réelle de fonctionnement, de déterminer les performances optimales en termes de puissance, de rendement en puissance ajoutée ou encore de gain des composants testés. Ces mesures consistent à étudier, pour une polarisation, une fréquence et une puissance d'entrée données, le comportement du transistor lorsqu'on fait varier l'impédance de charge présentée à sa sortie. La technique de caractérisation *Load-Pull* est une méthode qui permet d'optimiser les conditions de fonctionnement des transistors, en particulier lorsque aucun modèle non-linéaire, permettant de décrire de manière fidèle son comportement, n'est disponible. En outre, cette méthode permet de valider l'extraction des paramètres non-linéaire d'un modèle en vérifiant, de façon expérimentale, les résultats obtenus par la simulation à l'aide de ce même modèle [Sev97]. La méthode de mesure consiste à faire varier, pour une puissance d'entrée fixée, l'amplitude et la phase de la charge présentée au circuit et à mesurer la puissance de sortie ou encore le rendement en puissance ajoutée.

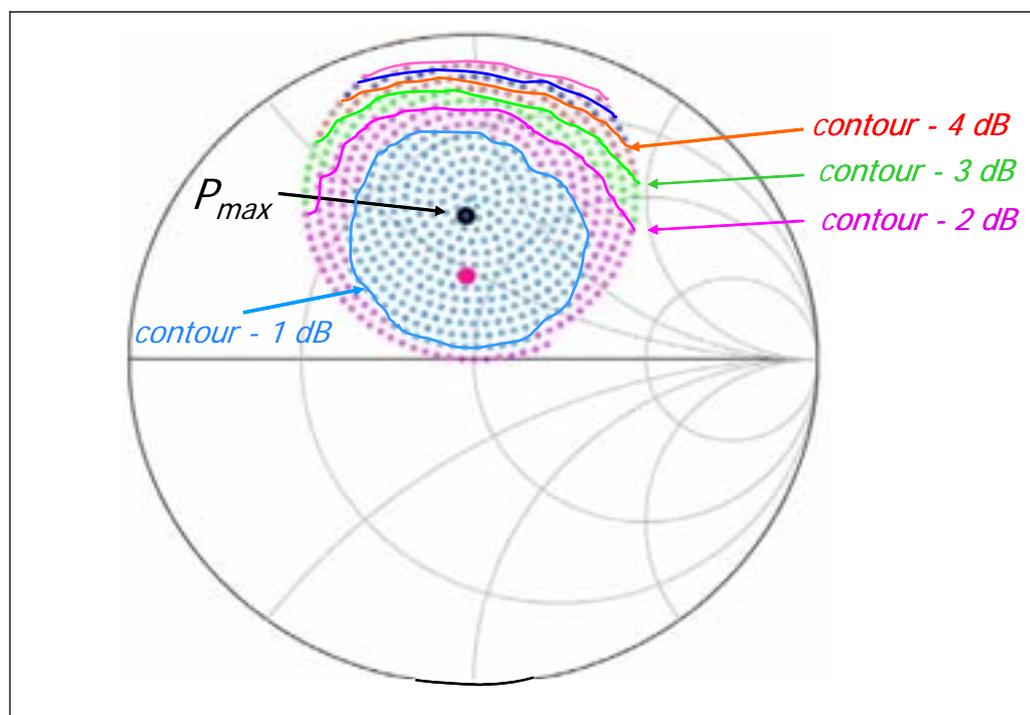


Figure 1 - 25 : Contours à puissance de sortie constante

Il est alors possible de tracer sur des abaques de Smith les lieux à puissance de sortie constante (ou rendement à puissance ajoutée constant) qui correspondent à des cercles de plus en plus petits à mesure que l'on se rapproche de la valeur de la charge optimale (Figure 1 - 25). Une lecture directe sur l'abaque de Smith permet alors de connaître la valeur de l'impédance de charge à synthétiser. A l'heure actuelle, plusieurs méthodes *Load-Pull* existent dans la littérature. Elles se différencient à la fois par la technique de variation de la charge en sortie et par la prise en compte des fréquences harmoniques [Haz02].

V.3 *Influence de la mesure*

Les circuits réalisés dans le cadre de cette thèse seront reportés sur une carte de test, puis mesurés avec des appareils de type analyseur de réseaux, analyseur de spectre. Ces appareils ont une impédance d'entrée de 50 ohms, nous devons donc convertir l'impédance de sortie du circuit vers 50 ohms. Ceci est réalisé par le biais d'un réseau d'adaptation constitué d'éléments localisés ou distribués, selon le cas. Le réseau d'adaptation se substitue ainsi à la méthode *Load-pull*.

VI Conclusion

La croissance spectaculaire des applications de la téléphonie mobile a permis à la recherche de progresser rapidement. Lire ses courriels, regarder la télévision, télécharger des vidéos, se localiser dans une ville, mais également téléphoner, toutes ces fonctionnalités sont intégrées dans les terminaux les plus avancés. Ces différents modes de communication sont réglementés par les standards de communications. Nous avons évoqués les standards GSM, DCS, PCS, UMTS, Bluetooth, 802.11a, 802.11b, HiperLAN, HiperLAN2, GPS, et vu un certain nombre de différences entre eux, qui font leur spécificité, tels que la fréquence de fonctionnement, les techniques de modulation, d'accès multiple au canal et de bande passante.

Il est possible de réaliser des terminaux multi-standards de plusieurs méthodes : soit en développant autant de chaînes d'émission-réception que de standards désirés, soit en utilisant une chaîne unique capable de s'adapter aux contraintes du standard désiré à un moment donné. Dans ce cas, les éléments de cette chaîne sont dits reconfigurables.

S'intéressant tout particulièrement à la conception d'amplificateur de puissance reconfigurable, nous avons présenté les principales caractéristiques d'un amplificateur de puissance et mis en évidence l'importance des notions telles que la puissance de sortie, le point de compression à 1 dB et le rendement en puissance ajoutée.

Nous avons ensuite défini la notion de classe de fonctionnement et présenté les classes sinusoïdales A, AB, B et C ainsi que les classes de fonctionnement commutées E et F. Au travers de cette étude, nous avons mis en évidence que rechercher une bonne linéarité se fait au détriment du rendement et vice-versa. Nous devons dès lors, en fonction de l'application visée, déterminer une priorité entre ces deux critères.

Le chapitre suivant est consacré à l'étude de la topologie d'un amplificateur reconfigurable.

VII Références bibliographiques

- [Abe01] W. Abey, T. Moriuchi, R. Hajji, T. Nakamura, Y. Nonaka, E. Mitani, W. Kennan and H. Dang, "A Single Supply High Performance PA MMIC for GSM Handsets using Quasi-Enhancement Mode PHEMT", 2001 IEEE MTT-S Digest, vol.2 pp. 923-926, 2001.
- [Bau02] G. Baudoin et al. "Radiocommunications numériques / 1 – Principe, modélisation et simulation", éd. Dunod, Paris, 2002, chapitre 14 : Modélisation et simulation des phénomènes non-linéaires, techniques de linéarisation, pp 441-475.
- [Boe03] G. Boeck, D. Pienkowski, R. Circa, M. Otte, B. Heyne, P. Rykaczewski, R. Wittmann and R. Kakerow, "RF Front-End Technology, for Reconfigurable Mobile Systems", Proceedings SBMO/IEEE MTT-S IMOC 2003, pp. 863-868, October 2003.
- [Cri99] S. C. Cripps, "RF Power Amplifiers for Wireless Communications", Artech House, Norwood, MA 02062, chapter 3: Conventional High-Efficiency Amplifier Modes, pp. 49-53.
- [Del03-1] N. Deltimple, C. Majek, H. Lapuyade, J.-B. Bégueret, E. Kerhervé et Y. Deval, "Synthétiseur de Fréquence à base de DLL Factorisée pour application HiperLAN", Actes du colloque TELECOM'2003 & 3èmes JFMMA, pp. 330-333, Marrakech, Maroc, 15-17 Octobre 2003.
- [Del03-2] N. Deltimple, C. Majek, H. Lapuyade, J.-B. Bégueret, E. Kerhervé and Y. Deval, "The Factorial DLL : Application to a 5 GHz Frequency Synthesizer", IEEE Proceedings of Design of Circuits and Integrated Systems (DCIS2003), pp. 192-196, Ciudad Real, Spain, November 19-21, 2003.
- [Haz02] M. Hazouard, "Conception et réalisation d'amplificateurs micro-ondes de puissance à l'aide de la méthode des fréquences réelles", Thèse de l'Université Bordeaux1, chapitre 2 : "les méthodes de conception de circuits non-linéaires", janvier 2002.

-
- [Ken00] P. B. Kenington, "High linearity RF Amplifier Design", Artech House, Norwood, MA 02062, chapter 3: RF Power Amplifier Design, pp. 89-133.
- [Luo01] S. Luo and T. Sowlati, "A Monolithic Si PCS-CDMA Power Amplifier With 30% PAE at 1.9 GHz Using a Novel Biasing Scheme", IEEE Transactions on Microwave Theory and Techniques, vol. 49, n°9, pp. 1552-1557, September 2001
- [Maj04] C. Majek, N. Deltimple, H. Lapuyade, J.-B. Bégueret, E. Kerhervé and Y. Deval, "A Programmable CMOS RF Frequency Synthesizer for Multi-standard Wireless Applications", Proceedings of the 2nd annual IEEE Northeast Workshop on Circuits and Systems (NEWCAS2004), pp. 289-292, Montreal, Canada, June 20-23, 2004.
- [Nys01] C. Nyström and T. Johansson, "A GSM triple-band power amplifier chip using silicon bipolar RF-IC technology", GHz 2001, Lund, Sweden, November 26-27, 2001.
- [Pac96] D. Pache, "Etude de nouvelles architectures pour l'intégration de fonctions radiofréquence en technologie BiCMOS", 21 juin 1996, Institut National Polytechnique de Grenoble.
- [Raz98] B. Razavi, "RF Microelectronics", Prentice Hall PTR, Upper Saddle River, NJ 07458, USA, chapter 2 :Basic Concepts in RF Design, pp. 20-24.
- [Sal92] M. Salib, F. Ali, A. Gupta and D. Dawson, "A 1W, 8-14 GHz HBT Amplifier with >45% Peak Power Added Efficiency", IEEE Microwave and Guided Wave Letters, vol.2, n°11, November 92, pp. 447-448.
- [Sev97] J.F. Sevic, C. McGuire, G.M. Simpson, J. Pla, "Data-based load-pull simulation for large signal transistor model validation", Microwave Journal, Euro-Global Edition, Vol. 40, Issue 3, Mar. 1997, pp. 124-128.
- [Shi02] A. Shirvani, D. K. Su and B. A. Wooley, "A CMOS RF Power Amplifier With Parallel Amplification for Efficient Power Control", IEEE Journal of Solid-State Circuits, vol. 37, n°6, pp. 684-692, June 2002.
- [Sok00] N. O. Sokal, "RF Power Amplifiers, Classes A through S : How the Circuits Operate, How to design them, and When to Use Each - Short Course", Workshop Notes, 2000 IEEE MTT-S International Microwave Symposium, Boston, Massachusetts, 2000.

-
- [Spa02] A. Spataro, Y. Deval, J-B. Bégueret, P. Fouillat and D. Belot, "A VLSI CMOS Delay Oriented Waveform Converter for Polyphase Frequency Synthesizer", IEEE Journal of Solid State Circuits, vol. 37, n°3, pp. 336-341, March 2002.
- [Tse00] P.-D. Tseng, L. Zhang, G.-B. Gao and M. F. Chang, "A 3-V Monolithic SiGe HBT Power Amplifier for Dual-Mode (CDMA/AMPS) Cellular Handset Applications", IEEE Journal of Solid-State Circuits, vol. 35, n°9, pp. 1338-1343, September 2000.
- [Vil02] M. Villegas et al. "Radiocommunications numériques/2 – Conception de circuits intégrés RF et micro-ondes", éd. Dunod, Paris, 2002, chapitre 6 : Paramètres S, adaptation d'impédances, pp 52-67.
- [Zha00] X. Zhang, C. Saycocie, S. Munro and G. Henderson, "A SiGe HBT Power Amplifier with 40% PAE for PCS CDMA Applications", IEEE MTT-S, pp. 857-860, 2000.

Chapitre 2

Principe de conception d'amplificateurs de puissance reconfigurables

CHAPITRE 2	41
I Introduction	42
II Différentes topologies des amplificateurs de puissance	46
III Techniques utilisées pour améliorer le rendement.....	46
IV Architecture générale retenue et principe de fonctionnement	53
V Topologie finale.....	68
VI Conclusion	69
VII Références bibliographiques	72

I Introduction

Un amplificateur de puissance reconfigurable multi-standard est un amplificateur capable d'adapter à la fois sa linéarité, son rendement et sa fréquence en fonction du standard choisi, afin de répondre aux spécifications de celui-ci. Le Tableau 2-1 présente trois caractéristiques parmi les plus importantes pour la conception, issues des spécifications des standards GSM et UMTS : la fréquence de travail, le type de modulation utilisé qui nous renseigne sur le degré de linéarité exigé, et la puissance de sortie maximum pour une classe donnée. Nous voyons dès lors à quel point la conception d'amplificateur de puissance reconfigurable peut se révéler être un exercice délicat, tant ces spécifications sont différentes. Le standard GSM, aussi bien le GSM900 que le GSM1800, utilise une modulation de type GMSK, c'est-à-dire une modulation à enveloppe constante, une amplification linéaire n'est donc pas nécessaire. En revanche, la spécification de puissance de sortie est plus contraignante: afin de sauvegarder les batteries, l'amplificateur doit avoir un bon rendement. Le standard UMTS quant à lui, utilise une modulation de type QPSK. Cette fois, le signal possède une enveloppe non-constante, une amplification linéaire est indispensable pour ne pas déformer le signal.

Paramètres	GSM900	DCS (GSM1800)	UMTS (W-CDMA)
Fréquence (TX)	880/915 MHz	1710/1785 MHz	1920/1980 MHz
Modulation	GMSK	GMSK	QPSK
Puissance de sortie max.	30 dBm	27 dBm	24 dBm

Tableau 2 - 1 : Spécifications des standards GSM et UMTS

En fonction du standard visé et donc des différentes contraintes associées, l'amplificateur de puissance n'aura pas les mêmes propriétés. Afin de déterminer une structure pour le PA reconfigurable, les topologies existantes d'amplificateur seront étudiées en premier lieu dans ce chapitre, afin de voir leurs différences et leurs points communs en fonction du standard adressé. Pour chacun de ces standards, nous serons confrontés au compromis linéarité/rendement qui stipule qu'un amplificateur linéaire a un rendement faible et qu'un amplificateur à haut rendement est non-linéaire. Nous traiterons avec beaucoup

d'attention cet aspect puisque par la nature des standards que nous visons, nous devons à la fois concevoir un amplificateur linéaire pour l'UMTS et un amplificateur à haut rendement pour le GSM. Pour satisfaire à cette double exigence, nous avons alors deux voies à notre disposition, soit linéariser un amplificateur à haut rendement, soit augmenter le rendement d'un amplificateur linéaire.

Il existe de nombreuses techniques de linéarisation, les plus utilisées sont les suivantes :

- o le *feedback* : cette méthode consiste à appliquer une contre-réaction sur l'amplificateur. Le principe de base est présenté Figure 2 - 1. Cela peut passer par une contre-réaction série ou parallèle, par exemple une résistance et une capacité en série entre la base et le collecteur, ou par des architectures plus complexes, comme la boucle cartésienne : dans ce cas, la contre-réaction est appliquée sur les coordonnées cartésiennes de l'enveloppe complexe du signal, en bande de base [Ken00-1].

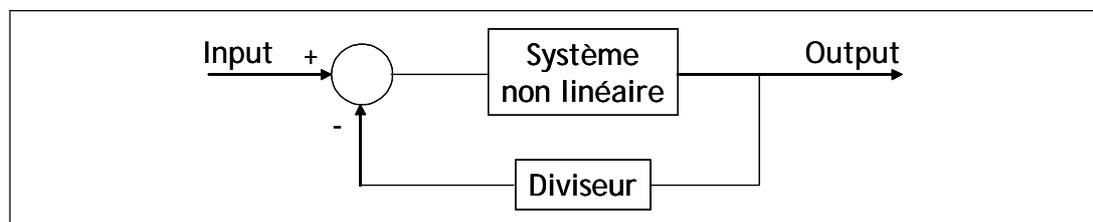


Figure 2 - 1 : Principe de la technique *feed-back*

- o le *feed-forward* : cette technique, présentée Figure 2 - 2, utilise deux amplificateurs. Le principe est le suivant : une partie du signal issu du premier PA est atténuée puis soustraite au signal initial. En prenant la différence de ces deux signaux, les distorsions sont isolées. Elles sont alors présentées en entrée du second PA, identique au premier. En soustrayant le signal obtenu en sortie du premier PA et les distorsions amplifiées par le second, nous obtenons un signal amplifié linéaire [Ken00-2].

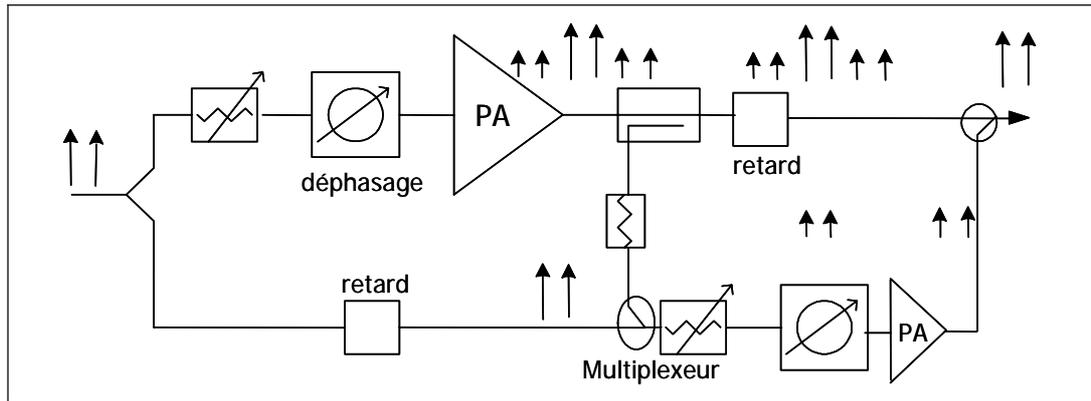


Figure 2 - 2 : Principe de la technique *feed-forward*

- o la prédistorsion, elle peut être de deux sortes : numérique ou analogique. La linéarisation s'opère en aval de l'amplificateur : une caractéristique de distorsion est créée, complémentaire à celle résultant de l'amplification. En cascade les deux étages, le signal en sortie du PA ne comporte plus de distorsion, comme le montre la Figure 2 - 3 [Ken00-3].

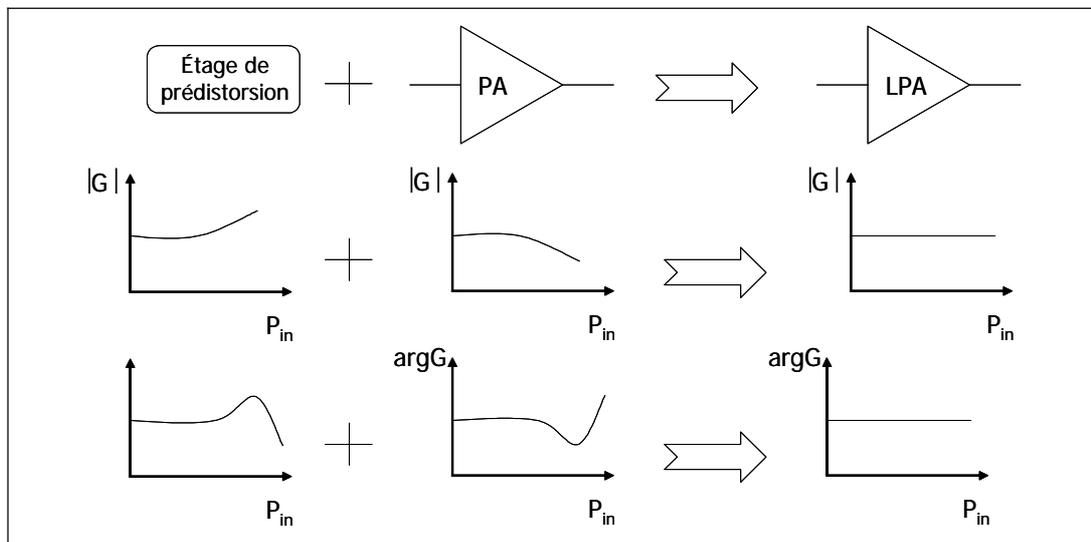
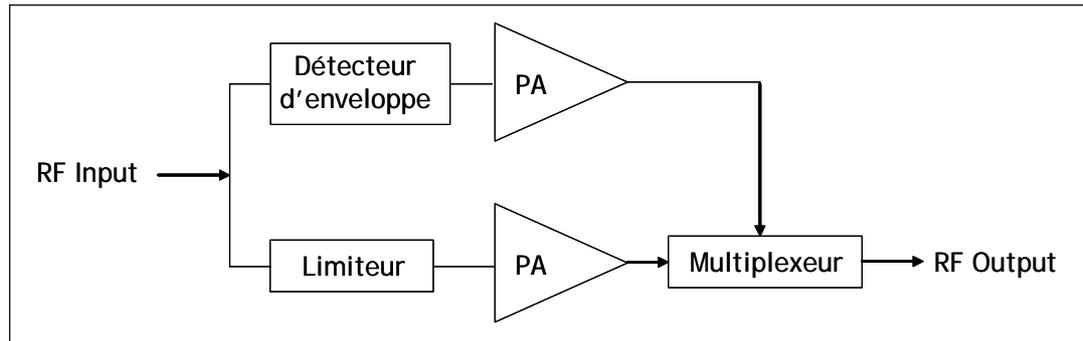


Figure 2 - 3 : Principe de la technique de prédistorsion

- o la technique EER (Envelope Elimination and Restoration). Le principe de cette technique est présenté Figure 2 - 4. Il consiste à décomposer le signal modulé en deux termes : un terme d'enveloppe et un terme de phase à enveloppe constante, amplifiés chacun séparément, puis le signal est reconstruit par l'intermédiaire d'un multiplexeur [Ken00-4].

**Figure 2 - 4 : Principe de la technique EER**

De nombreuses études ont eu lieu ou sont en cours sur les techniques de linéarisation, celles-ci sont particulièrement efficaces mais restent encore très complexes : certaines techniques nécessitent l'emploi de deux amplificateurs et/ou un grand nombre de composants supplémentaires. Cela requiert une place importante sur la puce, rend le système moins modulable et augmente la puissance consommée. Ces techniques sont donc mal adaptées aux systèmes intégrés portables.

Afin de maintenir notre objectif de faible coût, de faible consommation et de diminution de la surface, nous avons choisi de travailler au niveau circuit plutôt qu'au niveau système, c'est-à-dire sur l'amélioration du rendement des amplificateurs linéaires. Cette solution peut se révéler intéressante lorsqu'une amplification linéaire est nécessaire et que le rendement est également un élément important. Nous développerons au cours de ce chapitre les techniques suivantes :

- le changement dynamique de la polarisation et de l'alimentation,
- la technique Doherty,
- le traitement des harmoniques.

D'autre part, nous voyons dans le Tableau 2-1 que les standards fonctionnent dans des bandes de fréquence bien distinctes. Se pose alors également la question de savoir comment passer d'une bande de fréquence à une autre, ce que nous appelons la reconfigurabilité en fréquence.

Enfin, la grande différence entre les puissances de sorties spécifiées pose le problème de la reconfigurabilité en puissance : il est nécessaire de modifier la puissance de sortie de l'amplificateur de puissance en fonction du standard choisi, mais également en fonction de la puissance de sortie requise pour un même standard. En effet, les amplificateurs de puissance ne fonctionnent pas constamment à leur puissance maximale [Shi02].

Nous traiterons des deux aspects de la reconfigurabilité. Celle en fréquence sera étudiée à travers des réseaux d'adaptation, tandis que pour la reconfigurabilité en puissance nous travaillerons sur la modification dynamique de la classe de fonctionnement et du point de compression, afin de réduire la puissance consommée et de maintenir un bon rendement quelque soit la puissance de sortie délivrée.

II Différentes topologies des amplificateurs de puissance

Le Tableau 2-2 présente les caractéristiques d'amplificateurs de puissance publiés. Les critères de comparaison retenus sont la technologie utilisée, l'application visée, qui va de paire avec la fréquence de fonctionnement et la puissance de sortie, le rendement en puissance ajoutée (PAE), le gain, la classe de fonctionnement, le nombre d'étage et la tension d'alimentation.

Technologie utilisée	Application	Fréquence (MHz)	P _{out} (dBm)	PAE _{max} (%)	Gain (dB)	Classe	Nombre d'étage	Alim (V)	Référence
CMOS 0,35µm	DCS	1750	30,4	55	NC	AB	2	3	[Fal01]
BiCMOS	AMPS GSM	800 900	24 30	35 40	30	AB	2	2,7 5,5	[Won98]
SiGe BiCMOS	PCS	1880	30	41	23	AB	2	3,4	[Zha00]
Si BiCMOS 0,8µm	DCS	1800	34	57	33	C-E	3	2,7	[Car02]
Si BiCMOS 0,5µm	PCS CDMA	1900	28,2	30	21,5	AB contrôlable	2	3,6	[Luo01]
AlGaAs/GaAs HBT	WCDMA	1950	24	36	NC	A-AB	2	3,5	[Vin01]
Si BiCMOS 0,5µm	GSM DCS PCS	900 1800 1900	35 33 33	58 48 46	34 30	B	2	3,5	[Nys01]
InGaP/GaAs HBT MMIC	W-CDMA	1950	27	42	30,5	AB proche B	2	3,5	[Iwa00]
GaAs HBT MMIC	GSM	915	34,5	57	NC	AB-B	2	3,5	[Mat00]
SiGe HBT	AMPS CDMA	824	31 28	49 36	21 22-23	B	2	3	[Tse00]

Tableau 2 - 2 : Caractéristiques d'amplificateurs de puissance

Pour cette étude, nous regardons à la fois les amplificateurs conçus sur des technologies Si, SiGe ou III-V. Les amplificateurs de puissance sont encore majoritairement fabriqués sur des technologies III-V alors que depuis longtemps, des éléments tels que les amplificateurs faible bruit ou bien encore les mélangeurs sont conçus avec des technologies silicium intégrées [Abe01][Vin01][Mat00]. La conception d'amplificateurs de puissance sur des technologies silicium avancée, permet de faciliter l'intégration avec les autres éléments des frontaux RF et de réduire les coûts [Luo01]. Durant ces dernières années, les concepteurs se sont attachés à réaliser des démonstrateurs d'amplificateurs de puissance sur silicium capables d'atteindre les performances réalisées sur les technologies GaAs, en termes de rendement, de linéarité et de puissance de sortie [Won98][Zha00][Nys01] [Tse00].

A travers ce tableau comparatif, nous pouvons remarquer que le choix de la classe de fonctionnement AB est très présent, et ce quelques soient les standards visés, tant dans les cas où la puissance de sortie est élevée, que pour ceux où la linéarité est importante. La classe AB semble donc être un bon compromis entre linéarité et rendement, ce que nous avons déjà souligné lors du chapitre 1. Toutefois, les tensions d'alimentation restent élevées, de 3,5 à 5,5 V pour atteindre les puissances de sorties du GSM (jusqu'à 35 dBm). Une méthode pour réduire la tension d'alimentation consiste à utiliser une architecture à base de transistors fonctionnant en commutation [Car02] : la puissance de sortie est de 34 dBm pour une alimentation de 2,7 V.

Un autre point commun entre ces circuits est le nombre d'étages. Dans la plupart des cas, celui-ci se limite à deux étages. Les puissances de sortie des amplificateurs de puissance pour les applications de téléphonie mobile peuvent aller de 21 dBm (pour l'UMTS) jusqu'à 33 dBm (pour le GSM). Compte tenu de l'importance de ces valeurs et sachant que le gain linéaire d'un étage n'excède généralement pas 20 dB, un étage ne suffit pas à fournir la puissance requise. Traditionnellement, les amplificateurs de puissance comportent deux étages : un premier nommé *driver stage* et un deuxième nommé *power stage* ou *output stage*. Plus rarement, certaines structures peuvent comporter trois étages [Car02].

Une autre option s'offrant à nous est d'utiliser une structure de type *single-ended* ou *push-pull*. La Figure 2 - 5 présente un exemple de structure *single-ended* [Zha00], tandis qu'une structure *push-pull* est donnée Figure 2 - 6.

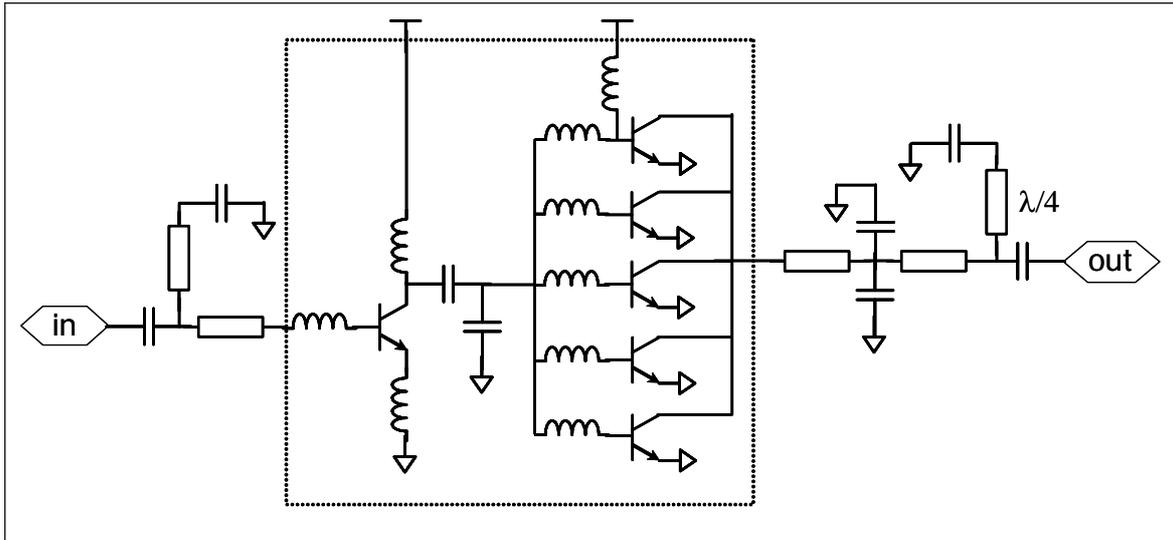


Figure 2 - 5 : Structure *single-ended* à deux étages[Zha00]

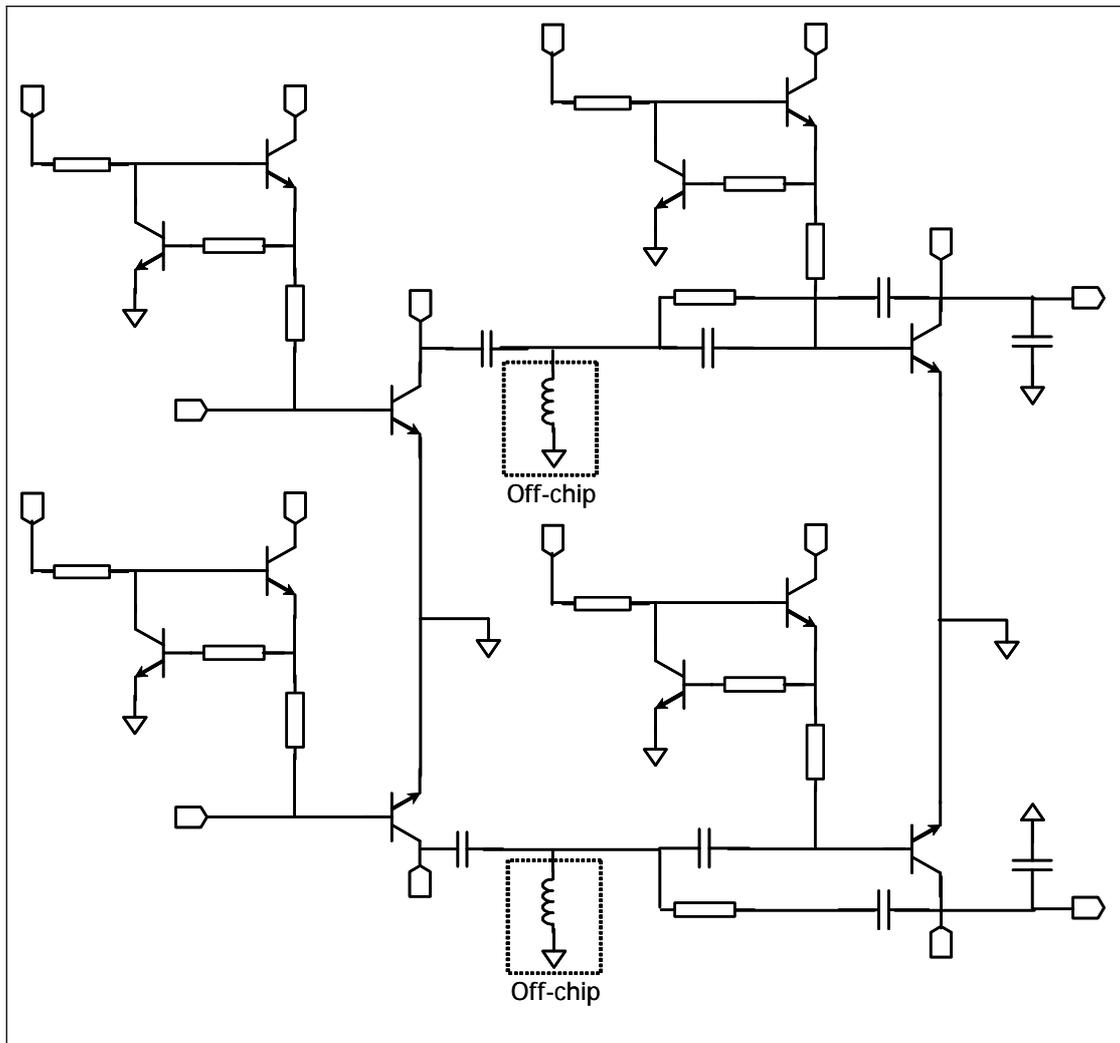


Figure 2 - 6 : Structure *push-pull* à deux étages[Mat00]

La structure *push-pull* présente de nombreux avantages : elle est moins sensible aux parasites, à la variation d'impédances dans les émetteurs, ce qui garantit une meilleure stabilité du gain et de l'impédance d'entrée [Mat00]. Malgré cela, la structure *single-ended* est souvent préférée. Sa simplicité explique ce choix en partie, mais également la surface occupée par la structure est moins importante, tant sur la puce elle-même que sur le PCB, il est en effet nécessaire d'utiliser un transformateur intégré, utilisé comme *balun* (balanced-unbalanced), en sortie afin notamment de permettre la recombinaison en phase des signaux de sortie des deux voies.

La structure du PA reconfigurable pour la téléphonie mobile doit répondre à plusieurs exigences, en termes de surface, de coût, de consommation et d'adaptation aux spécifications des différents standards. Pour ces raisons, la structure doit être relativement simple. En se basant sur les commentaires précédents, nous pouvons déjà donner des pistes pour la conception du PA reconfigurable. Tout d'abord une structure *single-ended* à deux étages est envisageable, afin de réduire la surface de silicium occupée. Ensuite la classe de fonctionnement sinusoïdale de type AB est choisie. Toutefois, la puissance consommée et le rendement sont des éléments importants, d'une part pour le GSM, pour lequel les puissances de sorties sont élevées, et d'autre part pour l'UMTS, qui utilise une modulation à enveloppe non-constante et dont le niveau de puissance de sortie n'est pas constamment maximal. En choisissant de travailler sur des classes de fonctionnement sinusoïdales, il est alors essentiel de s'intéresser aux techniques les plus utilisées pour améliorer le rendement des amplificateurs de puissance linéaires.

III Techniques utilisées pour améliorer le rendement

III.1 La polarisation dynamique

Une première approche pour augmenter le rendement d'un amplificateur de puissance consiste à faire évoluer le point de polarisation en fonction de la puissance de sortie requise, ceci afin de diminuer la puissance consommée. Il s'agit plus exactement d'améliorer le rendement moyen de l'amplificateur puisque celui-ci ne délivre pas en permanence sa puissance maximale.

Il existe deux moyens pour modifier la puissance consommée en fonction de la puissance de sortie nécessaire :

- Modifier le courant de repos du transistor, cette technique est nommée DCB (Dynamic Current Bias) [Den02][Den04][Kim04],

- Modifier la tension d'alimentation, on parle alors de DVB (Dynamic Voltage Bias) [Wan04][Han99].

Le principe de ces deux techniques est illustré Figure 2 - 7.

Une troisième voie consiste à mélanger ces deux techniques [Yan99][Fow02]. Dans leurs travaux, Fowler *et al.* estiment qu'une diminution de la puissance consommée de l'ordre de 75% peut être réalisée dans le cadre de signaux CDMA. Pour obtenir ce résultat remarquable, ils utilisent une méthode supplémentaire qui consiste à faire varier l'impédance de sortie.

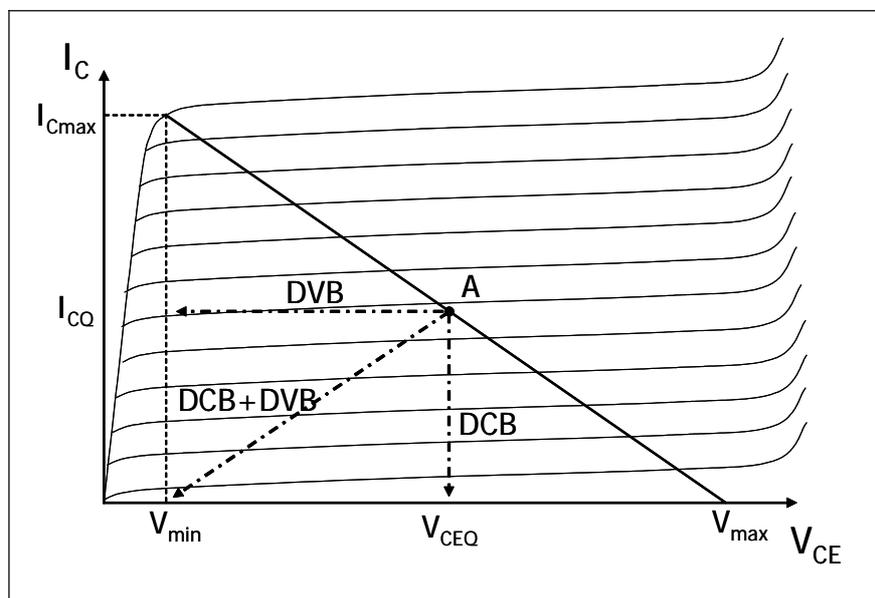


Figure 2 - 7 : Variation du point de polarisation par les méthodes DCB et DVB

Le principal désavantage de cette technique reste la modification du gain qui l'accompagne, provenant de la modification de la densité de courant, de la fréquence de transition du ou des transistors, de l'impédance d'entrée équivalente, etc. La variation de gain peut atteindre plus de 10 dB [Den02][Fow02][Den04]. Ceci engendre une distorsion supplémentaire sur les signaux qui peut avoir des conséquences plus ou moins importantes sur le message à transmettre, suivant si nous traitons des signaux à enveloppe constante ou non-constante.

III.2 La technique Doherty

Il est possible d'utiliser une variation de l'impédance de charge de l'amplificateur en fonction du niveau du signal et ainsi d'augmenter le rendement sur une plage de variation importante de la puissance de sortie, ce principe est la technique Doherty. Les amplificateurs utilisant cette technique ont des topologies différentes de celles couramment utilisées pour les amplificateurs conventionnels telles que la mise en parallèle de cellules amplificatrices et/ou l'utilisation de plusieurs étages.

Les performances d'un amplificateur sont généralement déterminées par l'impédance de charge présentée en sortie des transistors [Doh36]. La technique Doherty permet de modifier cette impédance de charge en fonction du niveau de puissance d'entrée, grâce à la combinaison de deux amplificateurs, un principal et un auxiliaire, ainsi que de deux lignes quart d'ondes d'impédances caractéristiques Z_C et Z_{CIN} . Cette technique était utilisée à l'origine pour moduler un signal en amplitude dans les amplificateurs à tubes. La Figure 2 - 8 représente le schéma de principe d'un amplificateur Doherty.

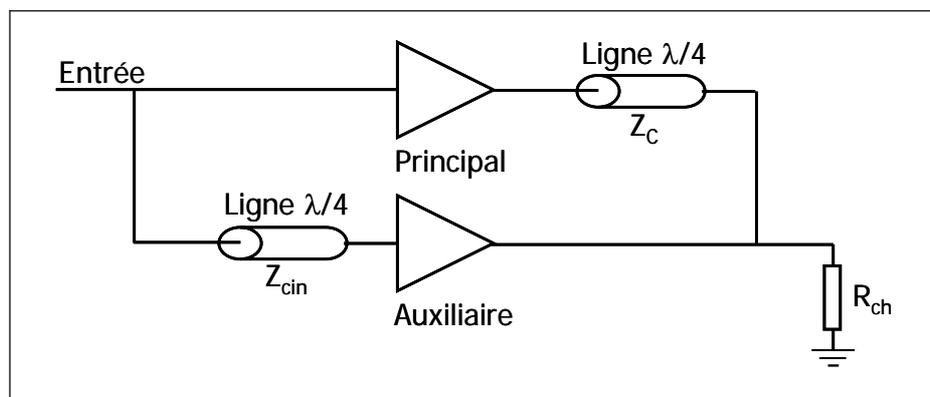


Figure 2 - 8 : Circuit d'analyse de la technique DOHERTY

Le premier quart d'onde placé en sortie de l'amplificateur principal est indispensable pour réaliser la transformation d'impédance nécessaire au maintien du rendement sur une plage de variation importante de la puissance de sortie. Par contre, il introduit un déphasage de 90° qu'il va falloir compenser. Le second quart d'onde placé en entrée de l'amplificateur auxiliaire permet de compenser le déphasage entre les signaux des deux amplificateurs. Ce quart d'onde peut être remplacé par un coupleur hybride $0-90^\circ$. Ainsi la recombinaison en phase des signaux de sortie des deux amplificateurs est possible.

Le principe de fonctionnement est le suivant :

- à faible niveau de puissance d'entrée, seul l'amplificateur principal fournit de la puissance, l'amplificateur auxiliaire est éteint,
- à niveau de puissance moyen, l'amplificateur auxiliaire commence à conduire et fournit de la puissance, alors que l'amplificateur principal devient de plus en plus saturé. La mise en conduction de l'amplificateur auxiliaire permet une modification de l'impédance de charge présentée à l'amplificateur principal,
- à fort niveau les deux amplificateurs sont saturés.

Cette structure intéressante présente néanmoins l'inconvénient de nécessiter la mise en œuvre de deux amplificateurs de puissance, ce qui limite le degré d'intégration.

III.3 Le traitement des harmoniques

L'amélioration du rendement peut être obtenue en écrétant la forme d'onde du courant, de la tension ou des deux [For01]. Ces formes d'onde définissent, nous l'avons vu au Chapitre 1, les classes de fonctionnement du dispositif, dépendantes des conditions de polarisation mais également de la charge de sortie et donc des impédances aux harmoniques présentées en sortie du dispositif [Rij00]. La linéarité et le rendement d'un amplificateur sont donc directement liés aux impédances présentées en sortie du dispositif à la fréquence de fonctionnement et aux fréquences harmoniques.

Nous avons vu à travers les Figures 1-18 et 1-19, le lien entre le niveau des harmoniques, le niveau de puissance RF et le rendement obtenus. L'harmonique 2 est située au double de la fréquence du fondamental. Son niveau est particulièrement intéressant à contrôler car l'amplitude de cette harmonique est prépondérante pour les classes de fonctionnement AB et B. Les courbes des Figures 1-18 et 1-19 mettaient une fois de plus en évidence l'intérêt de la classe AB tant pour la linéarité que pour le rendement. Il est également judicieux de regarder le niveau de l'harmonique 3 pour la classe AB, dans la mesure où il n'est pas négligeable. De plus, l'harmonique 3 est importante dans la classe F. En effet, nous avons vu que le principe de la classe F est de présenter des impédances de charge spécifiques afin de tendre vers une forme carrée pour la tension de collecteur, cette forme de signal ayant la caractéristique particulière d'avoir une composante fondamentale supérieure à l'amplitude du signal.

Avoir la possibilité de contrôler le réseau de sortie et par conséquent le niveau des harmoniques du signal d'entrée, peut nous permettre d'améliorer le rendement et la linéarité ou de privilégier un critère par rapport à l'autre suivant le besoin.

III.4 Conclusion sur les techniques présentées

L'augmentation des publications sur la technique Doherty depuis le début de l'année 2003 montre que de nombreux laboratoires dans le monde travaillent sur cette technique. Cependant, celle-ci met en œuvre deux amplificateurs, un principal et un auxiliaire, ce qui n'est pas vraiment compatible avec la contrainte de surface de la puce que nous souhaitons respecter. Nous éviterons donc l'emploi de cette technique au profit de la polarisation dynamique et au traitement des harmoniques. Toutefois, le principe de la variation de l'impédance de charge en sortie de l'amplificateur est très intéressant et nous permet de réfléchir à la constitution du réseau de sortie. De plus, nous resterons vigilants lors de la conception à la modification du gain apportée par la technique de la polarisation dynamique. Il est en effet essentiel de maintenir le gain de la structure constant. Dans le cas de l'UMTS, il s'agit de ne pas modifier la forme de l'enveloppe, et dans le cas du GSM, de ne pas introduire de distorsions de phase inhérentes à la conversion AM/PM.

IV Architecture générale retenue et principe de fonctionnement

Pour répondre aux contraintes de linéarité et de rendement propres aux standards UMTS et GSM respectivement, la structure du PA reconfigurable est constituée de deux étages avec un réseau d'adaptation d'entrée, un autre entre les deux étages et un réseau de sortie. Les deux étages ont leur propre circuit de polarisation afin de reporter les contraintes sur chaque étage et permettre la variation des paramètres dynamiques du PA. Cette structure est présentée Figure 2 - 9 [Del05-1].

Les différents réseaux présents dans ce schéma vont nous permettre de contrôler la fréquence de fonctionnement de l'amplificateur en réalisant l'adaptation d'impédance. Le réseau de sortie aura un rôle supplémentaire dans la mesure où il fixe les impédances en sortie de l'amplificateur à la fréquence fondamentale et aux fréquences harmoniques.

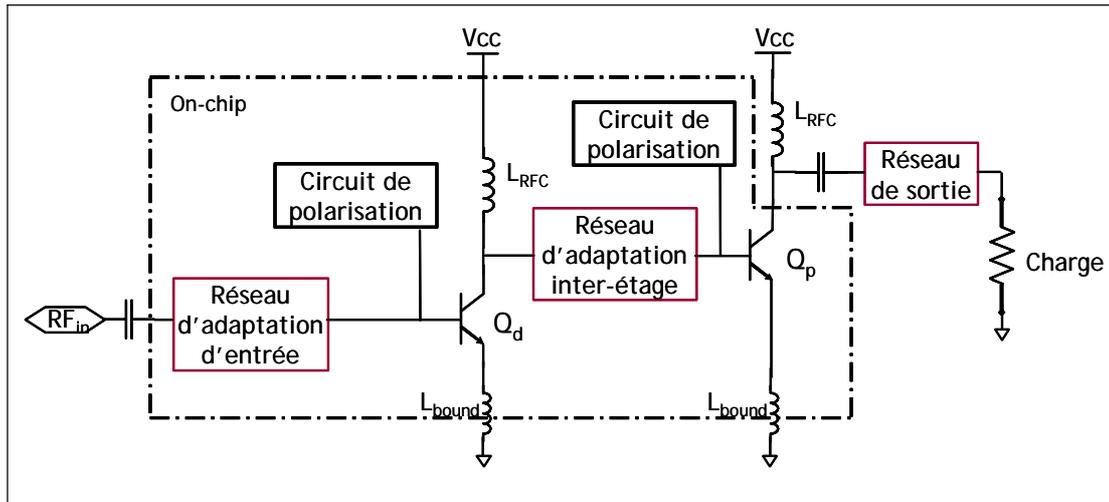


Figure 2 - 9 : Topologie générale de l'amplificateur de puissance reconfigurable

La puissance de sortie d'un amplificateur est déterminée par plusieurs paramètres. Le courant de collecteur de l'étage de puissance est un de ceux-ci. Pour augmenter la puissance de sortie de 24 dBm (UMTS) à 27 dBm (DCS) puis 30 dBm (GSM), le courant de collecteur va être multiplié au moins par quatre. Un contrôle dynamique de ce courant peut permettre cette augmentation, à travers les circuits de polarisation.

En ce qui concerne la linéarité de la structure, elle est déterminée par la classe de fonctionnement utilisée. Si nous regardons uniquement les classes sinusoïdales, la classe de l'amplificateur est fixée par le courant traversant le transistor, pour un même réseau de sortie. Donc, nous pouvons contrôler la classe de fonctionnement en faisant varier le courant de repos des transistors de la structure.

Ainsi, un contrôle dynamique du courant de polarisation du transistor de sortie nous permet de faire varier la puissance de sortie et la linéarité de l'amplificateur de puissance.

Le dernier critère est le rendement. Il est maximal lorsque le transistor travaille à son point de compression. Il s'agit d'un critère sensible pour le GSM, de par les puissances mises en jeu, mais également pour l'UMTS, qui utilise une modulation à enveloppe non-constante. Dans ce cas, le PA ne transmet pas en permanence le signal à son amplitude maximale, mais le plus souvent à des amplitudes moins importantes, où le rendement est faible. Le contrôle du point de compression à 1dB (CP1) de la structure en fonction du niveau du signal d'entrée peut nous permettre d'augmenter le rendement moyen.

Nous venons de le mettre en évidence, les circuits de polarisation ont un rôle important sur la linéarité et le rendement de l'amplificateur, ainsi de nombreuses études sur

les amplificateurs de puissance traitent spécifiquement des circuits de polarisation [Won98] [Jar01][Luo01]. Afin de faire varier les paramètres de chaque étage indépendamment, le circuit de polarisation du premier étage est différent de celui de l'étage de puissance. Ces paramètres sont : le CP1, le courant de repos du transistor de l'étage de puissance et la classe de fonctionnement du PA.

Nous allons donc étudier les méthodes pour faire varier ces paramètres afin de répondre aux spécifications de chaque standard. Mais dans un premier temps, nous nous intéressons à la fréquence de fonctionnement à travers des réseaux d'adaptation.

IV.1 Contrôle de la fréquence de fonctionnement du dispositif

Pour la conception de l'amplificateur de puissance, nous disposons de la technologie SiGe BiCMOS7RF de STMicroelectronics. La fréquence de transition des transistors bipolaires est de 70 GHz. Cette technologie nous permet la conception d'amplificateurs à 900 MHz, 1,75 GHz et 1,95 GHz. Par conséquent, la sélectivité du dispositif est essentiellement fixée par les réseaux d'adaptation et/ou la charge du réseau de sortie. Autrement dit, la fréquence de fonctionnement est déterminée par des éléments passifs, de type inductances et condensateurs. Pour faire varier cette fréquence, nous devons donc modifier la valeur de l'inductance et/ou du condensateur.

La valeur L d'une inductance peut-être modifiée par plusieurs méthodes. Par exemple, l'utilisation d'un substrat magnétique offre la possibilité de faire varier les lignes de champ. Une autre solution est d'utiliser une self avec un grand nombre de tours et de venir court-circuiter les spires avec des interrupteurs. Toutefois, le substrat dont nous disposons ne nous permet pas d'utiliser la technique de variation des lignes de champ, et sachant que les inductances intégrées représentent une part importante dans la surface d'un circuit intégré, il ne paraît pas non plus opportun d'utiliser une inductance de grande taille, dans la mesure où nous cherchons à diminuer la surface de silicium occupée.

C'est la raison pour laquelle il est préférable d'utiliser les condensateurs pour ajuster la fréquence de fonctionnement pour notre application, par l'emploi de varicap ou en mettant en œuvre des banques de capacités.

IV.1.1 Varicap MOS

Il est intéressant d'envisager un dispositif que nous pouvons trouver dans n'importe quel process CMOS, qui a une capacité dont la valeur est susceptible de varier en fonction

d'une tension : le transistor MOS lui-même. Pour ce faire, la source, le drain et le bulk sont reliés à une tension de contrôle, comme nous le voyons sur la Figure 2 - 10. Ainsi nous réalisons une capacité MOS dont la valeur dépend de la tension V_{BG} .

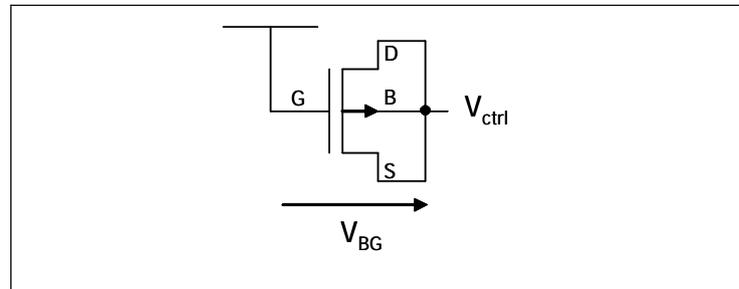


Figure 2 - 10 : Structure PMOS commandée en tension

Selon la valeur de V_{BG} , la structure MOS aura différents comportements. Le dispositif aura un comportement transistor dans les deux cas suivants [And00] :

- $V_{BG} \gg |V_T|$, la structure est dans la zone de forte inversion (V_T étant la tension de seuil du transistor).
- Pour certaines valeurs de $V_G > V_B$, la structure est dans la zone d'accumulation.

Dans les deux cas ci-dessus, la charge d'accumulation dans le semi-conducteur est essentiellement surfacique, il en résulte que la capacité de la structure MOS est égale à la capacité entre l'électrode de grille et la couche d'accumulation ou d'inversion [Col96]. La capacité de la structure est donc égale à :

$$C_{mos} \equiv C_{ox} = \frac{S \cdot \epsilon_{ox}}{t_{ox}} \quad \text{Eq. 2 - 1}$$

où ϵ_{ox} est la permittivité de l'oxyde de silicium, S et t_{ox} sont respectivement l'aire et l'épaisseur d'oxyde du transistor MOS.

Parmi les autres valeurs possibles de V_{BG} , nous pouvons encore dégager trois cas : la déplétion, l'inversion faible et l'inversion modérée. Dans ces régions, il y a peu ou très peu de porteurs de charges mobiles, la zone de charge d'espace est très étendue, ce qui entraîne la diminution de C_{mos} ($C_{mos} < C_{ox}$). C_{mos} sera représentée par C_{ox} en série avec deux capacités en parallèle, C_b et C_i , C_b représentant la modulation de la région de déplétion dessous l'oxyde constituée par les atomes donneurs ionisés, tandis que C_i représente la variation du nombre de trous à l'interface de l'oxyde de grille.

Le comportement de C_{mos} en fonction de V_{BG} est représenté qualitativement Figure 2-11.

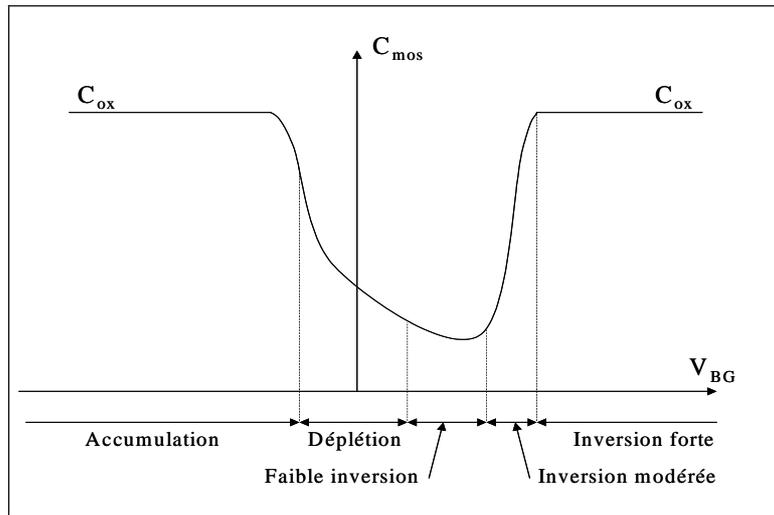


Figure 2 - 11 : Caractéristiques C(V) d'une capacité MOS

Dans une telle structure, la valeur minimale de la capacité est difficile à atteindre et à maintenir sur une période. Afin d'augmenter la plage de tension de contrôle et de faciliter ce contrôle, une caractéristique monotone avec une pente faible est préférable. Pour cela, il est possible de faire fonctionner le transistor MOS en mode Inversion ou en mode Accumulation. Le mode Inversion correspond à un mode de fonctionnement où la varicap n'atteint pas la zone d'Accumulation et, par analogie, le mode Accumulation correspond au mode de fonctionnement où la varicap n'atteint pas la zone d'Inversion. La Figure 2 - 12 présente les caractéristiques $C(V)$ des deux modes de fonctionnement.

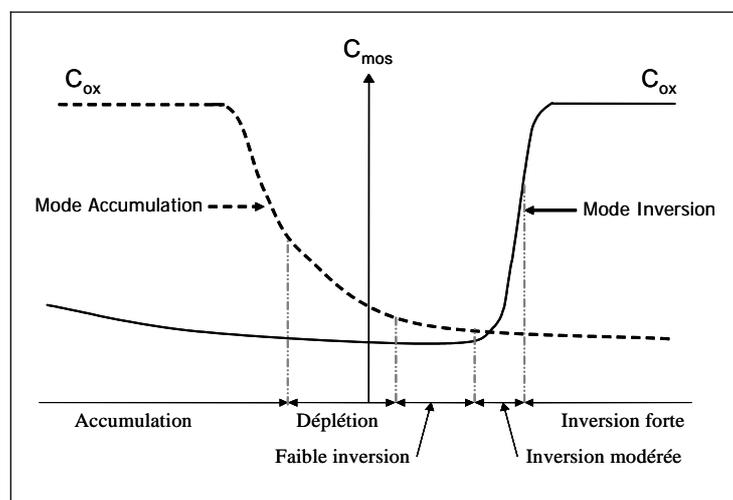


Figure 2 - 12 : Caractéristique C(V) d'une capacité MOS en modes Accumulation et Inversion

La plage de tension de contrôle est plus importante dans le cas du transistor MOS à accumulation, nous le retrouvons donc plus souvent dans la littérature [Mir04]. Toutefois, la bibliothèque de composants disponibles dans la technologie retenue est sous SpectreRF de Cadence et ne contient pas de A-MOS. Nous avons donc choisi de procéder par une autre méthode, qui consiste à mettre en œuvre une banque de capacités.

IV.1.2 Banque de capacités

La banque de capacité utilise des transistors MOS commandés par des signaux A_1, A_2, \dots, A_n , comme nous le voyons à la Figure 2 - 13. Les transistors sont ainsi assimilables à des switches. En fonction du niveau des entrées A_1, \dots, A_n , différentes valeurs de capacités seront obtenues. Le Tableau 2-3 indique la valeur de la capacité équivalente C_{tot} qu'il est possible de réaliser grâce à cette architecture.

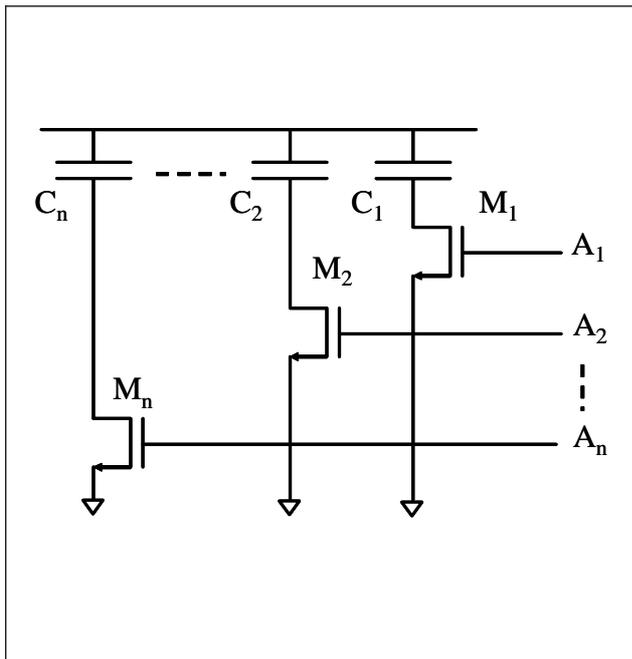


Figure 2 - 13 : Banque de capacités

A_1	A_2	A_3	C_{tot}
0	0	0	0
0	0	1	C_3
0	1	0	C_2
0	1	1	$C_2 + C_3$
1	0	0	C_1
1	0	1	$C_1 + C_3$
1	1	0	$C_1 + C_2$
1	1	1	$C_1 + C_2 + C_3$

Tableau 2 - 3 : Valeurs de capacités réalisables

Un des avantages de cette architecture est qu'elle offre la possibilité de déterminer la plage de variation de fréquence, dans la mesure où nous pouvons fixer le nombre de condensateurs et leurs capacités. Pour un réglage fin, un grand nombre de petites capacités

peuvent être utilisées. Il s'agit alors de réaliser un compromis entre le pas de réglage de la fréquence de fonctionnement et l'encombrement apporté par les condensateurs.

Associés à des inductances de valeur fixe, les condensateurs variables vont pouvoir servir dans les réseaux d'adaptation pour assurer la transmission optimale du signal, quel que soit la fréquence de fonctionnement, sous réserve toutefois que cette fréquence soit contenue dans la gamme de fréquence permise par la variation de capacité, ou bien pour résonner à des fréquences déterminées.

Nous allons à présent nous intéresser à proprement parler à la variation dynamique des paramètres de l'amplificateur de puissance.

IV.2 Contrôle de la classe de fonctionnement

La classe de fonctionnement permet de fixer la linéarité de l'amplificateur de puissance. Modifier la classe de fonctionnement offre la possibilité de régler la linéarité, et par conséquent le rendement. Cette modification se fait essentiellement par le circuit de polarisation de l'étage, mais aussi par le réseau en sortie de cet étage. Nous allons voir ces deux aspects.

IV.2.1 Compromis rendement/linéarité de la structure à deux étages

Les contraintes sur le premier étage et sur l'étage de puissance ne sont pas les mêmes puisque ce dernier a pour puissance d'entrée la puissance de sortie du premier (dans le cas où nous négligeons les pertes inter-étages). Il paraît donc intéressant de faire fonctionner chacun des étages dans une classe de fonctionnement différente afin de pouvoir bénéficier des avantages inhérents à chaque classe. Il n'est donc pas rare de retrouver dans la littérature des architectures dans lesquelles nous voyons un driver fonctionnant en classe A et un étage de sortie en classe AB dès lors que nous souhaitons une amplification linéaire [Vin01]. Préamplifier le signal d'entrée du deuxième étage avec un étage fonctionnant en classe A permet de ramener sur l'entrée de l'étage suivant un signal pas ou très peu distordu avec un niveau de puissance suffisamment important pour que le deuxième étage puisse fonctionner en classe AB. Pour des applications à haut rendement, on peut utiliser un driver fonctionnant en classe F et un étage de sortie en classe E [Sow95], le classe F mettant en forme le signal carré qui sert d'entrée au classe E.

Dans le cas général, il existe sur chacun des étages un compromis linéarité/rendement. Pour le cas d'un amplificateur à deux étages, nous allons discuter ce compromis pour chacun des deux étages. L'expression donnant le rendement global de la structure est donnée par l'éq. 2-2 [Won98]:

$$\frac{1}{E_{tot}} = \frac{1}{E_2} + \frac{1}{G_2 \cdot E_1} \quad \text{Eq. 2 - 2}$$

où E_{tot} est le rendement total, E_1 est le rendement du premier étage, E_2 le rendement du deuxième étage et G_2 est le gain en puissance du deuxième étage.

Nous pouvons dès lors regarder l'évolution du rendement total en fonction de la variation du rendement du premier étage. Sur la Figure 2 - 14, nous représentons cette évolution, pour différentes valeurs de G_2 et E_2 [Del05-3].

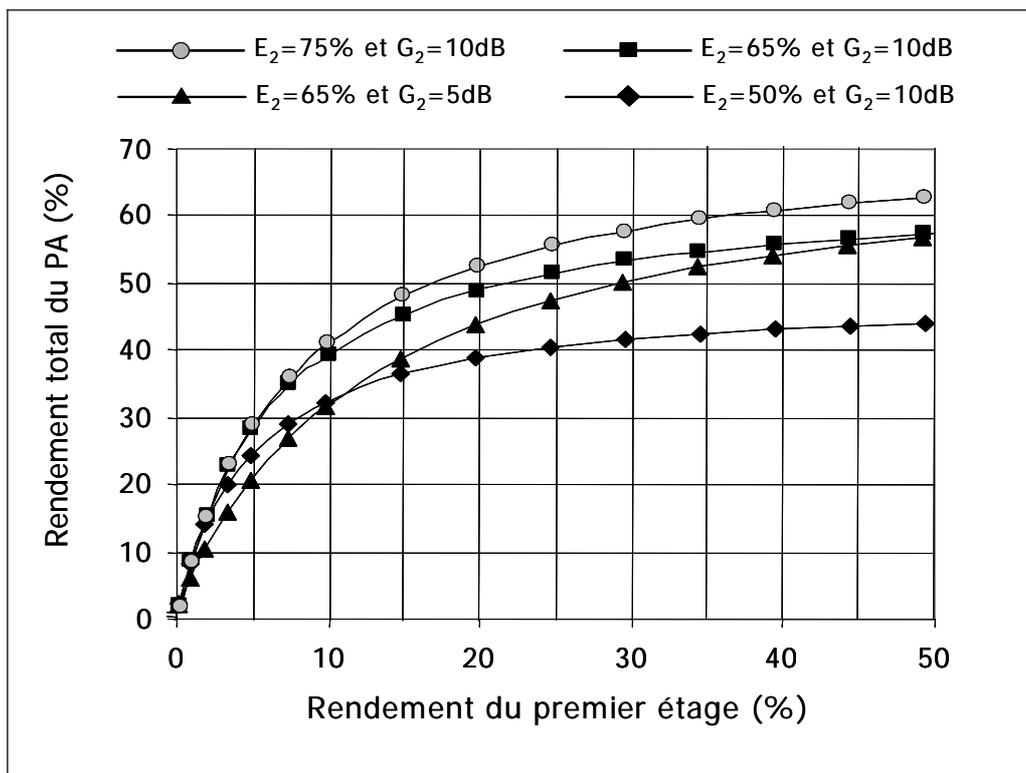


Figure 2 - 14 : Rendement total d'un PA à deux étages en fonction du rendement du premier étage

Influence du rendement du premier étage (E_1)

Tout d'abord, ces courbes mettent en évidence le fait que l'augmentation du rendement du premier étage est favorable au rendement global de la structure. Cependant, il est important de remarquer que, pour des valeurs de E_1 supérieures à 25%, une forte augmentation de E_1 , par exemple de 25% à 50%, n'entraîne une amélioration du rendement global que de 4% environ pour $E_2=50%$ et $G_2=10dB$ et 7% pour $E_2=75%$ et $G_2=10dB$.

Influence du deuxième étage (G_2, E_2)

Dans le même ordre de grandeur, pour $E_2=65%$, si le gain en puissance du deuxième étage double, passant de 5 dB à 10 dB, le rendement total augmente de 4,4% pour $E_1=25%$, de 3,3% pour $E_1=30%$ et de 1,7% pour $E_1=40%$. Ceci nous indique qu'il faut être vigilant à la valeur du gain en puissance du deuxième étage : un gain trop faible peut entraîner une dégradation du rendement global.

Si cette fois, nous regardons l'influence du rendement du deuxième étage, E_2 , lorsque E_2 augmente de 25%, le rendement global est amélioré de 20%.

La contribution du rendement du dernier étage est donc prépondérante dans le rendement global du PA, sous réserve que le rendement du premier étage soit supérieur à 20%. Afin de garantir un bon rendement global, nous devons donc avant tout porter une attention particulière au rendement du deuxième étage. Pour cela, nous pouvons mettre en œuvre les techniques d'amélioration du rendement évoquées, c'est-à-dire la polarisation dynamique et le traitement des harmoniques. Cette contrainte pourra être relâchée pour le premier étage, au profit donc de la linéarité, en utilisant des classes sinusoïdales de type A ou AB légère.

IV.2.2 Contrôle par les circuits de polarisation

Le circuit présenté Figure 2-11 est un circuit de polarisation issu de Luo et al [Luo01], permet de contrôler le point de polarisation d'un étage.

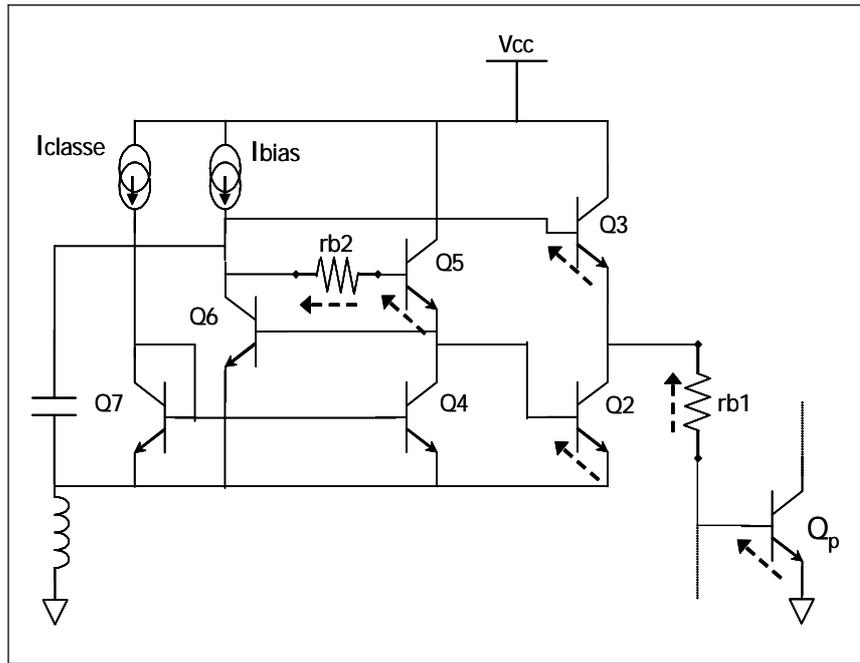


Figure 2 - 15 : Circuit de polarisation contrôlable

En se basant sur ce schéma, nous pouvons expliciter le mécanisme de contrôle du courant de repos du transistor Q_p . En négligeant les courants de base, nous pouvons écrire :

$$V_{be_{Q5}} + V_{be_{Q2}} + V(rb_2) = V_{be_{Q3}} + V_{be_{Qp}} + V(rb_1) \quad \text{Eq. 2 - 3}$$

Si les résistances rb_1 et rb_2 sont choisies de telle sorte que $V(rb_1)$ soit égal à $V(rb_2)$, nous avons, en référence au principe trans-linéaire [Gil93] :

$$I_{Q2} \cdot I_{Q5} = I_{Q3} \cdot I_{Qp} \quad \text{Eq. 2 - 4}$$

Puisque les transistors Q_2 et Q_3 sont traversés par le même courant, nous obtenons donc :

$$I_{Q5} = I_{Qp} \text{ ou } V_{be_{Qp}} = V_{be_{Q5}} \quad \text{Eq. 2 - 5}$$

Dès lors, nous voyons que le point de polarisation de Q_p dépend du courant traversant Q_5 . Or ce courant provient du miroir de courant formé par Q_4 et Q_7 , c'est-à-dire de la source I_{classe} . Ce circuit permet donc une variation du point de polarisation et donc des caractéristiques du PA [Del04-1].

Nous avons représenté à la Figure 2 - 16 le courant de polarisation de Q_p (I_{CQP}) en fonction du courant I_{classe} [Del05-1]. La variation du courant I_{CQP} est effectuée de manière quasi-linéaire. Grâce à ce circuit de polarisation, la classe de l'amplificateur et la puissance de sortie peuvent aisément être contrôlées.

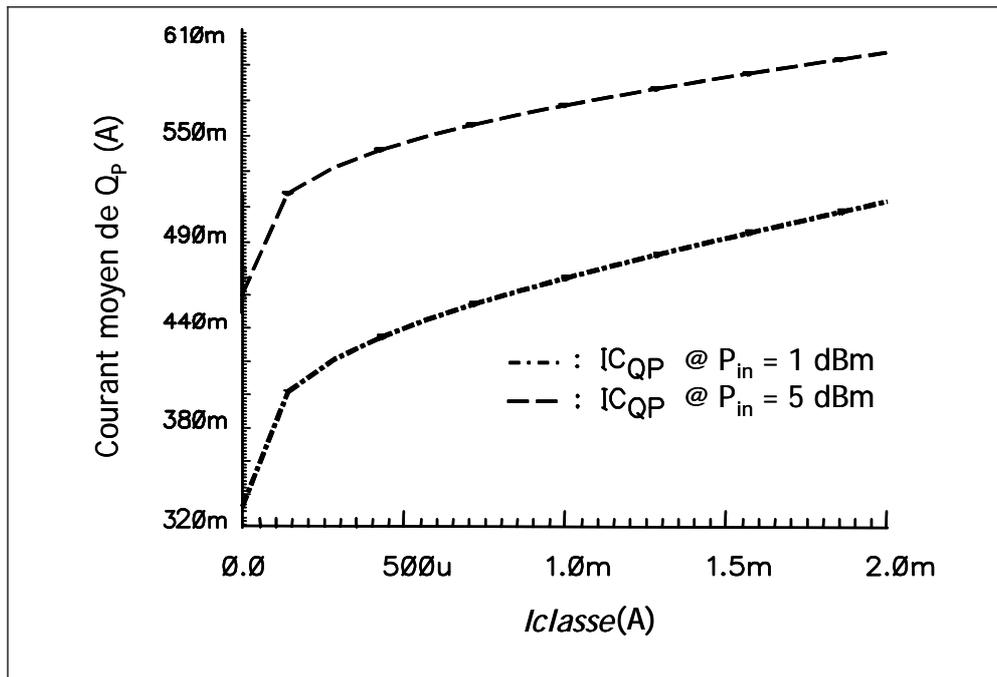


Figure 2 - 16 : Courant de repos de Q_p en fonction de la source I_{classe}

IV.2.3 Utilisation du réseau de sortie

Afin d'améliorer le rendement sur le deuxième étage, nous allons également pouvoir travailler sur le réseau de sortie, en utilisant, par exemple un réseau LC résonnant à l'harmonique 3 de la fréquence fondamentale. Un tel réseau de charge est présenté Figure 2 - 17, cette topologie étant celle de la classe F. La structure de la classe AB est présentée Figure 1 - 16.

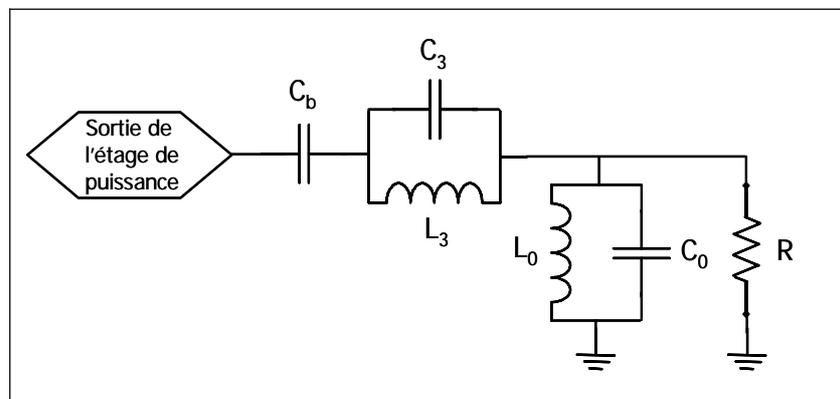


Figure 2 - 17 : Réseau de sortie d'un amplificateur classe F

En changeant le réseau de sortie, nous pouvons modifier la forme d'onde, comme le montrent la Figure 2 - 18 et la Figure 2 - 19. La Figure 2 - 18 correspond à une classe de fonctionnement AB, tandis que la Figure 2 - 19 correspond à la classe F. Les conditions de polarisation de la classe AB et F sont assez proches, seul le réseau de sortie diffère. En contrôlant ce réseau, nous pouvons donc obtenir une amélioration du rendement du deuxième étage, et donc du rendement global.

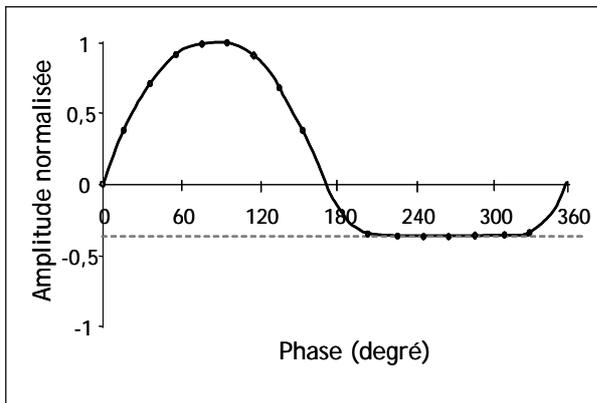


Figure 2 - 18 : Forme d'onde du signal de sortie en classe AB

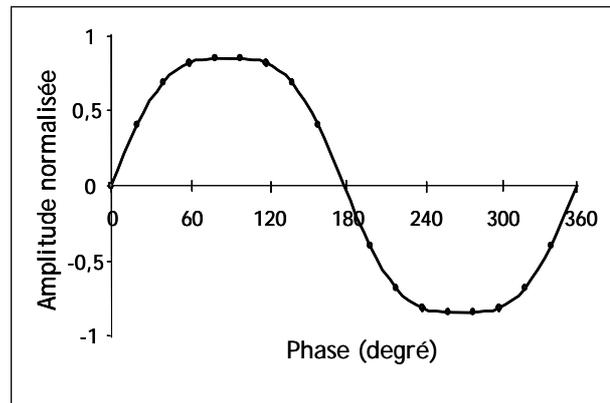


Figure 2 - 19 : Forme d'onde du signal de sortie en classe F

IV.3 Contrôle du point de compression à 1 dB

Le point de compression à 1 dB est un élément important pour déterminer la linéarité et le rendement de l'amplificateur. En effet, le rendement est maximal lorsque la puissance d'entrée atteint l'ICP1. Dans une structure à deux étages en cascade, le point de compression global est donné par l'éq. 2-6 :

$$\frac{1}{ICP1_g} = \frac{1}{ICP1_1} + \frac{G_1}{ICP1_2} \quad \text{Eq. 2 - 6}$$

Nous illustrons cette équation par les courbes Figure 2 - 20 afin d'être en mesure de déterminer l'élément prédominant sur le point de compression global d'une structure à deux étages [Del05-2]. Par exemple, pour des puissances d'entrée du deuxième étage supérieures à $0,025 \text{ W}$, ce qui correspond à 14 dBm , la variation de $ICP1_g$ est de $11,7 \%$ lorsque $ICP1_1 = 1 \text{ dBm}$ et $G_1 = 15 \text{ dB}$. Pour les standards de communication GSM, DCS ou UMTS, dont la puissance de sortie est respectivement de 30 , 27 et 24 dBm , cette valeur de 14 dBm pour le

paramètre $ICP1_2$ est fondée sur le fait que le gain du deuxième étage n'excède que rarement 10 dB .

Pour des valeurs du paramètre $ICP1_2$ de $0,1\text{W}$ (20dBm) et $0,25\text{W}$ (24 dBm), une augmentation du paramètre $ICP1_1$ de 1 à 10dBm , induit respectivement une augmentation de $68,9\%$ et $73,9\%$ du paramètre $ICP1_g$.

Au vu de ces résultats, il paraît judicieux, dès lors que la puissance d'entrée du deuxième étage est supérieure à 14 dBm environ, de modifier le CP1 du premier étage afin de modifier le CP1 global.

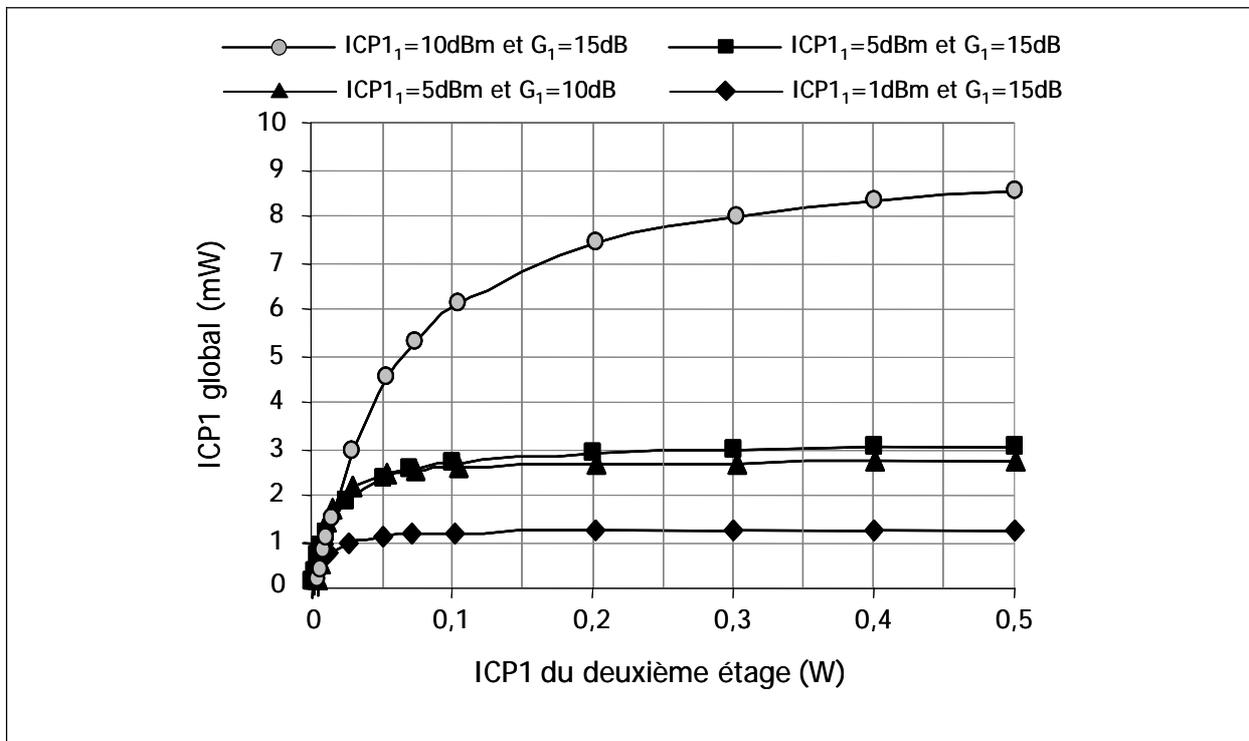


Figure 2 - 20 : Variation du point de compression de la structure à deux étages en fonction du point de compression du deuxième étage

IV.4 Contrôle de l'impédance équivalente du circuit de polarisation de l'étage de puissance

Il est particulièrement intéressant de regarder l'impédance RF équivalente du circuit de polarisation du deuxième étage pour chacun des standards à 900 MHz , $1,75\text{ GHz}$ et $1,95\text{ GHz}$. En effet, cette impédance est un élément qui entre en jeu à la fois dans le réseau

d'adaptation inter-étage et dans le gain en tension du premier étage, défini par l'expression suivante, par l'intermédiaire du paramètre Z_L :

$$A_v = - \frac{g_m \cdot Z_L}{1 + \frac{Z_{\acute{e}qB}}{Z_{be}} + Z_{\acute{e}qE} \cdot \left(g_m + \frac{1}{Z_{be}} \right)} \quad \text{Eq. 2 - 7}$$

avec :

g_m : transconductance du transistor,

Z_L : impédance de charge,

$Z_{\acute{e}qB}$: impédance équivalente dans la base,

Z_{be} : impédance entre la base et le collecteur,

$Z_{\acute{e}qE}$: impédance dans l'émetteur due à la résistance de dégénérescence et à la présence des bondings dans l'émetteur.

Le paramètre permettant de modifier l'impédance du circuit de polarisation est la source de polarisation I_{bias} du circuit de polarisation présenté Figure 2 - 15. Les résultats de simulation sont exposés Figure 2 - 21. Ces courbes montrent que la partie réelle et la partie imaginaire dépendent de la fréquence de fonctionnement et de la source de courant I_{bias} .

Dans le cas des modes GSM et du DCS, la variation d'impédance équivalente peut être utilisée pour aider à réaliser l'adaptation inter-étage. Pour des valeurs de I_{bias} supérieures à 6 mA , la partie réelle de l'impédance équivalente est suffisamment importante pour être négligeable lorsqu'elle est associée au transistor de l'étage de puissance, qui lui, a une impédance d'entrée équivalente faible. Ainsi, le réseau d'adaptation inter-étage doit adapter la sortie du premier étage au transistor de l'étage de puissance, et ceci quelque soit l'état du circuit de polarisation, qui de fait, devient totalement transparent de ce point de vue. Pour des valeurs plus faibles de I_{bias} , l'impédance équivalente correspond à des valeurs plus faibles qui ne sont plus négligeables devant l'impédance d'entrée du transistor de puissance. En faisant varier l'impédance équivalente du circuit de polarisation, le réseau d'adaptation peut être ajusté. Dans cette approche, il s'agit de considérer le circuit de polarisation du deuxième étage faisant partie intégrante du réseau d'adaptation.

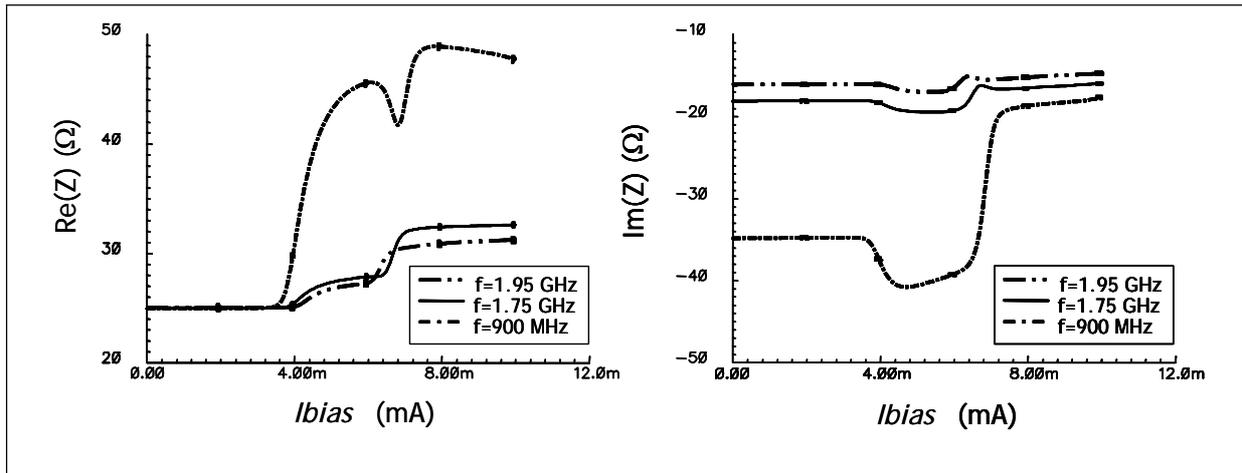


Figure 2 - 21 : Variation de l'impédance RF équivalente en fonction de la source de courant I_{bias} à 900 MHz, 1,75 GHz et 1,95 GHz

Dans le cas du mode UMTS, la variation d'impédance a une fonction très importante. En effet, les modifications de classe de fonctionnement et de point de compression à 1 dB entraînent une modification du gain de la structure. Nous l'avons vu, l'UMTS utilise une modulation à enveloppe non-constante, il est donc nécessaire de maintenir le gain de la structure constant afin de ne pas modifier le message contenu dans l'enveloppe. Ainsi, l'impédance équivalente nous sert à compenser les modifications de gain, dans la mesure où elle rentre en compte dans le calcul du gain dont nous avons rappelé l'expression Eq. 2-7.

Nous avons ensuite regardé l'influence de la variation de l'impédance RF équivalente du circuit de polarisation du deuxième étage sur le courant de repos I_{CQP} . Nous voyons Figure 2 - 22 que la variation sur I_{CQP} est seulement de 17,9 à 20,9 mA (I_{classe} étant pris égal à 3 mA). Cette légère modification ne vient donc pas perturber la fonctionnalité et la source I_{bias} pourra également être utilisée pour ajuster finement le courant de repos [Del04-2].

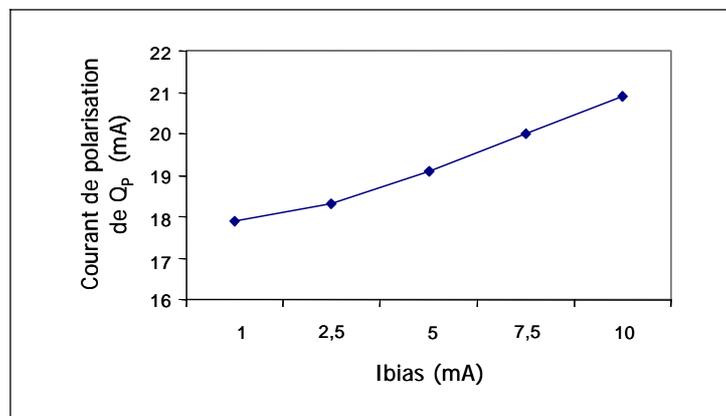


Figure 2 - 22 : Courant de polarisation I_{CQP} en fonction du courant de contrôle I_{bias}

V Topologie finale

Afin de répondre aux différentes spécifications de plusieurs standards et ainsi d'être en mesure de réaliser la reconfigurabilité en fréquence et en puissance, nous avons reporté les contraintes sur différents blocs du schéma de l'amplificateur. Nous l'avons « découpé » comme suit :

- Le réseau d'entrée
- Le premier étage
- Le réseau d'adaptation inter-étage
- L'étage de puissance
- Le réseau de sortie

Cela correspond au schéma de la Figure 2 - 23.

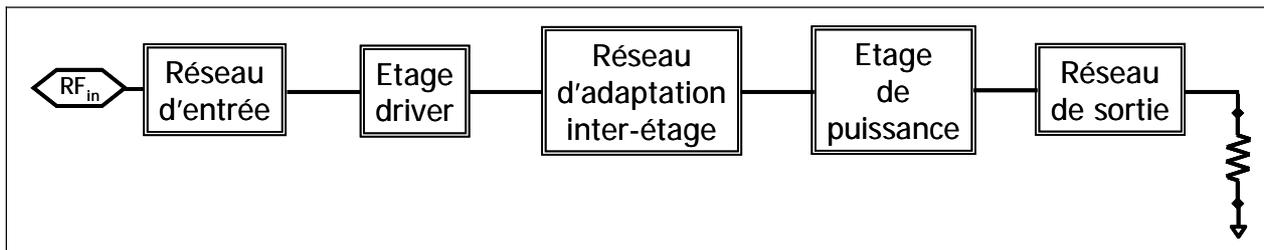


Figure 2 - 23 : Différents blocs constituant l'amplificateur de puissance

Nous associons un ou plusieurs paramètres de contrôle qui agit sur un ou plusieurs blocs, comme le montre le Tableau 2 - 4. Les paramètres de contrôle sont d'une part les sources de courant I_{biasd} , I_{biasp} , I_{classe} , des circuits de polarisation du premier et deuxième étage, et d'autre part, les commandes numériques composées de N bits.

Paramètres \ Blocs	Réseau d'entrée	Etage driver	Réseau d'adaptation inter-étage	Etage de puissance	Réseau de sortie
Commande numérique	Adaptation Décalage en fréquence	-	-	-	Adaptation Contrôle des harmoniques
I_{biasd}	-	Contrôle du CP1	-	-	-
I_{classe}	-	-	-	Contrôle de la classe de fonctionnement	-
I_{biasp}	-	Contrôle du gain	Contrôle de l'adaptation	Réglage fin du point de polarisation	-

Tableau 2 - 4 : Paramètres de réglages de l'amplificateur de puissance reconfigurable

Nous pouvons traduire les orientations choisies par le schéma fonctionnel Figure 2 - 24.

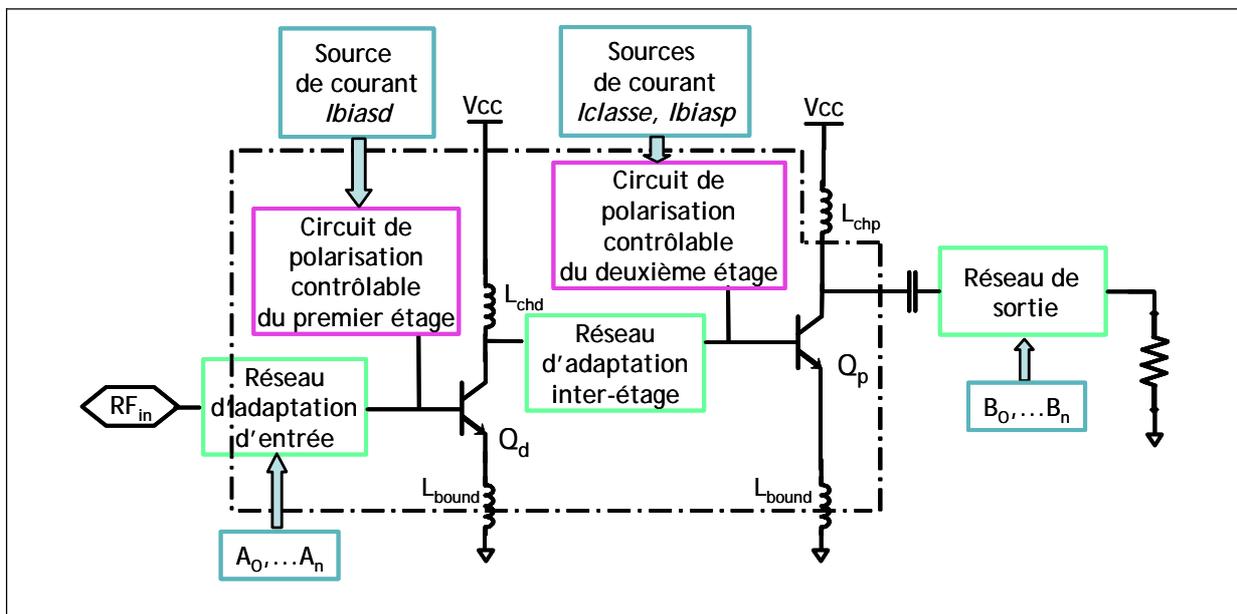


Figure 2 - 24 : Structure fonctionnelle de l'amplificateur de puissance reconfigurable

VI Conclusion

L'amplificateur de puissance reconfigurable doit pouvoir s'adresser à des standards ayant de grandes disparités dans les spécifications. Avec le choix des standards GSM, DCS et

UMTS, nous avons à la fois des spécifications difficiles à respecter au niveau puissance de sortie pour le GSM et le DCS ainsi qu'au niveau linéarité pour l'UMTS. Dans les deux cas, le rendement est également un élément primordial de par la nature de l'application : la téléphonie mobile, et ceci afin de préserver les batteries des terminaux. Les deux principaux champs d'investigation sont alors d'une part la réduction de la puissance consommée afin de préserver les batteries et d'autre part la multi-fonctionnalité avec un seul terminal.

Un dernier élément est également à considérer pour la conception : la surface de silicium occupée, qui conditionne le coût du terminal. Nous devons donc, autant que faire se peut, réduire la surface de la puce.

Une étude comparative de différents amplificateurs disponibles dans la littérature pour les standards GSM et UMTS a été menée, ce qui nous a permis de déterminer des orientations pour la conception de l'amplificateur de puissance reconfigurable, en accord avec les contraintes de surface et de consommation que nous nous sommes fixés. La structure étudiée est alors de type *single-ended* à deux étages. La classe de fonctionnement utilisée pour les amplificateurs est souvent de type AB, quand bien même une amplification linéaire n'est pas nécessaire, ceci car cette classe de fonctionnement offre un bon compromis linéarité/rendement. Toutefois, l'amplificateur de puissance est un élément excessivement gourmand en énergie, surtout lorsqu'il fonctionne dans une classe sinusoïdale, nous avons donc présenté trois techniques les plus utilisées permettant d'augmenter le rendement des amplificateurs linéaires : la polarisation dynamique, la technique Doherty et le traitement des harmoniques. La technique de polarisation dynamique consiste à modifier le courant de repos du transistor et/ou la tension d'alimentation. La technique Doherty est basée sur une variation de l'impédance de charge de l'amplificateur par l'emploi d'un deuxième amplificateur en parallèle. Enfin, le traitement des harmoniques permet de contrôler le niveau des fréquences harmoniques afin de modifier la forme du signal en sortie de l'amplificateur. Nous avons choisi de mettre en œuvre la polarisation dynamique et le traitement des harmoniques. La technique Doherty n'est pas utilisée en tant que telle pour des raisons de surface occupée.

Au cours de ce chapitre, nous avons alors essayé de traduire ces techniques au niveau schématique sur les deux étages en réalisant la variation du point de compression du premier étage, du point de polarisation du deuxième étage, le contrôle du réseau de sortie et du gain de la structure, ce qui nous permet de contrôler la classe de fonctionnement, la puissance de sortie et le rendement de l'amplificateur de puissance.

Ceci a donné lieu à un schéma fonctionnel qui nous sert de base pour la reconfigurabilité en puissance et en fréquence.

La reconfigurabilité en puissance sera traitée spécifiquement dans le Chapitre 3 à travers la conception d'un amplificateur de puissance dédié au standard UMTS avec la prise en compte du niveau de la puissance d'entrée, tandis que la reconfigurabilité en fréquence sera abordée dans le Chapitre 4 à travers la conception d'un amplificateur de puissance multi-standards.

VII Références bibliographiques

- [Abe01] W. Abey, T. Moriuchi, R. Hajji, T. Nakamura, Y. Nonaka, E. Mitani, W. Kennan and H. Dang, "A Single Supply High Performance PA MMIC for GSM Handsets using Quasi-Enhancement Mode PHEMT", IEEE MTT-S Digest, vol.2, pp.923-926, Phoenix, Arizona, USA, 20-25 May 2001.
- [And00] P. Andreani and S. Mattison, "On the Use of MOS Varactors in RF VCO's", IEEE Journal of Solid State Circuits, vol. 35, n°6, June 2000.
- [Car02] F. Carrara, A. Castorina, A. Scuderi and G. Palmisano, "High Performance Silicon Bipolar Power Amplifier for 1.8 GHz Application", 2002 IEEE MTT-S Digest, Vol. 2, pp. 1015-1018, Seattle, Washington, USA, 2-7 June 2002.
- [Col96] J.P. Collinge, F. Van de Wiele, "Physique des Dispositifs Semi-Conducteurs", Chapitre 9 : le transistor MOS, Bibliothèques des universités, Belgique, 1996.
- [Del04-1] N. Deltimple, E. Kerhervé et P. Jarry, "Les Amplificateurs de Puissance Reconfigurables : enjeux et perspectives", Proceedings des VIIèmes Journées Nationales du Réseau Doctoral de Microélectronique JNRDM2004, pp. 439-441, Marseille, France, 4-6 Mai 2004.
- [Del04-2] N. Deltimple, E. Kerhervé, Y. Deval and P. Jarry, "A Reconfigurable RF Power Amplifier Biasing Scheme", Proceedings of the 2nd annual IEEE Northeast Workshop on Circuits and Systems (NEWCAS2004), pp. 365-368, Montréal, Canada, June 20-23, 2004.
- [Del05-1] N. Deltimple, E. Kerhervé, Y. Deval, P. Jarry and D. Belot, "Multi-mode, Multi-standard RF Reconfigurable Power Amplifier", Microwave Filters and Amplifiers 2005, Chapter 7, pp. 119-131, *Research Signpost*, 2005.
- [Del05-2] N. Deltimple, E. Kerhervé, Y. Deval, D. Belot et P. Jarry, "Amplificateur de puissance multi-standard GSM/DCS/UMTS en technologie SiGe : étude de la reconfigurabilité en puissance", 14èmes Journées Nationales Microondes, JNM2005, n°5D5, Abstract p. 112, Paris, France.

- [Del05-3] N. Deltimple, E. Kerhervé, D. Belot, Y. Deval and P. Jarry, "A SiGe Controlled-Class Power Amplifier Applied to Reconfigurable Mobile Systems", 35th European Microwave Conference, EuMC2005, Paris, France, 4-6 october 2005, pp. 457-460.
- [Den02] D. Dening, "Setting Bias Points For Linear RF Amplifiers", *Microwaves & RF*, June 2002, pp. 71-78.
- [Den04] J. Deng, P.S Gudem, L.E. Larson and P.M. Asbeck, "A High Average-Efficiency SiGe HBT Power Amplifier for WCDMA Handset Applications", *IEEE Transactions on Microwave Theory and Techniques*, vol. 53, Issue 2, Feb 2005, pp.529–537.
- [Doh36] W.H. Doherty, "A New High Efficiency Power Amplifier for Modulated Waves", *Proc. of the Institute of Radio Engineers*, Vol. 24, No. 9, September 1936, pp. 1163-1182.
- [Fal01] C. Fallesen and P. Asbeck, "A 1W CMOS Power Amplifier for GSM-1800 with 55% PAE", 2001 IEEE MTT-S Digest, vol.2, pp. 911-914, Phoenix, Arizona, USA, 20-25 May 2001.
- [For01] F. Fortes and M. J. do Rosario, "A Second Harmonic Class-F Power Amplifier in Standard CMOS Technology", *IEEE Transactions on Microwave Theory and Techniques*, vol.49, n°6, pp. 1216-1220, June 2001.
- [Fow02] T. Fowler, K. Burger, Nai-Shuo Cheng, A. Samelis, E. Enobakhare, S. Rohlfing, "Efficiency improvement techniques at low power levels for linear CDMA and WCDMA power amplifiers", 2002 IEEE Radio Frequency Integrated Circuits (RFIC) Symposium, pp.41-44, Seattle, Washington, USA, 2-4 June 2002.
- [Gil93] B. Gilbert, "Current mode circuits from a translinear viewpoint: a tutorial" dans "Analogue integrated circuit design: the current-mode approach", C. Toumazou, F. J. Lidgley et D.G. Haigh, Peter Peregrinus, 2^{ème} édition, 1993.
- [Han99] G. Hanington, Pin-Fan Chen, P.M. Asbeck and L.E. Larson, "High-Efficiency Power Amplifier Using Dynamic Power-Supply Voltage for CDMA Applications" *IEEE Transactions on Microwave Theory and Techniques*, vol. 47, Issue 8, Aug. 1999, pp.1471-1476.
- [Iwa00] T. Iwai, K. Kobayashi, Y. Nakasha, T. Miyashita, S. Ohara and K. Joshin, "42% High Efficiency Two-Stage HBT Power Amplifier MMIC for W-CDMA Cellular

-
- Phone System", 2000 IEEE MTT-S Digest, pp. 869-872, Boston, MA, June 2000.
- [Jar01] E. Järvinen, S. Kalajo and M. Matilainen, "Bias Circuits for GaAs HBT Power Amplifiers", Microwave Symposium Digest, 2001 IEEE MTT-S Digest, 20-25 May 2001, vol.1, pp. 507-510.
- [Ken00-1] P. B. Kenington, "High linearity RF Amplifier Design", Artech House, Norwood, MA 02062, chapter 4: Feedback linearization techniques, pp. 135-247.
- [Ken00-2] P. B. Kenington, "High linearity RF Amplifier Design", Artech House, Norwood, MA 02062, chapter 5: Feedforward system, pp. 251-348.
- [Ken00-3] P. B. Kenington, "High linearity RF Amplifier Design", Artech House, Norwood, MA 02062, chapter 6: Predistorsion techniques, pp. 351-420.
- [Ken00-4] P. B. Kenington, "High linearity RF Amplifier Design", Artech House, Norwood, MA 02062, chapter 5: Linear transmitter employing signal processing, pp. 425-491.
- [Kim04] Y.-W. Kim, K.-C. Han, S.-Y. Hong and J.-H. Shin, "A 45% PAE/18 mA Quiescent Current CDMA PAM with a Dynamic Bias Control Circuit", 2004 IEEE Radio Frequency Integrated Circuits Symposium, pp. 365-368, Forth Worth, TX, June, 2004.
- [Luo01] S. Luo and T. Sowlati, "A Monolithic Si PCS-CDMA Power Amplifier With 30% PAE at 1.9 GHz Using a Novel Biasing Scheme", IEEE Transactions on Microwave Theory and Techniques, vol. 49, n°9, pp. 1552-1557, September 2001.
- [Mat00] M. J. Matilainen, K. L. I. Nummila, E.A. Järvinen, S.J.K. Kalajo, "An integrated 900-MHz Push-Pull Power Amplifier for Mobile Applications", 2000 IEEE MTT-S Digest, pp. 861-864, Boston, MA, June 2000.
- [Mir04] J. Mira, T. Divel, S. Ramet, J.-B. Begueret and Y. Deval, "Distributed MOS Varactor Biasing for VCO Gain Equalization in 0.13 μ m CMOS Technology", 2004 IEEE Radio Frequency Integrated Circuits (RFIC) Symposium, Forth Worth, Texas, pp. 131-134, June 2004.

-
- [Nys01] C. Nyström and T. Johansson, "A GSM triple-band power amplifier chip using silicon bipolar RF-IC technology", GHz 2001, Lund, Sweden, November 26-27, 2001.
- [Rij00] F. van Rijs, R. Dekker, H. A. Visser, H. G. A. Huizing, D. Hartskeerl, P. H. C. Magnée and R. Dondero, "Influence of output impedance on power added efficiency of Si-bipolar power transistors", 2000 IEEE MTT-S Digest, pp. 1945-1948, Boston, MA, June 2000.
- [Shi02] A. Shirvani, D. K. Su and B. A. Wooley, "A CMOS RF Power Amplifier With Parallel Amplification for Efficient Power Control", IEEE Journal of Solid-State Circuits, vol. 37, n°6, pp. 684-692, June 2002.
- [Sow95] T. Sowlati, C. Salama, J. Sitch, G. Rabjohn and D. Smith, "Low Voltage, High Efficiency GaAs Class E Power Amplifiers for Wireless Transmitters", IEEE Journal of Solid-State Circuits, vol. 30, n°10, pp. 1074-1080, October 1995.
- [Tse00] P.-D. Tseng, L. Zhang, G.-B. Gao and M. F. Chang, "A 3-V Monolithic SiGe HBT Power Amplifier for Dual-Mode (CDMA/AMPS) Cellular Handset Applications", IEEE Journal of Solid-State Circuits, vol. 35, n°9, pp. 1338-1343, September 2000.
- [Vin01] V. Vintola, M. Matilainen, S. Kalajo and Esko Järvinen, "Variable Gain Power Amplifier for Mobile WCDMA Applications", 2001 IEEE MTT-S Digest, vol.2, pp. 919-922, Phoenix, Arizona, USA, 20-25 May 2001.
- [Wan04] N. Wang, V. Yousefzadeh, D. Maksimovic, S. Pajic and Z.B. Popovic, "60% efficient 10-GHz power amplifier with dynamic drain bias control", IEEE Transactions on Microwave Theory and Techniques, vol. 52, Issue 3, pp.1077-1081, March 2004.
- [Won98] S. Wong, S. Luo, "A 2.7-5.5 V, 0.2-1 W BiCMOS RF Driver Amplifier IC Closed-Loop Power Control and Biasing Functions", IEEE Journal of Solid State Circuit, vol.33, Issue 12, pp. 2259-2264, December 1998.
- [Yan99] K. Yang, G.I. Haddad and J.R. East, "High-Efficiency Class-A Power Amplifier with a Dual-Bias-Control Scheme", IEEE Transactions on Microwave Theory and Techniques, vol. 47, Issue 8, August 1999, pp.1426-1432.

- [Zha00] X. Zhang, C. Saycocie, S. Munro and G. Henderson, "A SiGe HBT Power Amplifier with 40% PAE for PCS CDMA Applications", 2000 IEEE MTT-S, pp. 857-860, Boston, MA, June 2000.

Chapitre 3

Conception d'un amplificateur de puissance reconfigurable :

reconfigurabilité en puissance

- application aux standards utilisant une
modulation à enveloppe non-constante -

CHAPITRE 3	77
I Introduction	78
II Prise en compte de la forme de l'enveloppe pour la conception	79
III Conception de l'amplificateur de puissance.....	82
IV Résultats de simulation	92
V Dispositifs de test	101
VI Conclusion	116
VII Références bibliographiques	118

I Introduction

Un des points clés d'un PA multi-standard est son aptitude à être reconfigurable en puissance. En effet, nous avons vu que les standards visés ont des puissances de sortie très différentes : 30dBm pour le GSM, 27dBm pour le DCS et 24dBm pour l'UMTS. Il faut donc être capable d'adapter la puissance de sortie de l'amplificateur en fonction du standard utilisé. De plus, nous devons veiller à atteindre une consommation en puissance acceptable, afin de préserver les batteries des terminaux. Cet aspect est d'autant plus important lorsque l'on sait que l'amplificateur ne fonctionne pas en permanence à la puissance maximum. La Figure 3 - 1 représente les courbes de puissance de sortie et de rendement en puissance ajoutée (PAE) en fonction de la puissance d'entrée. Nous y voyons que le rendement est généralement élevé à de forts niveaux de puissance (point A), et chute rapidement lorsque celle-ci diminue (point B).

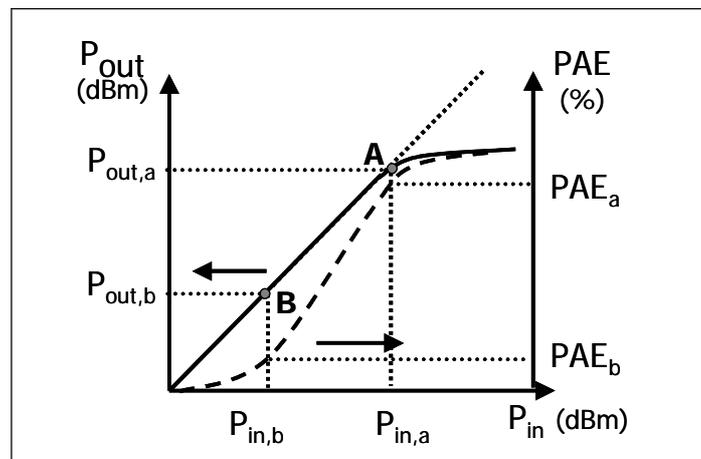


Figure 3 - 1 : Puissance de sortie et PAE en fonction de la puissance d'entrée

Les systèmes utilisant des modulations à enveloppe non constante sont tout particulièrement concernés par cet aspect et nous comprenons aisément que la valeur moyenne du rendement d'un signal UMTS à enveloppe non-constante est très faible. Au cours de ce chapitre, nous nous attacherons donc à concevoir un amplificateur de puissance reconfigurable en puissance en fonction du niveau du signal d'entrée uniquement dédié au standard UMTS. La technologie utilisée pour la réalisation du circuit est une technologie bas

coût SiGe fournie par STMicroelectronics. Pour ce faire, la structure exposée au chapitre 2 servira de base. Nous détaillerons la conception de chaque élément de l'amplificateur de puissance ainsi que le dessin du circuit qui servira à l'implantation sur silicium. Les résultats de simulation et de mesure seront ensuite commentés.

II Prise en compte de la forme de l'enveloppe pour la conception

La vue générale des données W-CDMA présentée Figure 3 - 2 illustre la variation d'amplitude du signal. Cette courbe est composée de 10000 valeurs espacées chacune de 32,5 ns. La courbe est ainsi représentée sur une durée totale de 325 μ s.

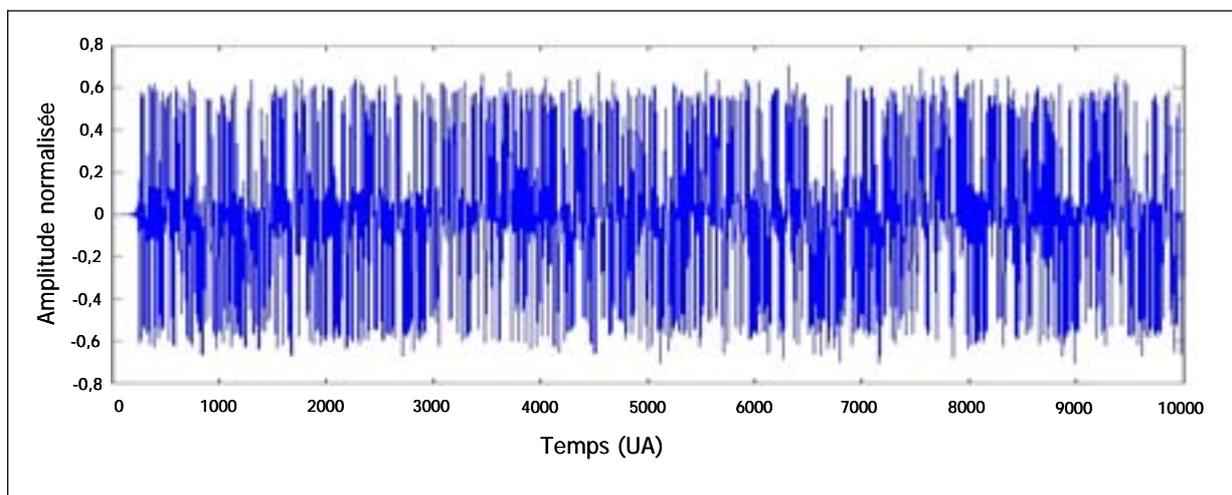


Figure 3 - 2 : Signal modulé WCDMA

La répartition de la puissance de sortie dans un terminal W-CDMA est présentée Figure 3 - 3 [Guc03]. Nous voyons que la probabilité pour que la puissance de sortie soit de 24dBm (la puissance de sortie maximum spécifiée par le standard UMTS) n'est que de $0,3\%$, alors que la probabilité d'émettre à des niveaux de puissances de sortie compris entre -10 et $+10\text{dBm}$ est de l'ordre de 3% . En d'autres termes, l'amplificateur de puissance, qui est optimisé pour sa puissance de sortie maximum, travaillera le plus souvent à une puissance inférieure, pour laquelle son rendement est très faible. En réalité, et nous le constatons Figure 3 - 1, les amplificateurs de puissance atteignent un rendement élevé lorsqu'ils travaillent autour du point de compression à 1dB (CPT). Une solution intéressante afin d'augmenter le rendement à faible niveau d'entrée est donc de déplacer la courbe du rendement en fonction de la puissance d'entrée, elle-même liée à la puissance de sortie au facteur de gain près. Prenons un signal de faible amplitude (par exemple 5dBm en sortie),

pour lequel le rendement se situe à 3%. Si le $CP1$ est déplacé vers les bas niveaux, la courbe de rendement va elle-même suivre ce déplacement. Le rendement est alors augmenté, d'autant plus que le déplacement de la courbe est important. Cette technique permet, en théorie, d'avoir un rendement optimal à chaque instant et pour n'importe quel niveau d'entrée. Nous pouvons alors envisager de se baser sur les techniques de polarisation dynamique exposées au chapitre 2, en particulier la variation du courant de polarisation (DCB), nous permettant de modifier dynamiquement le $CP1$ en fonction du niveau de la puissance d'entrée [Del04]. Toutefois, nous avons vu que cette technique s'accompagnait d'une variation du gain. Une boucle de régulation est alors nécessaire afin de maintenir ce dernier constant et éviter la déformation de l'enveloppe.

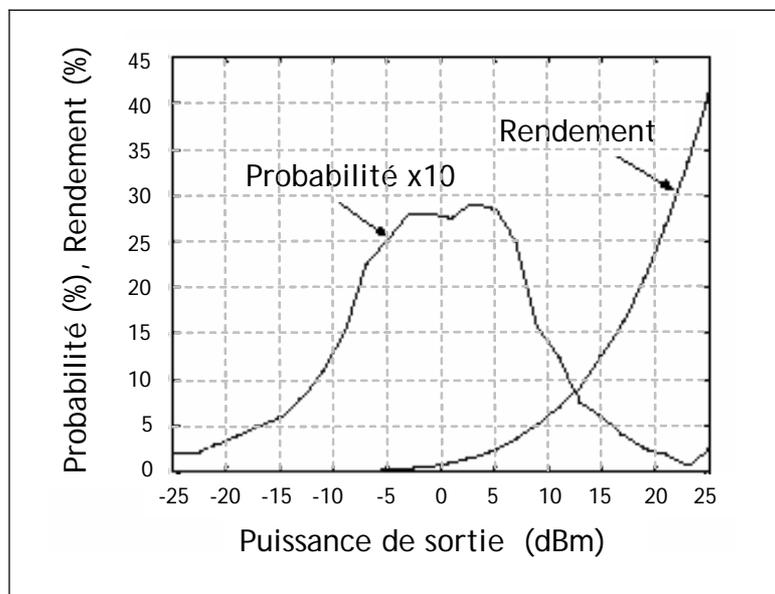


Figure 3 - 3 : Distribution de probabilité de niveau d'émission et de rendement

Pour la mise en œuvre de la modification dynamique du $CP1$, nous utilisons le fait que dans chaque système de transmission, de nombreux échanges de données s'effectuent entre la partie *front-end* et la partie *bande de base*. Dans ces conditions, le niveau de puissance du signal d'entrée pourra être indiqué directement à l'amplificateur de puissance par le DSP (*Digital Signal Processing*) à travers le paramètre définissant le rapport de la puissance maximum instantanée sur la puissance moyenne du signal. Ce paramètre est appelé PAR (*Peak-to-Average Ratio*). Le Tableau 3 - 1 nous permet d'établir une comparaison entre la valeur du PAR pour différents standards.

Standard	PAR (dB)
GSM	0
EDGE	3,2
UMTS	3,5-7
802.11a/g	8-10

Tableau 3 - 1 : Valeur du PAR pour quelques standards

Il apparaît clairement que le PAR est un élément de caractérisation des signaux qui présente des valeurs différentes pour le GSM et l'UMTS. L'amplificateur peut alors être en mesure de savoir s'il traite des signaux à enveloppe constante ou non-constante et quelle sera l'amplitude de ces signaux, avant que ceux-ci ne se présentent sur son entrée. Cette information peut arriver par exemple sous la forme d'un mot composé de N bits, qui peuvent dès lors devenir des entrées de commande sur l'amplificateur de puissance, comme le présente la Figure 3 - 4.

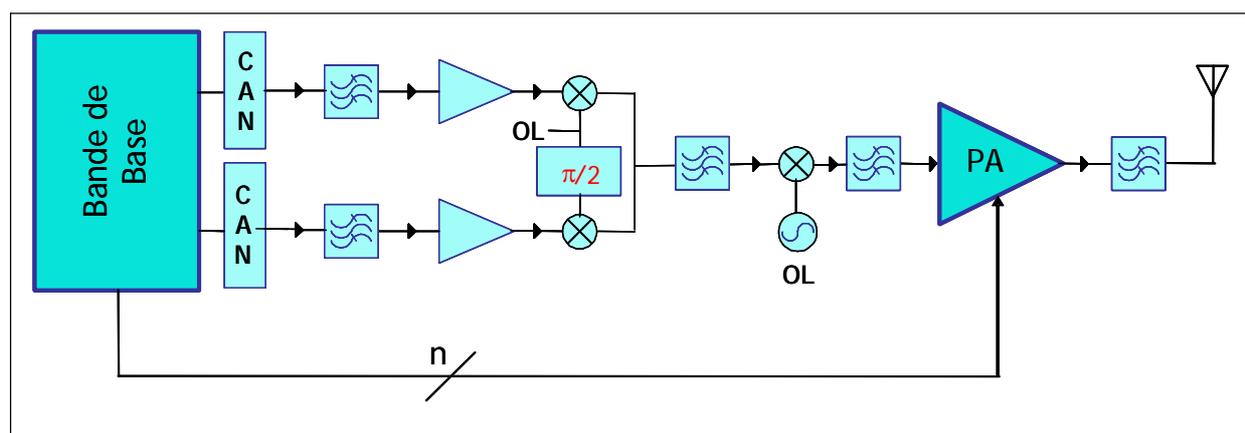


Figure 3 - 4 : Structure d'un émetteur : échanges entre la partie bande de base et le PA

La conception de l'amplificateur de puissance et la mise en œuvre de la technique de modification dynamique du CP1 est décrite dans la partie suivante.

III Conception de l'amplificateur de puissance

Nous avons choisi au chapitre 2 de travailler sur une architecture à deux étages. Sachant que l'amplificateur doit en premier lieu être capable de délivrer la puissance spécifiée, nous commençons toujours par la conception du deuxième étage, pour remonter ensuite progressivement vers l'entrée.

III.1 *Conception de l'étage de puissance*

L'étage de puissance est basé sur un émetteur commun, qui nous permet d'avoir à la fois du gain en tension et en courant sous de faibles tensions d'alimentation. L'élément clé est donc le transistor utilisé pour réaliser le montage en émetteur commun. Il est appelé transistor de sortie ou de puissance. Il nous faut dès à présent déterminer les conditions de fonctionnement optimales de ce transistor, en étudiant successivement sa charge, sa taille, sa dégradation d'émetteur et sa polarisation.

III.1.1 L'impédance de charge

Les spécifications de l'UMTS indiquent que l'amplificateur de puissance doit délivrer 24 dBm (250 mW) à la charge. La tension d'alimentation est fixée à $2,5\text{V}$, valeur qui correspond à la tension maximum autorisée par la technologie. La relation liant la puissance de sortie maximale théorique, la tension d'alimentation et la résistance de charge est donnée par l'équation Eq. 3-1.

$$P_{out,W} = \frac{V_{CC}^2}{2 \times R_{ch}} \quad \text{Eq. 3 - 1}$$

Avec une tension de $2,5\text{V}$, la puissance maximum que l'on peut fournir sur 50Ω est :

$$P_{out,max} = \frac{2,5^2}{2 \times 50} = 62,5\text{mW} \quad \text{Eq. 3 - 2}$$

Cette puissance est largement en dessous des 250 mW que nous cherchons à obtenir. Il nous faut donc présenter au transistor une charge plus faible :

$$R_{ch} = \frac{V_{CC}^2}{2 \times 0,25} = 12,5\Omega \quad \text{Eq. 3 - 3}$$

Le réseau d'adaptation de sortie devra donc ramener l'impédance de 50Ω vers $12,5\Omega$. Cette transformation est particulièrement difficile à réaliser sur silicium car elle nécessite de

nombreux éléments passifs dont les pertes sont importantes en technologie Silicium, elle sera donc effectuée sur le PCB.

III.1.2 Choix de la taille du transistor de sortie

Plaçons-nous dans le cas d'un fonctionnement en classe A pour effectuer notre raisonnement. Le courant RF crête est déterminé par la relation donnée Eq.3-4.

$$I_{RFpeak} = \frac{V_{CC}}{R_{ch}} = \frac{2,5}{12,5} = 200mA = I_{DC} \quad \text{Eq. 3 - 4}$$

Avec une impédance de charge de $12,5\Omega$, il est égal à $200 mA$ et le courant de polarisation DC du transistor doit être égal à cette valeur [Lee98].

Le courant maximum susceptible de traverser le transistor est la somme du courant de polarisation et du courant RF crête, autrement dit le double du courant moyen. Un transistor unitaire n'est pas forcément en mesure de délivrer un tel courant. Enfin, nous devons garder une marge sur la puissance délivrée à la charge, en effet, des pertes sont attendues dans le réseau d'adaptation de sortie, généralement, cette marge est de 3dB. Cela revient à dimensionner le transistor pour le double de la puissance recherchée. Nous le voyons, le courant traversant le transistor de puissance peut rapidement atteindre de fortes valeurs. Il est alors nécessaire de mettre plusieurs transistors en parallèle.

Afin de déterminer la taille et le nombre de transistor à mettre en parallèle, nous allons nous intéresser à un paramètre essentiel des transistors, lié à la technologie utilisée, il s'agit de la fréquence de transition.

III.1.2.1 Fréquence de transition

La technologie BiCMOS7RF de STMicroelectronics dispose d'une fréquence de transition f_T qui est connue ($70 GHz$) et dépendante du courant de collecteur. Il nous faut veiller à dimensionner le transistor de façon à travailler proche de la fréquence maximum, f_{max} , reliée à la fréquence de transition f_T par l'équation Eq. 3-5, et ainsi de bénéficier du meilleur gain en courant.

$$f_{max} = \sqrt{\frac{f_T}{8\pi C_{cb} r_b}} \quad \text{Eq. 3 - 5}$$

où C_{cb} est la capacité collecteur-base et r_b la résistance totale de la base.

Les courbes Figure 3 - 5 sont présentées uniquement à titre indicatif et nous invitent essentiellement à être vigilants sur la géométrie des transistors afin d'optimiser la fréquence de transition. En effet, nous y retrouvons les variations de la fréquence de transition en fonction du courant de collecteur pour différentes tailles de transistors, sur des transistors SiGe *low-voltage* dédiés aux applications RF de la technologie BiCMOS7RF de STMicroelectronics. Les courbes en trait plein correspondent aux simulations effectuées avec le modèle HICUM tandis que les points et triangles sont des résultats de mesure.

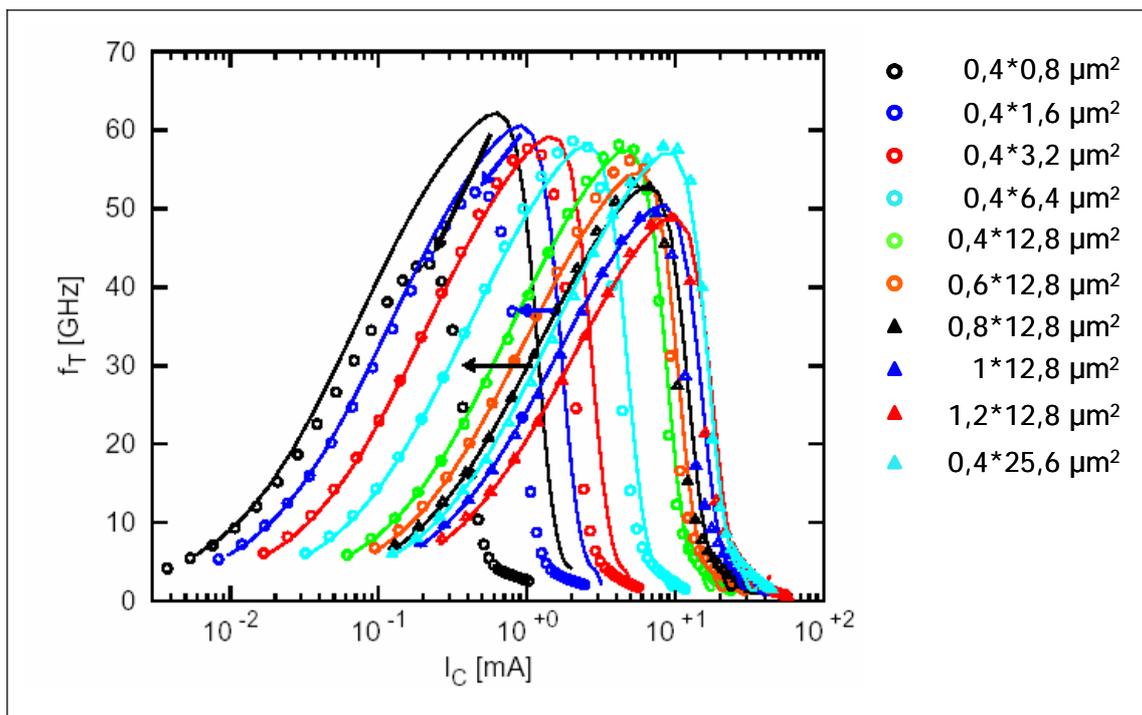


Figure 3 - 5 : Variation de la fréquence de transition en fonction du courant de collecteur [Cel04]

Nous voyons clairement que la fréquence de transition dépend à la fois de la longueur, de la largeur du transistor, autrement dit de sa géométrie et du courant traversant celui-ci.

La forme des courbes nous indique qu'il est également indispensable de polariser le transistor avec un courant de collecteur relativement faible : l'application de forts signaux sur le transistor peut entraîner la chute rapide de la fréquence de transition si le courant de collecteur est trop important pour une géométrie donnée.

Les transistors que nous utiliserons pour réaliser les deux émetteurs communs sont des transistors HBT-HV (*High Voltage*) SiGe essentiellement destinés aux applications de puissance. Ces derniers ont la particularité d'avoir une zone d'implantation du collecteur réduite. En effet, la tension d'avalanche collecteur-émetteur BV_{CE0} de ces transistors est égale à 6V, à comparer avec la tension d'avalanche des transistors *low-voltage* égale à 3V. Le DRM (*Design Rules Manual*) nous renseigne également sur la fréquence de transition (30 GHz) et la fréquence maximum f_{max} (60 GHz) pour $V_{CE}=1,5V$ et une surface de $0,4*6\mu m^2$ (0,4 μm est la largeur minimale pour ce composant).

III.1.2.2 Détermination de la géométrie du transistor de sortie

Pour déterminer la géométrie, nous devons de plus garder à l'esprit que l'amplificateur de puissance reconfigurable final devra fonctionner aussi bien en mode UMTS qu'en mode GSM, pour lequel la puissance de sortie, et par conséquent le courant de l'étage de sortie, sera plus importante (multipliée par 4). Dans le cas de l'UMTS et d'un fonctionnement dans la classe la plus linéaire (classe A), le courant moyen traversant les transistors est de 200 mA et le maximum de courant traversant les transistors est de 400 mA. Nous avons choisi de mettre en parallèle 100 transistors de dimension $0,4*30\mu m^2$, afin d'avoir une fréquence de transition optimale pour le maximum de courant qui est amené à traverser l'étage de puissance. En effet, en se référant à la Figure 3 - 5, nous voyons que la fréquence de transition diminue avec l'augmentation de la largeur du transistor. En ce qui concerne la longueur du transistor, sa valeur doit être élevée pour supporter un courant maximum de 400 mA sans que la fréquence de transition ne soit dégradée. Nous avons donc choisi une longueur de 30 μm .

III.1.3 La dégénération de l'émetteur

Nous venons de le voir, plus la puissance de sortie est forte, plus le nombre de transistors mis en parallèle est important. L'impédance d'entrée de l'étage est alors très faible, inférieure à quelques ohms. Il peut s'avérer nécessaire d'élever cette valeur pour faciliter l'adaptation inter-étage. Nous pouvons, par exemple, placer une impédance $Z_e=R_e+jL_e\omega$ en série dans l'émetteur. Cette action a néanmoins un effet néfaste sur le gain en tension puisque celui-ci s'écrit, de façon approximative et aux basses fréquences :

$$A_v \approx \frac{g_m Z_c}{1+g_m Z_e} \quad \text{Eq. 3 - 6}$$

Pour des fréquences plus élevées, le comportement reste le même : le gain chute lorsque l'impédance Z_e augmente.

Il est donc nécessaire de faire un compromis entre l'impédance d'entrée et la chute du gain.

Toutefois, même si nous ne plaçons pas volontairement une impédance dans l'émetteur, les fils de bonding servant à relier les plots de masse de la puce aux broches du boîtier dans lequel le circuit sera placé, sont équivalents à une inductance parasite mais également des capacités et des résistances parasites [Fal01]. La valeur de l'impédance associée est alors dépendante du boîtier choisi, du rapport entre la taille de la puce et du boîtier, c'est-à-dire de la longueur des fils de bonding, du nombre de plots à câbler, des inductances mutuelles qui apparaissent, etc. Il est donc difficile de maîtriser cette valeur, il est néanmoins nécessaire de pouvoir l'évaluer pour effectuer les simulations.

Pour la réalisation du circuit, nous disposons d'un boîtier TQFP à 32 broches et à fond métallisé. Nous avons donc tiré partie du grand nombre de broches pour mettre en parallèle 8 fils de bonding dans l'émetteur, ceci afin de diminuer l'impédance équivalente et de répartir le courant dans les fils de bonding. Le gain en puissance linéaire de l'amplificateur de puissance passe ainsi de $21,1 \text{ dB}$ avec un seul bonding à $24,5 \text{ dB}$ avec 8 fils de bonding. Cette différence de gain n'est pas si surprenante lorsqu'on sait que l'impédance équivalente d'un fil de bonding de 2 mm à $1,95 \text{ GHz}$ est de l'ordre de $1,6 \text{ nH} \cdot 2\pi \cdot 1,95 \text{ GHz} \approx 20 \Omega$.

Par ailleurs, une résistance de quelques ohms est placée dans chaque émetteur des transistors. La présence de ces résistances permet d'une part de limiter les phénomènes d'emballage thermique et d'autre part de garantir un courant uniforme en évitant l'apparition de *points chauds* [Tse00]. A partir des calculs extraits de [Ald98] et [Rie02], l'expression de la résistance d'émetteur minimum est donnée Eq. 3-7.

$$R_E \geq \frac{k \cdot T}{q \cdot I_C} [(0,05 \cdot I_C) \cdot \theta_{th} \cdot V_C - 1] \quad \text{Eq. 3 - 7}$$

Dans cette expression, I_C et V_C sont le courant et la tension DC respectivement, θ_{th} est la résistance thermique. La résistance thermique est définie par la relation suivante :

$$\theta_{th} = \frac{\Delta T}{I_C \cdot V_C} \quad \text{Eq. 3 - 8}$$

En reportant l'éq. 3-8 dans l'éq. 3-7, la résistance R_E devient :

$$R_E \geq \frac{k \cdot T}{q \cdot I_C} [0,05 \cdot \Delta T - 1] \quad \text{Eq. 3 - 9}$$

Sachant que $I_C = 200\text{mA}$ et $\Delta T \approx 100\text{K}$, la valeur minimum de R_E que nous devons utiliser dans chaque émetteur des transistors pour éviter l'emballement thermique est égale à $0,7\Omega$.

III.1.4 La polarisation de l'étage

La polarisation de l'étage de puissance est fixée par le circuit présenté dans le chapitre 2, qui nous permet de contrôler le point de polarisation des transistors de l'étage de puissance suivant le mécanisme décrit dans ce même chapitre. Le circuit plus détaillé est présenté Figure 3 - 6.

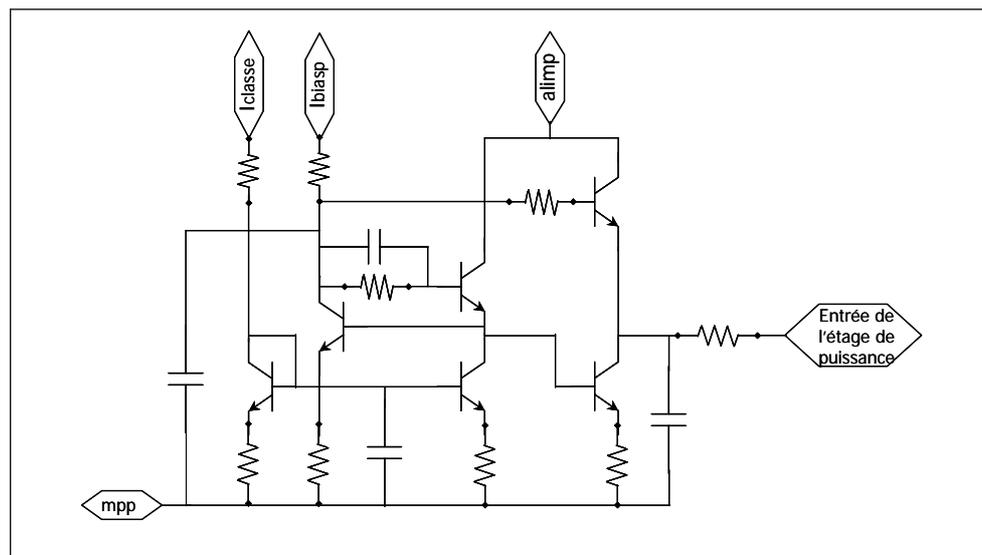


Figure 3 - 6 : Circuit de polarisation de l'étage de puissance

Comme nous l'avons vu au chapitre 2, ce circuit de polarisation permet de faire varier la tension base-émetteur du transistor de l'étage de puissance grâce à la source de courant variable nommée I_{classe} . Cela nous permet de contrôler le courant traversant chaque transistor comme le montre la Figure 3 - 7.

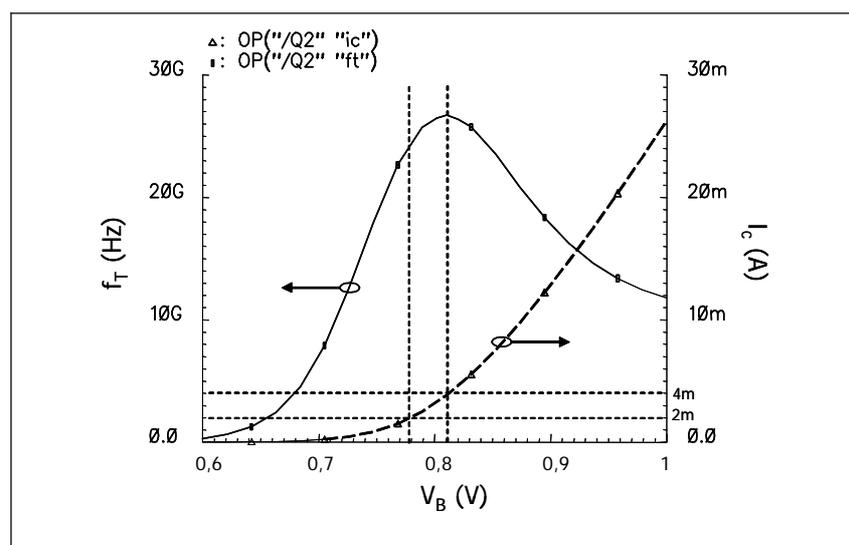


Figure 3 - 7 : Variation de la fréquence de transition et du courant de collecteur en fonction de la tension de polarisation

Nous avons également vu au chapitre 2 que le rendement du deuxième étage était prépondérant sur le rendement global, il nous faut donc être vigilant sur le rendement de cet étage. Le standard UMTS exige une amplification très linéaire. Afin de garantir une bonne linéarité tout en conservant un rendement acceptable, cet étage est polarisé en classe AB. La tension V_B appliquée sur la base de chaque transistor est alors de 780 mV . En effet, pour une tension inférieure, nous tombons en-dessous des spécifications pour la puissance de sortie, tandis que pour une tension supérieure, la puissance consommée devient trop importante. Pour ce point de polarisation, nous vérifions bien que la fréquence de transition a une valeur correcte (24 GHz), c'est-à-dire un peu inférieure à la fréquence de transition maximum (27 GHz) afin que de forts signaux ne viennent pas faire trop chuter la fréquence de transition.

III.2 Conception du premier étage

Après avoir déterminé la topologie de l'étage de puissance, nous nous intéressons au premier étage.

III.2.1 Variation dynamique du CP1

Nous avons établi au chapitre 2 que la modification du $CP1$ du premier étage avait plus d'influence sur le $CP1$ global que de modifier celui du deuxième étage. Nous nous intéressons donc à la variation du $CP1$ du premier étage. Le principe est le suivant : si un faible niveau de puissance du signal est appliqué à l'entrée du PA, le $CP1$ est déplacé vers ce

niveau, le but étant d'entraîner avec lui le déplacement de la courbe du rendement en puissance ajoutée que nous avons vu Figure 3 - 3. Pour cela, les informations provenant du DSP viennent alors directement commander la source de courant du premier étage de l'amplificateur, nommée *Ibias* sur la Figure 3 - 8.

III.2.2 Compromis linéarité/rendement de l'étage

Le compromis linéarité/rendement a été traité sur les structures multi-étage dans le chapitre 2. Nous avons vu que le rendement du premier étage n'avait que peu d'influence sur le rendement global par rapport à l'influence du rendement du deuxième étage. Il est possible donc de relâcher cette contrainte pour le premier étage, au profit de la linéarité, en utilisant une classe sinusoïdale de type A ou AB « légère ». Nous avons vu que l'étage de puissance est polarisé en classe AB, nous pouvons dès lors polariser le premier étage en classe A.

III.2.3 Structure de l'étage

La structure du premier étage est présentée Figure 3 - 8. Elle est basée également sur un émetteur commun.

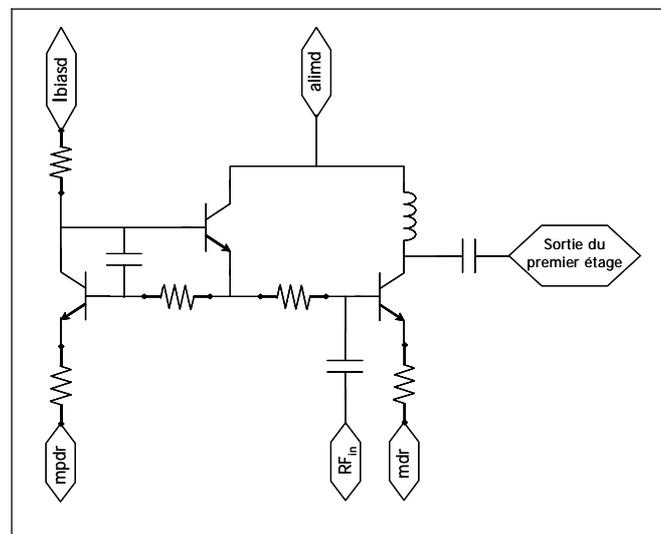


Figure 3 - 8 : Schéma du premier étage

Selon le même principe que l'étage de puissance, nous avons veillé à dimensionner le transistor en fonction du courant le traversant. L'émetteur commun est réalisé par 20 transistors HBT-HV SiGe:C en parallèle, de largeur d'émetteur de 20 μ m. L'émetteur est dégénéré par 4 fils de bonding. Dans le collecteur est insérée une inductance de 1 nH,

participant à l'adaptation inter-étage. Le circuit de polarisation est constitué d'un miroir de courant de type EFA (Emitter Follower Augmented) afin d'améliorer la recopie du courant.

III.3 Circuits d'adaptation d'impédance

III.3.1 Entrée

Le circuit d'adaptation d'entrée est principalement réalisé sur le PCB, seule une capacité série est intégrée. En effet, nous ne disposons pas du modèle du boîtier TQFP32. Les éléments parasites ramenés par le boîtier ne peuvent donc pas être correctement modélisés et le réseau d'adaptation calculé grâce aux simulations ne nous permettent pas de réaliser convenablement l'adaptation d'impédance.

III.3.2 Inter-étage

La partie fixe de l'adaptation inter-étage est réalisée par l'inductance placée dans le collecteur du premier étage et la capacité servant à isoler les deux étages. Nous avons de plus une partie variable qui correspond à l'impédance équivalente du circuit de polarisation du deuxième étage. En effet, la modification du point de compression à 1 dB, et par conséquent de la linéarité du dispositif, entraîne inévitablement une modification du gain de l'amplificateur. Afin de ne pas détériorer l'information contenue dans l'enveloppe du signal le cas échéant, il nous faut alors s'assurer que le gain puisse être maintenu constant.

Nous rappelons l'expression du gain de l'émetteur commun :

$$A_v = - \frac{g_m \cdot Z_L}{1 + \frac{Z_{\text{eqB}}}{Z_{\text{be}}} + Z_{\text{eqE}} \cdot \left(g_m + \frac{1}{Z_{\text{be}}} \right)} \quad \text{Eq. 3 - 10}$$

Les paramètres inclus dans cette expression sont détaillés au chapitre 2.

Nous allons donc réaliser un contrôle de l'impédance équivalente du circuit de polarisation du deuxième étage, par l'intermédiaire de la source de courant nommée *Ibiasp*, afin d'assurer un gain global constant pour les deux étages malgré la mise en œuvre du contrôle dynamique du *CP1*.

III.3.3 Sortie

L'impédance en sortie de l'émetteur commun est très faible. Le circuit d'adaptation de sortie est difficile à réaliser sur silicium car de nombreux éléments sont nécessaires pour

ramener cette impédance à 50Ω . De plus, les différents éléments parasites du boîtier vont modifier l'impédance présentée à la charge, ce qui est déjà le cas pour le réseau d'entrée mais avec un point supplémentaire : cette fois le courant traversant les éléments du réseau d'adaptation est bien plus élevé, ce qui implique des pistes plus larges et un nombre plus grand de *vias*. La surface occupée par les inductances et les condensateurs du réseau de sortie est donc très importante. Pour ces raisons, l'adaptation de sortie est réalisée sur le PCB.

III.4 Dessin de l'amplificateur de puissance

Le circuit est réalisé en technologie BiCMOS7RF SiGe $0,25\mu\text{m}$ de STMicroelectronics. Cette technologie nous permet de disposer de cinq niveaux de métallisation et de composants passifs optimisés pour les systèmes RF.

Le dessin du circuit est présenté Figure 3 - 9.

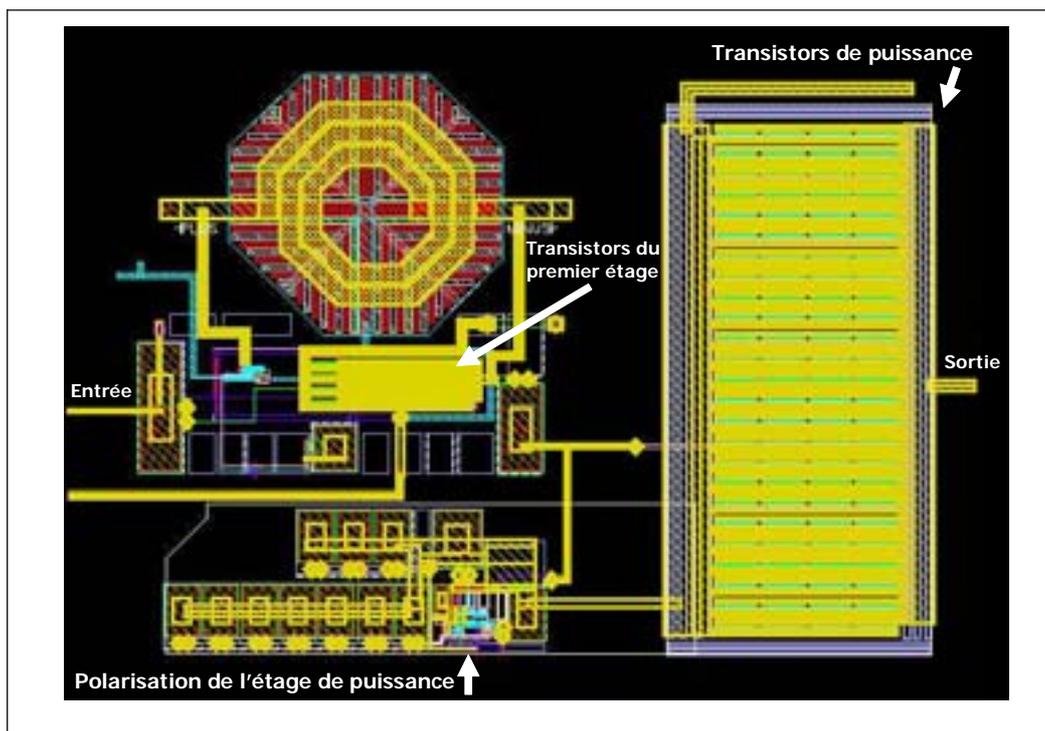


Figure 3 - 9 : Dessin du circuit

La surface de l'amplificateur de puissance est de $460*620 \mu\text{m}^2$ (sans les pads). Une grande part de cette surface est occupée par l'inductance présente dans le collecteur des transistors du premier étage et par les 100 transistors de l'étage de puissance qui

représentent une surface de $206 \times 430 \mu\text{m}^2$. Sur la partie gauche du dessin, nous distinguons le premier étage en haut, et le circuit de polarisation du deuxième étage en bas. Compte tenu du courant important traversant les pistes en sortie de l'étage de puissance, nous avons choisi de placer l'inductance du collecteur de cet étage directement sur le PCB.

Les transistors de l'étage de puissance sont au nombre de 100. Nous avons dessiné une matrice de 25×4 cellules. Le détail d'une cellule est donné Figure 3 - 10. L'émetteur (partie supérieure du dessin) est directement relié à une résistance de dégénérescence (partie inférieure) afin d'éviter les problèmes d'emballement thermique. Les pistes reliant les collecteurs et les résistances sont réalisées par le métal le moins résistif.

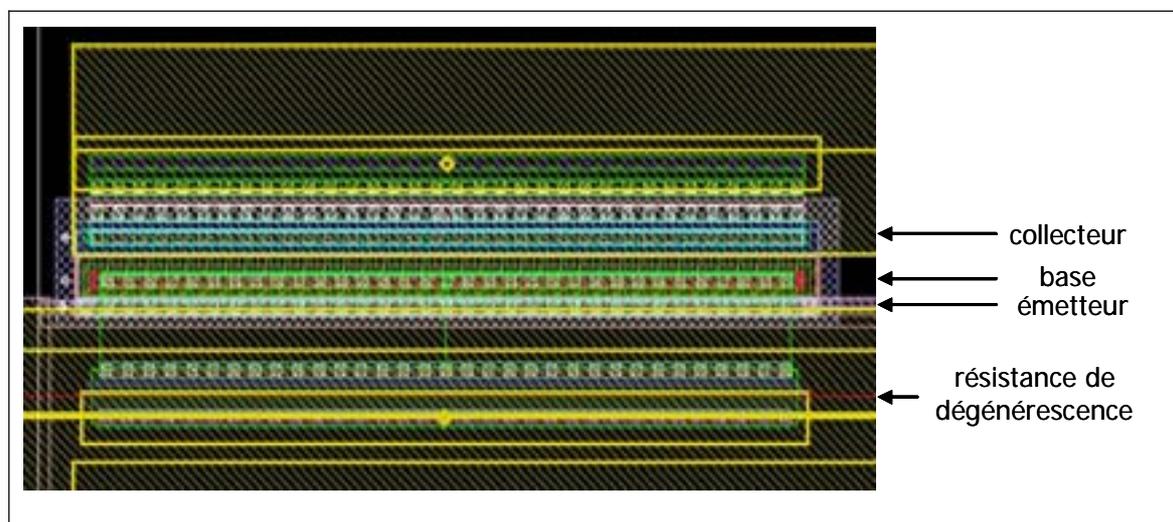


Figure 3 - 10 : Dessin d'une cellule de l'étage de puissance

IV Résultats de simulation

Le schéma de la Figure 3 - 11 a été simulé grâce au progiciel CADENCE SpectreRF.

Lors de la simulation, nous avons tenu compte des fils de bonding reliant chaque plot aux broches du boîtier. En effet, nous avons évoqué le fait que ces fils sont équivalents à une inductance parasite mais également à des capacités et à des résistances parasites. Il est donc impératif de les intégrer très tôt dans la conception du circuit.

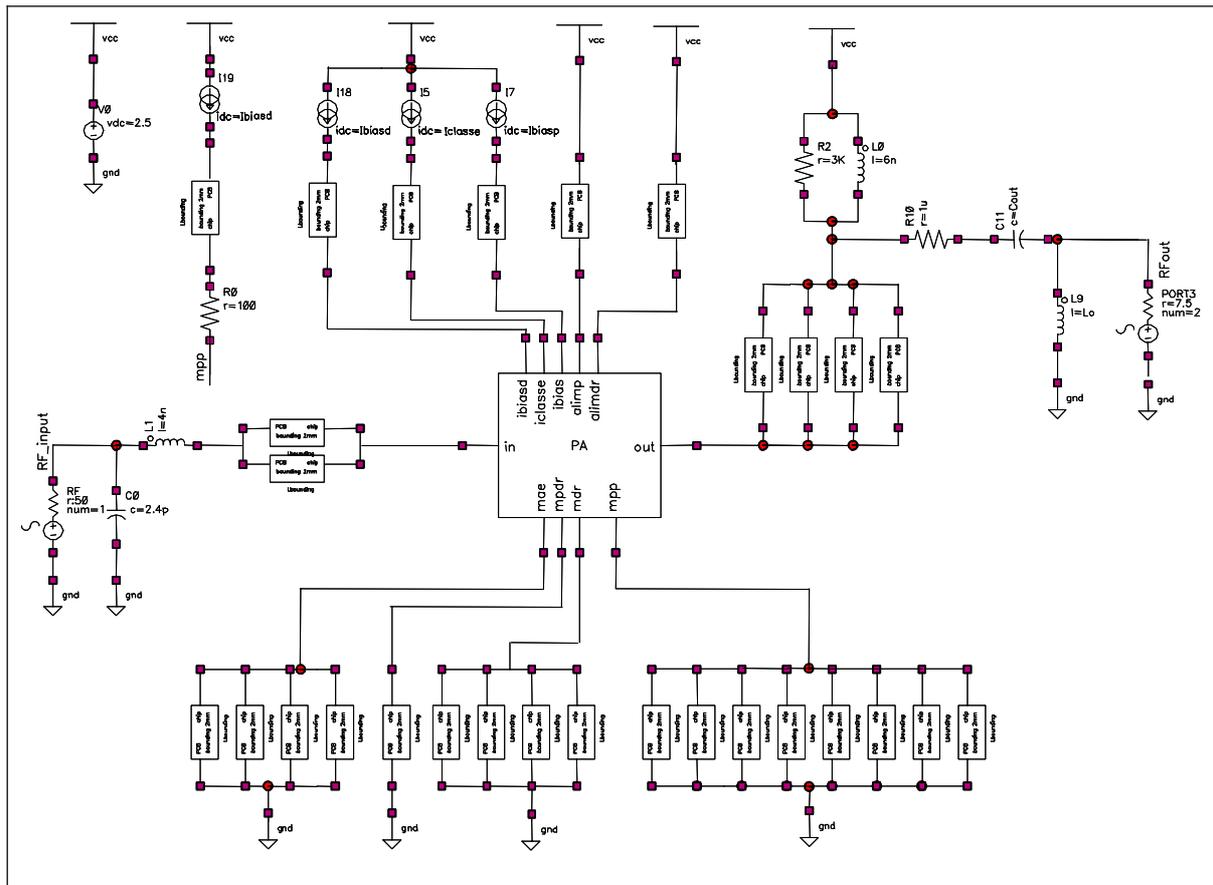


Figure 3 - 11 : Schéma utilisé pour la simulation

Le modèle simplifié d'un fil de bonding est présenté Figure 3 - 12 pour une longueur de $2mm$. Nous avons alors inséré ce modèle dans le schéma de simulation, à chaque entrée, sortie, alimentation, etc. de l'amplificateur.

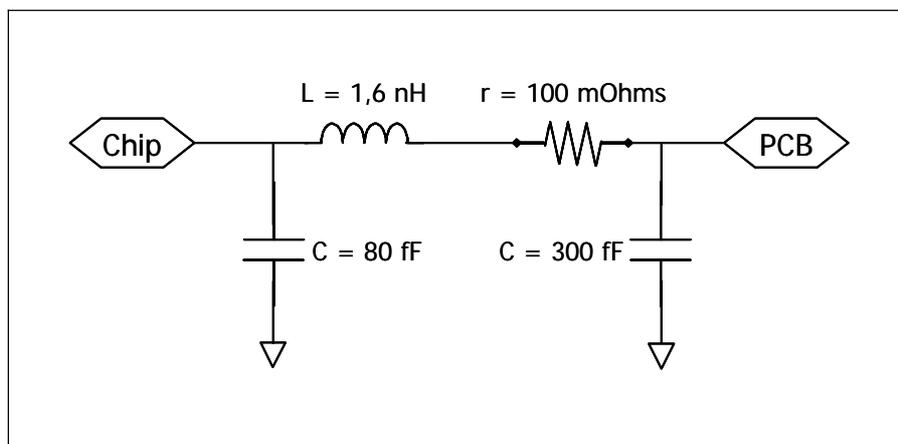


Figure 3 - 12 : Modèle simplifié d'un fil de bonding

La puissance de sortie requise pour l'UMTS est de 24 dBm . Pour cette puissance de sortie, l'amplificateur de puissance, fonctionnant en classe A-AB, atteint un rendement en puissance ajoutée de $32,4\%$ et un gain en puissance de $24,2 \text{ dB}$. Les coordonnées du point de compression à 1 dB sont $ICP1=3 \text{ dBm}$ et $OCP1=26,2 \text{ dB}$. Le rendement en puissance ajoutée est égal à $43,2 \%$ au $CP1$.

Ce fonctionnement correspond aux conditions optimales pour atteindre la puissance de sortie spécifiée avec un bon rendement. Afin de garantir un rendement moyen correct, nous nous intéressons aux faibles niveaux d'entrée par la modification dynamique du $CP1$.

IV.1 Variation du point de compression à 1dB

La puissance de sortie et le rendement en puissance ajoutée en fonction du niveau de la puissance d'entrée sont représentées Figure 3 - 13 et Figure 3 - 14 respectivement, en fonction de la source de courant du premier étage I_{biasd} [Del04].

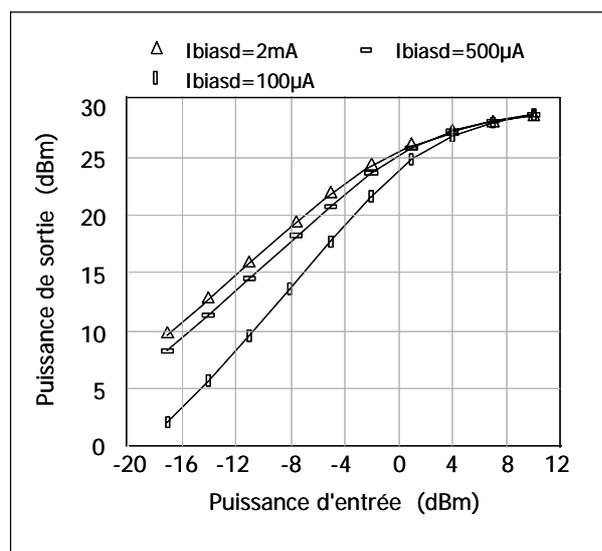


Figure 3 - 13 : Courbe AM/AM pour trois valeurs de I_{biasd}

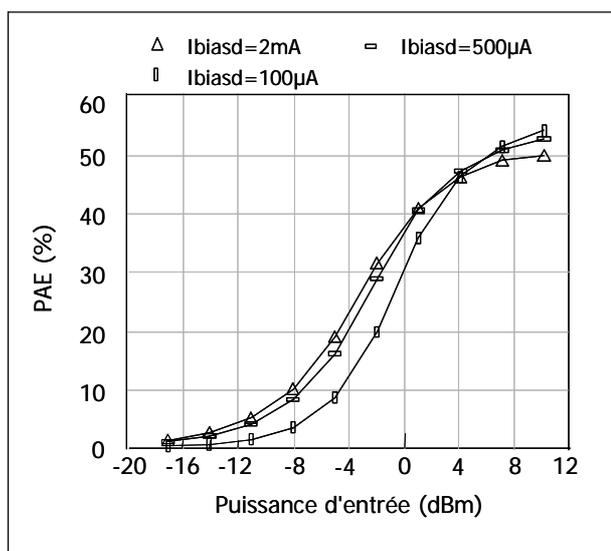


Figure 3 - 14 : PAE en fonction de P_{in} pour trois valeurs de I_{biasd}

Lorsque nous faisons varier la source de courant I_{biasd} , le $CP1$ varie, comme nous le voyons Figure 3 - 13. Les coordonnées de ce point passent de $(-1 ; 24,9) \text{ dBm}$ à $(3 ; 26,2) \text{ dBm}$, pour des valeurs de I_{biasd} passant de 2mA à $100\mu\text{A}$, respectivement. Ces valeurs sont données au Tableau 3 - 2, et les effets de cette variation sur le rendement en puissance ajoutée sont présentés Figure 3 - 14.

<i>I_{biasd}</i> (mA)	ICP1 (dBm)	OCP1 (dBm)
0,1	3	26,2
0,5	1	25,9
0,74	0,5	25,5
1,4	0	25,4
2	-1	24,9

Tableau 3 - 2 : Mise en évidence de la variation du point de compression à 1dB en fonction de *I_{biasd}*

Lorsque la source de courant *I_{biasd}* vaut $100\mu\text{A}$, le rendement en puissance ajoutée vaut $32,4\%$ pour une puissance de sortie de 24 dBm requise pour l'UMTS, l'amplificateur fonctionne alors en classe linéaire. Pour les niveaux d'entrée plus faibles, comme nous le savons, le rendement en puissance ajoutée est nettement plus bas. Par exemple, pour une puissance d'entrée de $-9,2\text{ dBm}$ et une puissance de sortie de 15 dBm , le rendement en puissance ajoutée vaut $5,1\%$. En faisant varier *I_{biasd}* de $100\mu\text{A}$ à 2 mA , la variation du point de compression permet de remonter cette valeur à $13,1\%$. Un autre exemple est présenté dans le Tableau 3 - 3 pour une puissance de sortie de 20 dBm .

P_{in} (dBm)	P_{out} (dBm)	PAE (%) @ <i>I_{biasd}</i> = $100\mu\text{A}$	PAE (%) @ <i>I_{biasd}</i> = 2mA
-9,2	15	5,1	13,1
-4,2	20	15,6	27,3

Tableau 3 - 3 : Evolution du PAE à faibles niveaux d'entrée

En décalant le CP1 vers les plus bas niveaux, les courbes de rendement sont elles-mêmes décalées, comme nous le voyons Figure 3 - 15. Le rendement moyen est ainsi amélioré [Del05]. Dans le premier cas, pour une valeur très faible de puissance d'entrée

($-9,2 \text{ dBm}$), le rendement augmente de 257% et dans le deuxième cas, pour une valeur plus élevée ($-4,2 \text{ dBm}$), l'augmentation est de 175% .

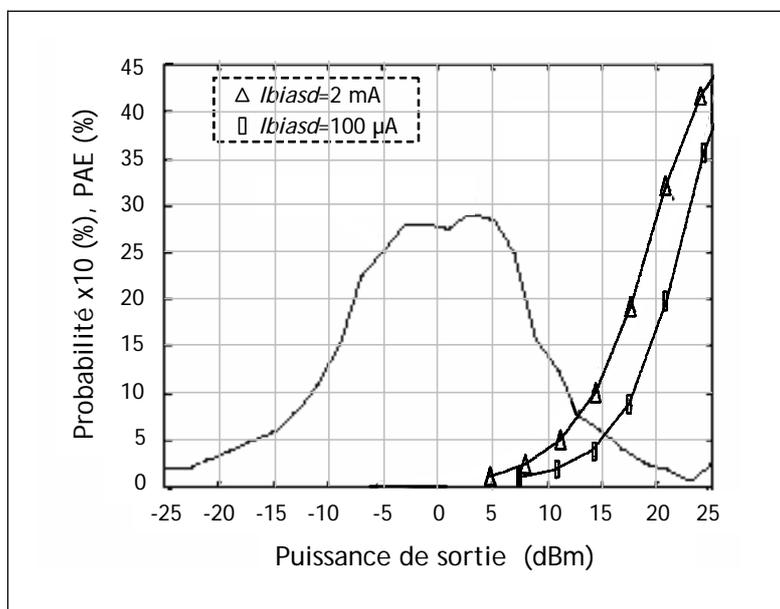


Figure 3 - 15 : Amélioration du rendement

Les valeurs de la source I_{biasd} sont comprises entre $100\mu\text{A}$ et 2mA . En effet, au-dessous de $100\mu\text{A}$, les transistors du premier étage notés Q_d ne sont plus correctement polarisés, la fréquence de transition et le gain en courant des transistors chutent, tandis qu'au-dessus de 2mA , la variation du CP1 devient très faible alors que la puissance consommée augmente : les améliorations sur le rendement apportées par la modification du CP1 sont ainsi annihilées.

IV.2 Contrôle du gain

La variation de la source de courant I_{biasd} permet de modifier le point de compression à 1 dB et entraîne une variation du gain en puissance petit signal de la structure, de $24,2$ à $26,8 \text{ dB}$. La Figure 3 - 16 présente cette variation du gain en fonction de la source de courant de polarisation du premier étage, I_{biasd} .

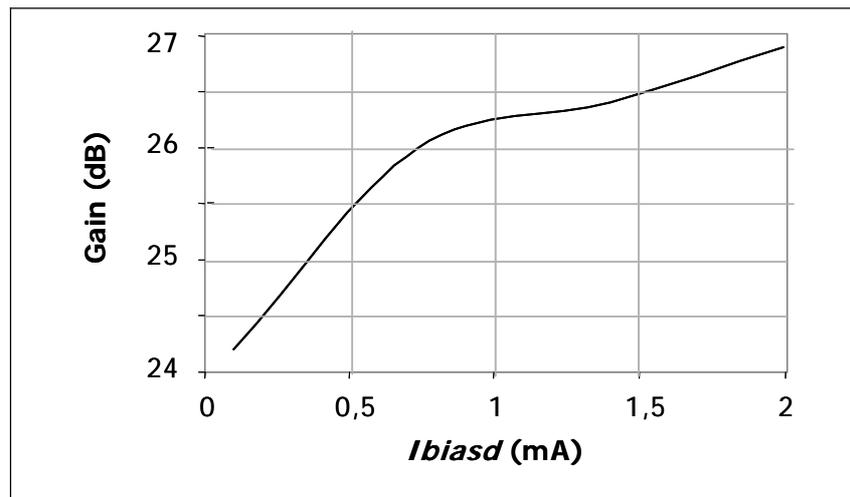


Figure 3 - 16 : Gain petit signal du PA en fonction du courant de polarisation du premier étage I_{biasd} @1,95 GHz

La Figure 3 - 17 montre la répartition du gain total entre le premier et le deuxième étage sous la variation de la source I_{biasd} .

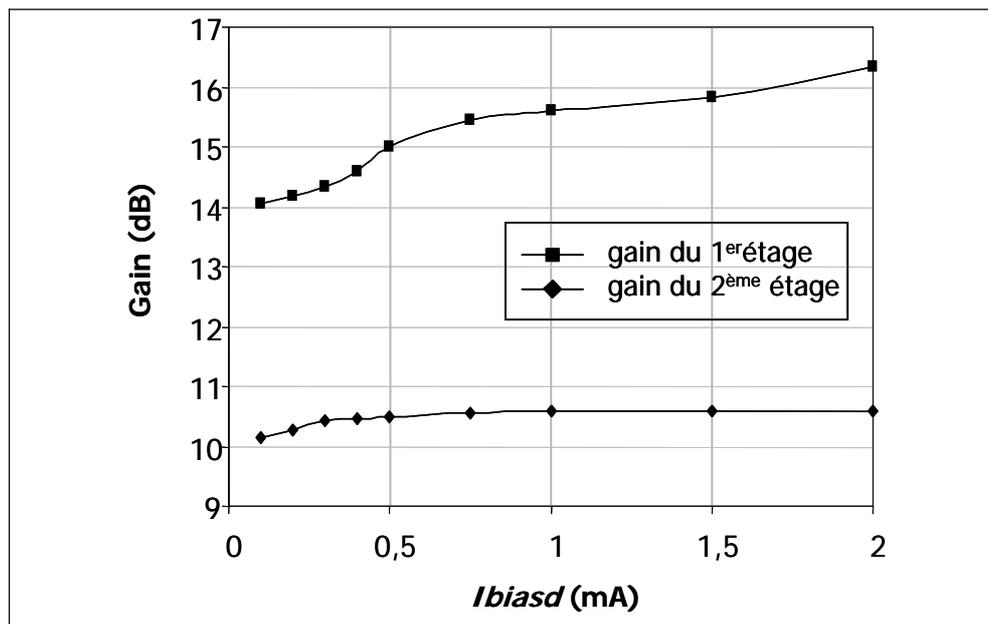


Figure 3 - 17 : Répartition du gain de la structure en fonction de I_{biasd}

Cette figure met en évidence que la variation du gain se fait essentiellement sur le premier étage, la caractéristique du deuxième étage n'est pas modifiée par la variation de la source I_{biasd} . En augmentant la valeur de la source I_{biasd} , le CP1 du deuxième étage est plus vite atteint. L'optimum de rendement du deuxième étage est donc plus vite approché,

ce qui est de première importance puisque nous avons vu que le rendement du deuxième étage était prépondérant sur le rendement global.

Il est très important, dans les systèmes utilisant des signaux à enveloppe non-constante, tel que l'UMTS, de maintenir le gain constant afin de ne pas détériorer l'information portée par l'enveloppe.

Le circuit de polarisation du deuxième étage est utilisé à cette fin. En effet, en faisant varier la source de courant I_{biasp} (voir Figure 3 - 6), l'impédance RF équivalente du circuit de polarisation est modifiée, comme le montre les résultats Figure 3 - 18, de $(28-j.15) \Omega$ pour les plus petites valeurs de I_{biasp} à $(33-j.12) \Omega$ pour les plus grandes valeurs de I_{biasp} .

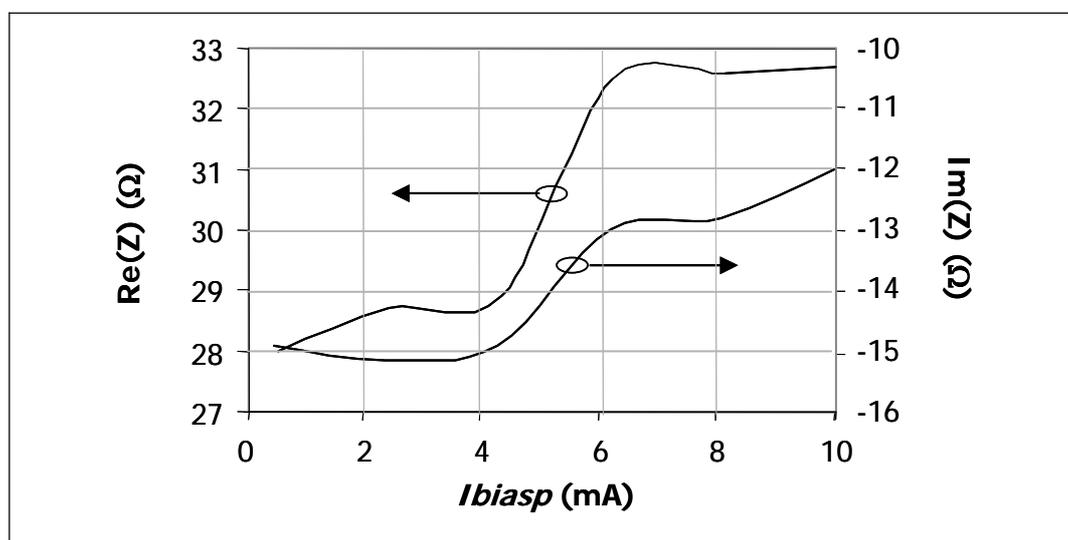


Figure 3 - 18 : Impédance RF équivalente du circuit de polarisation en fonction de la source I_{biasp} @1,95 GHz, $I_{biasd}=4\text{mA}$ & $I_{classe}=200\mu\text{A}$

La modification d'impédance réalisée nous permet d'obtenir une variation du gain de $26,8$ à $17,9$ dB, comme nous le voyons Figure 3 - 19. La plage de variation est alors suffisante pour compenser les variations de gain dues à la modification du CP1. Un réajustement du gain peut donc être effectué.

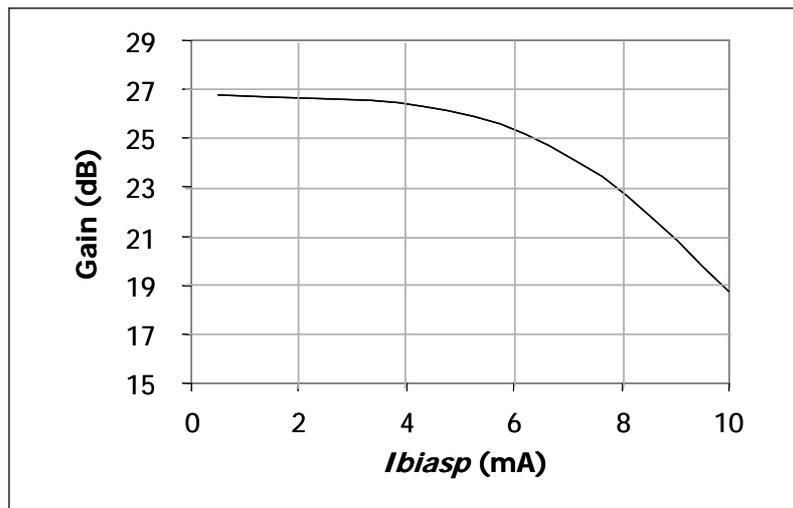


Figure 3 - 19 : Gain en fonction de la source de courant
 I_{biasp} @ 1,95 GHz, $I_{biasd}=4\text{mA}$ & $I_{classe}=200\mu\text{A}$

La variation du point de compression à 1 dB entraîne également une variation de phase. Nous vérifions donc que nous pouvons par la modification de l'impédance équivalente du circuit de polarisation du deuxième étage compenser le déphasage entre les signaux d'entrée et de sortie. Les résultats sont présentés à la Figure 3 - 20.

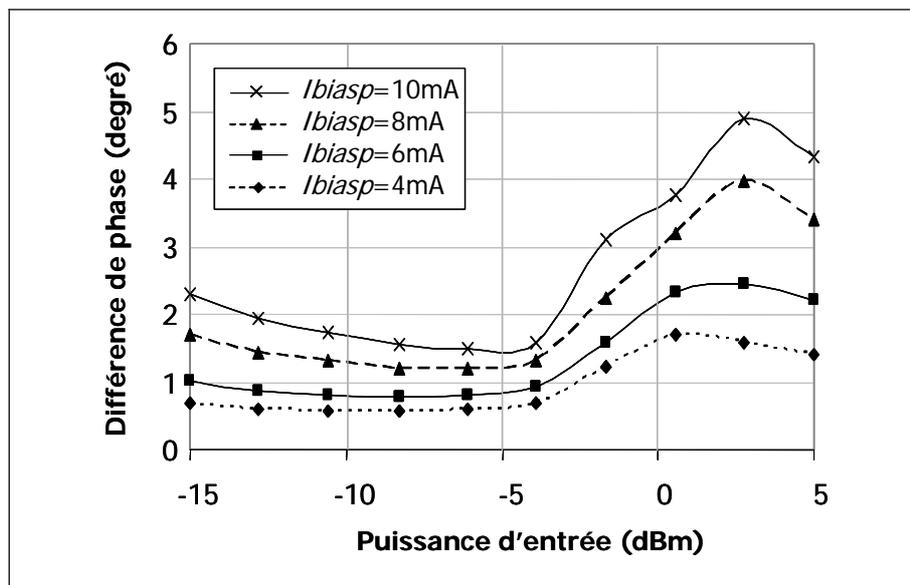


Figure 3 - 20 : Conversion AM/PM

Afin de vérifier si le réajustement du gain est facilement réalisable quelque soit la valeur du CP1, nous avons effectué le tracé Figure 3 - 21. Pour chaque valeur du gain, nous

avons déterminé une combinaison des couples de valeurs (I_{biasd} , I_{biasp}) permettant d'obtenir ce gain.

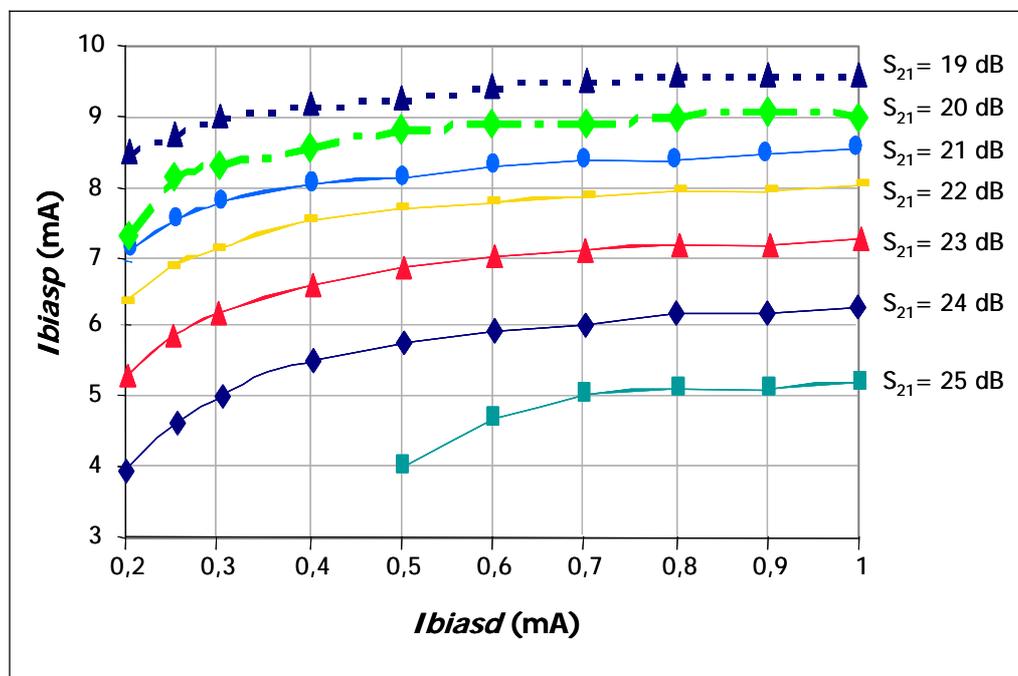


Figure 3 - 21 : Couple de valeurs de (I_{biasd} , I_{biasp}) permettant de maintenir des valeurs constantes du gain

Prenons comme point de départ les conditions de polarisation suivantes : $I_{biasd}=0,2mA$, $I_{biasp}=5,3mA$ et $gain=23dB$. L'amplitude du signal d'entrée est modifiée, le déplacement du CP1 s'opère par l'intermédiaire de la source I_{biasd} . Supposons que la nouvelle valeur de I_{biasd} est $I_{biasd}'=1mA$, le gain prendra alors la valeur $gain'=25 dB$ approximativement. Puisque nous voulons impérativement obtenir $gain'=gain$, nous allons pouvoir déterminer une nouvelle valeur de I_{biasp} notée I_{biasp}' qui permet cette égalité. Nous lisons alors sur le graphe $I_{biasp}'=7,3mA$. Ainsi, à chaque valeur de la puissance d'entrée, le CP1 est déplacé vers cette puissance par la source de courant I_{biasd} sans modification du gain grâce à la compensation réalisée par la source de courant I_{biasp} .

V Dispositifs de test

V.1 *Placement de la puce dans le boîtier*

La photographie Figure 3 - 22 représente le circuit intégré : la partie supérieure correspond à l'amplificateur de puissance tandis que la partie inférieure correspond à un amplificateur faible bruit (*LNA*) développé dans l'équipe de recherche du laboratoire IXL. Il est placé dans un boîtier TQFP32 à fond métallisé, et relié à ce dernier par des fils de bonding.

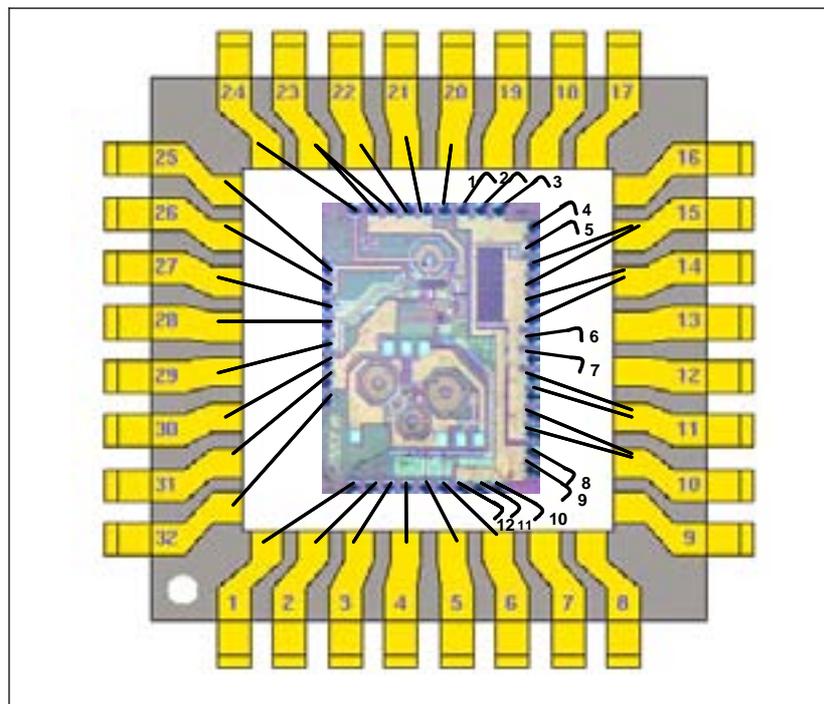


Figure 3 - 22 : Insertion de la puce dans le boîtier

Les fils de bonding dans l'émetteur de l'étage de puissance (fils n°1 à 12) sont prévus pour être reliés au fond métallisé du boîtier afin de mieux dissiper la chaleur d'une part, et de réduire leur longueur d'autre part.

V.2 *Élaboration du PCB*

Dans un premier temps, le circuit encapsulé a été reporté sur support FR4 dont la carte de test a été réalisée au moyen du logiciel PROTEUS. Les accès *50 Ohms* sont obtenus grâce à des lignes microstrips, la face opposée à celle présentée sur la photo Figure 3 - 23 est un plan de masse.

Les sources de courant variables I_{biasd} , I_{biasp} et I_{classe} sont réalisées par des résistances multi-tours. Dans un premier temps, les réseaux d'adaptation d'entrée et de sortie ne sont composés que d'une capacité.

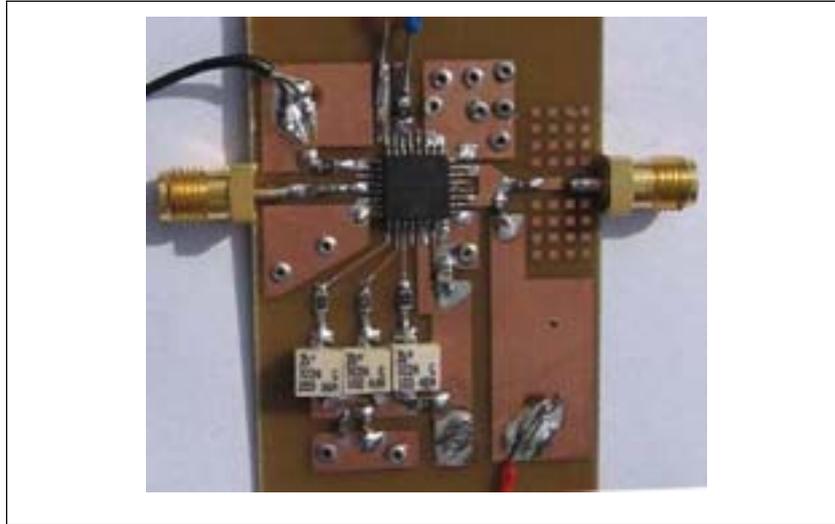


Figure 3 - 23 : Photo de la carte de test du circuit encapsulé

V.3 Résultats de mesures

V.3.1 Difficulté de la mesure avec un signal W-CDMA

L'envoi d'un signal W-CDMA sur l'amplificateur de puissance pour la modification dynamique du CP1 pose un problème pratique au niveau des tests.

L'architecture Figure 3 - 24 représente le lien entre la partie bande de base et l'amplificateur de puissance. Cela nous conduit à la réflexion suivante : le temps de propagation entre le signal en bande de base et l'entrée de l'amplificateur de puissance, noté θ , est très vraisemblablement plus élevé que celui allant de la bande de base à la commande de cet amplificateur, noté θ' .

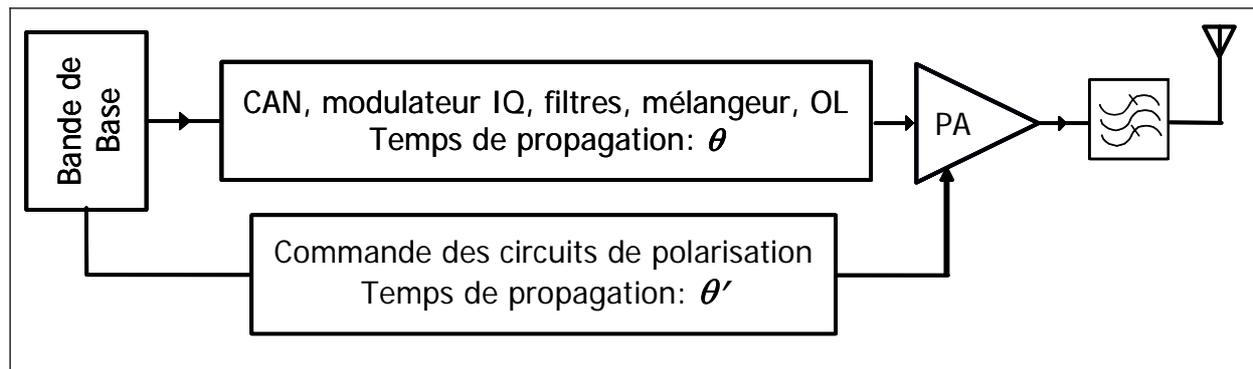


Figure 3 - 24 : Temps de propagation entre la partie bande de base et l'amplificateur de puissance

Deux cas sont alors envisageables :

- Si le niveau du signal d'entrée est minimum, le point de compression est bas, c'est-à-dire vers les faibles niveaux. Lorsque le niveau du signal va augmenter, l'information de commande va augmenter le CP1 bien avant que le niveau du signal en entrée du PA n'ait augmenté, pendant cet intervalle de temps, le rendement sera très faible.
- Dans l'autre sens, si le niveau du signal d'entrée est maximum, le point de compression est élevé. Lorsque le niveau diminue, l'information de commande va diminuer le CP1 bien avant que le niveau du signal en entrée du PA n'ait effectivement diminué, ce qui va entraîner une très forte saturation voire une destruction de l'amplificateur. Dans ce cas, le DSP doit prendre une certaine marge afin d'anticiper la diminution du niveau.

Pour utiliser ce dispositif, il faut donc pouvoir estimer le temps de propagation dans la chaîne d'émission afin d'introduire des éléments de retard entre le DSP et la commande de l'amplificateur.

Pour les tests, nous ne sommes pas en mesure, à l'heure actuelle, de régler à la main le point de compression et le gain en fonction du niveau de l'enveloppe. Nous enverrons donc tout d'abord un signal à enveloppe continue afin de valider la fonctionnalité du circuit.

V.3.2 Résultats

V.3.2.1 Mesures DC

L'amplificateur de puissance a été mesuré. Dans un premier temps, les circuits d'adaptation ne sont pas réalisés sur le PCB, les mesures DC nous permettent de valider les tensions en différents points, notamment sur les circuits de polarisation.

Avec un signal de puissance d'entrée d'amplitude très faible (-15 dBm), la consommation de chaque partie du circuit est donnée au Tableau 3-4.

Consommation (mA) :	Valeurs attendues (simulations)	Valeurs mesurées
Circuits de polarisation	1,4	4
Premier étage	6,2	75
Etage de puissance	180	270
Total	187,6	349

Tableau 3 - 4 : Consommation de la puce : comparaison entre les valeurs attendues et les valeurs mesurées.

Il apparaît donc nettement que le circuit mesuré consomme plus que prévu en simulation. La différence sur l'étage de puissance s'explique par le fait que l'amplificateur est à ce stade désadapté. La charge présentée en sortie du PA n'est pas égale à la valeur de $12,5\Omega$ déterminée par le calcul au paragraphe III.1.1 à travers l'équation Eq. 3-4, qui garantissait un courant moyen de 200 mA . Par le même principe, l'augmentation du courant de l'étage de puissance se répercute sur le premier étage. En effet, l'impédance d'entrée équivalente du deuxième étage est directement proportionnelle à la transconductance g_m des transistors de puissances, et par conséquent à I_{COP} [Tri03]. Or l'impédance équivalente présentée en sortie du deuxième étage peut s'écrire :

$$Z_{s,d} \propto Z_{\text{eq.circuit de polarisation du deuxième étage}} // Z_{e,P} \quad \text{Eq. 3 - 11}$$

La modification du courant I_{CQP} entraîne donc une modification de la charge présentée en sortie du premier étage, et donc du courant du premier étage. Toutefois, la différence entre la valeur attendue et la valeur mesurée est importante (2,4 fois plus grande). Nous pouvons donc à ce stade émettre l'hypothèse d'un emballement thermique dans le premier étage.

V.3.2.2 Mesures à l'analyseur de réseau

Les mesures des paramètres S sont réalisées au moyen d'un analyseur de réseau HP 8720D. Dans un premier temps, le circuit n'est pas adapté, les paramètres S_{21} et S_{12} sont donnés Figure 3 - 25. La valeur du gain à 1,95 GHz est de $-2,2\text{dB}$: l'adaptation d'impédance peut nous permettre de gagner quelques dB.

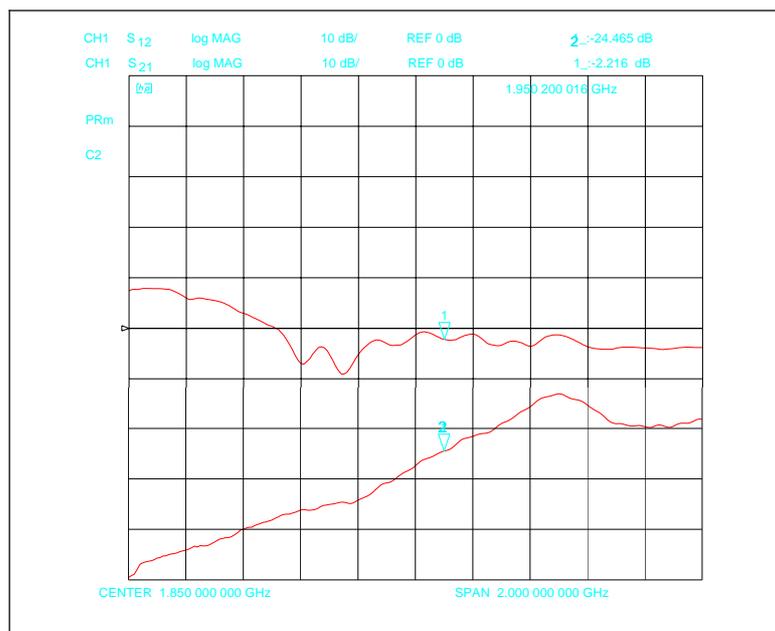


Figure 3 - 25 : Mesure des paramètres S_{21} et S_{12}

Les paramètres S_{11} et S_{22} de l'amplificateur non-adapté sont présentés sur l'abaque de Smith Figure 3 - 26. Grâce à cette mesure et aux valeurs relevées, l'adaptation en entrée a pu être réalisée correctement.

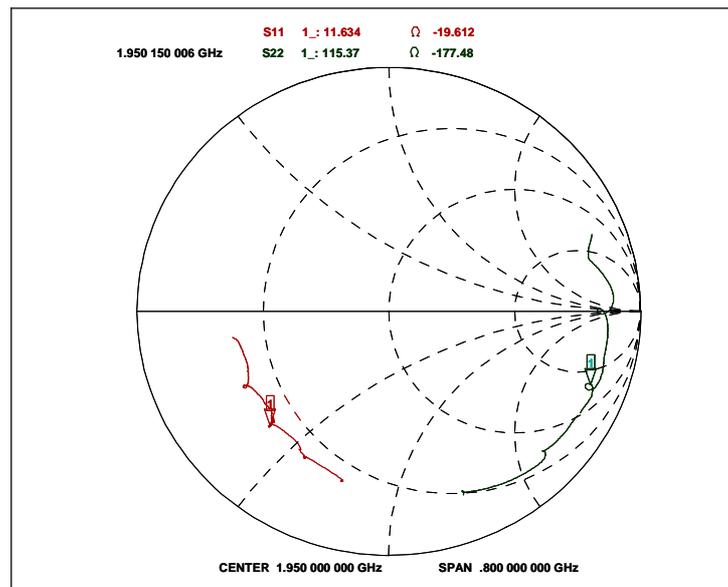


Figure 3 - 26 : Mesures des paramètres S_{11} et S_{22}

V.3.2.3 Mesures à l'analyseur de spectre

Le circuit ne fournissant que 5,3 dB de gain à 1,95 GHz, nous avons regardé le comportement du circuit à d'autres fréquences grâce à un analyseur de spectre HP 8563E. On obtient une puissance de 20 dBm à 1,5 GHz. Le maximum de puissance en sortie est égal à 22 dBm et se situe à 1 GHz en changeant les réseaux d'adaptation. Ces valeurs nous font raisonnablement penser que le circuit n'atteindra pas 24 dBm à 1,95 GHz. De plus, pour obtenir ces puissances de sortie, la puissance d'entrée est élevée, de l'ordre de 17 à 18 dBm.

V.3.2.4 Bilan des résultats de mesure

A partir des quelques résultats que nous avons obtenu, nous pouvons faire plusieurs remarques. Tout d'abord, le circuit a une durée de vie de l'ordre de quelques minutes. Nous avons testé plusieurs autres puces, celles-ci présentent les mêmes caractéristiques. Le problème est donc intrinsèque au circuit intégré. A première vue, il s'agit essentiellement d'un problème sur le premier étage : la consommation de cet étage est supérieure à la valeur attendue puis chute très rapidement. L'analyse réalisée dans le paragraphe suivant revient sur le phénomène d'emballement thermique du premier étage.

L'étage de puissance quant à lui fonctionne correctement puisque nous pouvons tout de même fournir de la puissance en sortie. Le gain de la structure, qui est de 5,3 dB, est par conséquent seulement réalisé par l'étage de puissance. Nous pouvons donc également nous

interroger sur la valeur de ce gain et sur le décalage en fréquence de la structure. Cet aspect est également traité dans le paragraphe suivant.

V.3.3 Analyse des défauts

V.3.3.1 Premier étage de l'amplificateur

Plusieurs puces testées ont été désencapsulées et observées au microscope. La photographie Figure 3 - 27 représente un zoom sur le premier étage. Nous avons distingué plusieurs zones sur cette photographie notées de 1 à 3. Les trois zones correspondent aux capacités du schéma Figure 3 - 28. La zone n°1 correspond à la capacité d'entrée du premier étage notée C_e , la zone n°2 à la capacité notée C_p et la zone n°3 sur la capacité C_{int} correspondant à la capacité de liaison entre les deux étages. Ces défaillances ont été observées sur plusieurs puces.

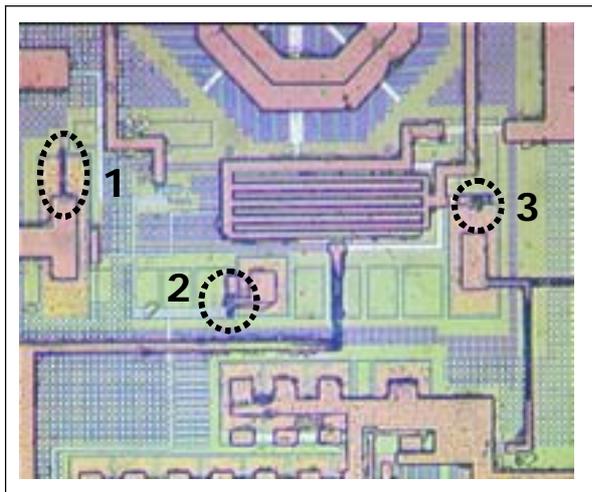


Figure 3 - 27 : Photo du premier étage

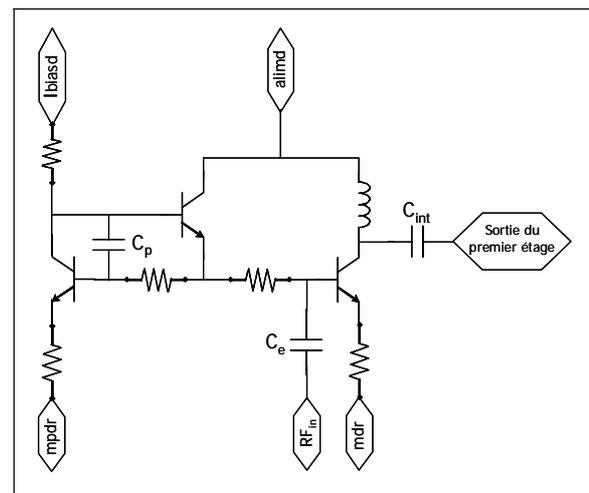


Figure 3 - 28 : Schéma du premier étage

De plus, certaines pistes, comme celle présentée Figure 3 - 29 sur une piste de métal 5, semblent avoir fondues. L'hypothèse la plus vraisemblable est que le nombre de *vias* et la largeur des pistes ne sont pas adaptés au passage d'un fort courant. Or, le courant a pu augmenter en même temps que la température de la puce [Lee98]. Dans ce cas, le nombre de *vias* n'était pas suffisant et la largeur des pistes était sous-dimensionnée.

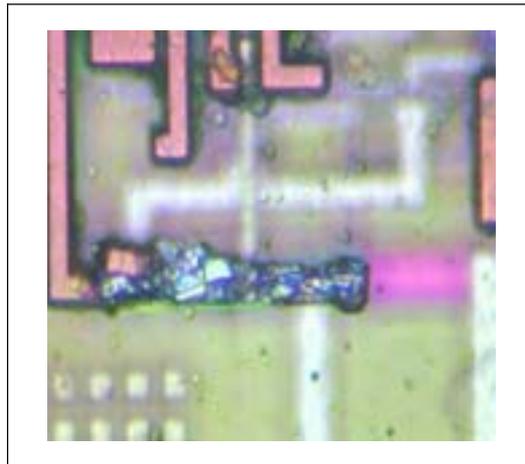


Figure 3 - 29 : Piste de métal 5

Pour expliquer cette augmentation de courant, il apparaît que les impédances se trouvant dans les émetteurs des transistors du premier étage (résistance + pistes + fils de bonding) n'ont pas une valeur suffisante pour éviter l'emballement thermique. Ainsi, le courant a tendance à augmenter jusqu'au moment où la densité de courant devient trop importante pour les pistes de métal.

V.3.3.2 Encapsulation

Les résultats des mesures mettent clairement en évidence que le gain de la structure est bien moins important que celui attendu et le maximum de puissance en sortie est à une fréquence de fonctionnement inférieure à la fréquence attendue. Nous présentons dans ce paragraphe des éléments qui peuvent expliquer ces constatations.

L'impédance équivalente présente dans les émetteurs des deux étages entrent en compte dans l'expression du gain, de l'adaptation d'impédance d'entrée et de l'adaptation d'impédance inter-étage. Une impédance équivalente plus grande que prévue provoque une diminution du gain et une modification de la fréquence centrale. Nous avons donc voulu vérifier la longueur des fils de bonding réalisés, et particulièrement ceux dans les émetteurs. Pour cela, le circuit a été désencapsulé, comme le montre la Figure 3 - 30.

Tout d'abord, nous devons préciser que le circuit a été encapsulé dans un boîtier TQFP32 sans fond métallisé. En effet, au moment de l'encapsulation, le boîtier demandé, le TQFP32 à fond métallisé n'était plus disponible. Ceci a une conséquence directe sur l'augmentation de la longueur des fils de bonding reliant les émetteurs des transistors à la masse. En effet, ces derniers ne sont plus reliés au fond métallisé mais sur les broches du

boîtier. La longueur mesurée de ces fils varie entre $2,5$ et $3,5$ mm, alors que nous avons prévu au moment de la conception seulement 2 mm.

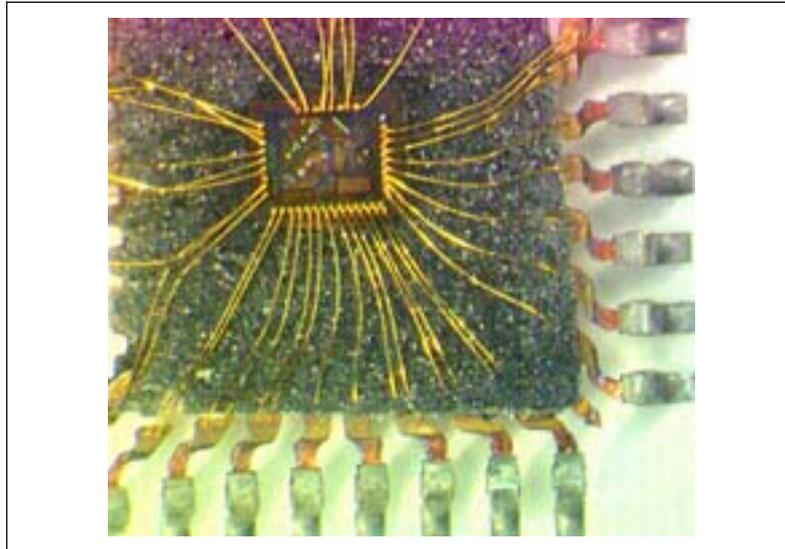


Figure 3 - 30 : Photo de la puce reportée dans le TQFP32

La longueur des fils de bonding et donc l'augmentation de l'impédance équivalente dans les émetteurs de chacun des étages, contribuent à expliquer la différence entre les résultats de simulation et les mesures.

V.3.4 Retro-simulations

Afin de vérifier cette hypothèse, nous avons effectué des retro-simulations en mesurant la longueur de chaque fil de bonding et en l'intégrant dans le schéma de simulation utilisé Figure 3 - 12.

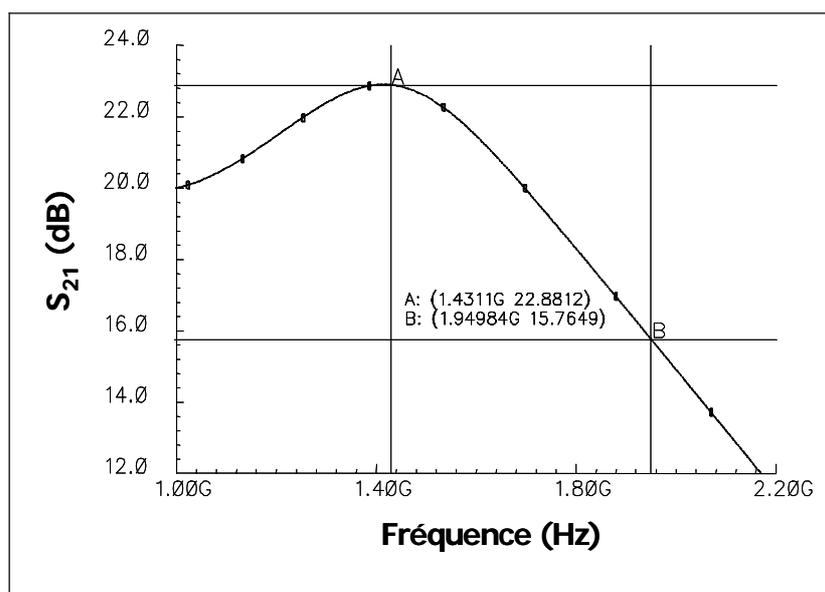


Figure 3 - 31 : Gain de l'amplificateur

Le réseau d'adaptation en entrée à 1,95 GHz est conservé puisque le circuit mesuré est adapté en entrée à cette fréquence. La courbe du gain en fonction de la fréquence est présentée Figure 3 - 31. Le maximum de gain n'est plus de 25 dB mais de 22,9 dB à 1,43 GHz, alors que le gain à 1,95 GHz est de 15,8 dB, toutefois, dans cette simulation, nous ne prenons pas en compte les problèmes identifiés sur le premier étage. Nous avons donc comme nous nous y attendions une diminution du gain.

Si nous regardons uniquement l'étage de puissance, le gain en puissance chute de 11 à 8 dB à 1,95 GHz.

Paramètres	Simulations	Mesures	Retro-simulations
Fréquence de fonctionnement (GHz)	1,95	1,0 ($P_{out}=22$ dBm) 1,5 ($P_{out}=20$ dBm)	1,43
Gain total du montage (dB)	24	5,3	15,8
Gain du deuxième étage (dB)	11	5,3	8

Tableau 3 - 5 : Comparaison simulations/mesures/retrosimulations

Les résultats récapitulés au Tableau 3-5 sont donc plus proches des mesures. Toutefois, nous n'avons pas pris en compte dans les simulations les inductances mutuelles, qui sont d'autant plus importantes que les fils sont longs et que de nombreux fils sont câblés en parallèle. Ces inductances mutuelles augmentent encore la valeur de l'impédance équivalente dans les émetteurs, ce qui contribue à diminuer le gain.

V.4 Amélioration du circuit

Une deuxième version du circuit a été fabriquée en prenant en compte les principaux défauts de la première version du circuit : une résistance de dégénérescence de plus grande valeur est insérée dans les émetteurs des transistors et la puce est testée nue, c'est-à-dire qu'elle n'est pas insérée dans un boîtier. Les détails de la conception de cette deuxième version seront présentés dans le chapitre 4.

V.4.1 Placement de la puce sur le PCB

La puce directement reportée sur le PCB est présentée Figure 3 - 32. La puce est collée sur le cuivre grâce à une colle conductrice à l'argent, puis le câblage est réalisé par *ball-bonding* avec des fils d'or de $17\ \mu\text{m}$. La surface de la puce est de $1051 \times 1330\ \mu\text{m}^2$. La taille des fils varie alors de $0,7\ \text{mm}$ à $2,1\ \text{mm}$. Les fils reliant les émetteurs des transistors à la fois du premier étage et de l'étage de puissance sont les plus courts ($0,7\ \text{mm}$).

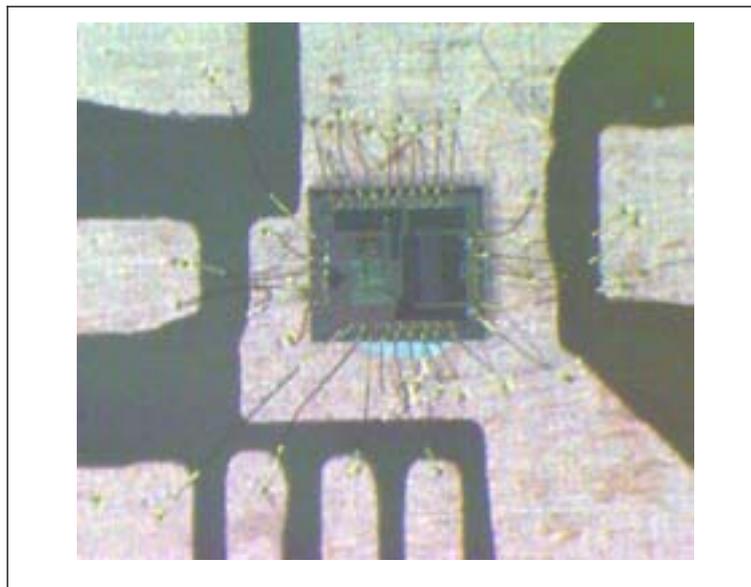


Figure 3 - 32 : Report de la puce sur le PCB

Comme pour le premier circuit, les accès 50Ω sont obtenus grâce à des lignes microstrips, la face opposée à celle présentée sur la photo étant un plan de masse.

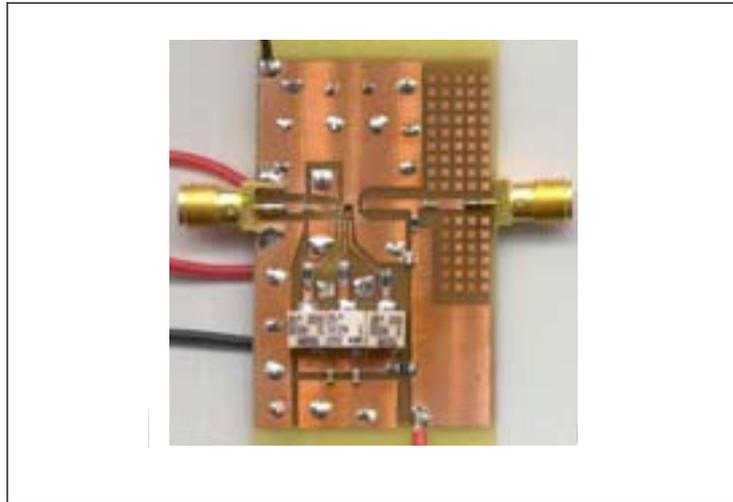


Figure 3 - 33 : Photo de la carte de test du circuit

La carte de test présentée Figure 3 - 33 est le fruit d'un travail minutieux pour reporter la puce sur le PCB. En effet, nous ne possédons pas, au laboratoire, de machine spécialement adaptée pour ces reports. Cette carte a donc été réalisée en quelques exemplaires, ce qui nous a amené à adapter notre campagne de tests.

V.4.2 Résultats de mesures

V.4.2.1 Conditions des tests

Afin d'éviter de détériorer la puce, nous avons effectué des tests avec une très faible amplitude d'entrée (-15 dBm). De plus, la puce n'étant pas protégée par de la résine, il est difficile de réaliser l'adaptation d'impédance sans endommager la puce. Nous avons donc pris parti de ne pas adapter le circuit dans un premier temps.

Nous souhaitons d'abord vérifier la fonctionnalité de la méthode proposée. Cependant, nous veillerons à effectuer systématiquement des retro-simulations prenant en compte la désadaptation de l'amplificateur et la longueur des fils de bonding.

V.4.2.2 Mesures DC avec une faible puissance d'entrée

Le Tableau 3-6 présente la comparaison entre les mesures et les retro-simulations quant à la consommation de chaque bloc.

Consommation (mA) :	Valeurs mesurées	Valeurs issues des retro-simulations
Circuits de polarisation	5	2,5
Premier étage	17	18,8
Etage de puissance	152	175,6
Total	174	200,9

Tableau 3 - 6 : Consommation de la puce : comparaison entre les valeurs attendues et les valeurs mesurées.

La puissance consommée est de $442,5 \text{ mW}$, ce qui correspond à $26,5 \text{ dBm}$, la retro-simulation indique 27 dBm . Les valeurs obtenues en mesure sont donc cohérentes avec les valeurs issues de la retro-simulation. La retro-simulation prend en compte les valeurs exactes des sources de courant I_{biasd} , I_{biasp} et I_{classe} , respectivement égales à $866 \mu\text{A}$, $1,13 \text{ mA}$ et $250 \mu\text{A}$.

V.4.2.3 Mesures dynamiques avec une faible puissance d'entrée

Paramètre S_{21}

Le paramètre S_{21} du circuit est mesuré grâce à l'analyseur de spectre. Les mesures sont présentées Figure 3 - 34. Sur cette courbe, l'échelle en abscisse est de 200 MHz par carreau tandis que l'échelle en ordonnée est de 10 dB par carreau. Nous obtenons une valeur de $14,22 \text{ dB}$.

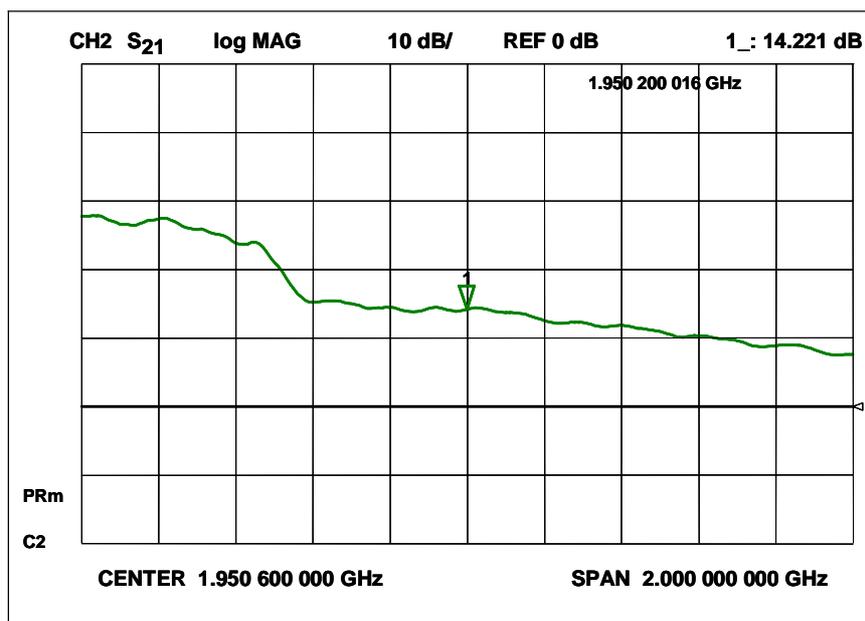


Figure 3 - 34 : Paramètre S_{21} de l'amplificateur

Caractéristiques de l'amplificateur

Les valeurs statiques et dynamiques mesurées sont comparées aux valeurs issues des retro-simulations dans le Tableau 3 - 7.

La puissance de sortie et le point de compression sont issus de mesures réalisées avec l'analyseur de spectre, tandis que le paramètre S_{21} est issu de mesures réalisées avec l'analyseur de réseau.

Paramètres @ 1,95 GHz	Valeurs mesurées	Valeurs simulées
Puissance consommée (dBm) @ $P_{in}=-15$ dBm	26,5	27
Puissance de sortie (dBm) @ $P_{in}=-15$ dBm	0,7	1,3
PAE (%) @ $P_{in}=-15$ dBm	0,3	0,4
S_{21} (dB) @ $P_{in}=-15$ dBm	14,2	16,5
ICP1 (dBm)	-0,5	0
OCP1 (dBm)	14,2	16,3

Tableau 3 - 7 : Comparaison entre les valeurs mesurées et les valeurs simulées pour une puissance d'entrée de -15 dBm à 1,95 GHz

V.4.2.4 Contrôle du paramètre S_{21}

La variation du paramètre S_{21} est représentée Figure 3 - 35 en fonction de la source de courant I_{biasd} . Lorsque I_{biasd} varie de $460 \mu A$ à $1,7 mA$, la variation du S_{21} est de $12,9$ à $15,3 dB$, soit une différence de $2,4 dB$. La plage de variation du courant est limitée par le réglage des résistances variables sur le PCB. Nous pouvons comparer ces résultats avec ceux obtenus dans les simulations. Nous constatons que les deux courbes Figure 3 - 16 et Figure 3 - 35 sont monotones et croissantes lorsque la source de courant I_{biasd} augmente.

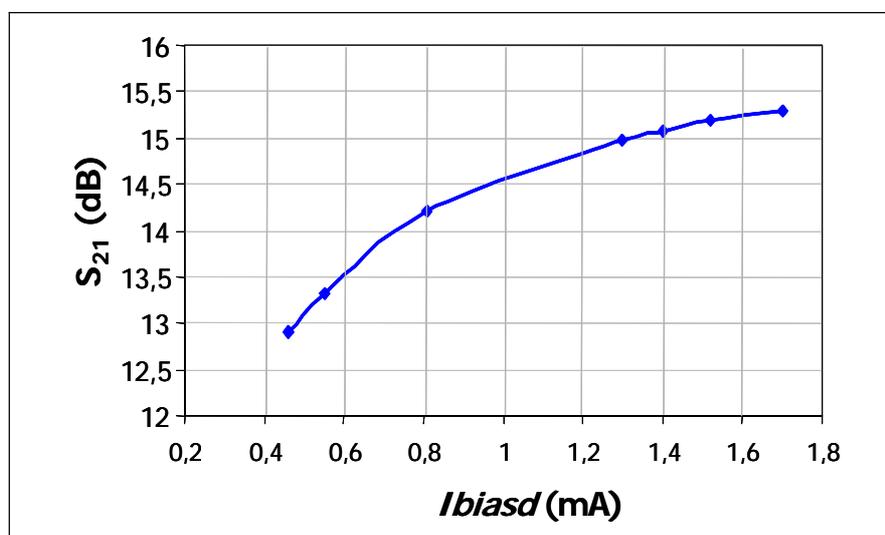


Figure 3 - 35 : Mesure du paramètre S_{21} en fonction de I_{biasd}

Rappelons que la variation du gain en fonction de I_{biasd} est une conséquence de la variation du CP1 qu'il nous faut compenser. Pour cela, la source de courant I_{biasp} est mise en œuvre. L'influence de I_{biasp} sur le paramètre S_{21} est présentée Figure 3 - 36. Le paramètre S_{21} varie de $17,1 dB$ à $13,6 dB$ à lorsque la source de courant I_{biasp} varie de $1 mA$ à $10 mA$. Cette variation de $3,5 dB$ est suffisante pour maintenir le gain constant.

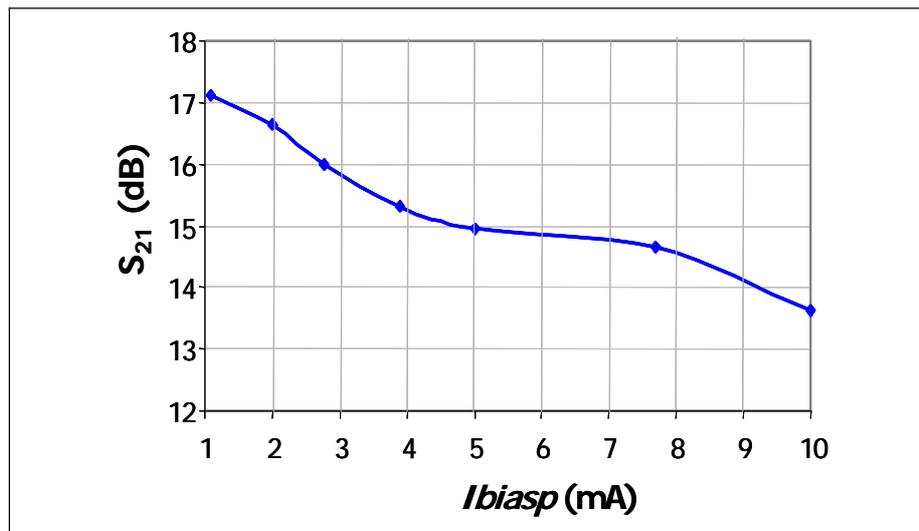


Figure 3 - 36 : Mesure du paramètre S_{21} en fonction de I_{biasp}

VI Conclusion

La méthode de conception d'amplificateurs reconfigurables est ici appliquée à la conception d'un amplificateur de puissance pour le standard UMTS à 1,95 GHz.

Le standard UMTS utilise une modulation de type QPSK, le signal a une enveloppe non-constante, ce qui implique que le niveau de la puissance d'entrée sur l'amplificateur peut aussi bien être le niveau maximum que des niveaux inférieurs. Ce type de signal nécessite une amplification linéaire, sous peine de voir l'enveloppe du signal déformée et les informations transportées par cette enveloppe corrompues. Nous avons vu que si le niveau du signal de sortie est proche de la puissance maximum, le rendement est optimum. Par contre, pour des niveaux de puissance plus faibles, le rendement est très faible.

L'application de téléphonie mobile visée nous incite à être particulièrement vigilant sur le rendement du circuit afin de préserver les batteries : l'amplificateur de puissance est habituellement très gourmand en énergie.

Pour atteindre un bon rendement moyen, nous avons envisagé de modifier dynamiquement le $CP1$ en fonction du niveau de la puissance d'entrée lorsque nous traitons des signaux à enveloppe non constante. Il s'agit de déplacer le $CP1$ vers les bas niveaux lorsque ceux-ci sont présents en entrée de l'amplificateur de puissance. Toutefois, la modification du $CP1$, et par conséquent de la linéarité, entraîne une modification du gain de la structure, modification qui elle-même entraîne la déformation de l'enveloppe. Un dispositif de compensation du gain a été alors mis en place afin que celui-ci reste constant.

Le chapitre 3 décrit en détail la conception et le dessin de ce circuit. Les simulations effectuées ont permis de confirmer la méthode développée: en bougeant le point de compression du premier étage, les courbes de rendement sont déplacées vers les bas niveaux. Cela permet d'augmenter le rendement de l'amplificateur de puissance aux bas niveaux. De plus, un gain constant est garanti en choisissant le bon couple de valeurs des sources de courant (*I_{biasd}*, *I_{biasp}*).

La première version du circuit testé a mis en évidence plusieurs points. Tout d'abord, les performances du circuit sont masquées par la longueur des fils reliant la puce aux broches du boîtier. En effet, l'amplificateur de puissance est constitué de deux étages basés sur des émetteurs communs. Le gain et la fréquence de la structure sont dépendants de l'impédance présente dans ces émetteurs et sont par conséquent directement reliés aux longueurs des fils de bonding. L'encapsulation dans le boîtier TOFP32 a donc entraîné une forte diminution du gain et une modification de la fréquence de fonctionnement plus importante que prévue en simulation. De plus, lors de la conception et du dessin du circuit, il est apparu que les résistances dans les émetteurs des transistors du premier étage ainsi que les largeurs de pistes ont été sous-dimensionnées, favorisant les problèmes liés à l'électromigration et conduisant à l'échauffement excessif de certaines pistes et composants à la suite d'un emballement thermique.

Les mesures effectuées sur la deuxième version du circuit nous ont permis de valider la méthode de reconfigurabilité en puissance proposée. Nous avons mis en évidence la variation du gain de la structure sous l'action de la source de courant *I_{biasd}*. Cette variation de gain, nous l'avons vu, est due à la variation du CP1. L'utilisation de la source de courant *I_{biasp}* permet de compenser cette variation du gain. L'amplificateur de puissance ainsi réalisé permet donc de modifier le CP1 à gain constant, ce qui est indispensable lorsque des signaux à enveloppe non-constante se présentent en entrée de l'amplificateur pour augmenter le rendement sans distordre l'enveloppe.

La deuxième version du circuit a permis de pallier les défauts du premier et nous a permis d'ajouter de nouvelles fonctions puisque celui-ci est dédié aux applications multi-standards GSM/DCS/UMTS.

VII Références bibliographiques

- [Ald98] M.G. Adlerstein, "Thermal stability of emitter ballasted HBT's," IEEE Transactions on Electron Devices, vol. 45, pp. 1653-1655, August 1998.
- [Cel04] D. Céli, "Hicum Model and Scaling Law Issues", 4th European HICUM Workshop, Bordeaux, France, June 15-16, 2004.
- [Del04] N. Deltimple, E. Kerhervé, D. Belot, Y. Deval and P. Jarry, "A SiGe Power Amplifier with Dynamic Bias for Efficient Power Control in UMTS/W-CDMA Applications", *XIX Conference on Design of Circuits and Integrated Systems, DCIS2004*, Bordeaux, France, November 24-26, ISBN 2-9522971-0-X, pp. 68-72.
- [Del05] N. Deltimple, E. Kerhervé, Y. Deval, D. Belot et P. Jarry, "Amplificateur de puissance multi-standard GSM/DCS/UMTS en technologie SiGe : étude de la reconfigurabilité en puissance", 14^{èmes} Journées Nationales Microondes, JNM2005, n°5D5, Abstract p. 112, Paris, France.
- [Fal01] C. Fallesen and P. Asbeck, "A 1W CMOS Power Amplifier for GSM-1800 with 55% PAE", 2001 IEEE MTT-S Digest, vol.2, pp. 911-914, Phoenix, Arizona, USA, 20-25 May 2001.
- [Guc03] D. Guckenberger and K. Kornegay, "Integrated DC-DC converter design for improved WCDMA power amplifier efficiency in SiGe BiCMOS technology", Proceedings of the 2003 International Symposium on Low Power Electronics and Design, 2003. ISLPED '03, pp. 449 – 454, August 25-27, Seoul, Korea.
- [Lee98] T. H. Lee, "*The Design of CMOS Radio-Frequency Integrated Circuits*", Cambridge University Press, Cambridge, UK, 1998, chapitre 13 : RF Power Amplifiers, pp.344-384.
- [Rie02] J. Rieh, J. Johnson, S. Furkay, D. Greenberg, G. Freeman and S. Subbanna, "Structural Dependence of the Thermal Resistance of Trench-Isolated Bipolar Transistors", 2002 IEEE BCTM Proceedings, pp. 100-103, September 29 - October 1, Monterey, CA, USA.

-
- [Tri03] P. Triolet, "Etude de la linéarité des amplificateurs de puissance intégrés à 5 GHz", Thèse de l'Université de Marne-la-Vallée, chapitre 3 "Méthodologie de conception d'amplificateurs de puissance", p. 79, novembre 2003.
- [Tse00] P.-D. Tseng, L. Zhang, G.-B. Gao and M. F. Chang, "A 3-V Monolithic SiGe HBT Power Amplifier for Dual-Mode (CDMA/AMPS) Cellular Handset Applications", IEEE Journal of Solid-State Circuits, vol. 35, n°9, pp. 1338-1343, September 2000.

Chapitre 4

Application à la conception d'un amplificateur de puissance multi-standard GSM/DCS/UMTS

CHAPITRE 4	121
I Introduction	122
II Topologie de l'amplificateur de puissance reconfigurable multi-standard réalisé.....	122
III Conception du circuit	130
IV Résultats de simulations.....	134
V Dispositifs de test	139
VI Conclusion	144
VII Références bibliographiques	145

I Introduction

La conception de l'amplificateur de puissance reconfigurable est ici appliquée aux communications multi-standard. Le PA doit donc pouvoir satisfaire les spécifications des standards UMTS, DCS et GSM. Il faut donc être capable d'adapter les caractéristiques de l'amplificateur tel que la fréquence de fonctionnement, le gain, la linéarité, la puissance de sortie. Nous avons évoqué la reconfigurabilité en puissance lors du chapitre 3. Le CP1 de l'amplificateur de puissance peut désormais s'adapter au niveau de puissance de sortie requis. Toutefois, les standards GSM et DCS ont des puissances maximum de sortie bien supérieures à celle du standard UMTS : $30dBm$ pour le GSM, $27dBm$ pour le DCS alors que nous avons $24dBm$ pour l'UMTS. Il est alors intéressant de regarder les classes de fonctionnement à haut rendement, ceci afin de diminuer la puissance consommée et de préserver les batteries des terminaux mobiles pour les standards GSM et DCS. Nous l'avons vu précédemment, le standard UMTS, quant à lui, nécessite une amplification linéaire. Nous discuterons de la faisabilité de passer d'une classe linéaire pour l'UMTS vers une classe à haut rendement pour le GSM et le DCS. Afin de répondre à notre problématique, nous mettons en œuvre les techniques évoquées au chapitre 2. D'une part, nous reconduisons la technique de polarisation dynamique validée au chapitre 3 et d'autre part nous étudierons le traitement des harmoniques, notamment l'harmonique 3, par l'intermédiaire du réseau de sortie.

La conception d'une nouvelle version du circuit, reposant pour beaucoup sur le circuit précédent en palliant toutefois à ses défauts, nous permettra de valider la reconfigurabilité de l'amplificateur proposé.

II Topologie de l'amplificateur de puissance reconfigurable multi-standard réalisé

II.1 Variation dynamique du point de compression à 1dB (CP1)

Nous avons vu au chapitre 3 une méthode qui permet de modifier le CP1 en fonction du niveau du signal présenté à l'entrée. Le principe est le suivant : le DSP, situé en amont de l'amplificateur de puissance, est en mesure de transmettre à l'amplificateur le niveau du

signal qui va se présenter sur son entrée. De la même manière, le CP1 peut également être modifié en fonction du standard choisi. Nous pouvons donc reconduire cette démarche pour la conception de l'amplificateur multi-standard.

II.2 Variation dynamique de la classe de fonctionnement

L'amplificateur de puissance est basé sur deux étages, comme nous l'avons vu, il est intéressant d'utiliser des classes de fonctionnement différentes afin de profiter des avantages de celles-ci. Nous nous servirons dès lors de l'étude sur les classes de fonctionnement faite au chapitre 1 §IV.3 et sur les résultats obtenus au chapitre 2 §IV.2.1. Voici résumés les principaux points à retenir.

II.2.1 Rappel sur les classes de fonctionnement

Tout d'abord, les classes de fonctionnement peuvent être divisées en deux : les classes sinusoïdales (A, AB, B et C) et les classes à haut rendement (D, E et F). Les classes sinusoïdales sont souvent utilisées, possèdent une grande linéarité mais ont un rendement moins bon que les classes à haut rendement. En revanche, ces dernières ont une très mauvaise linéarité. Lorsque l'on traite des signaux à enveloppe non-constante (comme dans le standard UMTS), une amplification linéaire est nécessaire afin d'éviter la distorsion de l'enveloppe. Par contre, lorsqu'une grande puissance de sortie est spécifiée (comme pour les standards GSM et DCS), les classes à haut rendement sont préférables afin de réduire la puissance consommée.

II.2.2 Rappel sur les structures à deux étages

Nous avons souligné que les contraintes sur chacun des étages sont différentes puisque le deuxième étage a comme puissance d'entrée la puissance de sortie du premier étage (minorée des pertes inter-étages). En écrivant l'expression du rendement total en fonction des rendements du premier et du second étage, ainsi que du gain de deuxième étage (Eq. 2-2), nous avons mis en évidence que le rendement du deuxième étage était prépondérant sur le rendement total alors que le rendement du premier étage avait une influence limitée. Nous avons donc conclu que l'effort sur le rendement devait être fait avant tout sur le deuxième étage, cette contrainte peut ainsi être relâchée pour le premier étage au profit de la linéarité.

Pour chacun des standards, nous pouvons alors choisir la meilleure configuration dans le choix des classes pour chaque étage et voir si le passage d'un standard à un autre est effectivement réalisable.

II.2.3 Cas du mode UMTS

L'utilisation de classes sinusoïdales de fonctionnement est nécessaire pour le standard UMTS pour répondre aux spécifications sur la linéarité de ce standard. Afin de réaliser le meilleur compromis linéarité/rendement, le premier étage est polarisé en classe A, alors que l'étage de puissance est polarisé en classe AB. En cela, nous ne modifions pas les choix pris dans le chapitre 3.

II.2.4 Cas des standards GSM et DCS

Cette structure pourrait convenir aux standards GSM et DCS, nous avons d'ailleurs vu au chapitre 2 que de nombreux amplificateurs de puissance dédiés à ces standards sont réalisés en classe AB. Afin de sauvegarder la durée de vie des batteries des terminaux, nous devons être vigilants quant à la puissance consommée et donc au rendement. Aux niveaux de puissance de sortie spécifiées pour les standards GSM et DCS, nous pouvons envisager d'utiliser une classe à haut rendement soit de type E, soit de type F. Dans ce cas, pour déterminer quelle classe utiliser pour chacun des étages, nous devons penser que la reconfigurabilité du système impose à l'amplificateur de passer d'un standard à l'autre et donc d'une classe à l'autre pour chacun des étages. Nous étudions cet aspect dans le paragraphe suivant.

II.2.5 Variation du réseau de sortie - Traitement des harmoniques

II.2.5.1 Structure des classes sinusoïdales et de la classe F

Comparons les architectures classiques d'amplificateurs en classe sinusoïdales, autrement dit les classes A, AB, B et C (dans la mesure où nous nous basons sur des architectures de type *single-ended*) et en classe F, respectivement présentées Figure 4 - 1 et Figure 4 - 2.

Nous voyons que ces deux structures sont très semblables, elles diffèrent essentiellement par le point de polarisation et par le réseau de sortie en utilisant ou non le réseau série (L_3, C_3) pour la classe F et les classes sinusoïdales respectivement.

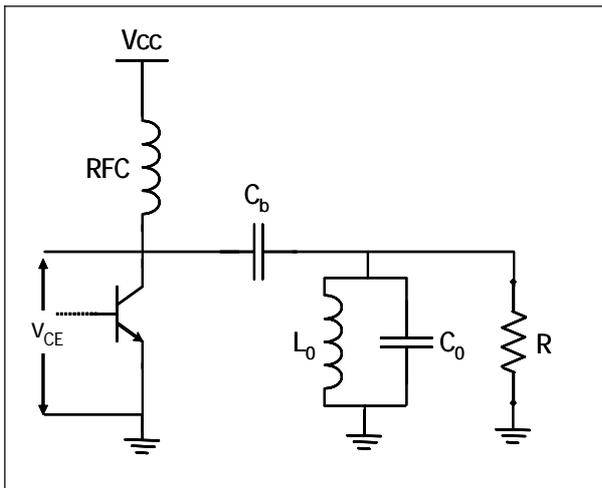


Figure 4 - 1 : Structure classique d'un PA en classe A, AB, B et C

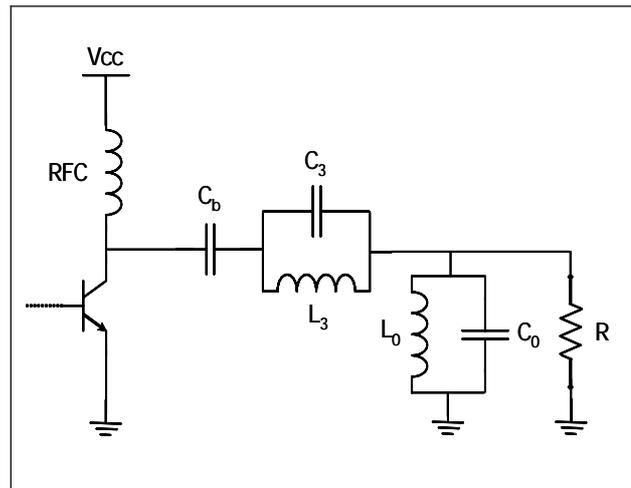


Figure 4 - 2 : Structure classique d'un PA en classe F

Les conditions de polarisation de la classe AB sont néanmoins proches de celles de la classe F [Oht05]. Il apparaît donc envisageable de passer de la classe AB à la classe F pour l'étage de puissance, en ajustant dynamiquement le point de polarisation et en modifiant le réseau de sortie.

Pour le premier étage, nous pouvons utiliser la classe AB et ceci pour plusieurs raisons. Tout d'abord parce que la polarisation en classe AB fournit au deuxième étage un signal qui contient déjà une composante à l'harmonique 3 [Cri99], ce que nous avons vu dans les courbes de la Figure 1 - 18 du chapitre 1. En quelque sorte, le signal est préalablement mis en forme avant de se présenter au deuxième étage. Ensuite, en modifiant le point de polarisation du premier étage, il est relativement simple de passer de la classe A du standard UMTS à la classe AB des standards GSM et DCS, ce que nous avons pu voir, également au chapitre 1 à travers la Figure 1 - 15.

Nous limitons toutefois le réseau de sortie au traitement de l'harmonique 3. En effet, il s'agit de faire un compromis entre l'augmentation de la puissance de sortie d'une part, et la surface occupée et la complexité du réseau d'autre part. Nous sommes en mesure de nous représenter la surface que peut prendre une, deux, voire plus, inductances supplémentaires et les difficultés rencontrées à régler des réseaux de sortie avec tant de paramètres. Pour pouvoir évaluer ce compromis, il nous faut donc savoir ce que peut nous apporter le traitement des harmoniques supérieurs à 3.

L'expression donnant la puissance de sortie maximum est donnée Eq. 4-1 [Raa01]. Il s'agit de la puissance de sortie quand $i_{Dmax} = 1 A$ et $v_{Dmax} = 1 V$. Elle est obtenue en divisant la puissance de sortie P_o par le produit de la tension et du courant crête.

$$P_{max} = \frac{P_o}{v_{Dmax} \cdot i_{Dmax}} \quad \text{Eq. 4 - 1}$$

avec :

$$\begin{aligned} v_{Dmax} &= \delta_v \cdot V_{DD}, \\ i_{Dmax} &= \delta_i \cdot I_{DC}. \end{aligned} \quad \text{Eq. 4 - 2}$$

où δ_v et δ_i sont des paramètres traduisant le rapport entre la valeur maximale de la tension ou du courant et les composantes DC, respectivement V_{DD} et I_{DC} .

On définit le rendement par l'expression suivante :

$$\eta = \frac{\gamma_v \cdot \gamma_i}{2} \quad \text{Eq. 4 - 3}$$

Les paramètres γ_v et γ_i traduisent le rapport entre la composante du fondamental et les composantes DC de la tension et du courant.

$$\begin{aligned} V_o &= \gamma_v \cdot V_{DD}, \\ I_o &= \gamma_i \cdot I_{DC}. \end{aligned} \quad \text{Eq. 4 - 4}$$

Les paramètres δ_v , δ_i , γ_v et γ_i représentent l'influence des harmoniques sur la forme du signal, et leurs valeurs sont consignées dans des tables disponibles dans [Raa01]. Ainsi nous obtenons les histogrammes Figure 4 - 3 et Figure 4 - 4 montrant l'évolution du rendement et de la puissance maximum de sortie en fonction du nombre d'harmoniques [Raa01]. L'amplitude du fondamental est ici fixée à l'unité afin de faciliter les calculs.

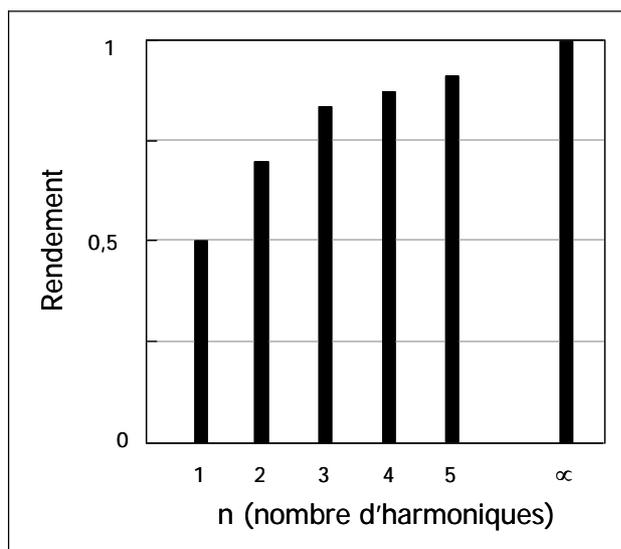


Figure 4 – 3 : Rendement maximum

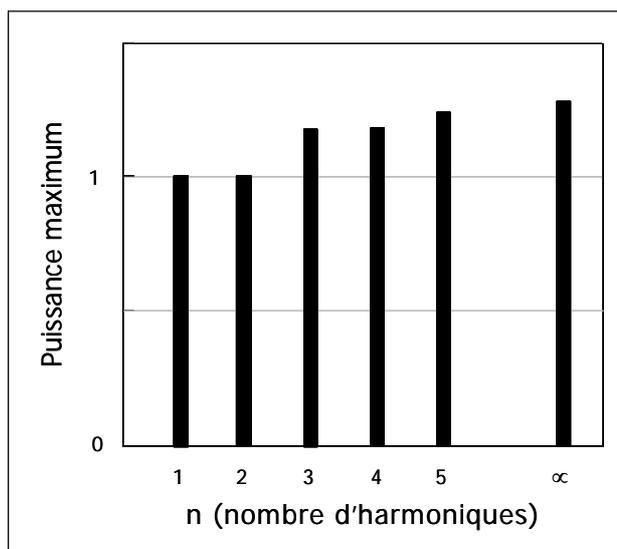


Figure 4 – 4 : Puissance maximum

Prenons le cas de la Figure 4 – 3, c'est-à-dire l'amélioration du rendement théorique maximum en fonction des harmoniques. Le rendement vaut 50% en classe A pour atteindre 81,6% pour $n=3$ puis 90,4% pour $n=5$. En ce qui concerne la puissance de sortie maximum Figure 4 – 4, si $n=3$, l'augmentation de la puissance est de 15,44% et si $n=5$, l'augmentation est de 20,64% soit 4,5% d'augmentation par rapport à $n=3$.

L'amélioration de la puissance de sortie et du rendement lorsque le nombre d'harmoniques augmente est mise en évidence grâce à ces tracés. Cependant, nous voyons que nous pouvons nous limiter à $n=3$, en effet pour des valeurs plus élevées, l'augmentation de ces deux paramètres, ne suffit pas à compenser à la fois la surface occupée et la complexité plus importantes de mise en œuvre de tels réseaux.

II.2.5.2 Structure de l'étage de puissance

La topologie de l'amplificateur de puissance reconfigurable multi-standard s'oriente donc vers une structure Classe A/AB (respectivement premier étage/deuxième étage) pour le standard UMTS qui peut évoluer vers une structure Classe AB/F pour les standards GSM et DCS. Ainsi, les contraintes de linéarité pour l'UMTS et celles de rendement pour le GSM et le DCS sont satisfaites en modifiant dynamiquement à la fois le point de polarisation de chacun des étages et le réseau de sortie de l'amplificateur.

Le réseau de sortie d'un amplificateur classe F possède un résonateur (L, C) au troisième harmonique. Ce résonateur est placé en série avec la capacité de découplage. Un

principe de *by-pass* peut alors être envisagé. Pour le GSM et le DCS on se place dans la configuration de l'amplification en classe F et le signal passe à travers ce réseau. Dans le mode UMTS on se place dans la configuration de l'amplification en classe AB, dans ce cas, le signal ne passe pas dans ce réseau. La topologie de l'étage de puissance est présentée Figure 4 - 5. Des interrupteurs ont alors la charge d'orienter le signal en fonction du standard choisi.

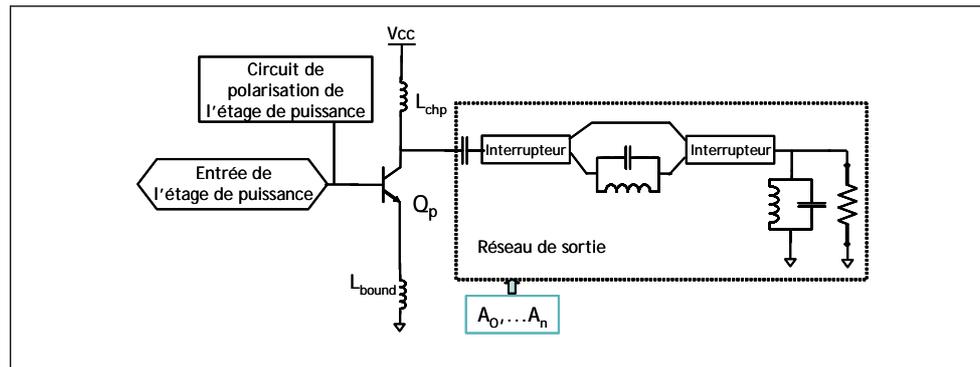


Figure 4 - 5 : Principe du by-pass sur le réseau de sortie

Dans le chapitre 3, nous avons évoqué le fait que pour des questions de surface de silicium consommé, le réseau d'adaptation de sortie est placé sur le PCB. Nous nous en tiendrons à cela, en faisant les modifications sur le réseau de sortie directement sur le PCB. Toutefois, nous pouvons nous interroger sur la réalisation de cette solution de *by-pass* intégrée sur silicium. Nous l'évoquerons dans les perspectives.

II.3 Topologie finale du PA reconfigurable multi-standard

La topologie de l'amplificateur de puissance reconfigurable est présentée Figure 4 - 6. Elle est fortement inspirée de celle utilisée dans le chapitre 3 pour le standard UMTS. En effet, lors de la conception du premier circuit, nous avons anticipé dans la conception le fait que l'amplificateur devait être à terme multi-standard, la topologie devant donc pouvoir être adaptable également aux standards GSM et DCS.

Nous retrouvons sur ce schéma les sources de courant I_{biasd} , I_{biasp} et I_{classe} , incluses dans les circuits de polarisation contrôlable du premier et de deuxième étage. Elles sont commandées par le DSP qui donne l'information sur le standard actif à un moment donné d'une part, et sur le niveau du signal d'autre part. Au niveau structure, la différence entre les deux circuits se situe essentiellement sur le réseau de sortie qui comporte deux interrupteurs.

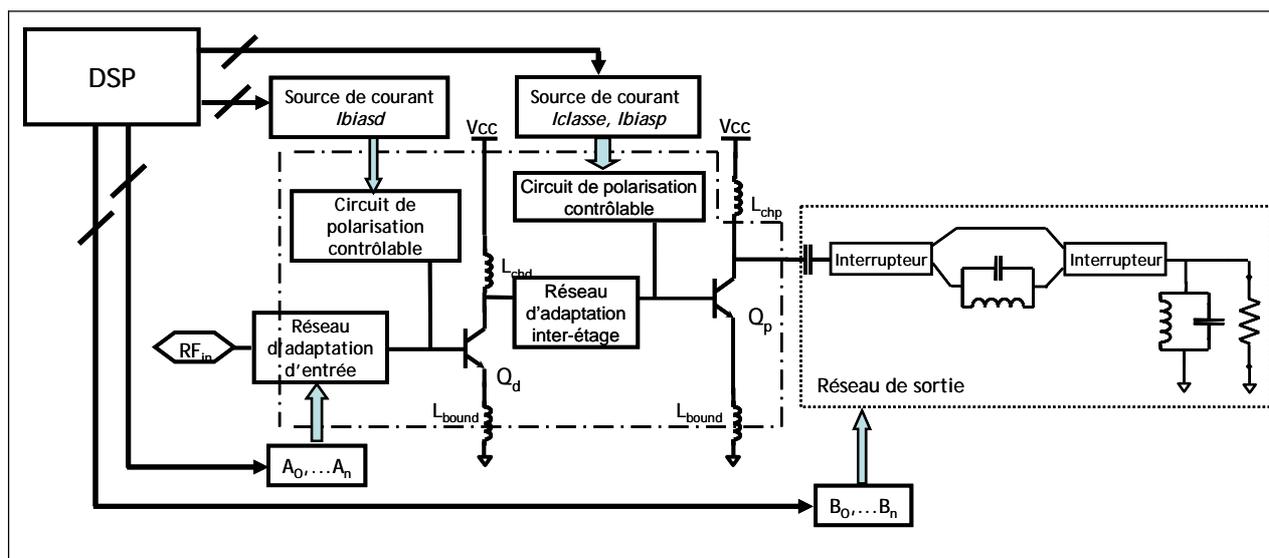


Figure 4 - 6 : Topologie finale du PA reconfigurable multi-standard

Standard actif	Blocs		Réseau d'entrée	Etage driver	Réseau d'adaptation inter-étage	Etage de puissance	Réseau de sortie
	Paramètres						
UMTS	Commande numérique	Adaptation	-	-	-	-	Adaptation Réseau série (L,C) court-circuité
	I_{biasd}	-	Contrôle du CP1, Réglage du point de polarisation pour la classe A	-	-	-	-
	I_{classe}	-	-	-	-	Réglage du point de polarisation pour la classe AB	-
	I_{biasp}	-	Contrôle du gain	-	-	Réglage fin du point de polarisation	-
Passage UMTS / DCS-GSM	Commande numérique	Décalage en fréquence	-	-	-	-	Action sur les interrupteurs
	I_{biasd}	-	Modification du CP1	-	-	-	-
	I_{classe}	-	-	-	-	Modification de la classe de fonctionnement	-
DCS / GSM	Commande numérique	Adaptation	-	-	-	-	Contrôle des harmoniques Passage dans le circuit série (L,C)
	I_{biasd}	-	Réglage du point de polarisation pour la classe AB	-	-	-	-
	I_{classe}	-	-	-	-	Réglage du point de polarisation pour la classe F	-
	I_{biasp}	-	-	-	Contrôle de l'adaptation	Réglage fin du point de polarisation	-

Tableau 4 - 1 : Paramètres de réglages de l'amplificateur de puissance reconfigurable en fonction du standard actif

Le principe de fonctionnement est différent suivant le standard actif, en activant certains paramètres de contrôle, conformément au Tableau 2-4 établi au chapitre 2. Le Tableau 4-1 précise les paramètres servant pour chaque standard et les effets attendus. Ce tableau est rempli en respectant les règles suivantes : pour l'UMTS, les efforts sont concentrés sur la linéarité, le rendement à faibles niveaux d'entrée et le gain qui doit rester constant. Pour le GSM et le DCS, les efforts sont concentrés sur le rendement. Dans ce tableau, nous ne faisons pas la distinction entre les standards GSM et DCS car nous aurions de nombreuses redondances.

III Conception du circuit

III.1 *Conception de l'étage de puissance*

III.1.1 Structure de l'étage

La structure de l'étage de puissance est rigoureusement identique à celle du premier circuit sur le principe. Les sources de courant I_{classe} et I_{biasp} agissent sur le circuit de polarisation afin d'ajuster la classe de fonctionnement de l'étage de puissance.

Nous avons conservé la résistance de dégénérescence de $3,7 \Omega$ utilisée dans la première version afin d'éviter l'emballement thermique de cet étage.

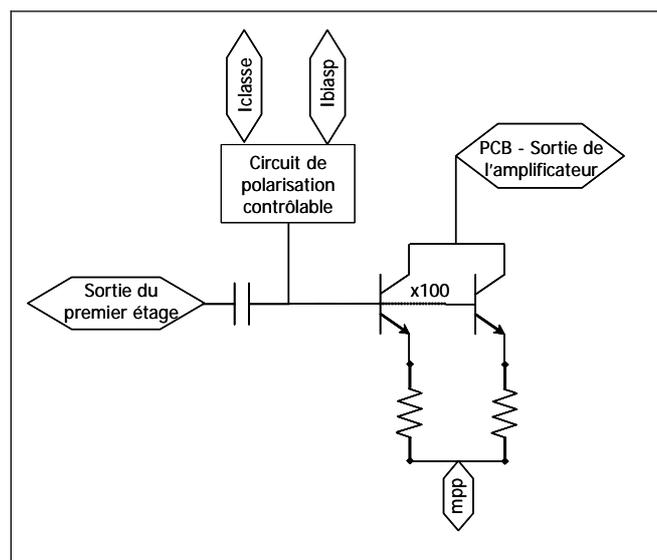


Figure 4 - 7 : Etage de puissance

III.2 Conception du premier étage

III.2.1 Structure de l'étage

Dans le premier circuit, des défauts ont été détectés sur le premier étage. Nous avons donc veillé à porter plus d'attention à cet étage lors de la conception de la deuxième version.

La différence avec le premier étage du circuit précédent repose sur la valeur de la résistance de dégénérescence de chaque émetteur des transistors de l'émetteur commun. Suivant l'équation Eq. 3-8, la valeur de ces résistances doit être supérieure à $5,14 \Omega$, nous avons choisi $R = 5,3 \Omega$. De plus, nous avons rajouté un circuit de protection avant la capacité d'entrée, basé sur des transistors bipolaires de type N.

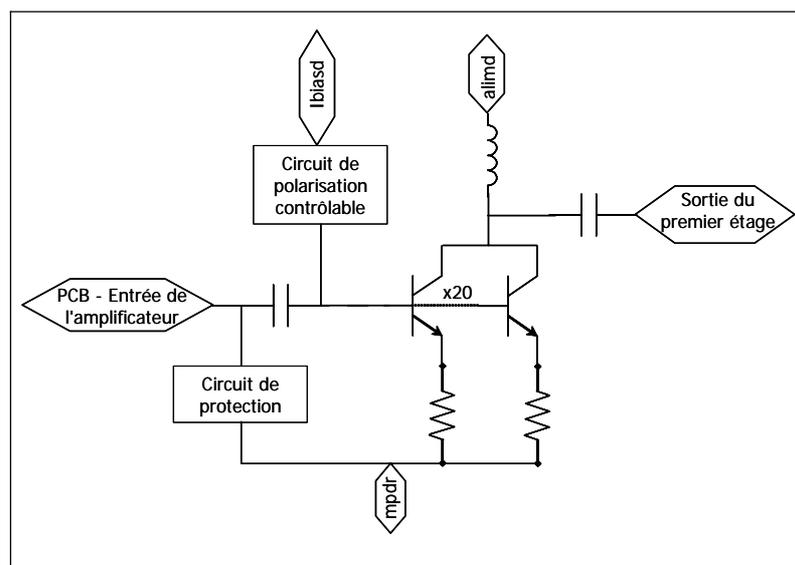


Figure 4 - 8 : structure du premier étage

III.3 Circuits d'adaptation d'impédance

III.3.1 Entrée

Le circuit d'adaptation d'entrée est dans un premier temps réalisé directement sur le PCB. Le réseau est différent pour les trois standards, ce qui implique la réalisation de trois cartes de test, une pour tester chaque configuration. A terme, nous souhaitons pouvoir modifier le circuit d'adaptation directement sur la puce.

III.3.2 Inter-étage

La partie fixe de l'adaptation inter-étage est réalisée par l'inductance placée dans le collecteur du premier étage et la capacité servant à isoler les deux étages. Nous avons de plus une partie variable qui correspond à l'impédance équivalente du circuit de polarisation du deuxième étage. Nous avons vu que cette impédance est contrôlée par la source de courant I_{biasp} qui sert soit à réajuster le gain pour le maintenir constant si cela est nécessaire, soit à améliorer l'adaptation inter-étage.

III.3.3 Sortie

Le réseau de sortie est réalisé sur le PCB, en raison des trop forts courants traversant les pistes. Dans un premier temps, nous allons nous passer de l'emploi des interrupteurs en réalisant deux réseaux de sortie différents.

Dans le cas du standard UMTS, le réseau de sortie aura pour tâche la transformation d'impédance de 50Ω vers $12,5\Omega$, comme nous l'avons vu au chapitre 3.

Dans le cas des standards GSM et DCS, nous utilisons le schéma Figure 4 - 9.

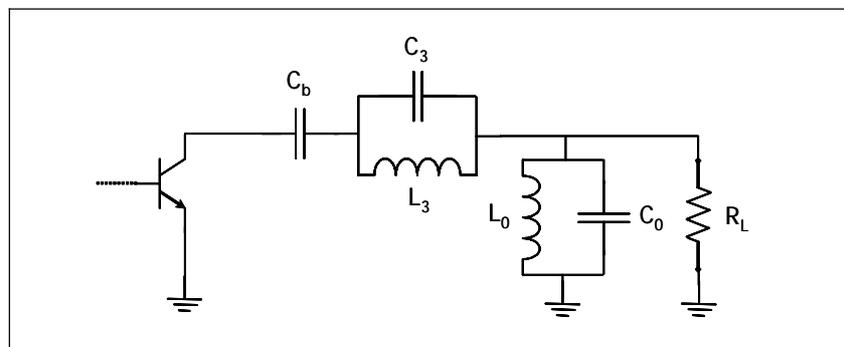


Figure 4 - 9 : Réseau de sortie pour les standards GSM et DCS

Le réseau parallèle (L_0 , C_0) résonne à la fréquence fondamentale f_0 , tandis que le réseau (L_3 , C_3) résonne à l'harmonique 3. Le condensateur C_b a un double rôle : il participe au réseau de sortie tout en réalisant le découplage. A la fréquence fondamentale f_0 , le réseau (L_3 , C_3) est équivalent à une faible inductance entre le collecteur et la charge qui peut être modifiée en utilisant le condensateur C_b . A la fréquence $2f_0$, le réseau (L_3 , C_3), toujours équivalent à une inductance est en série avec le condensateur C_b et le réseau (L_0 , C_0) équivalent à une capacité [Tra99].

Afin de satisfaire ces critères, les cinq éléments se déterminent de la façon suivante. La relation qui permet de déterminer la capacité C_0 est donnée Eq. 4-5, connaissant la résistance de charge R_L , la pulsation à la fréquence de fonctionnement ω_0 et la bande passante B :

$$C_0 = \frac{\alpha}{(1 - \alpha^2)\omega_0 R_L} \quad \text{Eq. 4 - 5}$$

avec :

$$\alpha = \frac{\omega_0 - \pi B}{\omega_0} \quad \text{Eq. 4 - 6}$$

L'inductance L_0 est ensuite déterminée :

$$L_0 = \frac{1}{\omega_0^2 C_0} \quad \text{Eq. 4 - 7}$$

Puis les trois autres éléments :

$$L_3 = \frac{160L_0 R_L^2}{81[(3R_L)^2 + (2\omega_0 L_0)^2]} \quad \text{Eq. 4 - 8}$$

$$C_3 = \frac{1}{9\omega_0^2 L_3} \quad \text{Eq. 4 - 9}$$

$$C_b = 8C_3 \quad \text{Eq. 4 - 10}$$

Les valeurs calculées par ces équations sont toutefois approximatives car elles ne prennent pas en compte les impédances parasites. Elles peuvent donc servir de valeurs de base, avant de déterminer les valeurs optimales.

III.4 Dessin de l'amplificateur de puissance

Le dessin du circuit est présenté Figure 4 - 10. Ce dessin est amélioré par rapport à celui du circuit précédent.

Tout d'abord, un soin tout particulier est apporté au redimensionnement de la largeur des pistes : elles sont augmentées ainsi que le nombre de *vias*, afin d'éviter de trop grandes densités de courant.

Le premier étage a également été modifié : nous avons placé une résistance de dégénérescence dans les émetteurs des transistors Q_d , montés en émetteur commun. Les 20 transistors sont découpés en cellules sur 5 lignes et 4 colonnes. Ces cellules sont dans ce cas comparables à celle décrites au chapitre 3, Figure 3-9. Le circuit de polarisation de cet étage est placé au centre de cette cellule afin de limiter les différences de température entre les transistors constituant le miroir de courant.

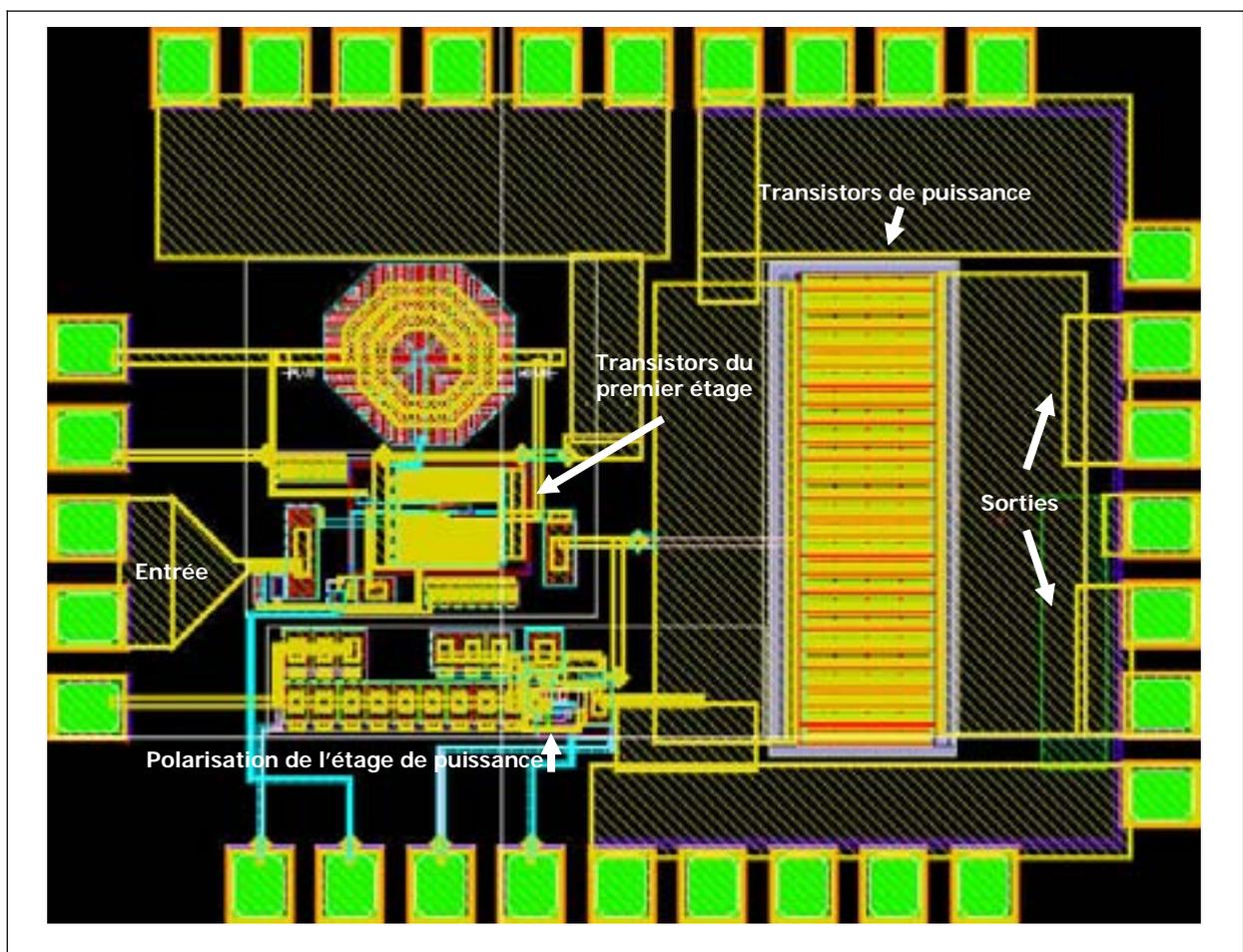


Figure 4 - 10 : Dessin du circuit

IV Résultats de simulations

Les courbes donnant le courant de collecteur du transistor Q_p de l'étage de puissance en fonction de la source de courant I_{classe} sont présentées Figure 4 - 11 et Figure 4 - 12,

dans le cas d'une polarisation de cet étage en classe AB et en classe F, respectivement. Nous pouvons voir que la source de courant I_{classe} permet un contrôle quasi-linéaire sur le courant de repos des transistors. Dans le cas d'un fonctionnement en classe AB, quand I_{classe} augmente de $50\mu A$ à $5mA$, le courant I_{CQP} varie de $234mA$ à $631mA$, ce qui correspond à une variation relative de 46%. Dans le cas d'un fonctionnement en classe F, le courant I_{CQP} varie de $360mA$ à $556mA$, soit une variation de 21,4%. Par l'utilisation de la source de courant I_{classe} , la classe de fonctionnement et la puissance de sortie peuvent être contrôlées.

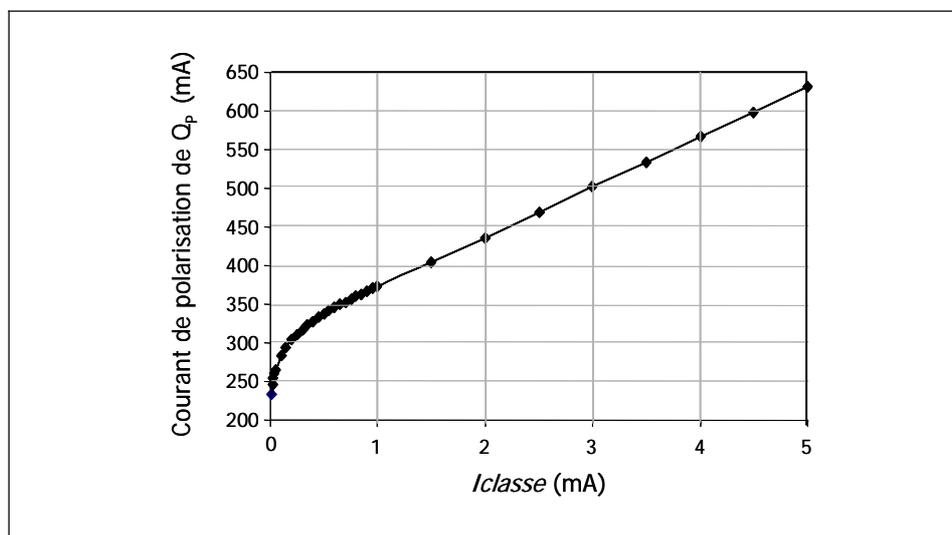


Figure 4 - 11 : Courant de polarisation de Q_p en fonction de la source de courant I_{classe} dans le cas de la classe AB

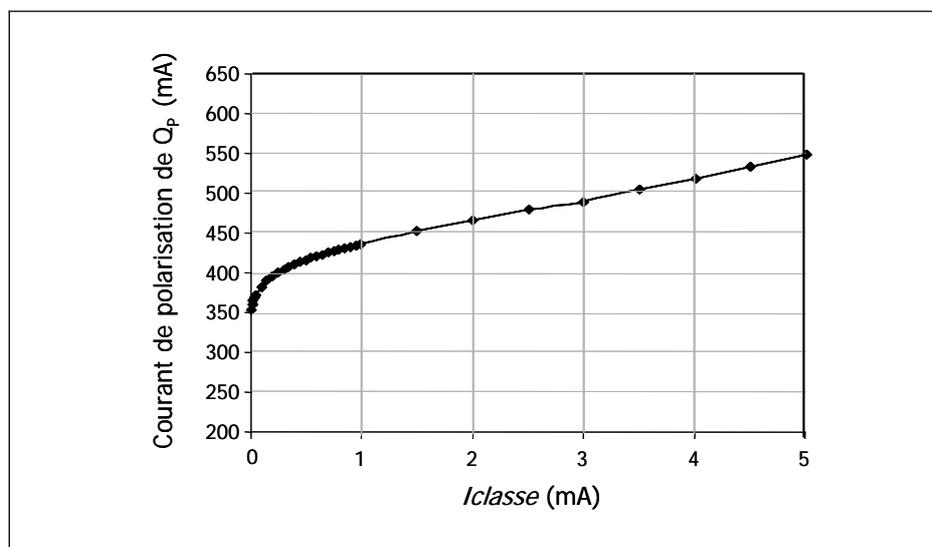


Figure 4 - 12 : Courant de polarisation de Q_p en fonction de la source de courant I_{classe} dans le cas de la classe F

Nous pouvons à présent observer les variations de la puissance de sortie et du rendement en puissance ajoutée (PAE) en fonction de la puissance d'entrée. Les courbes dans le cas du fonctionnement en classe AB sont présentées Figure 4 - 13, tandis que la Figure 4 - 14 montre le cas de la classe F.

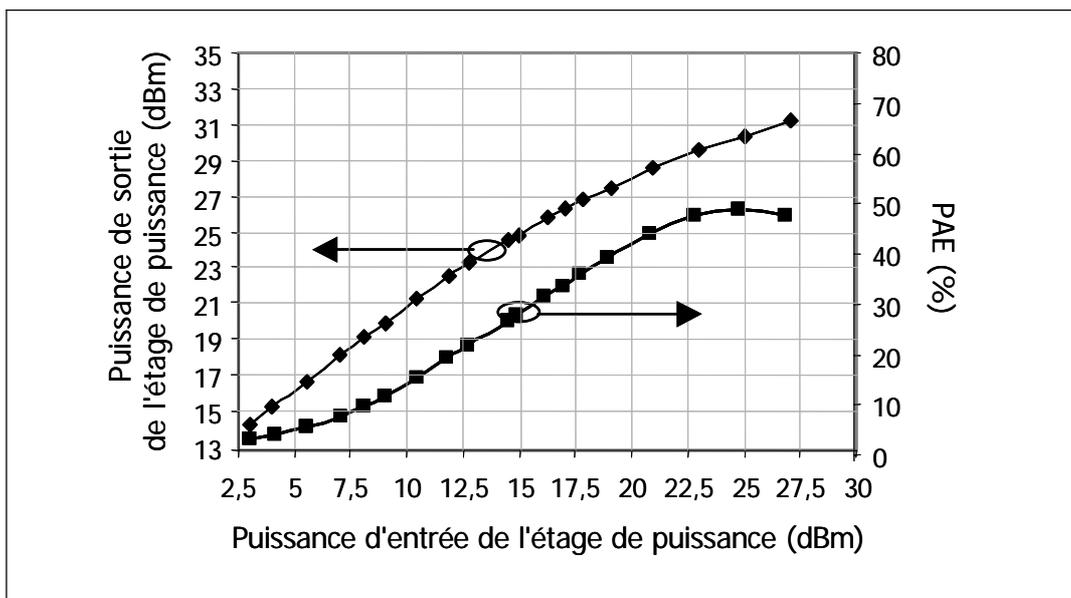


Figure 4 - 13 : Puissance de sortie et PAE en fonction de la puissance d'entrée de l'étage de puissance polarisé en Classe AB @1,95 GHz

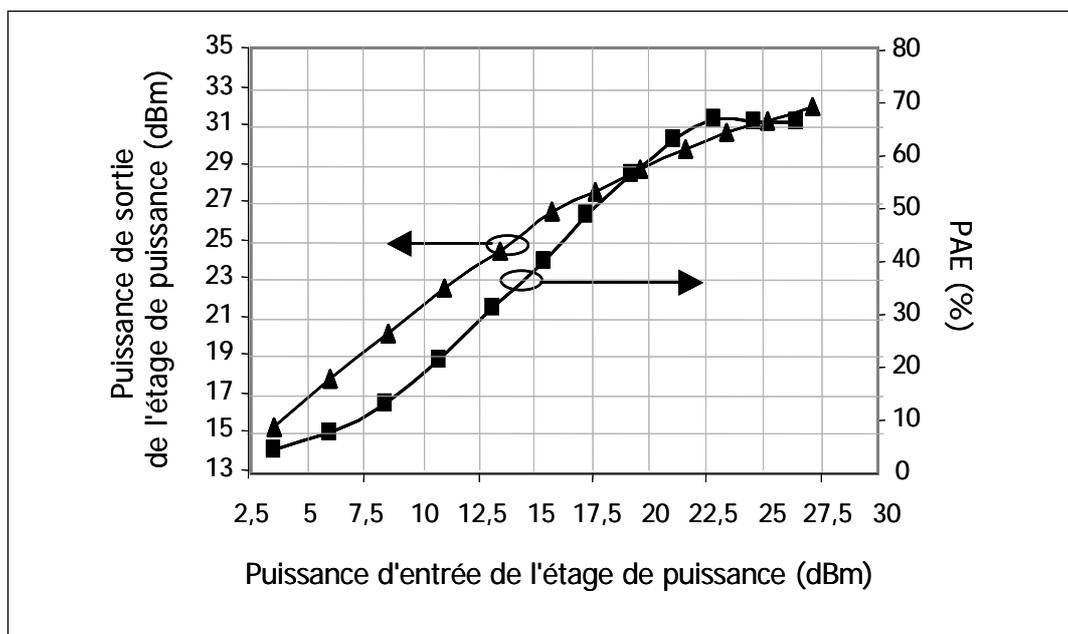


Figure 4 - 14 : Puissance de sortie et PAE en fonction de la puissance d'entrée de l'étage de puissance polarisé en Classe F @1,75 GHz.

Nous pouvons constater l'amélioration du rendement en puissance ajoutée grâce à l'architecture en classe F. A la Figure 4 - 14, lorsque la puissance de sortie atteint les 27 dBm requis pour le standard DCS, le rendement vaut 49% et peut atteindre 64% pour une puissance de sortie de 30 dBm . Dans le cas de l'UMTS, le rendement vaut 39% à la puissance de sortie de 27 dBm et pour la puissance de sortie requise pour le standard, c'est-à-dire 24 dBm , le rendement vaut 27% . Pour l'UMTS, l'amplificateur fonctionne avec un back-off de 2 dB environ afin d'améliorer la linéarité.

La puissance de sortie au point de compression est également modifiée, elle est égale à $26,1\text{ dBm}$ dans le cas de la classe AB à $27,6\text{ dBm}$ dans le cas de la classe F.

Pour le standard GSM, la classe de fonctionnement est la classe F pour l'étage de puissance. Par rapport au standard DCS, le point de polarisation est légèrement modifié grâce à l'ajustement réalisé par la source de courant *I_{classe}* et la puissance d'entrée plus importante. Nous obtenons la puissance de sortie spécifiée par le standard, c'est-à-dire 30 dBm pour un rendement en puissance ajoutée de 62% .

Le Tableau 4 - 2 et la Figure 4 - 15 présente ces différents résultats.

	Classe AB	Classe F
OCP1 (dBm)	26,1	27,6
PAE (%)	27 @ $P_{\text{out}} = 24\text{ dBm}$ 39 @ CP1	49 @ CP1
PAE max (%)	50	67

Tableau 4 - 2 : Comparaison du CP1 et de la PAE pour les deux modes

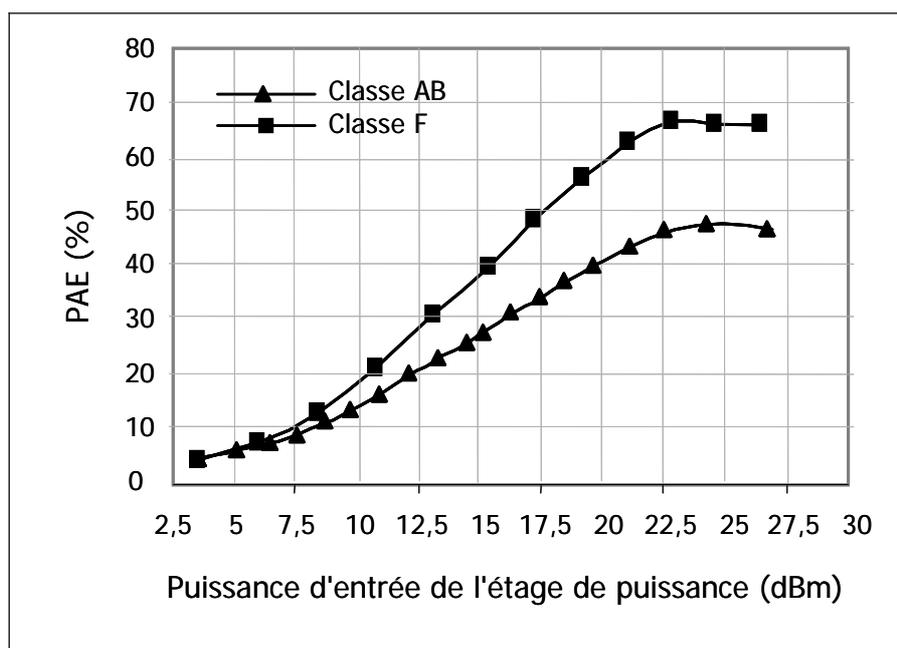


Figure 4 - 15 : Comparaison du rendement en puissance ajoutée pour chaque mode

Il existe très peu de publications sur des amplificateurs de puissance fonctionnant en classe F, et encore moins d'amplificateurs réalisés avec une technologie Silicium. A ce jour, nous avons recensés deux réalisations sur un substrat III/V et une sur un substrat SiGe. Nous pouvons comparer les valeurs issues des simulations aux valeurs issues des deux précédentes réalisations. Cette comparaison est effectuée au Tableau 4-3. Il ressort que les performances en simulation de notre amplificateur sont proches des résultats obtenus dans [Mal96] sur un substrat GaInP/GaAs. Par contre, ils sont bien supérieurs à ceux réalisés sur une technologie SiGe.

Technologie	PAE (%) @ CP1	PAE _{max} (%)	OCP1 (dBm)	Référence	Type de résultats
GaInP/GaAs HBT	56	59	27	[Mal96]	Mesures
SiGe HBT	25	33	9	[Osu03]	Mesures
SiGe HBT	49	67	27,6	[Del05]	Simulations

Tableau 4 - 3 : Comparaison des performances des amplificateurs de puissance classe F

V Dispositifs de test

V.1 *Placement de la puce sur le PCB*

La Figure 4 - 16 représente une micro-photographie du circuit. Afin d'éviter les problèmes rencontrés lors des mesures du premier circuit liés à la longueur des fils de bonding, la puce n'a pas été encapsulée, mais directement reportée sur le PCB, comme le montre la Figure 4 - 17, selon le procédé décrit au chapitre 3.

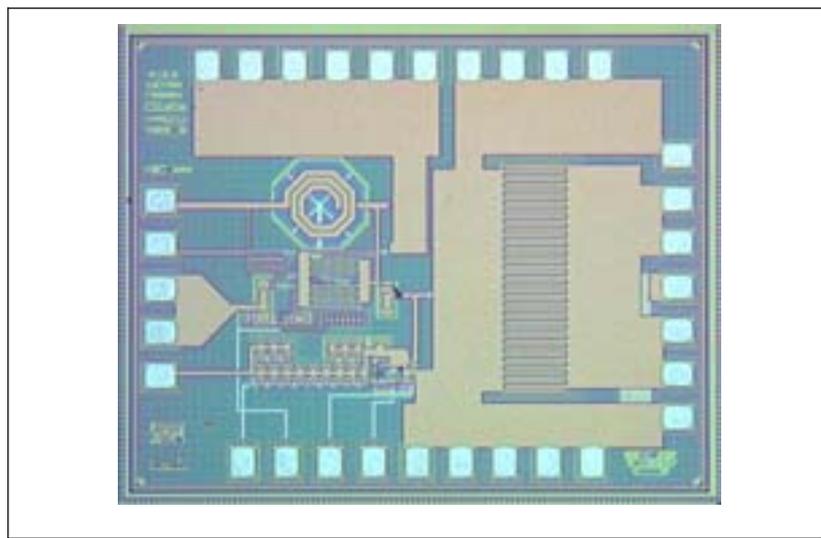


Figure 4 - 16 : Photographie de la puce

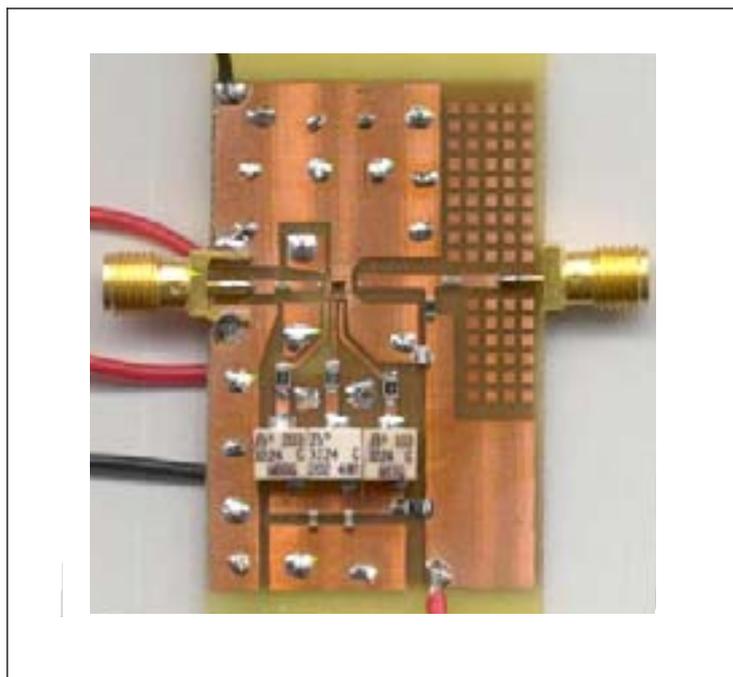


Figure 4 - 17 : Photo de la carte de test du circuit

V.2 Résultats de mesures

V.2.1 Conditions des tests

Les conditions de test sur ce circuit sont celles décrites au chapitre 3 §V.4.2.1. Afin d'éviter de détériorer la puce, nous avons effectué des tests avec une très faible amplitude d'entrée (-15 dBm), et le circuit n'est pas adapté dans un premier temps.

Nous souhaitons d'abord vérifier la fonctionnalité de la méthode proposée. Cependant, nous veillerons à effectuer systématiquement des retro-simulations prenant en compte la désadaptation de l'amplificateur et la longueur des fils de bonding. Nous verrons par la suite à obtenir les spécifications des standards visés.

V.2.2 Mesures DC avec une faible puissance d'entrée

Les mesures DC ont été présentées au chapitre 3, au Tableau 3-6.

V.2.3 Mesures dynamiques avec une faible puissance d'entrée

V.2.3.1 Paramètre S_{21}

Le paramètre S_{21} du circuit est mesuré grâce à l'analyseur de spectre. Les mesures sont présentées au chapitre 3, Figure 3 - 32. Sur cette courbe, l'échelle en abscisse est de 200 MHz par carreau tandis que l'échelle en ordonnée est de 10 dB par carreau. Le circuit n'étant pas adapté à une fréquence donnée, nous obtenons $14,22\text{ dB}$ à 1,95GHz ; $14,1\text{ dB}$ à 1,75 GHz et $25,5\text{ dB}$ à 900 MHz.

A ce stade, des retro-simulations sont effectuées afin de comparer les valeurs du S_{21} obtenus pour chacune des fréquences. La courbe donnant le paramètre S_{21} en fonction de la fréquence est présentée Figure 4 - 18. Il est dès lors possible d'effectuer une comparaison entre les valeurs obtenues en mesure et celles obtenues en retro-simulation aux fréquences qui nous intéressent, c'est-à-dire à 900 MHz (point A), à 1,75 GHz (point B) et à 1,95 GHz (point C). Ces valeurs sont données dans le Tableau 4 - 4.

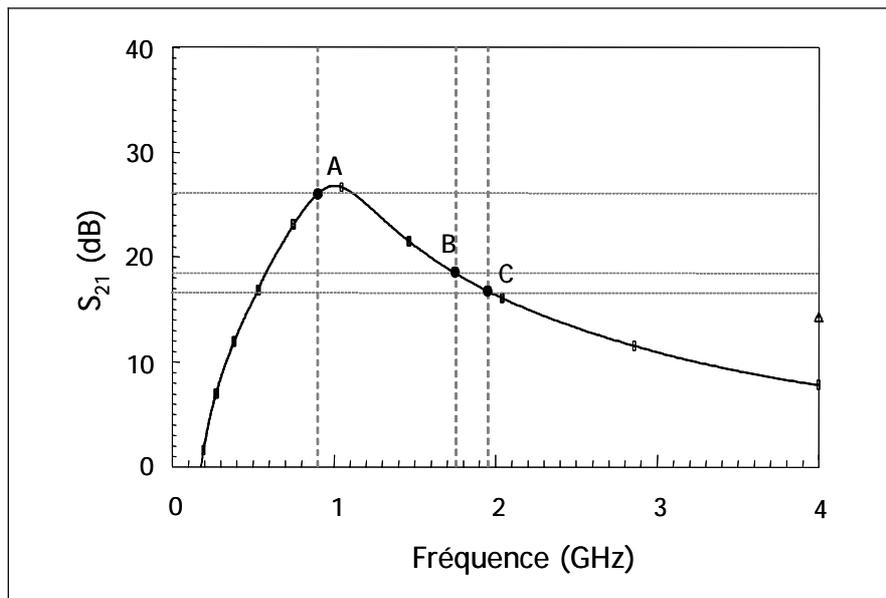


Figure 4 - 18 : Valeurs simulées du paramètre S_{21}

Nous voyons une bonne concordance entre les valeurs des gains pour $f=900$ MHz et $f=1,95$ GHz. Pour $f=1,75$ GHz en revanche, la différence entre la valeur mesurée et la valeur simulée est de 3,9 dB.

Paramètre Fréquence	S_{21} mesuré (dB)	S_{21} simulé (dB)
900 MHz	25,5	26
1,75 GHz	14,1	18
1,95 GHz	14,2	16,5

Tableau 4 - 4 : Comparaison entre les valeurs mesurées et simulées du gain pour différentes fréquences

V.2.4 Performances du circuit

Les mesures réalisées ont été effectuées sur l'amplificateur de puissance désadapté. Les valeurs de gain en puissance ainsi mesurées sont alors inférieures aux valeurs maximums que nous pourrions obtenir de l'amplificateur si les adaptations en entrée et en

sortie étaient parfaitement réalisées. Nous pouvons nous baser sur un exemple extrait de [Vil02]. Dans cet exemple, le gain du transistor entre deux charges 50Ω est de $13,3\text{ dB}$. Lorsque le transistor est placé entre deux charges complexes conjuguées, le gain vaut alors 24 dB . De même, en utilisant des techniques dites de « *source-pull* », le pendant des techniques de *load-pull* effectuée sur l'entrée, une augmentation de 20% du gain est réalisée dans [Col04]. Nous voyons alors que favoriser le transfert en puissance aux accès permet d'augmenter de façon significative le gain en puissance.

Afin d'avoir une idée sur la valeur du gain que le circuit serait capable d'atteindre s'il était adapté, nous présentons les valeurs issues de simulation donnant le gain maximum G_{\max} en fonction de la fréquence, au Tableau 4 - 5. Il s'agit du gain maximum que l'on pourrait obtenir de l'amplificateur de puissance dans la mesure où les adaptations d'impédances sont *parfaitement* réalisées. Ces valeurs *idéales* indiquent qu'il est possible de gagner les $24,5\text{ dB} - 14,2\text{ dB} = 10,3\text{ dB}$ de différence observés entre la valeur attendue par les simulations et la mesure de l'amplificateur non-adapté.

Fréquence	G_{\max} simulé (dB)
900 MHz	36,53
1,75 GHz	29,18
1,95 GHz	27,14

Tableau 4 - 5 : Paramètre G_{\max} simulé en fonction de la fréquence

V.2.4.1 Adaptation en entrée

Afin de vérifier si la valeur du gain peut effectivement augmenter, nous avons réalisé l'adaptation d'impédance en entrée à 1,95 GHz. Les résultats sur le paramètre S_{21} sont présentés Figure 4 - 19. L'adaptation en entrée permet d'augmenter le gain de $5,6\text{ dB}$, celui-ci passant de $14,2\text{ dB}$ à $19,8\text{ dB}$.

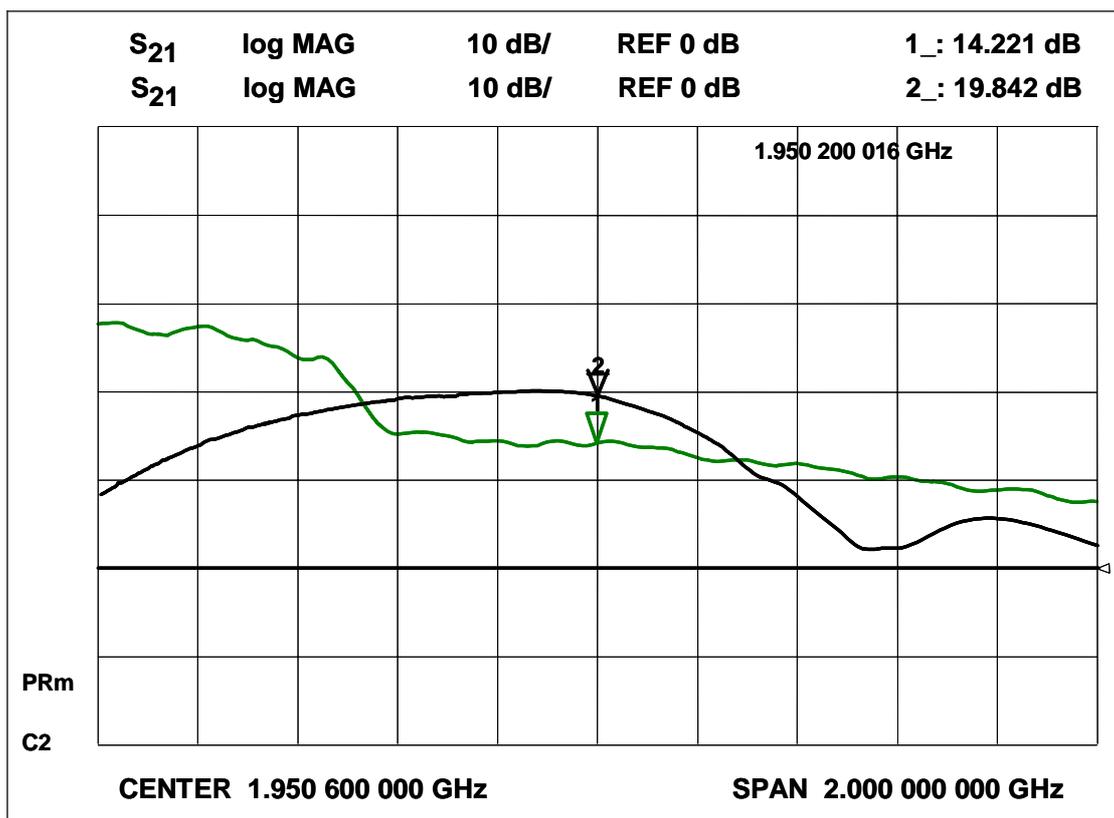


Figure 4 - 19 : Paramètre S21 en fonction de la fréquence
(1) amplificateur désadapté (2) amplificateur adapté en entrée

Étant donné le coefficient de la qualité des composants passifs utilisés, la bande passante est suffisamment élevée pour couvrir la fréquence du standard DCS à 1,75 GHz.

V.3 Analyse des résultats

Bien que les transistors HBT SiGe aient de bons comportements à de hautes températures [Che04], les grandes densités de courant au regard de la taille de la puce ($< 1,4 \text{ mm}^2$) ont pour conséquence de fortes densités de puissance dissipée [Pfo04]. Usuellement, pour favoriser la dissipation thermique, l'amplificateur de puissance peut soit être placé dans un boîtier à fond métallisé, soit dans un boîtier classique sur lequel on dispose un radiateur sur la partie supérieure du boîtier. Dans notre cas, la puce nue est reportée directement sur un support FR4. La dissipation de puissance n'est donc pas favorisée et l'élévation de la température de la puce réduit considérablement sa durée de vie [Pfo04].

VI Conclusion

La méthode de conception d'un amplificateur de puissance reconfigurable est, dans le cadre de ce chapitre, appliquée aux communications multi-standard. Nous avons reconduit la structure proposée au chapitre 2 basée sur deux étages possédant des circuits de polarisation différents. Cela nous permet de contrôler indépendamment les caractéristiques de chacun des étages. Nous avons rappelé les avantages et inconvénients des classes sinusoïdales et des classes à haut rendement. Pour le standard UMTS, les efforts sont portés sur la linéarité, nous avons opté pour une structure classe A/AB. Pour les standards GSM et DCS, les puissances de sortie spécifiées sont importantes, le rendement est donc primordial afin de sauvegarder les batteries des terminaux. Dans ce cas, nous avons opté pour une structure classe AB/F. Pour passer d'une configuration à l'autre, nous avons montré qu'il était possible de transformer la classe A en classe AB pour le premier étage en bougeant le point de polarisation de cet étage et de transformer la classe AB en classe F pour le deuxième étage en bougeant le point de polarisation et en modifiant le réseau de sortie. En effet, nous avons mis en évidence de fortes similitudes entre la topologie de la classe AB et celle de la classe F. Dans la configuration classe A/AB, la puissance de sortie spécifiée de 24 dBm est obtenue avec un rendement en puissance ajoutée de 27% . Dans la configuration classe AB/F, le rendement en puissance ajoutée est amélioré, il est de 49% à la puissance de sortie spécifiée de 27 dBm pour le standard DCS. Les résultats obtenus sont supérieurs à ceux reportés dans l'unique publication trouvée sur un amplificateur de puissance classe F en technologie SiGe [Osu03].

Les mesures effectuées sur le circuit ont permis de vérifier les mesures réalisées à faibles niveaux afin de ne pas détériorer la puce sont en parfaite concordance avec les résultats issus des retro-simulations.

VII Références bibliographiques

- [Bel05] D. Belot, N. Deltimple, E. Kerhervé, Y. Deval, P. Jarry, "Amplificateur de puissance RF à classe reconfigurable", Proposal ID: 050822-13:14:48.
- [Col04] P. Colantonio, F. Giannini, E. Limiti and V. Teppati, "An Approach to Harmonic Load- and Source-Pull Measurements for High-Efficiency PA Design", IEEE Transactions on Microwave Theory and Techniques, vol.52, n°1, January 2004, pp.191-198.
- [Cri99] S. C. Cripps, "RF Power Amplifiers for Wireless Communications", Artech House, Norwood, MA 02062, chapter 3: Conventional High-Efficiency Amplifier Modes, pp. 67-69.
- [Del05] N. Deltimple, E. Kerhervé, D. Belot, Y. Deval and P. Jarry, "A SiGe Controlled-Class Power Amplifier Applied to Reconfigurable Mobile Systems", 35th European Microwave Conference, EuMC2005, Paris, France, 4-6 october 2005, pp. 457-460.
- [Mal96] A. Mallet *et al*, "A Design Method for High Efficiency Class F HBT Power Amplifier", 1996 IEEE MTT-S Digest, pp.855-858.
- [Oht05] A. Ohta, A. Inoue, S. Goto, K. Ueda, T. Ishikawa and Y. Matsuda, "Intermodulation Distortion Analysis of Class-F and Inverse Class-F HBT Amplifiers", IEEE Transactions on Microwave Theory and Techniques, vol.53, n°6, pp. 2121-2127, June 2005.
- [Osu03] J. A. O'Sullivan *et al*, "A Fully Integrated High Frequency SiGe HBT Class F Power Amplifier at 2.2 GHz", IEEE High Frequency postgraduate Student Colloquim, September 8-9, 2003.
- [Pfo04] M. Pfof, P. Brenner and R. Lachner, "Investigation of Advanced SiGe Heterojunction Bipolar Transistors at High Power Densities", 2004 IEEE Bipolar/BiCMOS Circuits and Technology Meeting, BCTM2004, pp. 100-103, Montréal, Canada, September 13-14 2004.

- [Raa01] F. H. Raab, "Maximum Efficiency and Output of Class-F Power Amplifiers", IEEE Transactions on Microwave Theory and Techniques, vol.49, n°6, pp. 1162-1165, June 2001.
- [Tra99] C. Trask, "Class-F Amplifier Loading Networks: A Unified Design Approach", IEEE MTT-S Digest, pp. 351-354.
- [Vil02] M. Villegas et al. "Radiocommunications numériques/2 – Conception de circuits intégrés RF et micro-ondes", éd. Dunod, Paris, 2002, chapitre 6 : Paramètres S, adaptation d'impédances, pp 48-52.

Conclusion générale et Perspectives

I Conclusion générale

Les travaux présentés dans ce manuscrit de thèse entrent dans le cadre de la recherche sur les frontaux radio-fréquence reconfigurables dans les technologies de la filière Silicium-Germanium. Plus précisément, nous nous intéressons ici à la conception d'amplificateurs de puissance reconfigurables dans la technologie SiGe BiCMOS7RF de STMicroelectronics. Les applications visées sont les terminaux multi-standard de communications mobiles GSM/DCS/UMTS.

Le premier chapitre a présenté les caractéristiques et spécifications des principaux standards de communication. En effet, il est essentiel de connaître ces spécifications avant de débiter la conception de circuit. De plus, nous y avons vu les points communs, mais aussi les différences entre tous les standards existants, mettant ainsi en évidence la difficulté de concevoir des circuits capables de s'adresser à tous ces standards. Par exemple, pour notre application, nous avons vu qu'une des principales contraintes pour le standard UMTS est la linéarité exigée tandis que pour les standards GSM et DCS, la puissance de sortie requise est très élevée, un faible rendement est donc fortement recommandé dans une application de téléphonie mobile afin de préserver les batteries des terminaux. Nous avons ensuite présenté les architectures d'émission-réception permettant de réaliser des terminaux multi-standards. A l'intérieur de ces architectures, nous nous sommes focalisés sur l'amplificateur de puissance dont nous avons présenté les principales caractéristiques.

Dans le second chapitre est proposé un principe de conception d'amplificateur de puissance reconfigurable. Nous sommes parti de l'analyse d'amplificateurs de puissance réalisés. Les critères de comparaison sélectionnés ont été, entre autres, la technologie utilisée, les standards visés, la classe de fonctionnement choisie, etc. Nous avons ainsi pu connaître les points communs et les différences de ces circuits et ainsi déterminer une topologie de base adaptée à notre application. A partir de cette topologie, nous avons du faire face aux principaux points de divergence des standards GSM, DCS et UMTS : le rendement et la linéarité. Nous avons présenté deux voies afin d'améliorer ces critères. D'une part, améliorer la linéarité des amplificateurs à haut rendement ou d'autre part augmenter le rendement des amplificateurs linéaires. La première proposition s'effectue au niveau système, elle est souvent lourde à mettre en œuvre et ne convient pas à notre application de faible coût. Nous nous sommes donc intéressés au technique d'augmentation

du rendement que sont la polarisation dynamique, la technique Doherty et le traitement des harmoniques. Ces techniques passées en revue nous ont permis de réfléchir à la façon de rendre la topologie reconfigurable. Tout d'abord, nous avons étudié le contrôle de la fréquence, à travers les varicap MOS ou les banque de capacités. Le contrôle de la classe de fonctionnement permet de modifier la linéarité et le rendement de l'amplificateur. Nous avons mis en évidence que la contrainte sur le rendement devait être faite essentiellement sur le deuxième étage et relâchée sur le premier étage. Par la suite, nous avons étudié le contrôle du point de compression à 1dB. Dans cette étude, nous avons vu que la modification du CP1 du premier étage a plus d'influence sur le CP1 de l'amplificateur que la modification du CP1 du deuxième étage. Pour finir, nous nous sommes intéressés au contrôle de l'impédance équivalente du circuit de polarisation du deuxième étage : cette impédance a une importance particulière car elle entre en compte dans le gain de la structure et dans l'adaptation inter-étage. A travers ces études, nous avons pu établir la topologie finale de l'amplificateur de puissance reconfigurable. Tous ces points de contrôles sont autant de leviers qui permettent de modifier les paramètres de l'amplificateur afin que celui-ci réponde aux spécifications du standard utilisé à un moment donné.

Au chapitre 3 nous nous sommes intéressés à la conception d'un amplificateur de puissance reconfigurable en puissance pour le standard UMTS. Nous avons donc mis en œuvre deux des techniques de contrôle proposées au chapitre 2. D'une part le contrôle du CP1 de l'amplificateur afin de modifier celui-ci en fonction du niveau du signal d'entrée et ainsi d'augmenter le rendement aux faibles niveaux du signal d'entrée. Nous avons effectivement constaté par les simulations cette augmentation du rendement. Celle-ci s'est accompagnée d'une modification du gain de la structure, comme nous nous y attendions. Nous avons donc mis en œuvre la technique de contrôle de l'impédance équivalente du circuit de polarisation du deuxième étage, afin de maintenir un gain constant et ainsi éviter de déformer l'enveloppe du signal. Nous avons décrit les étapes de conception de l'amplificateur en remontant de la sortie vers l'entrée. Les mesures effectuées sur la deuxième version du circuit nous ont permis de vérifier la fonctionnalité de la technique proposée.

Le chapitre 4 propose une méthode permettant la conception d'un amplificateur reconfigurable multi-standard. Il s'agit là d'un amplificateur reconfigurable en puissance mais également en classe de fonctionnement. La topologie à deux étages indépendamment contrôlables que nous avons décrite permet faire varier la classe de fonctionnement de chaque étage. Ainsi, pour chaque standard, nous pouvons déterminer la configuration

optimale, en fonction des spécifications du standard. Une structure classe A/AB est utilisée pour le standard UMTS afin de respecter les contraintes de linéarité. Pour les standards GSM et DCS, la structure classe AB/F est choisie afin d'augmenter le rendement. Pour le premier étage, le passage de la structure classe A à la structure classe AB se fait par le réglage du point de polarisation de cet étage. Pour l'étage de puissance, le passage de la structure classe A à la structure classe AB se fait par le réglage du point de polarisation de cet étage et la modification du réseau de sortie avec l'utilisation d'un réseau permettant d'augmenter le niveau de l'harmonique 3. Les simulations et mesures effectuées ont permis de valider la technique de modification dynamique de la classe de fonctionnement et du réseau de sortie.

II Perspectives

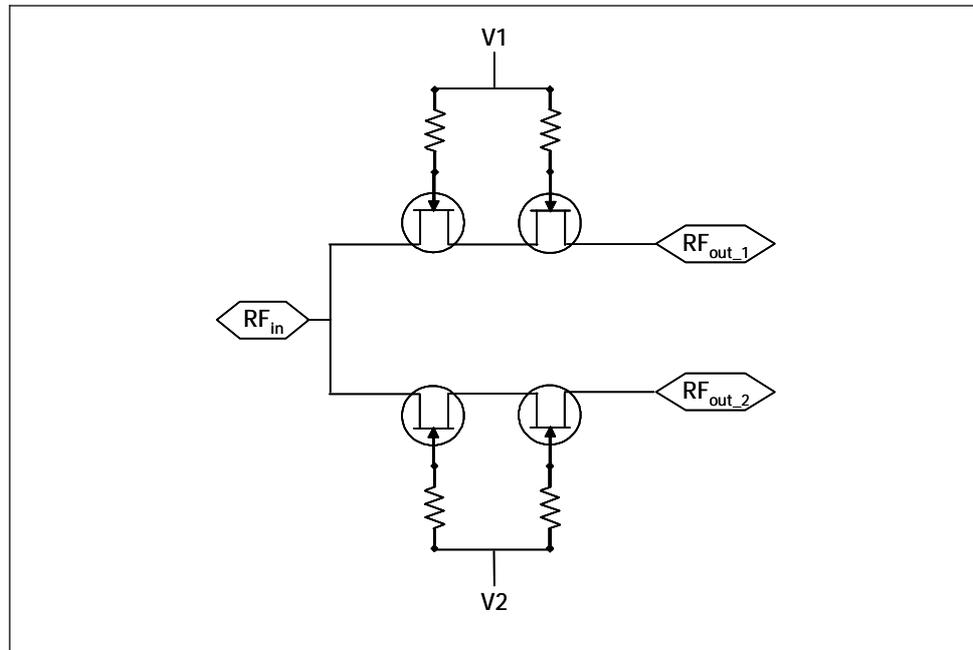
II.1 *Amélioration de la technique proposée*

Tout d'abord, l'étude d'un autre circuit de polarisation est envisagée afin d'augmenter la plage de variation du CP1 de l'amplificateur. Cela peut nous permettre d'améliorer encore le rendement moyen.

Ensuite, nous avons vu que la reconfigurabilité en fréquence a été envisagée à travers les réseaux d'adaptation en utilisant des capacités variables. Dans notre étude, nous avons réalisé les réseaux d'adaptation sur le PCB. La suite de cette étude verrait également la réalisation du réseau d'entrée et du réseau de sortie directement sur la puce. Ainsi, il serait possible de venir commander les circuits d'adaptation par des mots binaires provenant du DSP, comme évoqué au chapitre 3. Pour le réseau de sortie, nous pouvons envisager d'intégrer les composants passifs sur la technologie IPADTM (Integrated Passive & Active Devices) développée à ST Tours. Cette technologie permet essentiellement d'obtenir une plus grande intégration et des composants passifs de meilleure qualité [ST05].

Pour l'application multi-standard GSM/DCS/UMTS, le réseau de sortie nécessite l'emploi de deux interrupteurs (*switches*). Ces interrupteurs intégrés devront supporter de fortes puissances et apporter le moins de distorsion possible au signal, il convient donc de s'interroger sur les architectures de interrupteurs intégrés capables de répondre à nos exigences. Une étude succincte a montré qu'il est de plus en plus difficile de concevoir des interrupteurs intégrés linéaires à fortes puissances à mesure que les tensions d'alimentation diminuent sur les technologies faible coût [Tal03-2]. Les valeurs du CP1 trouvées dans la littérature sont de l'ordre de 12 dBm pour des substrats SOI [Tin02] et jusqu'à 28 dBm avec

une technologie CMOS 0,18 μm [Tal03-1]. Un exemple de topologie d'interrupteur intégré est donné à la figure ci-après. Ces valeurs sont encore inférieures à celles obtenues par l'utilisation des diodes PIN. En effet, l'ICP1 de ce type de composants est de l'ordre de *30 dBm* et *31 dBm*.



Exemple d'interrupteurs intégrés pour les fortes puissances [Tal03-2]

II.2 Les projets européens

L'étude menée au cours de cette thèse a permis d'inclure la conception d'amplificateurs de puissance reconfigurable RF dans deux projets européens, nommés MOBILIS et UPPERMOST.

II.2.1 Projet MOBILIS (Mixed SiP and SoC Integration of Power BAW Filters for Digital Wireless Transmissions)

A l'occasion du 6e Programme-cadre de Recherche et Développement (6ème PCRD), le laboratoire IXL a répondu à un appel à propositions de la thématique Information Society Technologies (IST). Ce projet regroupe 11 partenaires : IEMN, IRCOM, IXL, LAAS, VTT, TRIKON, EPCOS, ST, CEA-LETI, PUB, UPM, et ce, pour une durée de 3 ans.

MOBILIS concerne l'intégration des filtres BAW dans les émetteurs RF pour les standards DCS et UMTS, le schéma de l'émetteur est présenté ci-après. Dans ce projet, l'IXL

s'est vu confier la réalisation des filtres BAW et de l'amplificateur de puissance reconfigurable DCS/UMTS.

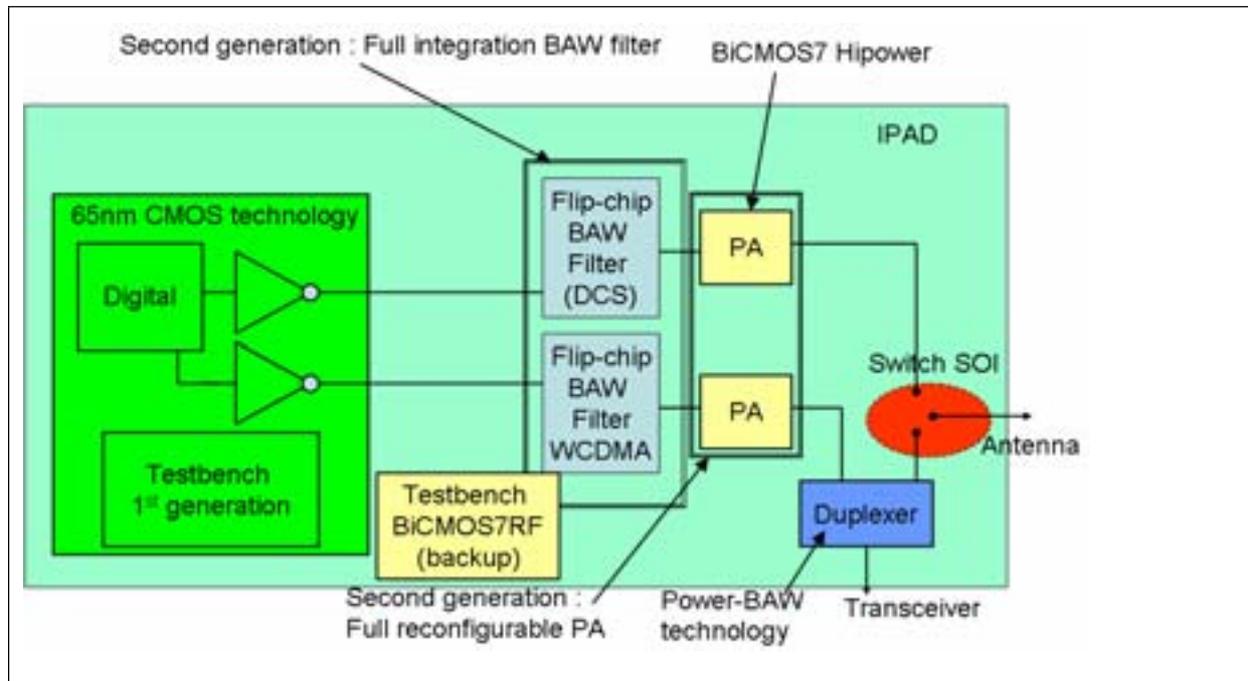


Schéma synoptique de l'émetteur à réaliser

A l'occasion de ce projet, une nouvelle thèse est envisagée, en collaboration avec ST sur la partie passive.

II.2.2 MEDEA+ UPPERMOST

Le projet UPPERMOST concerne la conception de circuits RF et d'un échantillonneur pour les émetteurs-récepteurs multi-standards en collaboration avec STMicroelectronics. Dans ce projet, le laboratoire IXL est en charge de la conception d'un *sampled-analog receiver* RF Front-End (RFFE) pour *le Software-Defined Radio* (SDR), et d'un amplificateur de puissance reconfigurable multi-standard, capable d'adapter sa linéarité, sa fréquence de fonctionnement et sa puissance de sortie en fonction du standard choisi. En cas de valeurs de PAR (Peak-to-Average Ratio) élevé, le comportement de l'amplificateur doit également être modifié afin de réduire la consommation.

II.3 *La fiabilité des amplificateurs de puissance*

Suite à des discussions avec F. Marc, Maître de Conférences dans l'équipe "*Fiabilité des composants : prévision des durées de vie*", nous avons établi une collaboration sur des

études de vieillissement des amplificateurs de puissance sous contraintes RF sur la technologie BiCMOS7RF. L'objectif de cette étude est d'évaluer les contraintes appliquées aux transistors de l'amplificateur, plus particulièrement aux transistors de puissance, en se basant sur des simulations électriques. Ces simulations doivent prendre en compte de nombreux paramètres liés à l'environnement du circuit, notamment la température de la puce et les effets de la désadaptation en sortie, les différentes consignes de puissance fournies à l'amplificateur.

En se basant sur ces simulations, les puissances dissipées par chaque transistor seront calculées afin d'estimer les élévations locales de température et le risque d'emballage thermique pouvant conduire à la destruction du circuit.

Ces simulations vont aussi aider à déterminer les conditions de test pour le vieillissement du circuit.

Le circuit pourra également être modélisé en utilisant le langage de modélisation comportementale VHDL-AMS afin d'effectuer des simulations plus précises des effets d'auto-échauffement.

Bibliographie :

- [Tal03-1] Niranjana Talwalkar, C. Patrick Yue, S. Simon Wong "An Integrated 5.2 GHz CMOS T/R Switch with LC tuned Substrate Bias", IEEE Journal of Solid-State Circuits, June 2004, Volume: 39 , Issue: 6 pp. 863 – 870.
- [Tal03-2] N. Talwalkar, "Integrated CMOS Transmit-Receive Switch Using On-Chip Spiral Inductors", december 2003.
- [Tin02] C. Tinella, J-M. Fournier, D. Belot, V. Knopik "A 0.7 dB Insertion Loss CMOS-SOI Antenna Switch with more than 50 dB Isolation over the 2.5 to 5GHz Band", Proceedings of the 28th European ESSCIRC 2002, 24-26 Sept. 2002, pp. 483 – 486, Florence, Italy.
- [ST05] <http://www.st.com/>

GLOSSAIRE

ACPR	Adjacent Channel Power Ratio
AMPS	Advanced Mobile Phone Service
BPSK	Binary Phase Shift Keying
CDMA	Code Division Multiple Access
CP1	Point de compression à 1 dB
CSMA	Carrier Sense Multiple Access
DCB	Dynamic Current Biasing
DCS	Digital Cellular System
DSP	Digital Signal Processing
DSSS	Direct Sequence Spread Spectrum
DVB	Dynamic Voltage Biasing
EDGE	Enhanced Data rates for GSM Evolution
EER	Envelope Elimination and Restoration
EY-NPMA	Elimination Yield Non Preemptive Multiple Access
FDD	Frequency Division Duplex
FDMA	Frequency Division Multiple Access
FHSS	Frequency Hopping Spread Spectrum
FSK	Frequency Shift Keying
GFSK	Gaussian-FSK
GMSK	Gaussian Minimum Shift Keying
GPRS	General Packet Radio Service
GPS	Global Positioning System
GSM	Global System of Mobile communication
HiperLAN	High Performance Radio Local Area Network

IMT	International Mobile Telecommunication
IPn	Point d'Interception d'ordre n
ISM	Industrial, Scientific and Medical
MAC	Medium Access Control
NMT	Nordic Mobile Telephone
OFDM	Orthogonal Frequency Division Multiplexing
OL	Oscillateur Local
PAE	Power Added Efficiency
PAR	Peak-to-Average Ratio
PCB	Printed Circuit Board
PCS	Personal Communications Services
QAM	Quadrature Amplitude Modulation
QPSK	Quadrature Phase Shift Keying
SDR	Software Defined Radio
TDD	Time Division Duplex
TDMA	Time Division Multiple Access
TQFP	Thin Quad Flat Package
UMTS	Universal Mobile Telecommunication System
WLAN	Wireless Local Area Network

Liste des travaux, ouvrages et communications

Brevets

- [Bre1] Amplificateur de puissance RF à classe reconfigurable, Proposal ID: 050822-13:14:48, inventeurs : Didier BELOT, Nathalie Deltimple, Eric Kerhervé, Yann Deval, Pierre Jarry.

Publications

Ouvrages

- [Ouv1] N. Deltimple, E. Kerhervé, Y. Deval, P. Jarry and D. Belot, "Multi-mode, Multi-standard RF Reconfigurable Power Amplifier", Microwave Filters and Amplifiers 2005, Chapter 7, pp. 119-131, published by Research Signpost, India, 2005.

Conferences Internationales

- [Cint1] N. Deltimple, C. Majek, H. Lapuyade, J.-B. Bégueret, E. Kerhervé et Y. Deval, "Synthétiseur de Fréquence à base de DLL Factorisée pour application HiperLAN", Actes du colloque TELECOM'2003 & 3èmes JFMMA, pp. 330-333, Marrakech, Morocco, October 15-17 2003.
- [Cint2] N. Deltimple, C. Majek, H. Lapuyade, J.-B. Bégueret, E. Kerhervé and Y. Deval, "The Factorial DLL : Application to a 5 GHz Frequency Synthesizer", IEEE Proceedings of Design of Circuits and Integrated Systems (DCIS2003), pp. 192-196, Ciudad Real, Spain, November 19-21, 2003.
- [Cint3] C. Majek, N. Deltimple, H. Lapuyade, J.-B. Bégueret, E. Kerhervé and Y. Deval, "A 2-6 GHz CMOS Factorial Delay Locked Loop Dedicated to Multi-Standard Frequency Synthesis", Proceedings of the IEEE International Symposium on Industrial Electronics ISIE2004, pp. 157-161, Ajaccio, Corse, May 5-7 2004.
- [Cint4] C. Majek, N. Deltimple, H. Lapuyade, J.-B. Bégueret, E. Kerhervé and Y. Deval, "A Programmable CMOS RF Frequency Synthesizer for Multi-standard Wireless Applications", Proceedings of the 2nd annual IEEE Northeast

Workshop on Circuits and Systems (NEWCAS2004), pp. 289-292, Montreal, Canada, June 20-23, 2004.

[Cint5] N. Deltimple, E. Kerhervé, Y. Deval and P. Jarry, "A Reconfigurable RF Power Amplifier Biasing Scheme", Proceedings of the 2nd annual IEEE Northeast Workshop on Circuits and Systems (NEWCAS2004), pp. 365-368, Montréal, Canada, June 20-23, 2004.

[Cint6] N. Deltimple, E. Kerhervé, D. Belot, Y. Deval and P. Jarry, "A SiGe Power Amplifier with Dynamic Bias for Efficient Power Control in UMTS/W-CDMA Applications", *XIX Conference on Design of Circuits and Integrated Systems, DCIS2004*, Bordeaux, France, November 24-26, ISBN 2-9522971-0-X, pp. 68-72.

[Cint7] N. Deltimple, E. Kerhervé, D. Belot, Y. Deval and P. Jarry, "A SiGe Controlled-Class Power Amplifier Applied to Reconfigurable Mobile Systems", 35th European Microwave Conference, EuMC2005, pp.457-460, Paris, France, October 4-6 2005.

Conferences Nationales

[Cnat1] N. Deltimple, E. Kerhervé et P. Jarry, "Les Amplificateurs de Puissance Reconfigurables : enjeux et perspectives", Proceedings des VIIèmes Journées Nationales du Réseau Doctoral de Microélectronique JNRDM2004, pp. 439-441, Marseille, France, 4-6 Mai 2004.

[Cnat1] N. Deltimple, E. Kerhervé, Y. Deval, D. Belot et P. Jarry, "Amplificateur de puissance multi-standard GSM/DCS/UMTS en technologie SiGe : étude de la reconfigurabilité en puissance", 14èmes Journées Nationales Microondes, JNM2005, n°5D5, Abstract p. 112, Paris, France.

Participation au GDR Ondes

[GDR1] N. Deltimple, E. Kerhervé, Y. Deval et P. Jarry, "Circuits de polarisation contrôlables dédiés aux amplificateurs de puissance reconfigurables multi-standards", Journées thématiques "Interférences d'ondes", GDR Ondes, Marseille, 8, 9 et 10 décembre 2003.

RESUME

Les travaux présentés dans la thèse portent sur la conception d'amplificateurs de puissance reconfigurables dans la technologie SiGe BiCMOS7RF de STMicroelectronics. Les applications visées sont les terminaux multi-standards de communications mobiles GSM/DCS/UMTS. Ces amplificateurs doivent être capables de modifier dynamiquement leurs propriétés en fonction à la fois du standard utilisé à un moment donné et du niveau de la puissance d'entrée afin de travailler à rendement optimum et préserver les batteries des terminaux. Pour cela, nous avons dû faire face aux principaux points de divergence de ces standards: le rendement pour le GSM et le DCS afin de diminuer la puissance consommée et la linéarité pour l'UMTS qui utilise une modulation à enveloppe non-constante. L'amplificateur de puissance reconfigurable doit donc faire face à cette contradiction.

Nous proposons une architecture capable d'adapter ses caractéristiques en fonction du standard choisi, en décrivant des méthodes permettant de modifier les caractéristiques principales de l'amplificateur : la classe de fonctionnement, le point de compression à 1 dB et le gain de la structure, le but étant de travailler à rendement optimum. Tous ces points de contrôles sont autant de leviers qui permettent de modifier les paramètres de l'amplificateur et de privilégier les critères de linéarité et de rendement l'un par rapport à l'autre, afin que l'amplificateur réponde aux spécifications du standard utilisé à un moment donné.

La réalisation d'un amplificateur de puissance reconfigurable nous a permis de valider la fonctionnalité de la technique proposée.

Mots-clés :

multi-standard, circuits RF BiCMOS, amplificateur de puissance reconfigurable, classes de fonctionnement, variation dynamique du CP1, compromis linéarité-rendement, rendement optimum.

ABSTRACT

Within the framework of this thesis, the work is on the design of reconfigurable multi-standard power amplifiers for GSM/DCS/UMTS in a SiGe BiCMOS7RF technology from STMicroelectronics. The proposed power amplifier is able to adapt dynamically both its linearity and its output power capability, in order to suit the requirements of these standards and input power level in order to maintain optimum PAE and save battery life. GSM and UMTS standards have very different requirements, the most important from the PA design point of view are transmitting frequency, output power and modulation used. Reconfigurable power amplifiers must satisfy the requirements of several standards of communications. UMTS standard uses a QPSK-modulation type: signals have non-constant envelope, which means that the envelope of RF signal varies with time and hence must be preserved in order to keep the full information content of the original message signal. Thus, a good linearity is mandatory in order to avoid envelope distortion. In DCS and GSM standard, a constant envelope GMSK-modulation type is used, so a linear amplification is not mandatory. Moreover, the output power specification requires high output power. In order to reduce power consumption, efforts should be made above all on efficiency.

A power amplifier topology is described which is able to modify dynamically important characteristics: class of operation, CP1 and power gain. Optimum efficiency is the aim. All these parameters allow the structure to fulfill the specifications of the standard desired.

The realization of a reconfigurable power amplifier led us to validate the proposed methodology functionality.

Key words:

multi-standard, RF BiCMOS circuits, reconfigurable power amplifier, class of operation, dynamic CP1 shifting, linearity-efficiency compromise, optimum efficiency.