

N° d'ordre : 2674

THÈSE

présentée à

L'UNIVERSITÉ BORDEAUX I

ÉCOLE DOCTORALE DE MATHÉMATIQUES ET INFORMATIQUE

par **Ludovic ALVADO**

POUR OBTENIR LE GRADE DE

DOCTEUR

SPÉCIALITÉ : Electronique

Neurones artificiels sur silicium : une évolution vers les réseaux.

Soutenue le : 3 Juin 2003

Après avis de :

Mr. Andréas Kaiser	Chargé de recherche
Mr. Alain Destexhe	Directeur de recherche
Mr. Gwendal LeMasson	Chargé de recherche
Mme Sylvie Renaud	Professeur
Mr. Jean Tomas	Maître de conférences
Mr. André Touboul	Professeur
Mr. Marc François	Maître de conférences

Rapporteurs
Rapporteurs

Remerciements à

Sylvie Renaud

Jean Tomas (pour ses visites guidés)

André Touboul (pour m'avoir accueilli dans son laboratoire)

Alain Destexhe (pour ses explications et ses idées)

Marc François (pour avoir accepté d'être mon rapporteur)

Vincent Douence (qui m'a expliqué la microélectronique)

Pascal Fouillat (mon directeur de thèse pendant trois ans)

Mireille Bernard (qui m'a appris les principes du non-sens)

Yann Deval (pour ses réponses pertinentes)

Patrick Villesuzanne (pour son soutien hard)

Regis Devreese (mais pas son ami FlexIm)

Sylvain Saïghi (toujours là pour aider)

Thierry Orlandi (pour m'avoir supporté)

Rocky et Azzo (pour m'avoir tenu compagnie le midi)

les employés de la bibliothèque (pour leur patience)

Gaspard (un pro du nettoyage des vitres)

Sébastien Narbéburu (pour ses boissons)

Absolut (pour son soutien quotidien)

les nombreux stagiaires (qui m'ont offert à boire)

Alain (ou comment avoir toujours raison)

Analog Device (le plus fort en analogique)

et surtout, sans qui tout cela n'aurait aucune saveur

Alain mon père, Nicole, Florence et Lucie

Je ne remercie pas

l'administration dans son ensemble (c'est n'importe quoi)

les employés du service public (pour leurs grèves continuelles)

« Et une page de gagnée ! »

Ludovic

Note sur les références présentes dans ce manuscrit

Les références présentes dans ce manuscrit sont en majorité des références de livres et non d'articles. Le domaine où nous pratiquons est assez confidentiel. Notre équipe est une des rares avec l'Institut de Neuroinformatique de l'ETH (Zürich) à implanter dans des circuits intégrés des modèles de neurones basés sur le formalisme de Hodgkin-Huxley. Pour concevoir nos circuits nous faisons donc appel à des montages courants et connus par les électroniciens, et donc très bien documentés dans des livres. Les références sont annotées au texte et se situent en bas de page. Les références aux travaux déjà réalisés dans notre équipe ne sont pas citées dans le corps du texte, mais sont rassemblées en fin de manuscrit.

Note sur le sujet traité par l'équipe

Depuis plus de 10 ans, l'équipe de recherche « Neurones artificiels sur silicium » du groupe « Conception et test » du Laboratoire IXL, ont intégré dans des circuits intégrés (ASIC) les équations générales du formalisme de Hodgkin et de Huxley. Ces composants spécialisés constituent un instrument de simulation en temps réel de neurones biologiquement réalistes. Cet outil est dédié aux neurophysiologistes qui veulent pour leurs études un dispositif interagissant avec les cellules neuronales exploitées dans leurs expériences. Le laboratoire de l'unité INSERM E0358 de l'Institut François Magendie (Université de Bordeaux 2), dont fait partie Gwendal LeMasson qui est notre principal interlocuteur dans le cadre de ces travaux, utilise toutes les possibilités offertes par ce type de système où matière vivante et composants électroniques peuvent interagir ensemble. L'article publié le 20 Juin 2002 dans le journal Nature en est un bon résumé. Cet article est joint à la fin de ce manuscrit.

Liste des symboles

Nous donnons ici la liste des symboles utilisés dans ce manuscrit. La plupart sont introduits dans le chapitre d'introduction et repris par la suite sans définitions supplémentaires.

<u>Symbole</u>	<u>Description</u>	<u>Unité</u>
V_{EQUI}	Potentiel d'équilibre ou de repos	mV
C_M	Capacité membranaire	$\mu F/cm^2$
R_M	Résistance membranaire	Ω/cm^2
V_{MEM}	Potentiel de membrane	mV
V_{SLOPE}	Paramètre de pente dans les fonctions sigmoïdes	mV
V_{OFFSET}	Paramètre d'offset dans les fonctions sigmoïdes	mV
m	Fonction d'activation du canal Na	
h	Fonction d'inactivation du canal Na	
n	Fonction d'activation du canal K	
\bar{g}_{Na}	Conductance maximale du canal Na	S/cm^2
\bar{g}_K	Conductance maximale du canal K	S/cm^2
\bar{g}_L	Conductance maximale du canal de fuite membranaire	S/cm^2
[T]	Concentration en neurotransmetteur	M
E_{SYN}	Tension de repos synaptique	mV
I_{STIM}	Courant de stimulation injecté dans la membrane	μA
V_{Na}	Potentiel d'équilibre du canal Na	mV
V_K	Potentiel d'équilibre du canal K	mV

Table des matières

Principes de modélisation du neurone	11
La membrane plasmique.	12
Les neurones.....	13
<i>Les canaux cationiques</i>	14
<i>Modèles</i>	17
Les synapses.	19
Intégration : principe et application	21
La technologie BiCMOS Austriamicrosystems (AMS) 0,8µm.	22
<i>Les transistors MOS</i>	22
<i>Les transistors bipolaires</i>	23
<i>Éléments passifs</i>	24
Montages élémentaires.....	24
<i>Basées sur la paire différentielle : les sigmoïdes</i>	25
<i>Basées sur le principe translinéaire : les puissances</i>	26
Éléments d'intégration des conductances et des synapses.	27
<i>La cinétique</i>	27
<i>Le modèle cinétique de la synapse</i>	29
Règles suivies pour le layout.....	32
<i>Structures multigrilles</i>	32
<i>Structures « common-centroïd »</i>	33
<i>Éléments « dummy »</i>	34
<i>Anneaux de garde</i>	35
<i>Cages de Faraday</i>	35
<i>Règles sujettes à discussion</i>	36
Maurice.	36
<i>Description du composant</i>	37
<i>Résultats</i>	38
Conclusion.	42
Application système	43
Le projet européen SenseMaker.	44
<i>Le projet dans sa globalité</i>	44
<i>Notre partie</i>	45
Le modèle à intégrer.....	48

Trieste.....	52
<i>Le composant</i>	52
Les cinétiques variables.....	52
Les commutateurs de courants.....	53
Pratique du routeur automatique.....	54
<i>Simulations et mesures</i>	55
Simulateur mixte analogique numérique : l'interface.....	58
<i>Gestion des ASIC</i>	58
<i>La carte PCI</i>	61
Conclusion.....	62
Le dernier chapitre.....	63
<i>Autocorrection et bruit</i>	73
Une calibration au démarrage est nécessaire.....	73
Problème de bruit.....	74
<i>Conclusion</i>	75
Le projet européen Neurobit.....	76
<i>Le projet dans sa globalité</i>	76
<i>Notre partie</i>	78
<i>Les systèmes existants dans le commerce</i>	78
Multichannel Systems.....	78
Panasonic et son Med System.....	80
Plexon et son MAP (Multichannel Acquisition Processor).....	81
Résumé technique.....	82
<i>Notre vision</i>	83
<i>Décomposition temporelle du travail</i>	84
Première étape.....	84
Seconde étape.....	88
Troisième étape.....	88
Etat d'avancement de la partie acquisition – stimulation.....	89
<i>Considérations sur la partie informatique et électronique</i>	89
La sauvegarde en continu des données.....	90
Répartition des tâches à l'aide d'un réseau.....	90
Détermination automatique de l'architecture du banc de mesure.....	90
Une barrière optique pour isoler l'environnement biologique.....	92
<i>Conclusion</i>	92
Conclusion du manuscrit.....	94
Bibliographie.....	95

«Neurones artificiels sur Silicium »	97
Principaux travaux de recherche sur la simulation analogique de neurones	99

Introduction à ce manuscrit

L'électronique commerciale appliquée aux neurosciences n'en est qu'à ses prémises. Elle n'a pas encore investi notre cerveau, sauf dans le cas des malades atteints de la maladie de Parkinson, mais cette population est heureusement faible. Tout est donc à faire ou presque. Comprendre comment fonctionne le cerveau dans ses moindres recoins n'est pas nécessaire, nous pouvons toujours espérer que le cerveau s'adaptera et apprendra à utiliser ce que nous pouvons y mettre dedans. Encore faut-il savoir où le placer et posséder un minimum de compréhension sur la structure globale.

Pour comprendre les principaux mécanismes d'apprentissage dans le cerveau, des simulations de réseaux de neurones sont nécessaires. Ces simulations sont très longues pour espérer retrouver les grandes règles régissant les mécanismes du cerveau en entier. La conception d'un outil interactif qui permet de simuler en temps réel avec l'homme simplifie considérablement l'approche, car nous pouvons ajuster les paramètres de simulation au fur à mesure que la simulation progresse dans le temps. Pour retrouver des propriétés de certains neurones, nous pouvons envisager de les remplacer par des émulateurs et valider ainsi les lois qui les régissent. La simulation ou l'émulation en temps réel est exigée. Le cerveau est plus performant que n'importe quel ordinateur actuel. L'homme a pris l'habitude de s'inspirer de la nature pour concevoir les choses. S'il veut utiliser un réseau de neurones artificiels pour une nouvelle application, nous pouvons supposer qu'il devra s'appuyer sur des neurones biologiquement réalistes et fonctionnant temporellement, non pas des neurones formels dans lesquels la notion du temps est absente. Les circuits intégrés simulant l'activité réaliste des neurones ont donc de beaux jours devant eux...

La majeure partie de ce manuscrit concerne la conception de composants électroniques simulant en temps réel l'activité des neurones biologiques. Ces composants sont les éléments de base constituant les réseaux de neurones artificiels biologiquement réalistes. Ces circuits sont fort complexes à réaliser car les lois de la biologie n'ont pas grand chose à voir avec les lois qui régissent les semi-conducteurs. Un neurone biologique demande des millions de canaux ioniques réalisant la même opération tandis qu'un neurone électronique ne demande qu'un millier de transistors, sauf que chaque transistor ne réalise pas la même opération. Le texte de ce manuscrit est centré sur les grandes directions adoptées lors de la conception des neurones artificiels, et sur les problèmes rencontrés.

Le chapitre 1 présente quelques généralités de neurophysiologie ainsi que des modèles électriques qui s'y réfèrent. Le chapitre 2 concerne le premier circuit simulant un neurone dont tous les paramètres du modèle sont figés à l'intérieur. Auparavant, pour les circuits déjà réalisés au sein de l'équipe, il fallait appliquer ces paramètres depuis l'extérieur du composant et cela pour chaque composant. Ce chapitre décrit aussi les grandes règles de dessin des masques que nous nous sommes imposés pour que tous les composants soient les plus identiques possible entre eux. Ce problème de différence entre composants apparaît plusieurs fois dans ce manuscrit et est un enjeu prédominant pour constituer des réseaux.

Le chapitre 3 décrit un modèle intégré plus complexe qui est utilisé dans un projet européen. Le réalisme grandissant des modèles intégrés provenant des neurosciences apporte des problèmes supplémentaires. La structure adoptée pour simuler des réseaux y est décrite. Le dernier chapitre est prospectif et annonce les prochains champs d'exploration à investir pour intégrer plus de neurones dans un même composant. Il expose aussi le début du projet européen Neurobit dédié à l'instrumentation extracellulaire. La connexion extracellulaire avec les neurones rejoint notre introduction car pour réaliser une interaction vivant-artificiel, une bonne connaissance des signaux à échanger est primordiale.

Principes de modélisation du neurone

Ce manuscrit débute comme il se doit par une introduction sur la physiologie et la modélisation des neurones et des synapses. Les « neurones » dont nous parlons ici sont bien les éléments biologiques constitutifs du système nerveux, chez tout humain ou animal. Avant d'intégrer des modèles de ces petits êtres dans des circuits intégrés, nous devons nous renseigner sur eux. Nous nous intéressons particulièrement à leur activité décrite temporellement, et à la façon dont elle leur permet de traiter et transmettre les informations issues de leur environnement : le « réseau de neurone » auquel ils appartiennent, et des stimuli issus de récepteurs sensitifs par exemple. Une grande partie de ces informations est supportée par des « potentiels d'action ». Nous commencerons donc par décrire l'origine des potentiels d'action engendrés par les canaux cationiques. Nous examinerons ensuite les équations qui modélisent ces potentiels d'action. Le but de ce chapitre est d'apporter les éléments nécessaires à un profane dans le domaine de la neurophysiologie pour comprendre la démarche du travail présenté dans les chapitres qui le suivent.

La membrane plasmique.¹

Les membranes cellulaires jouent un rôle fondamental pour la vie de la cellule. La membrane plasmique, qui entoure toutes les cellules, délimite le volume de la cellule et maintient les différences indispensables entre cytoplasme et le milieu extracellulaire. Les gradients de concentrations ioniques à travers les membranes peuvent être utilisés pour produire et transmettre des signaux électriques dans les cellules nerveuses ou musculaires. Les membranes cellulaires, en dépit de leurs différentes fonctions, ont une structure globale commune : chacune est constituée d'un film très fin de molécules protéiques et lipidiques maintenues ensemble, principalement par des interactions non covalentes. Les membranes cellulaires sont des structures dynamiques et fluides, dont la plupart des constituants sont capables de se déplacer sur un même plan de la membrane. Les molécules lipidiques sont organisées en double couche continue d'environ 5 nm d'épaisseur (figure 1). Cette double couche lipidique constitue la structure de base de la membrane et sert de barrière relativement imperméable au passage de la plupart des molécules hydrosolubles comme les ions.

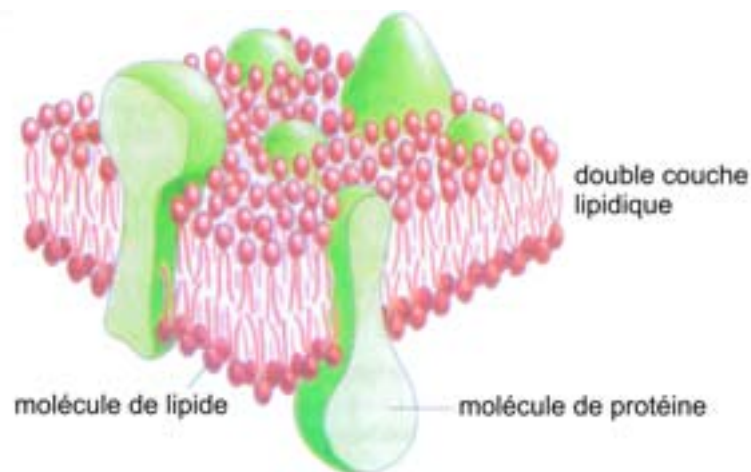


Figure 1: un dessin montrant la structure tridimensionnelle d'une membrane cellulaire.

Le potentiel de membrane à l'équilibre est défini comme la différence du potentiel intracellulaire et extracellulaire. Suivant les circonstances, ce potentiel est compris entre -30mV et -90mV avec une valeur typique de -70mV au repos. Il s'exprime en mV et son origine est la différence de concentration des ions de part et d'autre de la membrane plasmique.

$$V_{EQUI} = V_{MEM}(\text{repos}) = V_i - V_e$$

Nous voyons sur la figure 1 que la majeure partie de la membrane est constituée de molécules lipidiques. Ces deux couches de phospholipides forment un condensateur C dont la charge Q est distribuée des deux

¹ « Biophysics of Computation, Information Processing in Single Neurons. », Christof Koch, 1999, Oxford University Press Inc. (ISBN 0-19-510491-9)

cotés de la membrane. Cette capacité de membrane C_M est définie en $\mu\text{F}/\text{cm}^2$ et sa valeur varie entre 0,7 et 1. La valeur de C pour une cellule est donnée par la multiplication de la surface cellulaire par la capacité de membrane C_M . Le courant membranaire correspondant est :

$$I_C = C \frac{dV_{MEM}(t)}{dt}$$

La membrane plasmique n'est pas un condensateur parfait puisqu'elle est aussi constituée de protéines: elle fuit. En poids, les protéines représentent de 20 à 80% de la membrane. La résistance de la membrane est généralement spécifiée par la résistance spécifique R_M exprimée en Ω/cm^2 . L'inverse de cette résistance est la densité de conductance $g_M=1/R_M$ et est exprimé en S/cm^2 .

Le modèle électrique de la membrane plasmique est donc un circuit RC associée à un générateur de tension. Le R pour la résistance de fuite, le C pour la capacité de membrane et un générateur pour la tension de repos V_{EQUI} . La figure 2 qui suit représente le schéma électrique du modèle de membrane plasmique le plus courant :

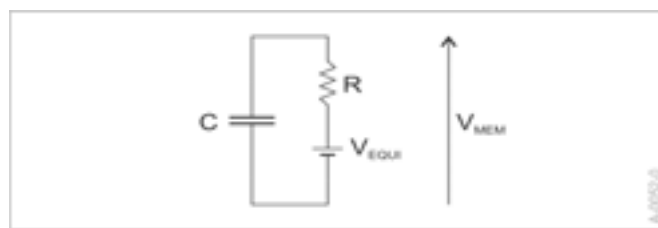


Figure 2: la représentation du schéma électrique de la membrane.

Les neurones.²

Le rôle fondamental du neurone est de recevoir, de propager et de transmettre des signaux. Pour remplir ces fonctions, les neurones sont en général très allongés : chez l'homme, une seule cellule nerveuse qui s'étend de la moelle épinière à un muscle du pied peut mesurer un mètre. Chaque neurone est constitué d'un corps cellulaire (qui contient le noyau) et d'un certain nombre de longs et fins prolongements. Il n'y a en général qu'un long axone, qui véhicule les signaux du corps cellulaire vers des cibles éloignées, et plusieurs dendrites plus courts et ramifiés qui s'allongent comme des antennes à partir du corps cellulaire et offrent ainsi une plus grande surface de réception pour les signaux qui proviennent des axones d'autres cellules nerveuses. L'axone se divise à son extrémité en de nombreuses ramifications, et peut ainsi transmettre simultanément son message à de nombreuses cellules cibles. La figure 3 illustre cette structure.

² « Biologie moléculaire de la cellule », Bruce Alberts, Dennis Bray, Julian Lewis, Martin Raff, Keith Roberts et James D. Watson, 1995, Flammarion (ISBN 2-257-15219-0)

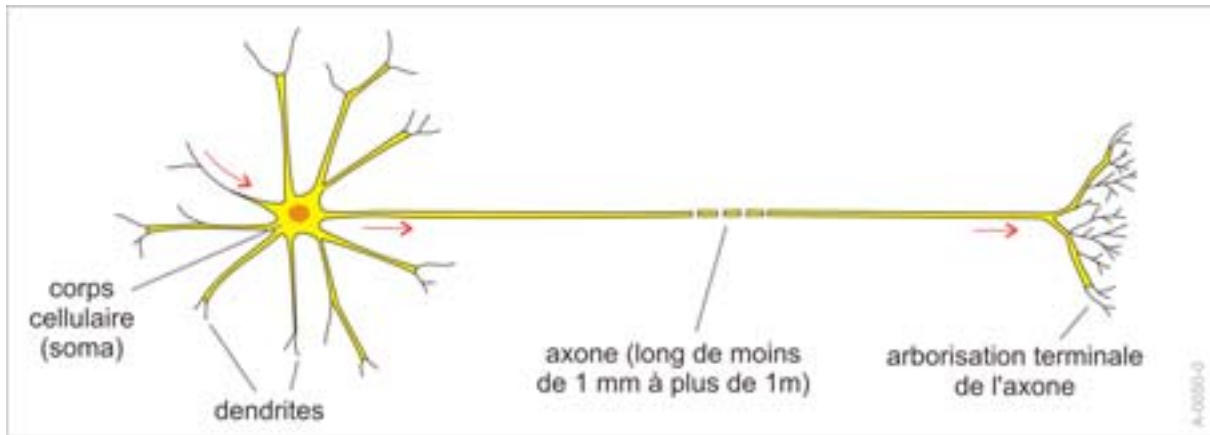


Figure 3: représentation d'un neurone typique de vertébré. Les flèches rouges indiquent la direction dans laquelle les signaux sont propagés.

Même si la signification des signaux portés par différentes classes de neurones est variable, leur nature est la même, et se traduit par des variations de potentiel électrique de part et d'autre de la membrane plasmique du neurone. La communication a lieu quand une perturbation électrique produite dans une région de la cellule se propage dans le reste de la cellule. Une telle perturbation s'atténue lorsque la distance à la source augmente s'il n'y a pas de dépense d'énergie pour l'amplifier au cours de sa propagation. Sur de courtes distances, cette atténuation est négligeable ; de nombreux petits neurones transmettent ainsi leurs signaux passivement, sans amplification. Par contre, une telle propagation passive ne convient pas à une communication sur de longues distances. Les plus longs neurones ont développé un mécanisme actif de signalisation qui constitue l'une de leurs caractéristiques les plus étonnantes : une impulsion électrique qui dépasse un certain seuil provoque une explosion d'activité électrique qui se propage rapidement le long de la membrane plasmique du neurone et qui est maintenue par une amplification sur tout son trajet. Cette onde d'excitation électrique, connue sous le nom de potentiel d'action, ou influx nerveux, peut propager un message sans atténuation d'une extrémité d'un neurone à l'autre à une vitesse qui peut atteindre 100m/s et parfois plus. Ils sont la conséquence directe des propriétés des canaux cationiques contrôlés par la tension. Les composants électroniques que notre équipe conçoit depuis plusieurs années reproduisent ces potentiels d'action.

Les canaux cationiques.

La membrane plasmique de toutes les cellules électriquement excitables (neurones mais aussi cellules musculaires, cellules endocrines ...) contient des canaux cationiques à ouverture contrôlée en tension, qui sont responsables de la production des potentiels d'action. Un potentiel d'action est déclenché par une dépolarisation de la membrane à une valeur moins négative. Dans les cellules nerveuses, un stimulus qui provoque une dépolarisation suffisante entraîne sur le champ l'ouverture des canaux Na^+ contrôlés par la tension, permettant ainsi à une petite quantité d'ions Na^+ de pénétrer dans la cellule, contre son gradient électrochimique. L'influx de charges positives dépolarise davantage la membrane, entraînant l'ouverture d'un plus grand nombre de canaux Na^+ , qui admettent plus d'ions Na^+ , provoquant une dépolarisation

encore plus importante. Ce processus continue par auto-amplification jusqu'à ce que, en une fraction de seconde, le potentiel de membrane de la région concernée soit passé de -70mV (le potentiel de repos de la membrane) à $+50\text{mV}$ (le potentiel d'équilibre des canaux Na^+). Puis, une inactivation automatique des canaux Na^+ qui se referment rapidement même si la membrane est encore polarisée, permet au potentiel de membrane de reprendre son potentiel de repos. Le temps durant lequel le canal Na^+ passe de l'état inactivé à un état où la réouverture est possible est appelé cinétique. Une représentation schématique des trois configurations du canal Na^+ ainsi que le cycle de ce canal durant la génération d'un potentiel d'action sont donnés dans les figures 4 et 5.

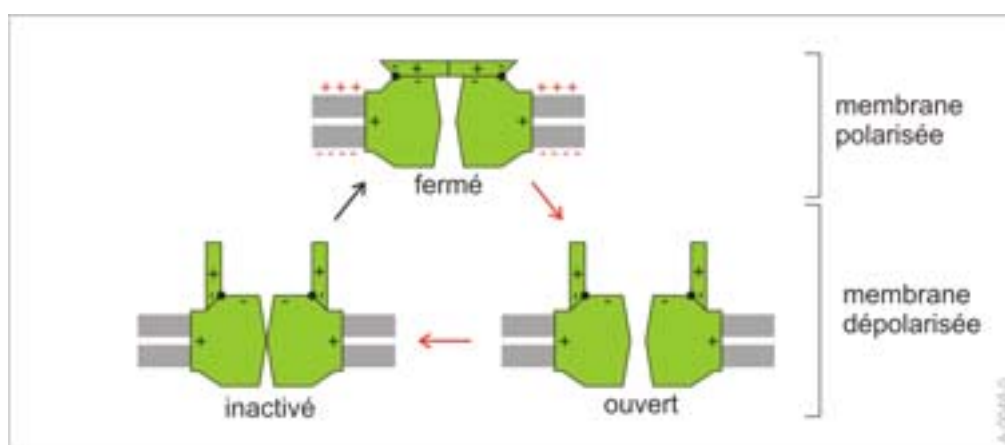


Figure 4: le canal Na^+ contrôlé par la tension peut adopter trois conformations (états). Les flèches rouges indiquent la séquence qui suit une brusque dépolarisation. La flèche noire indique le retour à la conformation initiale après la repolarisation de la membrane.

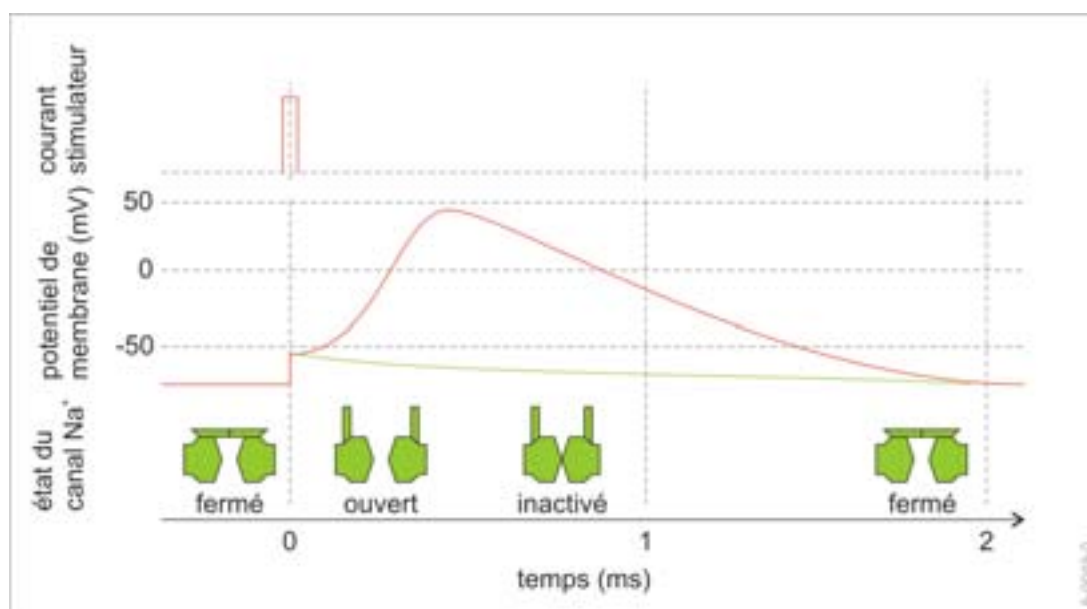


Figure 5: un potentiel d'action est engendré par une brève impulsion électrique qui dépolarise partiellement la membrane, comme le montre le tracé du potentiel de membrane en fonction du temps.

Sur la figure 5, la courbe verte montre comment le potentiel de membrane aurait pu revenir à sa valeur de repos après un stimulus initial dépolarisant s'il n'y avait pas, dans la membrane, de canaux ioniques contrôlés par la tension. Ce retour relativement lent du potentiel de membrane à sa valeur initiale est automatique puisqu'il y a un efflux d'ions K^+ par les canaux K^+ amenant le potentiel de membrane à celui d'équilibre des canaux K^+ . La courbe rouge montre l'évolution du potentiel d'action due à l'ouverture et à l'inactivation consécutive des canaux Na^+ contrôlés par la tension, dont l'état est représenté en dessous. La membrane ne peut déclencher un second potentiel tant que les canaux Na^+ n'ont pas repris la conformation fermée ; pendant tout ce temps, la membrane est réfractaire à toute stimulation.

La description du potentiel d'action qui vient d'être donnée ne concerne qu'une petite région de la membrane plasmique. Cependant, la dépolarisation auto-amplifiée de cette région est suffisante pour dépolariser des régions voisines de la membrane, qui suivent alors le même cycle. De cette façon, le potentiel d'action se propage comme une onde à partir du site initial de dépolarisation dans la membrane plasmique entière, comme le montre la figure 6.

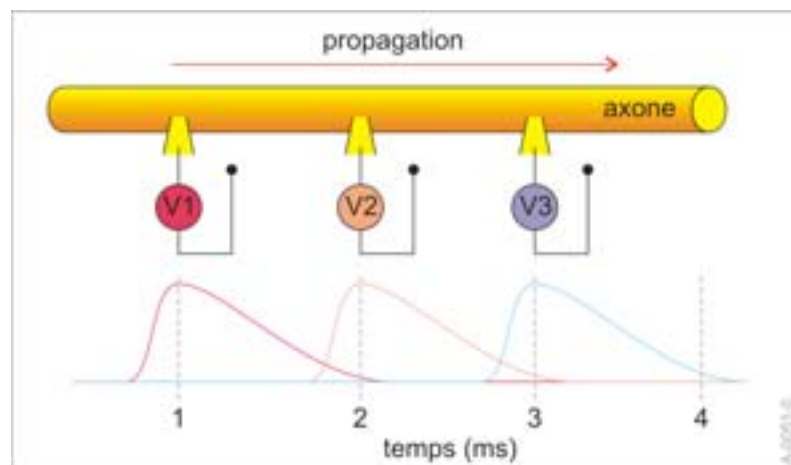


Figure 6: la propagation d'un potentiel d'action le long d'un axone.

Dans de nombreuses cellules nerveuses, un second mécanisme est mis en jeu, en plus de l'inactivation des canaux Na^+ , pour permettre un retour plus rapide de la membrane plasmique activée à son potentiel négatif initial, de façon à la rendre prête à transmettre une seconde stimulation. Les canaux K^+ contrôlés en tension s'ouvrent, permettant de compenser rapidement l'influx transitoire de Na^+ par un efflux d'ions K^+ , et de conduire rapidement la membrane au potentiel d'équilibre des canaux K^+ , avant même que l'inactivation des canaux Na^+ ne soit complète. Ces canaux K^+ répondent aux changements de potentiel de membrane presque de la même manière que les canaux Na^+ , mais avec des caractéristiques cinétiques légèrement plus lentes ; c'est pour cette raison qu'on les appelle parfois canaux K^+ retardés. D'autres mécanismes supplémentaires peuvent aussi moduler les potentiels d'action.

Modèles.³

L'information neuronale est détenue par le potentiel d'action et ce sont les canaux ioniques qui le créent et qui le propagent. La modélisation la plus « biologique » est donc la reproduction de ce potentiel d'action. Le formalisme le plus reconnu est celui de Hodgkin-Huxley où les canaux Na^+ et K^+ sont représentés par des conductances ioniques. Le modèle de la membrane que nous avons présenté précédemment y est introduit avec résistance de fuite et tension de repos sous forme de conductance (figure 7).

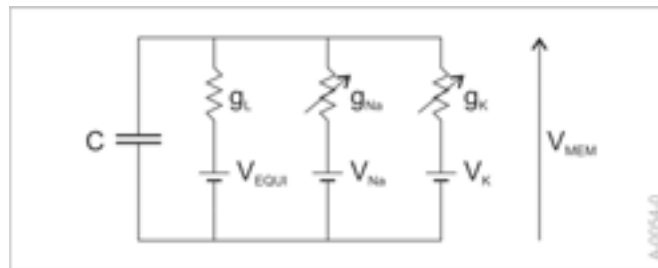


Figure 7: le schéma électrique correspondant au modèle de Hodgkin et Huxley.

Le courant I_{Na} représente l'ensemble des courants ioniques de ce type de canal et le courant I_{K} l'ensemble des courants produits par les canaux K^+ . Ces deux types de canaux sont contrôlés par la tension de membrane. Pour obtenir les valeurs de ces courants en fonction de la tension de membrane et du temps il faut utiliser la technique de blocage de potentiel ou « voltage clamping » en anglais. Le potentiel de membrane est maintenu constant (tension imposée) tout le long de l'axone en faisant passer un courant convenable à travers un fil métallique dénudé inséré le long de l'axe de l'axone, tout en contrôlant le potentiel de membrane avec une autre électrode intracellulaire. Lorsque la membrane est brusquement écartée de son potentiel de repos et maintenue dans un état dépolarisé, les canaux Na^+ s'ouvrent rapidement jusqu'à ce que la perméabilité de la membrane aux ions Na^+ soit beaucoup plus importante que la perméabilité aux ions K^+ ; ils se referment ensuite spontanément, même si le potentiel de membrane est imposé et inchangé. Les canaux K^+ s'ouvrent également mais avec un retard, de sorte que la perméabilité aux ions K^+ devient plus importante lorsque la perméabilité aux ions Na^+ diminue. Si l'expérience est alors répétée très rapidement en ramenant brièvement la membrane au potentiel de repos puis en la dépolarisant rapidement à nouveau, la réponse est différente : la polarisation prolongée a provoqué l'entrée des canaux Na^+ dans un état inactivé, de sorte que la seconde dépolarisation ne parvient pas à provoquer une augmentation et une baisse semblables à la première. La récupération à partir de l'état complètement inactivé prend un temps assez long (environ 10 ms) pendant lequel le potentiel de membrane reste à sa valeur de repos (repolarisé). C'est en utilisant cette technique que Hodgkin et Huxley ont modélisé un axone de calmar. La figure 8 est une bonne illustration de cette technique.

³ « A quantitative description of membrane current and its application to conduction and excitation in nerve. », L. Hodgkin et A.F. Huxley, 1952, J. Physiol. 117 :500-544.

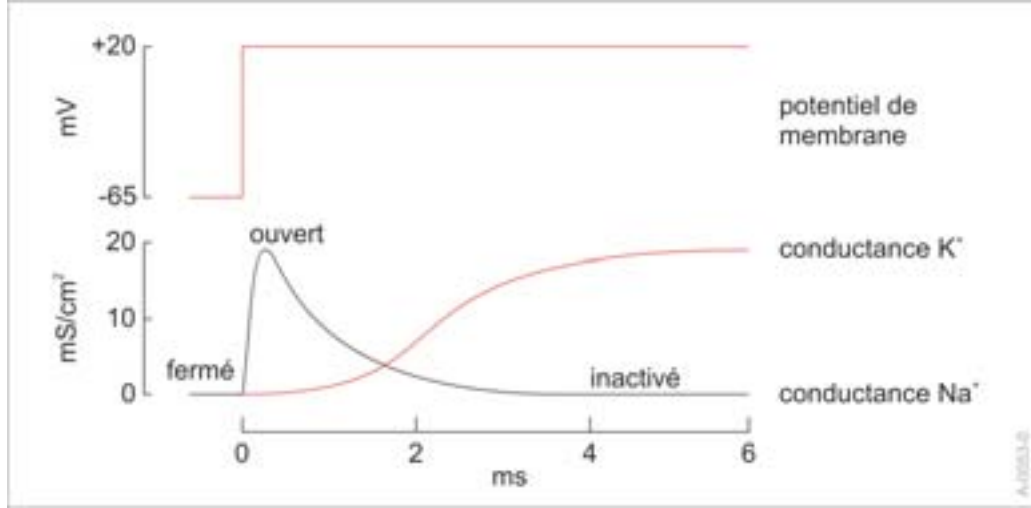


Figure 8: en imposant un créneau de tension à la membrane nous obtenons la réponse en courant de l'ensemble des canaux cationiques Na^+ et K^+ .

En répétant cette technique pour l'ensemble des valeurs de potentiel parcourues lors d'un potentiel d'action, ils ont déduit les équations qui suivent :

$$C \frac{dV_{MEM}}{dt} = -I_{Na} - I_K - I_{LEAK}$$

$$C \frac{dV_{MEM}}{dt} = -\bar{g}_{Na} m^3 h (V_{MEM} - V_{Na}) - \bar{g}_K n^4 (V_{MEM} - V_K) - \bar{g}_L (V_{MEM} - V_{EQUI})$$

$$t_m(V_{MEM}) \frac{dm}{dt} = m_{\infty}(V_{MEM}) - m \quad m_{\infty}(V_{MEM}) = \frac{1}{1 + \exp\left(\frac{V_{MEM} - V_{OFFSETm}}{V_{SLOPEm}}\right)}$$

$$\tau_h(V_{MEM}) \frac{dh}{dt} = h_{\infty}(V_{MEM}) - h \quad h_{\infty}(V_{MEM}) = \frac{1}{1 + \exp\left(\frac{V_{MEM} - V_{OFFSETh}}{V_{SLOPEh}}\right)}$$

$$t_n(V_{MEM}) \frac{dn}{dt} = n_{\infty}(V_{MEM}) - n \quad n_{\infty}(V_{MEM}) = \frac{1}{1 + \exp\left(\frac{V_{MEM} - V_{OFFSETn}}{V_{SLOPEn}}\right)}$$

Tous les termes utilisés qui seront repris par la suite sont détaillés dans un glossaire en début de manuscrit. Ces équations sont répétitives. Les fonctions m et n représentent la probabilité d'ouverture des canaux Na^+ et K^+ (fonction d'activation) tandis que la fonction h représente la probabilité de fermeture (fonction d'inactivation) du canal Na^+ . Les constantes de temps t sont aussi dépendantes de la tension de membrane V_{MEM} , nous ne les exprimerons pas ici vu leur complexité. En pratique nous avons toujours intégré des valeurs fixes pour les constantes de temps en simplifiant les modèles. Les équations différentielles impliquant t sont appelées « cinétiques ». Les fonctions d'activations et d'inactivations sont appelées

« sigmoïdes ». Si V_{SLOPE} est négatif, il s'agit d'une fonction d'inactivation, sinon d'une fonction d'activation. Nous retrouverons ce formalisme dans le chapitre 2 dans le cas du modèle de Morris et Lecar et dans le chapitre 4 avec celui du neurone pyramidal. Les signaux neuronaux sont transmis de cellule en cellule au niveau de sites de contact spécialisés, connus sous le nom de synapses.

Les synapses.⁴⁵⁶

La communication chimique entre neurones a lieu en des sites de contact entre les terminaisons axonales d'un neurone et les dendrites d'autres neurones. Ces sites de contact, de même que les sites de contact entre neurones et cellules musculaires et glandulaires, portent le nom de synapses. Au niveau d'une synapse type, la membrane présynaptique (la terminaison axonale d'un neurone) est séparée de la membrane postsynaptique (par exemple, la dendrite d'un autre neurone) par un espace appelé fente synaptique (figure 9).



Figure 9: le cliché montre les terminaisons d'une fibre A au contact d'une fibre B. Les vésicules synaptiques de la fibre A contiennent un neuromédiateur qui est déversé dans l'espace intercellulaire et excite des récepteurs membranaires de la cellule B. Cet échange s'effectue au niveau de la fente synaptique.

⁴ « Biochimie », J. David Rawn, 1990, De Boeck-Wesmael (ISBN 2-8041-1399-X)

⁵ « Biologie cellulaire et moléculaire », Gerald Karp, 1998, De Boeck Université (ISBN 2-7445-0017-8)

⁶ « Atlas de biologie cellulaire », J.C. Roland, A.D. Szöllösi et J.C. Callen, 1993, Masson (ISBN 2-225-84185-3)

Le signal électrique arrivant à la membrane présynaptique depuis l'extrémité d'un axone déclenche la libération d'un neurotransmetteur, un messenger chimique enfermé au sein de vésicules synaptiques situées dans la terminaison axonale. Le neurotransmetteur diffuse ensuite dans la fente synaptique et se fixe à un récepteur de neurotransmetteur placé dans la membrane postsynaptique. Cette liaison enclenche un changement de conformation des récepteurs de la cellule postsynaptique. Ce flux entrant de cations produit une variation des propriétés électriques de la membrane postsynaptique, enclenchant la propagation du signal. La durée de vie du neurotransmetteur est très courte après libération par un neurone présynaptique, sinon l'influence de la substance se prolongerait et le neurone postsynaptique ne se rétablirait pas.

Les synapses ne sont pas simplement des sites de connexion entre neurones adjacents ; elles jouent aussi un rôle crucial dans le contrôle du trafic des influx à travers le système nerveux. Les milliards de synapses qui existent dans le système nerveux complexe des mammifères fonctionnent comme des portes situées tout au long des différentes voies, permettant à certaines parties d'une information codée de passer d'un neurone à un autre, retenant d'autres parties ou les réorientant dans une nouvelle direction.

Une synapse peut être excitatrice ou inhibitrice, elle stimule ou elle inhibe la génération d'un potentiel d'action. Une modélisation mathématique des synapses est explicitée dans le chapitre qui suit.

Intégration : principe et application

Nous voilà à la quatrième thèse sur le sujet : l'intégration du modèle de Hodgkin-Huxley. Que pouvons-nous apporter de plus que les précédents, ou de moins?

Notre démarche a été d'opter pour une approche de conception différente, dans la mesure où notre but à terme est l'intégration de réseaux de neurones. Dans les circuits conçus précédemment, dédiés à la simulation de modèles variés de neurones, tous les paramètres étaient programmables et fixés en appliquant des tensions externes aux niveaux des broches, autant de broches par neurones que de paramètres et autant de convertisseurs numérique-analogique. Les composants devaient être capables de reproduire un ensemble de modèles à partir de conductances élémentaires programmables. Nous devons relier ces conductances élémentaires en externe. Chaque circuit devait être entièrement calibré avant utilisation. Les composants étaient aussi très sensibles à la température. Les cartes électroniques pour les exploiter sont denses et complexes en environnement électronique. Les outils ainsi conçus étaient dédiés à la simulation de neurones isolés, ou à la construction de réseaux de neurones hybrides vivant-artificiel.

Dans l'optique de la simulation des réseaux, tous les neurones peuvent posséder le même modèle car l'intérêt principal réside dans la variation des connexions synaptiques. Nous choisissons donc de nous limiter à des paramètres fixes et non plus variables, ce qui réduit les plages de fonctionnements du circuit lors de la conception aux parties réellement utiles. Nous nous bornons volontairement à un neurone par composant car la grande intégration n'est pas pour le moment d'actualité, mais nous cherchons à obtenir le moins de broches possible par neurone en vue de futures intégrations plus denses. La taille occupée n'est pas un élément prépondérant, l'optimisation de surface n'est pas notre priorité. Le nombre de transistors est lui aussi du même coup non limitatif. Nous utilisons autant de transistors qu'il faut pour obtenir des montages

convenables et surtout robustes et compensées en température. Nous suivons donc à la lettre toutes les règles de conception du layout qui peuvent améliorer les performances du circuit.

Nous allons commencer ce chapitre en présentant rapidement le jeu de composants disponibles dans la technologie Austriamicrosystems BiCMOS 0,8 μ m. Cette énumération est importante car nos montages sont dépendants des composants présents ou non et de leurs propriétés. Nous suivons par une présentation des schémas basiques, utiles pour introduire des structures plus complexes constituant les conductances ioniques. Un catalogue des règles de dessin des masques (layout) que nous avons suivies est décrit. Le premier circuit ainsi réalisé permet d'évaluer la robustesse obtenue sur ce nouveau mode d'intégration de neurones artificiels.

La technologie BiCMOS Austriamicrosystems (AMS) 0,8 μ m.

Cette technologie propose dans sa bibliothèque d'éléments précaractérisés des transistors NMOS, PMOS et NPN. Un seul modèle de transistor PNP latéral est présent donc ce n'est pas une technologie bipolaire complémentaire. Les condensateurs POLY1-POLY2 et les résistances RPOLYH sont optionnels (ajoutés gratuitement par le fondeur jusqu'à aujourd'hui). Deux niveaux de métaux permettent les interconnexions et aucune superposition de contacts n'est permise. Cette technologie assez ancienne présente des paramètres de modèles bien maîtrisés pour la simulation et des dimensions assez grandes donc une bonne dynamique et moins de courants de fuite. Le coût des prototypes est peu élevé et le nombre de sessions de fabrication est plus fréquent. L'accès à cette technologie et aux outils logiciels correspondants nous est permis conjointement par les organismes CMP(Circuits Multi-Projets) et CNFM(Centre National de Formation en Microélectronique).

Nous allons maintenant présenter les composants de base de la technologie AMS 0,8 μ m. Les premiers sont les transistors MOS que nous utiliserons de préférence. Suivent alors les transistors bipolaires puis les composants passifs.

Les transistors MOS.

Cette technologie possède des transistors NMOS et PMOS de base. Pas de JFET et encore moins de caisson séparé pour les NMOS : le canal est constitué par du silicium provenant du substrat ce qui le rend très sensible au bruit. Il faut oublier aussi tout ce qui est structures circulaires. Nos applications sont basées sur des fonctions au niveau circuit, nous nous contentons des composants élémentaires standards fournis par le fondeur. Les performances des transistors que nous utilisons :

	Symbole	Minimum	Typique	Maximum	Unités
Facteur de gain pour le transistor N	KPN	85	100	115	$\mu A/V^2$
Facteur de gain pour le transistor P	KPP	30	35	40	$\mu A/V^2$

Tableau 1: les paramètres k des transistors MOS.

Les transistors bipolaires.

Seul le transistor NPN est réellement un transistor bipolaire. Les degrés de liberté sur sa géométrie se résument à un : sa surface d'émetteur. Le transistor PNP (figure 10) est quant à lui totalement figé. Une grille résultant de sa fabrication doit être reliée à l'émetteur pour que son influence soit mineure.

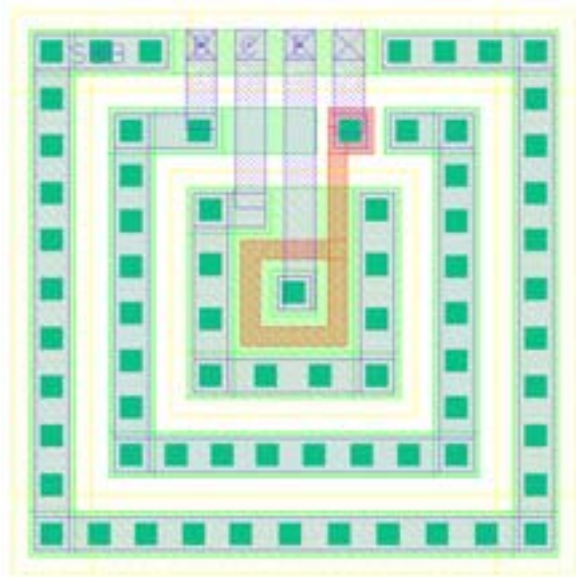


Figure 10 : la représentation <layout> du transistor PNP. Les connections B,C,E sont dans l'ordre celle de la base, du collecteur et de l'émetteur. La grille est en rouge.

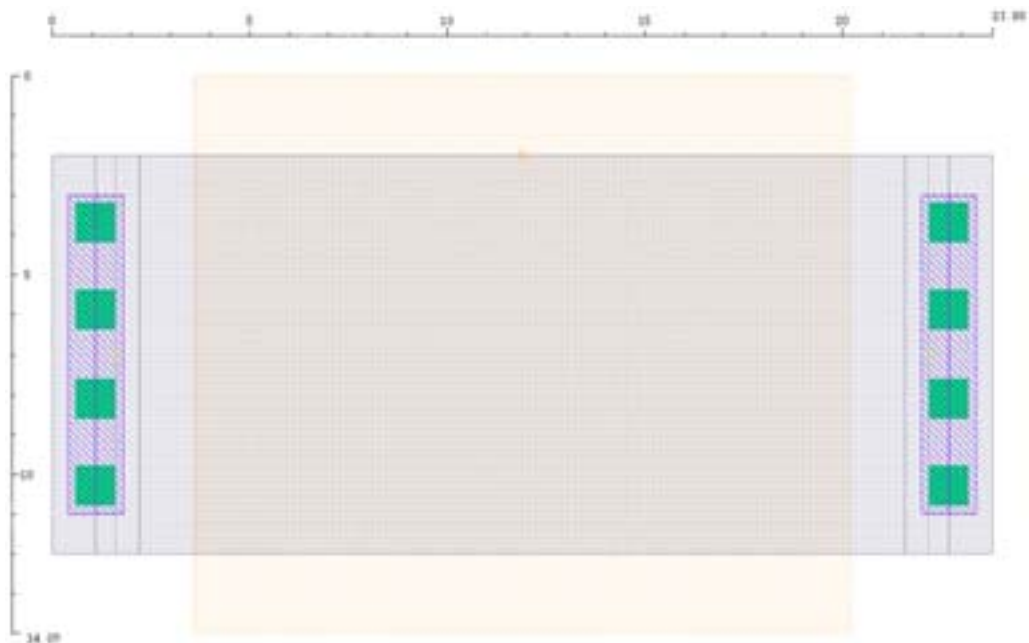


Figure 11 : la représentation <layout> d'une résistances (ici 2 kΩ).Les règles sont graduées en μm .

Éléments passifs.

Les éléments passifs conseillés par AMS sont pour les résistances : les résistances RPOLYH, pour les condensateurs : les éléments POLY1-POLY2. Les résistances RPOLYH sont constituées d'une couche de polysilicium modifiée par un dépôt venant augmenter sa résistivité. Nous passons donc de $10\Omega/$ à $1k\Omega/$. Le fondeur fournit plus de garantie sur sa valeur absolue que pour les autres résistances. Malheureusement la largeur minimale est de $10\mu m$ ce qui entraîne vite des tailles déraisonnables pour de grandes valeurs. La figure 11 permet de se rendre compte de la surface occupée pour une résistance équivalente de $2k\Omega$.

Les condensateurs sont eux aussi gourmands en surface. La plage de valeur acceptable pour un condensateur intégré, avant de préférer investir dans un plot, part de quelques centaines de femto Farads à une dizaine de pico Farads. Ce qui ne laisse que deux ordres de grandeur de degrés de liberté. Pour information, les condensateurs sont utilisés notamment pour l'intégration des cinétiques des conductances ioniques dont les valeurs atteignent des centaines de millisecondes.

Le tableau qui suit liste les principaux paramètres des composants passifs.

	Symbole	Minimum	Typique	Maximum	Unités
Résistance	RPOLYH	0,9	1,2	1,5	k $\Omega/$
Capacité POLY1-POLY2	CPOX	1,65	1,77	1,92	fF/ μm^2

Tableau 2: principaux paramètres des composants passifs de la technologie AMS $0,8\mu m$.

Passons maintenant aux différents montages.

Montages élémentaires.

Avant de voir comment sont constitués nos montages, rappelons-nous la forme générale d'une conductance ionique. Un neurone étant constitué de plusieurs de ces conductances, quand nous l'aurons conçue, nous pourrions simuler tous les modèles que nous souhaitons.

$$I_{IONIQUE} = g_{MAX} a^x b^y (V_{MEM} - V_{EQUI})$$

Une vision de type « schéma-bloc » permet d'identifier les diverses opérations nécessaires au modèle. La figure 12 qui suit présente une telle vision d'une conductance quelconque.

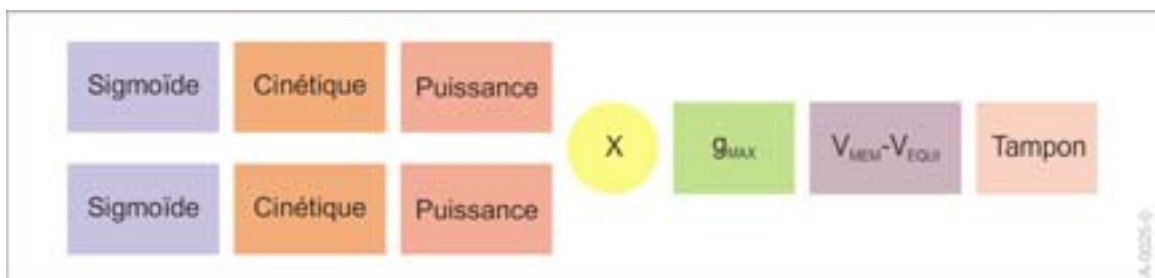


Figure 12: nous avons découpé notre conductance en plusieurs blocs. Chacune de ces sections sera optimisée séparément. Mises bout à bout, elles constituent une conductance.

Seulement 7 blocs différents sont à créer. Dans la suite, nous en détaillons deux : la sigmoïde et la puissance.

Basées sur la paire différentielle : les sigmoïdes.⁷

La forme sigmoïde est l'élément le plus important car il se retrouve dans toutes les conductances (figure 13).

$$\text{Sig}(V_{MEM}) = \frac{1}{1 + e^{\pm \frac{V_{e2} - V_{e1}}{V_{SLOPE}}}} = \frac{1}{1 + e^{\pm \frac{V_{MEM} - V_{OFFSET}}{V_{SLOPE}}}}$$

Le courant traversant l'une des branches d'une paire différentielle bipolaire reproduit cette forme. À partir de cette constatation, nous avons élaboré le schéma qui suit.

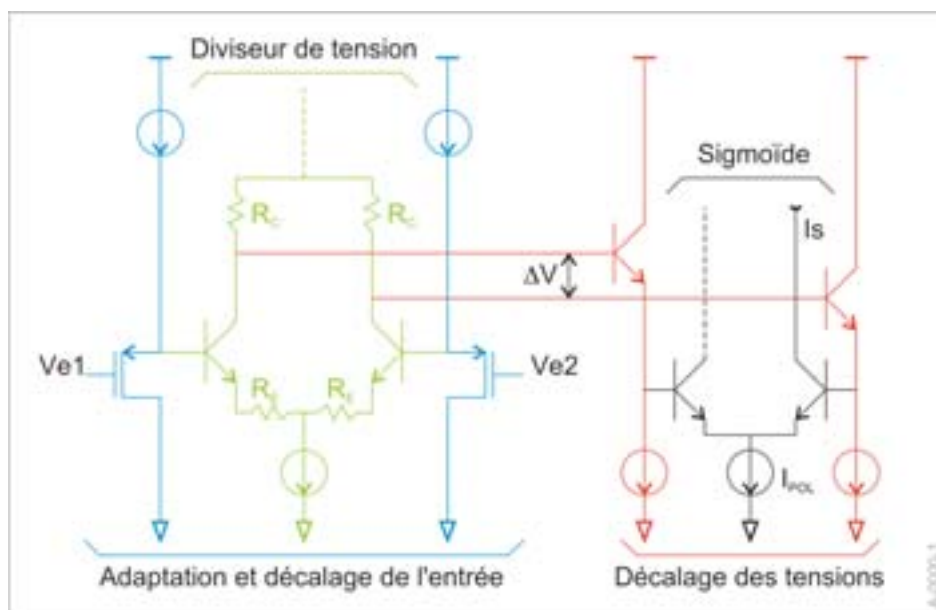


Figure 13: le schéma simplifié de la sigmoïde.

L'entrée du montage s'effectue sur des transistors PMOS. Le courant qui traverse la grille est infime et n'influe pas sur la tension de membrane (V_{MEM}), qui est une des entrées. L'autre entrée est le paramètre fixe V_{OFFSET} et est générée par un autre montage. Le choix que V_{e1} soit V_{MEM} ou V_{EQUI} et inversement pour V_{e2} fixe la polarité de la pente de la sigmoïde : pente positive ou négative (selon le chapitre 1, cela permet de générer une activation ou une inactivation). A l'aide des V_{GS} stabilisés, les tensions d'entrée sont recopiées des grilles vers les bases des transistors bipolaires formant une paire différentielle dégénérée par les émetteurs. Cette première paire différentielle (en vert sur la figure) est un diviseur de tension et sert donc à fixer indirectement le paramètre de pente V_{SLOPE} . La différence de tension résultante est recopiée à l'aide de deux transistors NPN (en rouge) sur l'entrée de la seconde paire différentielle qui crée la forme sigmoïde.

⁷ Les équations de la paire différentielle à émetteurs dégénérés proviennent de : « Bipolar and MOS analog integrated circuit design », Alan B. Grebene, 1984, Wiley-Interscience Publication (ISBN 0-471-08529-4).

$$DV \approx \frac{R_C}{R_E} (V_{e2} - V_{e1}) \text{ si } I R_E \gg U_T$$

$$I_S(V_{MEM}) = \frac{I_{POL}}{1 + e^{\pm \frac{DV}{U_T}}} = \frac{I_{POL}}{1 + e^{\pm \frac{R_C}{R_E} \frac{V_{e2} - V_{e1}}{U_T}}} = \frac{I_{POL}}{1 + e^{\pm \frac{R_C}{R_E} \frac{V_{MEM} - V_{OFFSET}}{U_T}}}$$

$$V_{SLOPE} = U_T \frac{R_E}{R_C}$$

La pente de la sigmoïde dépend directement du rapport des résistances. Les valeurs possibles sont les combinaisons réalisables en n'utilisant que des multiples d'une résistance afin de respecter une structure « common-centroïd » (voir page 31). Le layout apporte aussi ses restrictions car tous les rapports d'une même résistance ne sont pas proprement routables avec deux niveaux de métal. La figure 14 présente quelques rapports de résistances possibles selon des organisations élémentaires sur la puce.

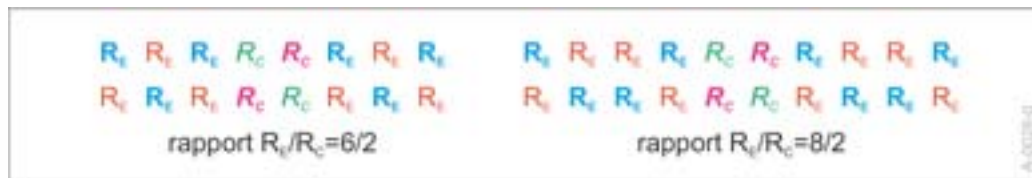


Figure 14 : deux rapports de résistances réalisables en respectant les règles de layout.

D'autre part, l'équation simplifiée que nous utilisons ne reproduit pas la dépendance réelle de notre montage à la température. Nous avons donc conçu et intégré une source de courant proportionnelle à la température qui compense parfaitement les variations dues à la sensibilité des paires différentielles.

Basées sur le principe translinéaire : les puissances.⁸

Nous savons que les multiplications en mode courant sont réalisables en appliquant le principe « translinéaire ». Les problèmes arrivent dès que nous voulons effectuer plus d'une multiplication dans la même boucle. Ils se situent au niveau des polarisations et seuls certains montages fonctionnent correctement par rapport à tous ceux qui sont possibles (erreurs dues aux courants de base). La théorie ne suffit donc pas, il faut aussi apprendre à manier ces boucles par l'expérience. Le schéma sélectionné qui suit effectue l'opération :

$$I_S = \frac{I_{e1}^3 I_{e2}}{I_{pol}^3}$$

⁸ Le principe translinéaire est très bien expliqué dans : « Analogue IC design : the current-mode approach », Toumazou, 1990, Peter Peregrinus (ISBN 0-86341-215-7).

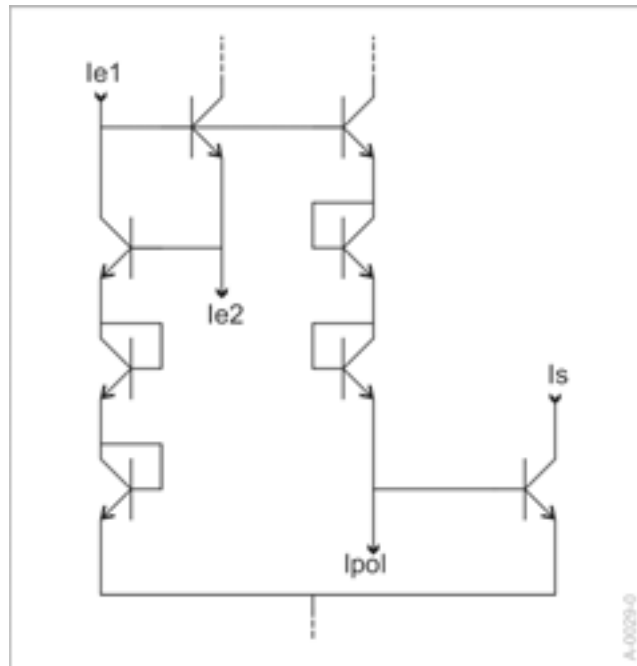


Figure 15 : une boucle translinéaire. L'opération effectuée s'estime en comptant le nombre de transistor par colonne.

L'empilement des transistors connectés en diode sur des colonnes permet de s'affranchir des erreurs provenant des courants de base.

Éléments d'intégration des conductances et des synapses.

Après la sigmoïde, la cinétique introduit au cours du chapitre 1 est le montage le plus performant que nous avons créé. La fonction n'est pas réalisée au niveau composant mais à partir d'éléments classiques : un OTA et un convoyeur de courant. D'autre part, toujours dans l'optique d'une utilisation en réseau, l'intégration des synapses de type alpha (type que nous allons introduire par la suite) est nouvelle pour nous et n'a pas d'équivalent dans la littérature. Examinons ces deux cas qui se détachent de tout ce qui a été réalisé dans notre équipe jusqu'à maintenant.

La cinétique.

La cinétique comporte une constante de temps donc un condensateur. Comme nous l'avons vu, les valeurs possibles pour l'intégration sont de quelques pF. Notre but comparé aux autres circuits précédemment conçus est d'intégrer complètement cette cinétique sans laisser de condensateur externe. Le montage dont le principe se retrouve sur la figure 16 permet cette intégration complète.

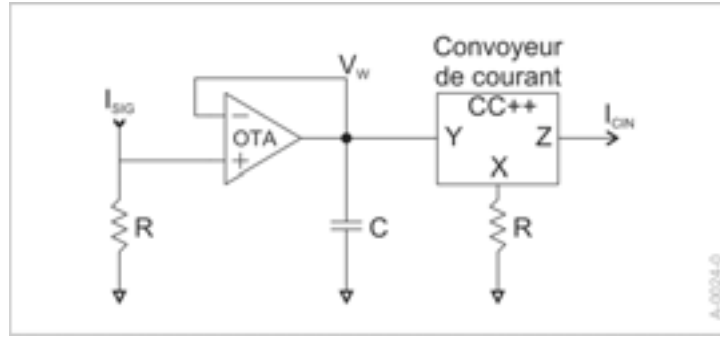


Figure 16: le schéma simplifié de la cinétique.

$$V_+ = I_{SIG} R$$

$$I_{CIN} = \frac{V_W}{R} \quad (\text{relation provenant du convoyeur de courant CC++})$$

$$I_{OTA} = g_{OTA} (V_{PLUS} - V_{MOINS})$$

$$V_W = \frac{1}{C} \int I_{OTA} dt$$

En remplaçant successivement nous obtenons :

$$V_W = \frac{1}{C} \int g_{OTA} (V_+ - V_-) dt$$

$$I_{CIN} R = \frac{1}{C} \int g_{OTA} (I_{SIG} R - I_{CIN} R) dt$$

$$\frac{C}{g_{OTA}} \frac{dI_{CIN}}{dt} = I_{SIG} - I_{CIN}$$

$$\text{D'où } t \frac{dI_{CIN}}{dt} = I_{SIG} - I_{CIN} \text{ avec } \tau = \frac{C}{g_{OTA}}.$$

Pour obtenir la valeur de t désirée, il suffit de fixer la conductance de l'OTA en fonction de la capacité intégrée. Pour illustration, si nous prenons une capacité de 1pF et que nous devons produire une constante de temps de l'ordre de 10 ms la valeur de la conductance est de 100 pS. Cette valeur est facilement réalisable dans un OTA en réglant le courant de polarisation adéquat. La tension V_W est l'image de la variable d'état w représentant la proportion de canaux ioniques ouverts. Il faut remarquer que la relation finale a été obtenue sans aucune approximation et à l'aide de montages conventionnels donc bien documentés.

Le modèle cinétique de la synapse.⁹

Le modèle cinétique de la synapse permet de simuler l'activité des synapses. Il existe plusieurs variantes suivant le neurotransmetteur que la synapse utilise. Nous nous sommes intéressés aux deux types d'interaction synaptique les plus courantes dans le système nerveux central : la synapse excitatrice glutamatergique (récepteurs AMPA) et la synapse inhibitrice GABAergique (récepteurs GABA_A) ; les équations qui les régissent sont les mêmes, seuls les paramètres changes. Les équations simplifiées qui les régissent sont les suivantes :

$$I_{SYN} = g_{SYN}r(V - E_{SYN}) \text{ avec } \frac{dr}{dt} = a[T](1 - r) - br$$

La tension V représente la tension de membrane post-synaptique, $[T]$ la concentration en neurotransmetteur, E_{SYN} le potentiel d'équilibre équivalent pour une synapse, a et b sont des constantes, et g_{SYN} la conductance de la synapse qui est aussi une constante.

	a ($\times 10^6 \text{ M}^{-1}\text{s}^{-1}$)	b (s^{-1})	E_{SYN} (mV)
AMPA	1,1	190	0
GABA _A	5	180	-80

Tableau 3 : exemples de paramètres des synapses AMPA et GABA_A.

Transformons l'expression précédente pour faire apparaître une équation du premier ordre :

$$\frac{dr}{dt} = a[T](1 - r) - br = a[T] - r(a[T] + b)$$

$$\frac{1}{a[T] + b} \frac{dr}{dt} = \frac{a[T]}{a[T] + b} - r$$

$$\text{Soit } \tau \frac{dr}{dt} = r_{\infty} - r \text{ avec } \tau = \frac{1}{a[T] + b} \text{ et } r_{\infty} = \frac{a[T]}{a[T] + b}$$

Les deux paramètres dépendent de la concentration en neurotransmetteur. Si nous considérons que la stimulation synaptique peut se réduire à une impulsion de durée Dt et de concentration $[T]$ fixe de neurotransmetteur, nous pouvons assimiler l'entrée de la synapse à une entrée logique dont la variable de stimulation est ce temps Dt . Si nous rassemblons toutes les entrées synaptiques du même type sur une même synapse, le nombre d'impulsions symbolise les stimulations provenant de l'ensemble des synapses et chaque durée Dt le poids synaptique correspondant. La figure 17 illustre ce principe en montrant la variation de la conductance synaptique stimulée par trois impulsions créneaux simultanées, simulées par trois stimulations successives avec le même poids synaptique.

⁹ « Methods in Neuronal Modeling », C. Koch and I. Segev, 1999, The MIT Press (ISBN 0-262-11231-0).

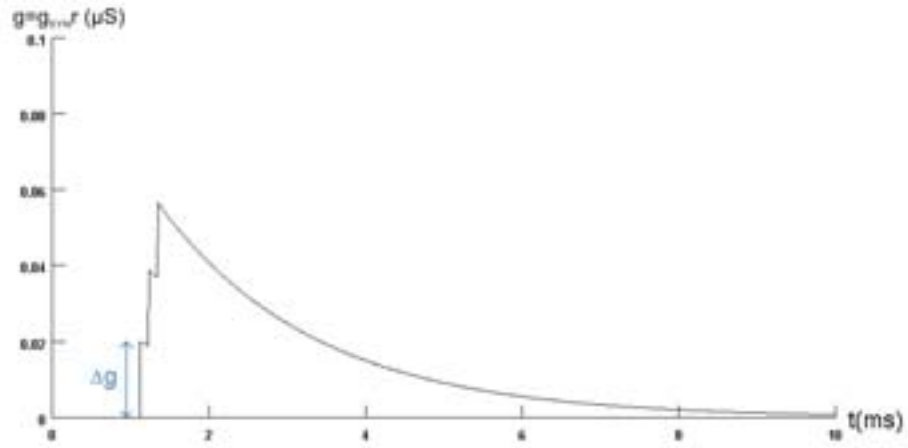


Figure 17: la variation de la conductance synaptique dans le temps.

L'entrée logique de notre synapse doit donc créer ce Dg ou plutôt Dr car $Dg = g_{SYN} Dr$. Nous avons directement traduit en un circuit RC la relation du premier ordre (figure 18).

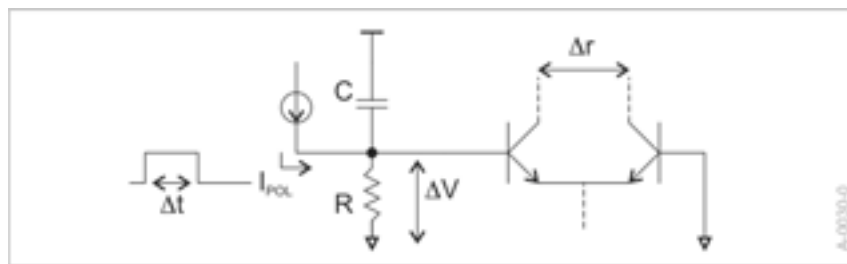


Figure 18 : ce montage sert à réaliser le Dr .

Cherchons les valeurs R et C pour a, b et $[T]$ donnés :

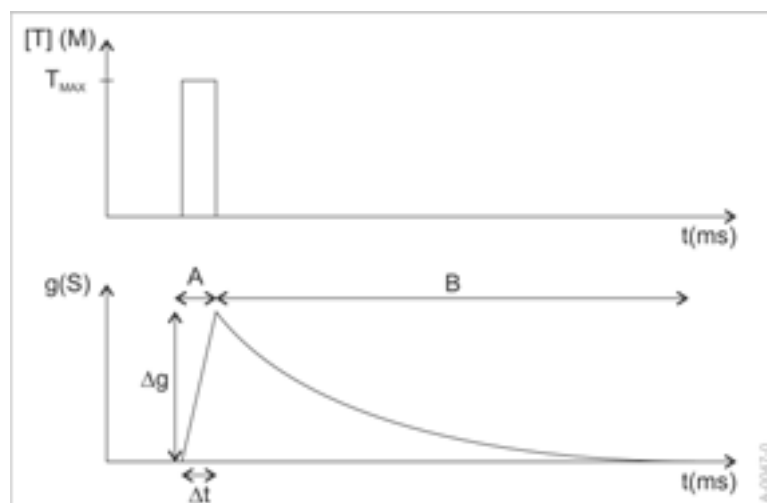


Figure 19: nous décomposons notre calcul en deux phases. Durant la phase A, la concentration de neuromédiateur est constante et non nulle, et un Δg est créé. Durant la phase B : $[T]$ est nulle, le circuit se décharge.

Regardons la figure 19 et commençons les calculs durant la phase A, $[T]=[T_{MAX}]$, $t=\Delta t$, $r_{\mu}=r_{\mu A}$ et $t=t_A$:

$$r(t) = r_A \left(1 - e^{-\frac{t}{t_A}} \right)$$

$$Dr = r(Dt) = r_A \left(1 - e^{-\frac{Dt}{t_A}} \right) \approx r_A \left(1 - 1 + \frac{Dt}{t_A} \right) = r_A \frac{Dt}{t_A} \quad (Dt \ll t_A)$$

$$\text{d'où } Dr = \frac{a[T_{MAX}]}{a[T_{MAX}] + b} \frac{Dt}{1} = aDt [T_{MAX}]$$

Nous pouvons déduire de la figure 18 :

$$DV = RI_{POL} \left(1 - e^{-\frac{Dt}{RC}} \right) \approx RI_{POL} \left(1 - 1 + \frac{Dt}{RC} \right) \quad (Dt \ll RC)$$

$$DV = \frac{I_{POL}}{C} Dt$$

Ce ΔV est appliqué à l'entrée d'un montage générant Δr selon l'équation suivante :

$$Dr = \tanh \left(\frac{DV}{U_t} \right)$$

$$\text{Polarisation par une source de courant PTAT}^{10} : I_{POL} = \frac{U_t}{R_{POL}} \ln(n)$$

$$\Delta r = \tanh \left(\frac{\Delta V}{U_t} \right) = \tanh \left(\frac{U_t \ln(n)}{R_{POL}} \frac{\Delta t}{C U_t} \right) \approx \frac{\Delta t \ln(n)}{R_{POL} C} \quad \left(\frac{\Delta t}{R_{POL} C} \ll 1 \right)$$

$$Dr = \frac{\ln(n)}{R_{POL} C} = a[T_{MAX}]Dt \quad \text{fi} \quad C = \frac{\ln(n)}{R_{POL} a T_{MAX}}$$

Ce premier calcul nous permet de calculer la valeur de C. Pour calculer la valeur de R, nous nous plaçons durant la phase B où $[T]=0$, $t > \Delta t$, $r_{\mu}=0$, $t=t_B$:

$$t_B = \frac{1}{b} = RC \quad \text{fi} \quad R = \frac{R_{POL} a T_{MAX}}{b \ln(n)}$$

Pour donner un ordre d'idée des valeurs, notre synapse excitatrice à pour réseau RC : $R=1k\Omega$ et $C=1\mu F$.

¹⁰ Une source de courant PTAT fournit un courant proportionnel à la température. Dans la formule n est une constante telle que $n > 1$.

Règles suivies pour le layout.¹¹¹²

Afin de réaliser les structures décrites précédemment dans les meilleures conditions, nous avons respecté certaines règles de conception. Toutes les règles de layout qui suivent permettent, lors de la fabrication, de réduire au maximum les erreurs relatives entre les composants mais pas les erreurs absolues qui touchent tous les composants à la fois. Lors de la conception du circuit, il faut tenir compte de ces défauts et n'utiliser que des montages indépendants des valeurs absolues. Par exemple, la propriété d'un miroir de courant ne dépend pas de la valeur exacte des longueurs de grilles mais de la parfaite symétrie des éléments qui le composent. Les structures multi grilles diminuent les erreurs relatives entre composants. Les structures « common-centroïd » compensent les gradients dus au processus de fabrication et aux différences de températures sur le substrat. Les éléments « dummy » diminuent aussi les erreurs relatives. Les anneaux de garde isolent les montages des courants transitoires véhiculés par le substrat. Les cages de Faraday autour des résistances les protègent du bruit. Nous verrons aussi quelques règles sujettes à discussion car moins évidentes comme l'emploi systématique de coin biseauté pour les grandes surfaces.

Structures multigrilles.

La fabrication des transistors apporte deux types d'erreurs : les erreurs relatives résultant de la fabrication des masques et des erreurs absolues résultant de l'utilisation de ces masques lors de la fabrication. Notamment l'erreur relative sur la longueur de grille des transistors MOS apporte une erreur dans les structures dont les propriétés proviennent de leur symétrie comme dans les miroirs ou les paires différentielles. Si nous découpons un transistor en plusieurs, l'erreur relative sur le transistor est la moyenne de toutes les erreurs relatives de chaque transistor élémentaire. Cette erreur moyennée est inférieure à l'erreur sur un seul élément. Les structures multi grilles sont donc plus robustes vis-à-vis des erreurs relatives. Le désavantage d'une telle structure est de demander des largeurs de grilles importantes. La largeur de grille minimale conseillée par le fondeur est de 10 μm . Il faut au moins quatre grilles pour que ce type de structure soit utile, ce qui fait au total une largeur de grille de 40 μm minimum pour un seul transistor. La figure 20 présente le layout d'un miroir de courant simple multi grilles.

¹¹ La plupart de nos réflexions sont basées sur : « The Art of Analog Layout », Alan Hastings, 2001, Prentice Hall (ISBN 0-13-087061-7).

¹² Mais aussi : « IC Mask Design », Christopher and Judy Saint, 2002, McGraw-Hill (ISBN 0-07-138996-2).

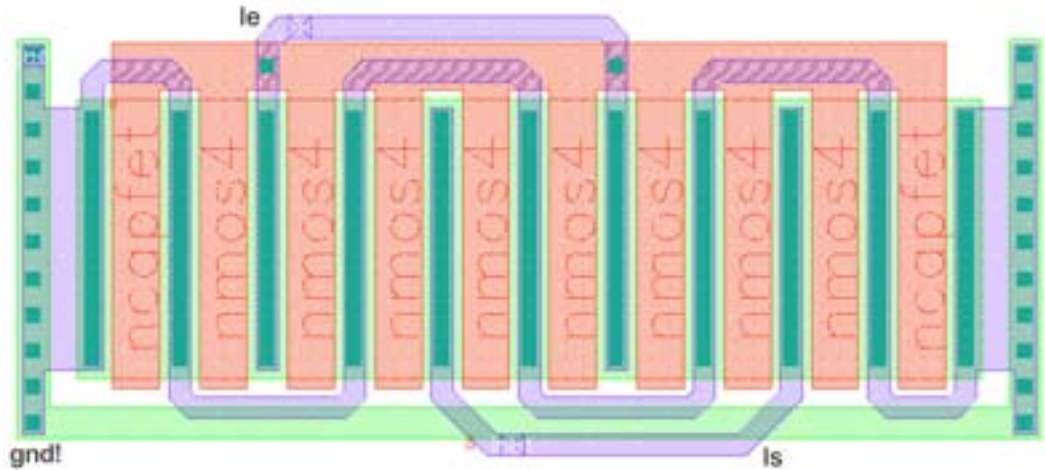


Figure 20: le miroir de courant est composé de huit transistors (extraits comme des éléments « nmos4 ») plus deux transistors dits « dummy » de chaque côté (extraits comme des éléments « ncapfet »). Les trois quarts d'un anneau de garde de type p sont aussi présents (en vert sur la figure). La grille commune à tous les transistors est en rouge, le métal est en bleu.

Structures « common-centroïd ».

Les structures multi grilles sont intéressantes, mais les structures multi grilles « common-centroïd » le sont encore plus. En effet, la structure multi grilles est sensible au mauvais positionnement des masques lors de la fabrication. La structure « common-centroïd » (ou centre de symétrie) permet de s'affranchir de cette erreur de fabrication et rend de plus le montage indépendant aux gradients de température ou de dopage. La figure 21 illustre parfaitement ce premier point.

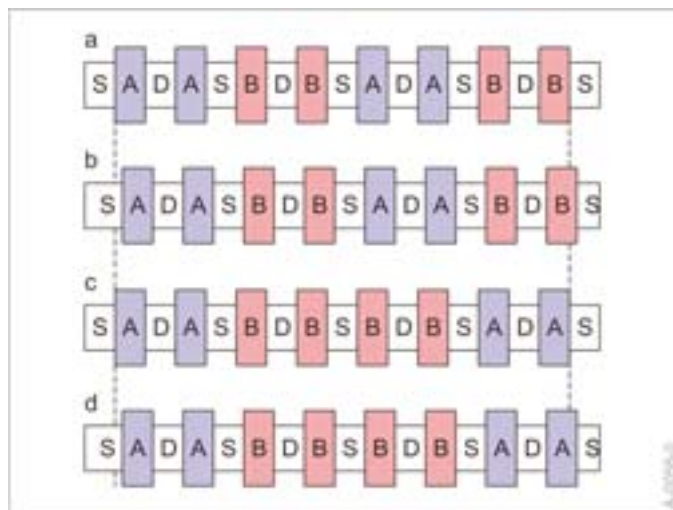


Figure 21: l'illustration du plus apporté par une structure common-centroïd. En a) se trouve le miroir de la figure précédente, nous reconnaissons bien la structure multi grilles. En b) la même chose mais appauvrie à cause d'un mauvais positionnement des masques. Entre A et B il y aura deux transistors élémentaires complètement différents. En c) le même miroir que en a) mais avec la propriété common-centroïd. Nous voyons en d) que même avec l'erreur du positionnement des masques, le transistor A sera le même que le transistor B.

A partir de la même figure, nous pouvons voir que si un gradient de température ou de dopage est appliqué de la gauche vers la droite, après moyenne, le transistor A reste globalement équivalent au transistor B. Cet ajout de la propriété common-centroïd ne complique en rien le montage et ne prend pas plus de place mais les améliorations qu'elle apporte sont conséquentes. La figure 22 présente le miroir de la figure 21, structuré en common-centroïd.

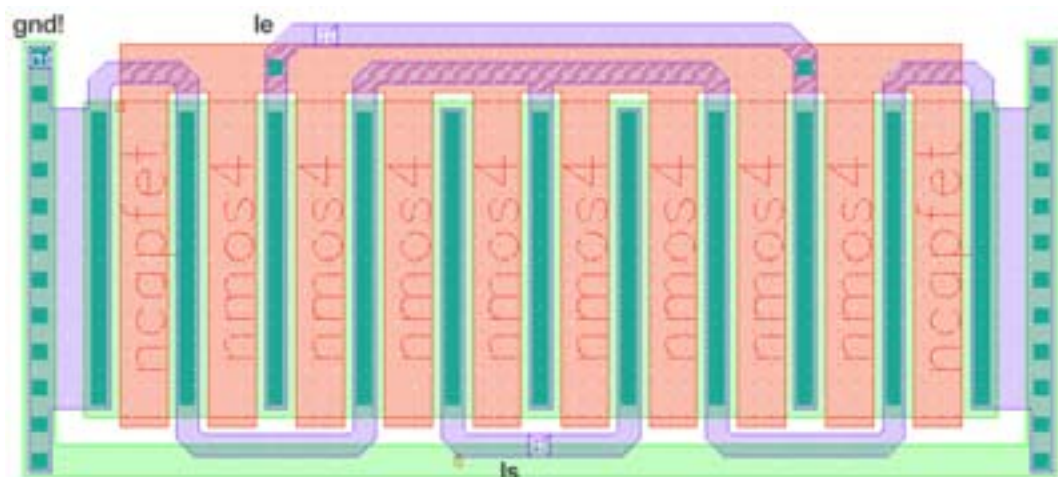


Figure 22: : le miroir de la figure 21 en version common-centroïd.

Éléments « dummy ».

Les éléments dummy sont des structures supplémentaires inutiles du point de vue fonctionnel, mais que nous ajoutons autour des parties utiles pour réduire les erreurs relatives. Si nous dessinons un miroir de courant à multiples grilles nous voyons que les transistors en bout n'ont qu'un transistor à côté d'eux tandis que les transistors à l'intérieur du miroir en possèdent deux. Il y a donc une différence entre ces deux positionnements de transistors qui crée une erreur relative! Ce principe s'applique à tous les composants, résistances ou transistors. Dans le cas du transistor MOS, nous pouvons expliquer cette différence en analysant le processus de fabrication. Les attaques acides résultant de l'utilisation de solvant créent ce que nous appelons des surgravures au niveau des grilles de polysilicium. Les grilles des transistors de bout sont moins bien protégées que celles qui sont à l'intérieur de la structure. La figure 23 illustre parfaitement cette différence.

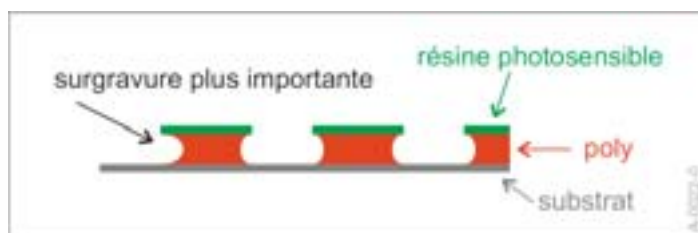


Figure 23: le premier transistor à gauche n'est pas protégé par un de ses confrères. Il en résulte une surgravure plus importante.

Pour que chaque composant du montage voie exactement la même chose nous ajoutons des composants. Qui captent en quelques sortes les défauts pour les autres. Les deux miroirs des figures qui précèdent possèdent chacun deux transistors dits « dummy » de chaque côté. Mais attention de ne laisser aucun contact en l'air, tout doit être connecté. Une charge électrostatique pourrait s'accumuler dans le conducteur et influencer le reste du montage. Dans le cas des miroirs de courant, nos transistors dummy sont montés en condensateurs.

Anneaux de garde.

Tous les montages ont en commun un élément très conducteur : le substrat. Des courants peuvent passer d'un montage à l'autre par ce dernier et ainsi générer du bruit. Juste du bruit car ces courants sont très faibles et ne viennent que légèrement perturber le fonctionnement du montage. Pour isoler ces montages les uns des autres il faut les entourer d'un conducteur relié au potentiel le plus bas comme l'est le substrat pour capturer les électrons égarés. Nous devons donc entourer nos montages soit d'anneaux P⁺ polarisé au point le plus bas, soit directement de contacts au substrat. Les composants les plus sensibles sont bien sûr les transistors NMOS car le canal est constitué directement dans le substrat. Entourer d'un anneau de garde chaque fonction (miroir de courant, paire différentielle, multiplieur) consomme beaucoup de place mais c'est la seule manière efficace de s'affranchir du bruit. La figure 24 montre le puzzle créé avec une telle technique.

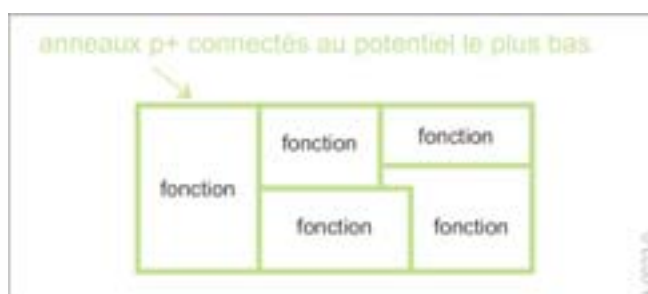


Figure 24: les anneaux de garde encadrent chaque fonction et permettent ainsi une meilleure isolation.

Cages de Faraday.

Les résistances de type RPOLYH sont conseillées par le fondeur car leur valeur absolue est mieux maîtrisée. La largeur minimale est de 10 µm ce qui génère de grandes surfaces à base d'éléments résistifs sensibles aux parasites. Pour blinder ces résistances nous devons les entourer de conducteurs. Une boîte constituée de substrat et de métal peut servir de cage de Faraday. La figure 25 illustre ce concept en présentant deux résistances blindées.

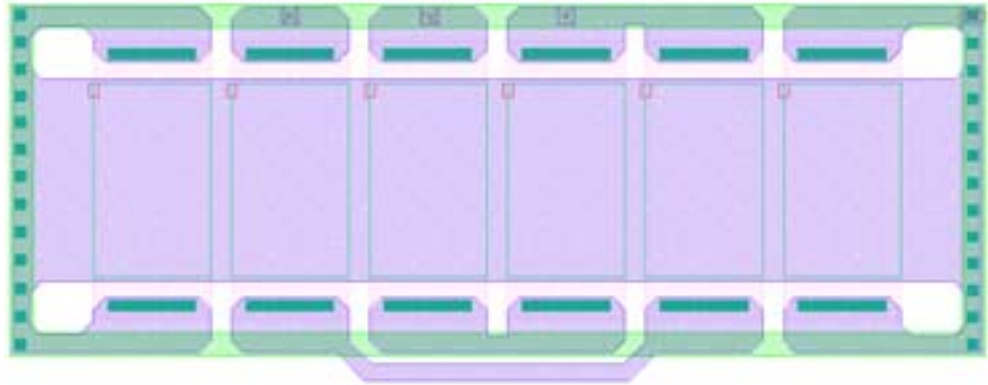


Figure 25: une protection en métal (couleur mauve) recouvre les résistances (couleur ciel). Connectée au substrat, le tout constitue une excellente cage de Faraday.

Règles sujettes à discussion.

Suivent quelques règles de bon sens que nous avons respectées autant que nous le pouvions.

Les coins d'une grande surface créent des tensions mécaniques dans le réseau cristallin adjacent. Ces tensions se traduisent par des erreurs relatives entre composants. Si nous rabotons les coins de ces grandes surfaces pour transformer les angles à 90° en deux angles de 45°, ces erreurs relatives diminuent. Les pistes métalliques qui relient les composants se retrouvent partout dans le circuit. Dans le même ordre d'idée, il vaut mieux dessiner les changements de directions à l'aide d'angles à 45° qu'à 90°.

Une piste qui passe sur un composant engendre des contraintes mécaniques supplémentaires sur ce même composant. Évitions les pistes au-dessus des composants. Une piste qui passe à proximité déforme aussi ce composant. Nous ne pouvons pas éviter que des pistes passent à côté d'un composant. Par contre, nous pouvons ajouter des pistes redondantes pour que tous les composants soient symétriques.

Plus le substrat est polarisé moins il y a de risque qu'il brouille le fonctionnement des composants actifs. Nous devons remplir les surfaces vides par des connexions de la masse au substrat pour limiter cet effet.

Bref, de manière générale, un layout agréable à la vue aura de meilleures performances.

Maurice.¹³

Le premier circuit réalisé en appliquant tous ce que nous avons dit précédemment est appelé Maurice. Il intègre le modèle de Morris et Lecar ainsi que toutes les fonctions environnantes nécessaires à sa mise en oeuvre. Le modèle de Morris et Lecar est un modèle simple, qui peut être apparenté à l'activité biophysique réaliste d'un neurone vivant. Il ne contient qu'une seule variable d'état. Nous espérons appréhender l'activité de réseaux oscillants simples en nous servant de ce circuit. Les équations qui suivent régissent le modèle :

$$C \frac{dV}{dt} = -I_{Ca} - I_K - I_L + I_{STIM}$$

¹³ « Voltage oscillations in the barnacle giant muscle fiber », C. Morris et H. Lecar, 1981, Biophysic J. 35 :193-213.

$$C \frac{dV}{dt} = -g_{Ca} m_{\infty}(V)(V - V_{Ca}) - g_K w(V - V_K) - g_L (V - V_L) + I_{STIM},$$

$$\text{avec } \tau_w \frac{dw}{dt} = w_{\infty}(V) - w$$

$$m_{\infty}(V) = \frac{1}{1 + \exp\left(\frac{V - V_{offsetm}}{V_{pentem}}\right)} \quad \text{et} \quad w_{\infty}(V) = \frac{1}{1 + \exp\left(\frac{V - V_{offsetw}}{V_{slopedw}}\right)}$$

Ces équations sont équivalentes à celles introduites au cours du premier chapitre. Pour simplifier l'intégration la constante de temps τ_w de la cinétique est devenue constante ce qui ne pénalise que peu la fidélité de reproduction du modèle.

Description du composant.

Le circuit est conçu pour fonctionner de manière autonome. Il génère ses propres références en tension et en courant. Un générateur de courant continu de stimulation (I_{STIM}) permet entre autres de fixer le potentiel de repos de la tension de membrane. Le circuit contient, pour être connecté directement à une interface numérique, deux synapses et un comparateur à hystérésis. Le comparateur à hystérésis permet de détecter l'événement potentiel d'action et les synapses que nous utilisons ont une entrée numérique. Dans cette première version, les paramètres en tension sont accessibles depuis l'extérieur, mais dans les suivantes nous n'aurons plus besoin de cette option. Cette accessibilité autorise une correction ou une modification de notre part si les valeurs ne correspondent pas à notre attente. Une copie des courants ioniques et synaptiques expose leur valeur à l'observateur à l'aide d'une résistance. La figure 26 dévoile le contenu au complet du circuit de 28 broches.

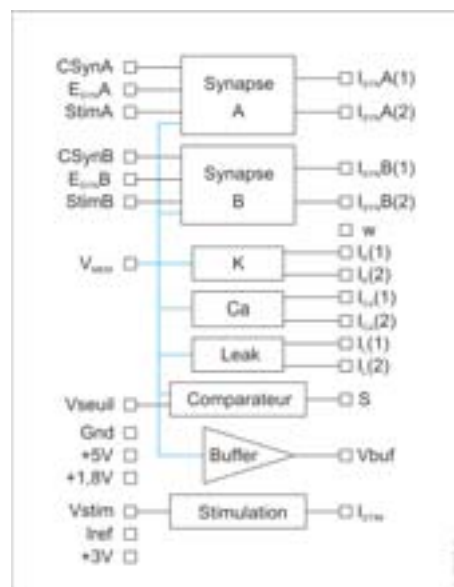


Figure 26 : le composant électronique Maurice est complet.

Pour cette figure 26 : sur les broches CsynA et CsynB sont connectés les circuits RC réalisant les cinétiques des synapses, StimA et StimB sont les entrées numériques de synapses, E_{SYNA} et E_{SYNB} sont les potentiels d'équilibres. La broche V_{MEM} est commune à tous les blocs et est recopiée sur la sortie Vbuf. L'entrée Vseuil permet d'ajuster la tension de seuil du comparateur à hystérésis générant la sortie numérique S. Toutes les sorties de courants ioniques sont dupliquées. La sortie w donne accès à la variable d'état du canal potassium. Le stimulateur en courant est commandé par l'entrée Vstim , le courant sortant par l'intermédiaire de la broche I_{STIM} .

Résultats.

Le circuit fonctionne avec une tension d'alimentation de 5 volts et une tension centrale de 1,8 volts. Or les appareils de mesures sont optimisés pour des signaux référencés à 0 volt, ce qui représente généralement la masse et le plus souvent le potentiel de terre. Une carte de test permettant l'exploitation directe des signaux de Maurice a été réalisée et les résultats que nous présentons sont donc référencés par rapport à 0 volt en tant que point milieu et non 1,8 volts qui était le point milieu d'origine. La photographie 27 qui suit montre le banc de mesure simplifié au maximum grâce à notre carte de test.



Figure 27: un banc de mesure ultra simple pour un composant ultra complet. Attention, cinq objets se sont glissés dans l'image.¹⁴

¹⁴ Réponse : une bouteille de Whisky, une bouteille de bière, un rouleau de papier toilette, une boîte de cigares et un pistolet laser.

La mesure qui nous semble la plus représentative du circuit est celle où le neurone est excité par l'intermédiaire d'une stimulation continue (un courant continu est injecté au niveau de sa membrane).

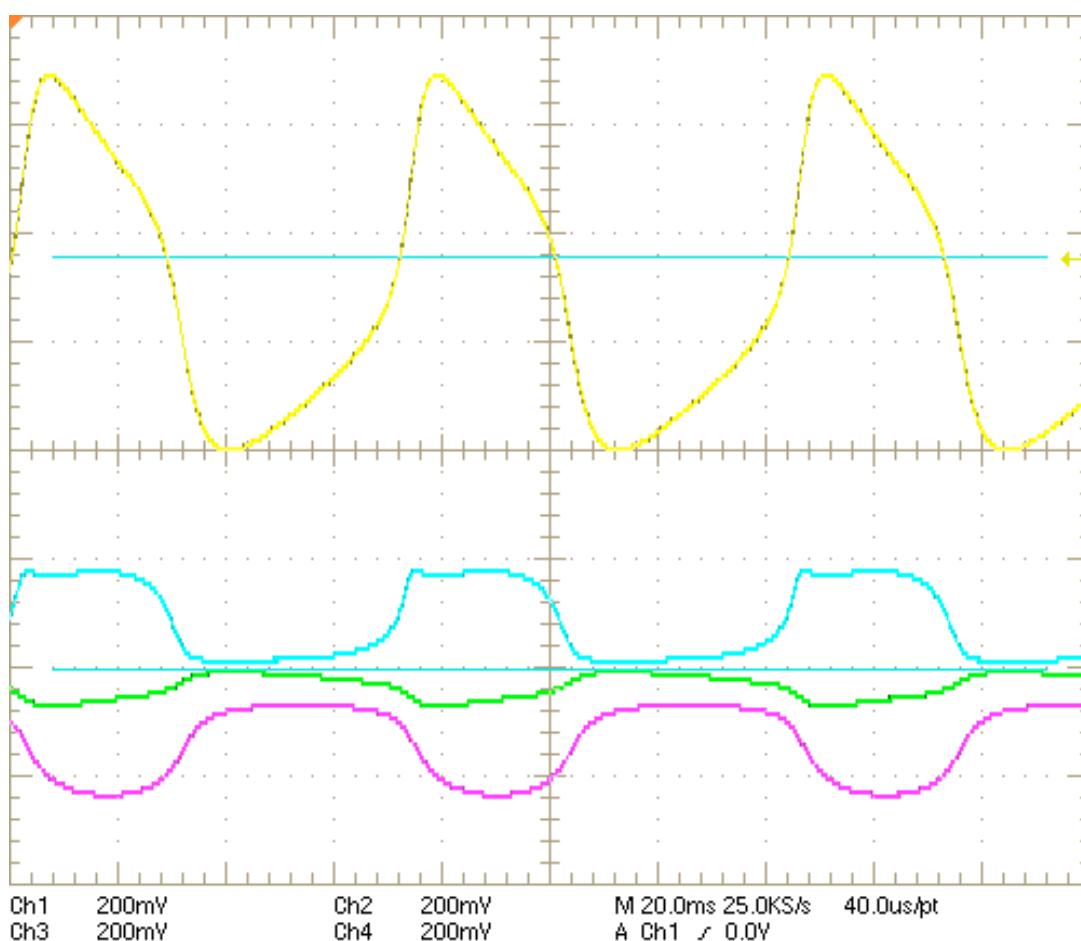


Figure 28: mesure sur le circuit Maurice : la tension de membrane (en jaune), le courant ionique I_K en rose, le courant ionique I_{Ca} en bleu et le courant de fuite I_L en vert.

Avec une telle stimulation, le neurone présente des potentiels d'action. Ces potentiels sont caractéristiques du modèle de neurone, et nous les comparons dans la figure 29 avec les résultats de simulation provenant du logiciel de simulation Neuron et du logiciel de conception Cadence. La valeur du courant de stimulation est de $9\mu A$ dans les trois cas.

Sur ce composant, la forme obtenue lors de la mesure est correcte, mais la tension de membrane ne descend pas assez au repos, ce qui change légèrement la fréquence d'oscillation. Donc la fréquence d'oscillation est légèrement différente. Si nous décidons de ne retirer du composant que l'information : « événement potentiel de membrane » par l'intermédiaire du front positif provenant du comparateur à hystérésis, la forme est moins importante que la fréquence d'oscillation. Maintenant à l'aide de la figure 30, comparons entre composants la réponse fréquentielle (fréquence des oscillations) en fonction du courant de stimulation. En dehors des zones tracées, le potentiel de membrane est soit constant (cellule au repos), soit instable.

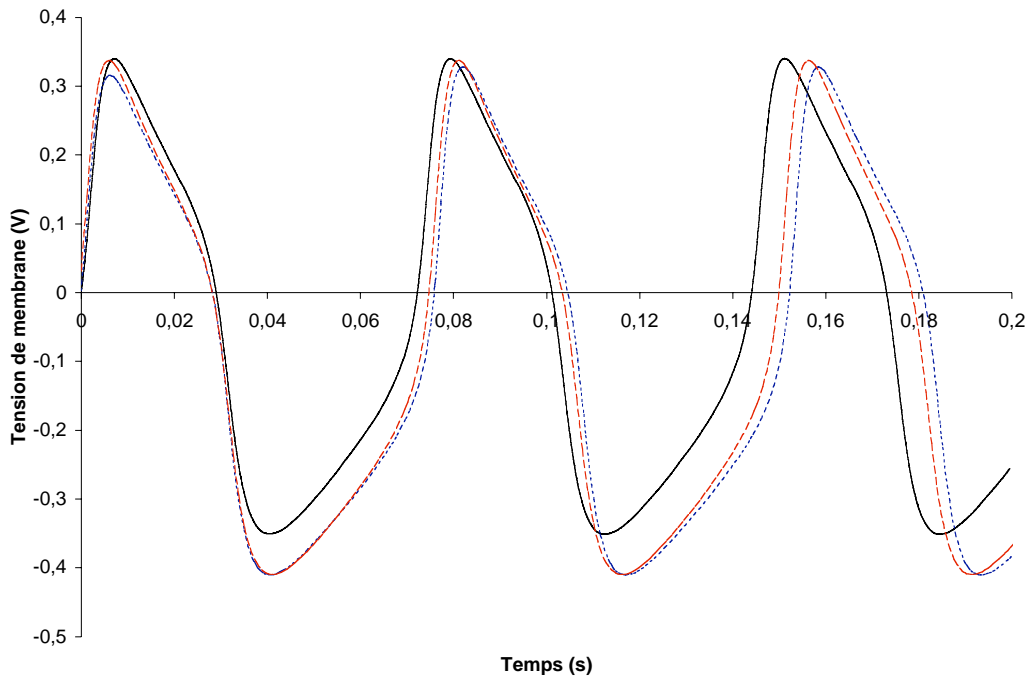


Figure 29: la comparaison des potentiels d'actions du composant Maurice en mesure (ligne continue), en simulation électrique sous Cadence (ligne pointillée) et en simulation compartimentale à l'aide du logiciel Neuron (ligne en tiret).

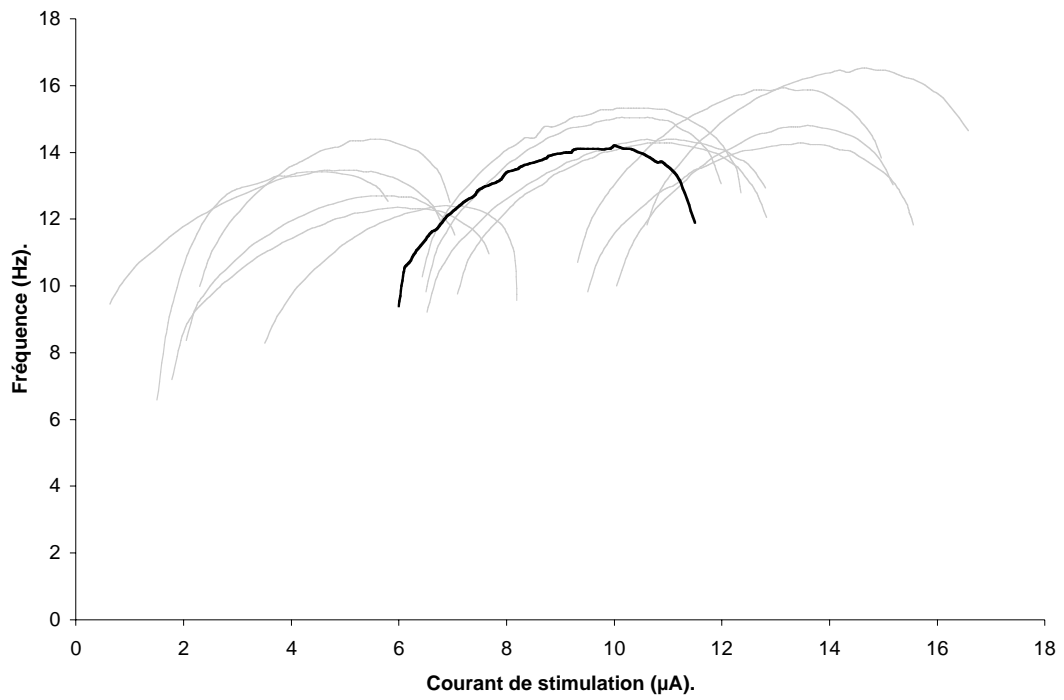


Figure 30: les réponses fréquentielles en fonction du courant de stimulation pour les quinze composants en notre possession (tracés gris clair), et la courbe calculée avec le logiciel Neuron (tracé foncé).

La figure 30 nous permet de valider le fonctionnement des quinze circuits et cela sans aucun réglage ou autre adaptation. La dispersion par rapport au courant de stimulation est assez importante mais, comme il s'agit d'un système rétroactionné, le moindre changement d'un des paramètres du modèle implanté entraîne une forte variation d'activité. Cette variation n'est pas limitante dans l'absolu, mais lors d'une utilisation en réseau il faut régler un courant de stimulation différent pour chaque circuit afin de tous leur donner une activité de référence identique.

A l'aide de notre carte, nous pouvons aussi extraire les paramètres et fonctions contenus dans chaque canal ionique. Une vérification du bon fonctionnement nous apprend que le circuit remplit entièrement sa tâche et que la dispersion précédente n'est due qu'à des erreurs mineures dans les paramètres du modèle. Les figures qui suivent présentent les réponses de deux fonctions intégrées : la sigmoïde et la cinétique.

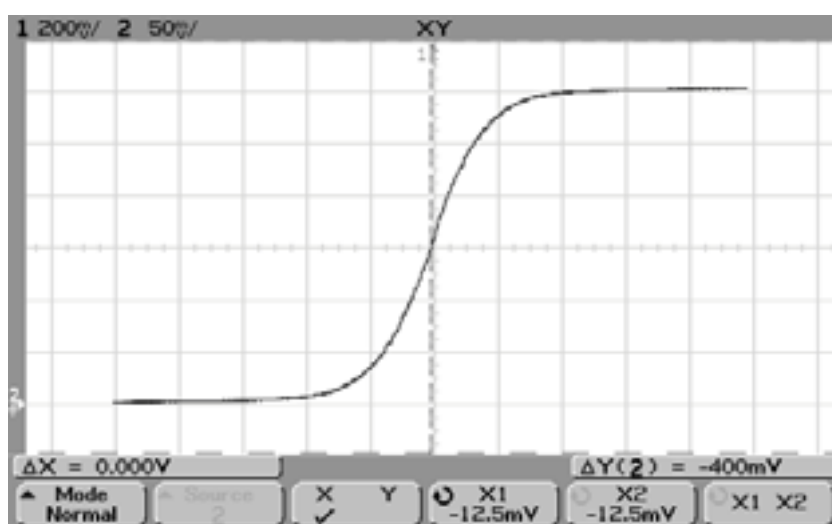


Figure 31: la sigmoïde du canal calcium. Comme nous pouvons le deviner, en X (voie 1) nous avons la tension de membrane et en Y (voie 2) la probabilité d'ouverture du canal (variable statique m , de l'équation d'origine).

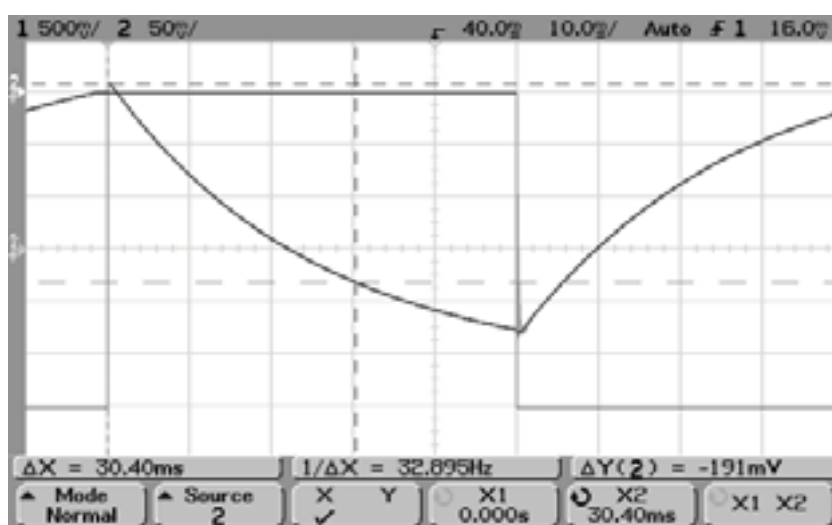


Figure 32: la réponse de la cinétique du canal calcium à une tension créneau. La constante de temps est de 30,40 ms. La voie 1 trace la tension de membrane en créneau tandis que la voie 2 est la réponse temporelle de la cinétique.

Conclusion.

En appliquant systématiquement des règles confirmées de réalisation du layout nous arrivons à un circuit à 100% fonctionnel car sur 15 composants fabriqués, 15 fonctionnent pleinement. Les circuits réalisés précédemment dans l'équipe demandaient un étalonnage personnalisé et même avec cette adaptation seulement 40% étaient utilisables. Le modèle intégré est simple mais bien plus biologiquement réaliste que le très populaire « integrate and fire »¹⁵. Une seule variable d'état w permet des calculs de stabilité accessibles et les études de bifurcation sur Morris et Lecar font référence¹⁶. Une alimentation de +5V lui permet de cohabiter avec la majorité des composants électroniques actuels, et avec des entrées et sorties numériques, ce circuit est pleinement compatible avec le monde numérique dont le microordinateur. Pour ma part, j'estime que ce circuit est un excellent élément pour la réalisation et l'étude de réseau de neurones artificiels. Maurice a demandé un an d'étude, mais il en vaut la peine. Sa réalisation m'a permis de travailler sur un grand nombre des montages électroniques analogiques. Pour exemple, certains amplificateurs opérationnels qui le constituent sont « rail-to-rail » et entièrement CMOS ce qui est un minimum actuellement sur le marché.

La faible dispersion des courbes de réponse de la fréquence en fonction du courant de stimulation est un résultat difficile à obtenir. Le système est entièrement rebouclé sur lui-même et comporte un nombre important de constantes provenant du modèle de neurone. L'accumulation de toutes les erreurs absolues sur ces constantes n'handicape en rien son fonctionnement. L'application de règles de conception ou de réalisation du layout plus dures ne pourra sans doute pas améliorer les résultats. Nous sommes arrivés aux limites de l'exactitude des valeurs des constantes et des fonctions mathématiques simulées avec la technologie utilisée. À partir de cet état de fait, nous devons travailler sur la correction logicielle de cette dispersion, si cette dispersion est réellement un frein au fonctionnement en réseaux de neurones artificiels.

Maurice n'a été réalisé à partir d'aucune demande ou besoin d'un autre laboratoire. Le résultat est pourtant un succès et j'espère avoir l'occasion de concevoir un autre circuit du même modèle dans une technologie plus apte à la grande intégration.

¹⁵ « Pulsed Neural Networks », W. Mass et C.M. Bishop, 1998, Massachusetts Institute of Technology (ISBN 0-262-13350-4)

¹⁶ « Methods in Neuronal Modeling », C. Koch and I. Segev, 1999, The MIT Press (ISBN 0-262-11231-0).

Application système

Après l'intégration d'un modèle simple, nous poursuivons par l'intégration d'un modèle plus complexe qui trouve une application directe dans le projet européen du cinquième PCRD, SenseMaker. Comme nous le verrons, la simulation d'activité neuronale à l'aide de circuits intégrés dédiés y trouve sa pleine utilité. La réalisation de ce projet demande non seulement l'intégration d'un nouveau modèle neuronal mais aussi l'utilisation de ce nouveau composant dans des réseaux de neurones à structure dynamique.

Nous présenterons la complexité ajoutée ainsi que les bornes que nous entrevoyons pour une utilisation à grande échelle. Nous introduirons aussi une structure de réseau de neurones modulable basée sur des cartes PCI. L'alliance de l'électronique analogique pour l'émulation des neurones à l'informatique pour la gestion des réseaux semble une excellente solution pour la simulation de réseaux de neurones complexes.

Le projet européen SenseMaker.

Le projet européen SenseMaker (2002-2005) s'inscrit dans le cadre de l'appel d'offres 2001 « Life-Like Perception Systems » (LPS) du programme FET (Future Emerging Technology »), mis en place par la Communauté Européenne. Cet appel d'offre traite du développement de systèmes artificiels perception-réponse dont les structures seraient inspirées du vivant. Le but du projet SenseMaker est de définir et implanter une architecture électronique capable de fusionner des informations sensorielles issues de modalités diverses en une représentation unique d'un environnement donné. L'architecture sera directement inspirée des principes de réception et fusion sensorielle du système nerveux. Un objectif à terme est que le système réalisé soit capable d'auto-reconfiguration, créant de nouvelles connexions entre différents récepteurs sensoriels pour effectuer des traitements d'ordre supérieur, et créer ainsi de nouveaux « sens ».

Sur ce projet sont associés des neurophysiologistes, des électroniciens, des informaticiens, des physiciens, des psycho-physiciens de différents laboratoires de recherche européens.

Le projet dans sa globalité.

Le cerveau est capable d'extraire des informations corrélées de représentations sensorielles élaborées simultanément par différentes modalités sensorielles. Le système réalisé dans le cadre du projet SenseMaker devra effectuer des tâches de discrimination et identification sur des objets ou environnement, à partir d'informations sensorielles données. Les sens naturels pouvant être émulés sont la vision, l'audition, le toucher, l'écho-localisation, l'électro-localisation, voire des représentations internes spécifiques à certains contrôles moteurs. L'approche biologique permet, par des expériences spécifiques, d'identifier des principes et algorithmes fondamentaux pour l'intégration sensorielle et multi-sensorielle. Ces travaux seront complétés par une approche de neurosciences computationnelles, où des circuits de réseaux de neurones artificiels développés à l'IXL permettront des simulations intensives et une exploration systématique des algorithmes proposés par les biologistes. Nous reviendrons sur ces développements dans la suite du chapitre. La machine développée dans le cadre de SenseMaker (SMU pour SenseMaker Unit) intégrera des réseaux de neurones formels de grandes tailles, sur circuits essentiellement numériques. Leur organisation reprendra les principes biologiques déduits des expériences et des simulations des étapes précédentes. Le système intégrera de plus des modèles de fonctions cognitives de haut niveau, selon des principes d'intelligence artificielle et des travaux de psycho-physique sur les phénomènes d'intégration multi-modale.

Outre ses objectifs technologiques, le projet SenseMaker représente une plate-forme originale de communication entre la biologie et l'ingénierie. L'assimilation de principes biologiques dans une machine d'intelligence artificielle pourrait conduire à l'émergence de nouvelles architectures dynamiquement adaptables, basées sur du traitement parallèle. A l'inverse, les outils d'ingénierie offrent des opportunités d'exploration des fonctions sensorielles, qui, bien que réductionnistes, peuvent profiter aux neurosciences.

Les participants au projet sont :

- L' « Artificial Intelligence Laboratory » (Université d'Ulster, Royaume-Uni), avec le Pr McGinnity et le Dr Maguire. Coordinateurs du projet, ils sont experts en intelligence artificielle et ils implanteront les algorithmes d'activité et d'apprentissage dans la machine SMU.
- L'Unité de Neurosciences Intégratives et Computationnelles (UNIC), UPR CNRS 2191 à Gif-sur-Yvette. A travers 3 équipes (« Cognisciences » dirigée par le Pr Frégnac, « Dynamiques des processus sensori-moteurs » dirigée par le Dr Grant et avec l'aide du Dr Bal, et « Neurosciences Computationnelles » dirigée par le Dr Destexhe), ils représentent les compétences en neurosciences expérimentales et computationnelles du projet.
- L' « Electronics Vision Group » du « Kirchhoff-Institut für Physik » à l'Université de Heidelberg (UHE, Allemagne), avec les Pr Meier et Dr Schemmel. Spécialisés en ingénierie électronique, ils implanteront les réseaux de neurones formels sur Silicium au sein de la machine SMU, et fabriqueront le corps de la machine.
- Le « Visual Cognition Group » du Trinity Collège de Dublin (TCD, Irlande), dirigé par le Dr Newell, a pour rôle de dégager d'expériences de psycho-physique des principes de perception multi-sensorielle pouvant être repris sur la SMU.
- Le laboratoire IXL avec l'équipe « Neurones sur Silicium ». Nous développons des circuits neuro-mimétiques permettant d'optimiser l'approche de modélisation des réseaux de neurones biologiques élaborée par l'UNIC, et travaillerons sur la transformation de ces modèles pour une implantation sous forme de réseau de neurones formels.

Les fonctions des différents intervenants dans le projet sont reprises sur la figure 33.

Notre partie.

Des modèles de neurones de différents types sont développés par l'UNIC. Ce sont des modèles à base de conductances, sur lesquels se greffent des interactions synaptiques de type intégratives (voir chapitre 3). Ces modèles sont génériques pour différentes structures sensorielles. Nous développons pour notre part des circuits intégrés simulant en temps réel l'activité des neurones organisés en réseaux configurables. Les interactions synaptiques sont contrôlées numériquement et en temps réel par un système informatique. Cette architecture a été mise au point conjointement avec l'équipe de neurosciences computationnelles de l'UNIC, et plus particulièrement Alain Destexhe à qui nous devons l'idée de départ. L'ensemble doit donc constituer un simulateur temps réel de réseau à topologie entièrement programmable, dont les poids synaptiques sont dynamiquement reprogrammables en continu. Cet outil permettra de proposer et tester des règles optimales de connectivité et de plasticité pour un meilleur traitement des informations sensorielles, en se basant sur les phénomènes observés expérimentalement. Un premier prototype a été réalisé et est présenté dans ce manuscrit. Après validation de ce prototype, une version finale de l'outil pour le projet SenseMaker sera développée, qui comprendra un nombre plus important de neurones artificiels (fin 2004).

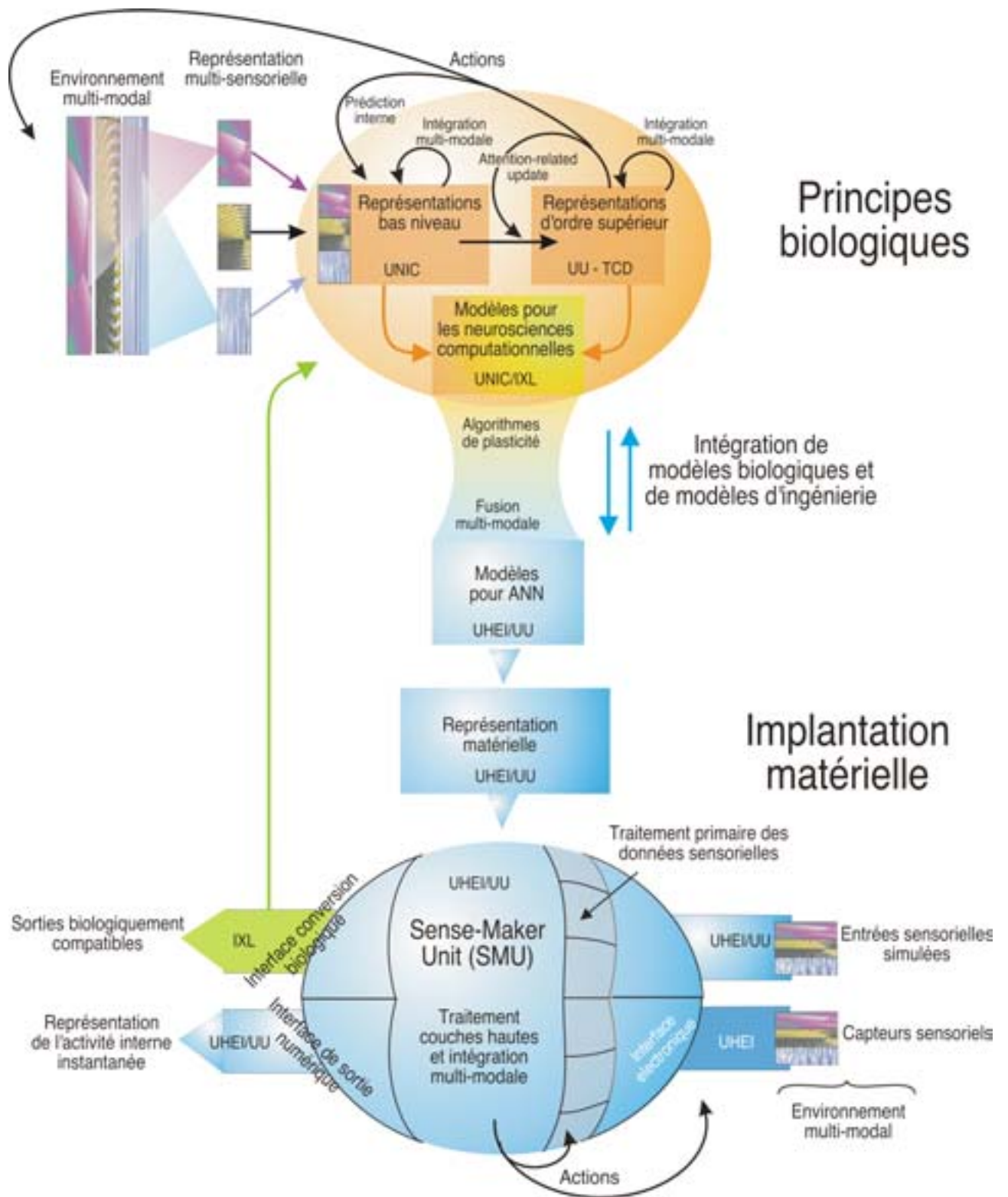


Figure 33: un schéma illustrant les différentes actions du projet ainsi que les différents partenaires attachés. Cette figure est extraite du dossier SenseMaker présenté à la commission européenne (remerciements à Thierry Bal). Nous intervenons dans deux parties : la simulation de modèles de neurosciences avec nos ASIC, et l'interface entre la machine et des appareils de neurophysiologie, partie à réaliser en fin de projet.

Réseaux et apprentissage¹⁷.

Concevoir des réseaux de neurones entièrement modulables pour mettre au point des algorithmes d'apprentissage est une nouveauté pour nous. C'est l'occasion de faire un petit rappel sur la plasticité synaptique et l'apprentissage.

La plasticité synaptique dépendante de l'activité neuronale est à la base des phénomènes d'apprentissage et de mémorisation, et c'est aussi à travers l'entraînement un facteur déterminant du développement des circuits neuronaux. Pour comprendre le fonctionnement et la signification du comportement de la plasticité synaptique, nous étudions comment l'expérience et l'entraînement modifient les synapses, et comment ces modifications changent l'activité du cerveau. Des travaux expérimentaux ont révélé les voies par lesquelles l'activité neuronale affecte les poids synaptiques, et ont inspiré des règles de plasticité. Ces règles de plasticité synaptique ont été par la suite appliquées avec succès à une variété de phénomènes incluant les mémoires auto- et hétéro- associatives, la reconnaissance de forme, le stockage et le rappel de séquences temporelles, ainsi que les fonctions d'approximations.

En 1949, Donald Hebb met en évidence que si un neurone A contribue à l'activité d'un neurone B alors la synapse allant de A vers B voit son poids synaptique augmenté. Hebb suggéra que les modifications synaptiques sont le reflet de l'apprentissage durant un entraînement. Les règles de Hebb constituent les bases de la recherche sur le rôle de la plasticité synaptique dans l'apprentissage et la mémoire. Par exemple, considérons l'application de ces règles à des neurones qui s'activent ensemble durant un entraînement associant un stimulus à une réponse : ces neurones développeront des interconnexions. La suggestion originale de Hebb concerne l'augmentation des poids synaptiques, mais elle est généralisée pour inclure la diminution des poids dus à la non-implication du neurone A dans l'activation du neurone B. La forme générale des règles de Hebb prédit que les changements synaptiques sont proportionnels à la corrélation ou covariance des activités pré- et post-synaptiques des neurones.

Des travaux expérimentaux dans différentes régions du cerveau, incluant l'hippocampe, le néocortex, et le cervelet, ont révélé que les modifications d'activité du réseau (simulées par des stimulations) induisent des changements des poids synaptiques à court terme, mais aussi à long terme (des dizaines de minutes). Dans le cas d'une augmentation du poids synaptique avec persistance de l'effet à long terme on parle de LTP (« long-terme potentiation »), dans le cas contraire, c'est-à-dire une diminution du poids synaptique à long terme on parle de LTD (« long-terme depression »).

Une abondance de données existe sur le comportement au niveau cellulaire dans le cadre de la plasticité synaptique. Par exemple, la concentration synaptique en ions calcium semble jouer un rôle crucial dans les mécanismes de LTP et LTD. Cependant, les études portant sur les effets de la plasticité synaptique se placent au niveau fonctionnel, pas au niveau mécanisme, avec l'intention de lier cette plasticité sur les neurones et plus globalement les réseaux.

L'étude de la plasticité et de l'apprentissage en général implique d'analyser l'état des synapses durant une période d'entraînement. Trois grands types d'entraînements se démarquent : l'apprentissage sans

¹⁷ « Theoretical Neuroscience : computational and mathematical modeling of neural systems », P. Dayan et L. Abbott, 2001, MIT Press (ISBN 0262041995).

superviseur (« unsupervised learning »), aussi appelé auto-contrôlé, dans lequel un réseau répond à une série d'entrées durant l'entraînement en modifiant uniquement et dynamiquement ses interconnexions. Dans ce cas le réseau s'auto-organise en suivant des règles de plasticité synaptique. Le deuxième type d'apprentissage est celui avec superviseur (« supervised learning ») : une relation d'entrée-sortie est imposée au réseau par un superviseur lors de l'apprentissage. Le troisième type est le « reinforcement learning » dans lequel la sortie n'est pas contrôlée par un superviseur mais par une contre-réaction qui inflige au réseau des récompenses ou des punitions. Cet apprentissage ressemble le plus à ce que nous connaissons chez le singe par exemple.

Nous pouvons donc en retenir qu'un réseau de neurone est constitué d'un ensemble de neurones interconnectés entre eux par des synapses dont le poids varie dans le temps suivant des algorithmes d'apprentissage. Notons que des hypothèses existent sur des effets de la plasticité sur les paramètres intrinsèques des cellules.

Le modèle à intégrer.¹⁸

Il existe différentes classes électrophysiologiques de neurones corticaux. La classe la plus courante de neurones excitateurs est appelée « cellule à décharge régulière » (« regular spiking cell ») et produit une décharge avec adaptation, qui peut être modélisée par une conductance potassique lente (I_M). La classe la plus courante de neurone inhibiteur est appelée « cellule à décharge rapide » (« fast spiking cell ») et ne possède pas d'adaptation.

Le modèle du neurone cortical n'est pas totalement intégrable. Il s'agit d'un modèle à base de conductances ioniques, comme décrit dans le chapitre un. Nous utiliserons ce type de neurone dans deux configurations : une excitatrice (cellules pyramidales) et une inhibitrice. La constante de temps des cinétiques est variable selon V_{MEM} et suit des fonctions trop complexes. Nous avons décidé, après comparaison avec l'original, de les discrétiser à deux constantes. Le choix entre les deux valeurs possibles est déterminé par la comparaison de la tension de membrane V_{MEM} à la tension de référence du circuit. C'est la seule simplification que nous avons appliquée. Les figures 34 et 35 informent sur l'influence de notre simplification. Dans les deux cas, elle entraîne une légère variation de la fréquence d'oscillation. Un ajustement du courant constant de stimulation permet toutefois de corriger cette erreur.

La figure 34 présente des simulations d'activité d'un neurone en configuration inhibitrice. Nous observons une légère différence entre la simulation du modèle d'origine et celle du modèle simplifié. La figure 35 présente les courbes d'activité liées cette fois à la configuration excitatrice. La différence de fréquence d'activité entre le modèle d'origine et le modèle simplifié se compense par injection d'un courant de stimulation correcte (modèle simplifié corrigé).

La surface équivalente de la cellule corticale est de $0,00022\text{cm}^2$ pour nous permettre d'utiliser un condensateur de membrane externe de $2,2\text{nF}$ ($C_M=1\mu\text{F}/\text{cm}^2$, diélectrique NPO et connectique plus simple). Nous nous laissons quelques degrés de liberté sur les paramètres : des valeurs de g_{LEAK} , g_K , g_M et de V_{EQUI}

¹⁸ Connors BW et Gutnick, Trends in Neurosciences 13 :99-104, 1990.

qui fourniront un ensemble de configurations possibles. Les entrées IE (choix entre mode inhibiteur :IE='0' et exciteur :IE='1'), CMD, CMD0 et CMD1 sont numériques et sélectionnent la configuration choisie (voir les équations à suivre).

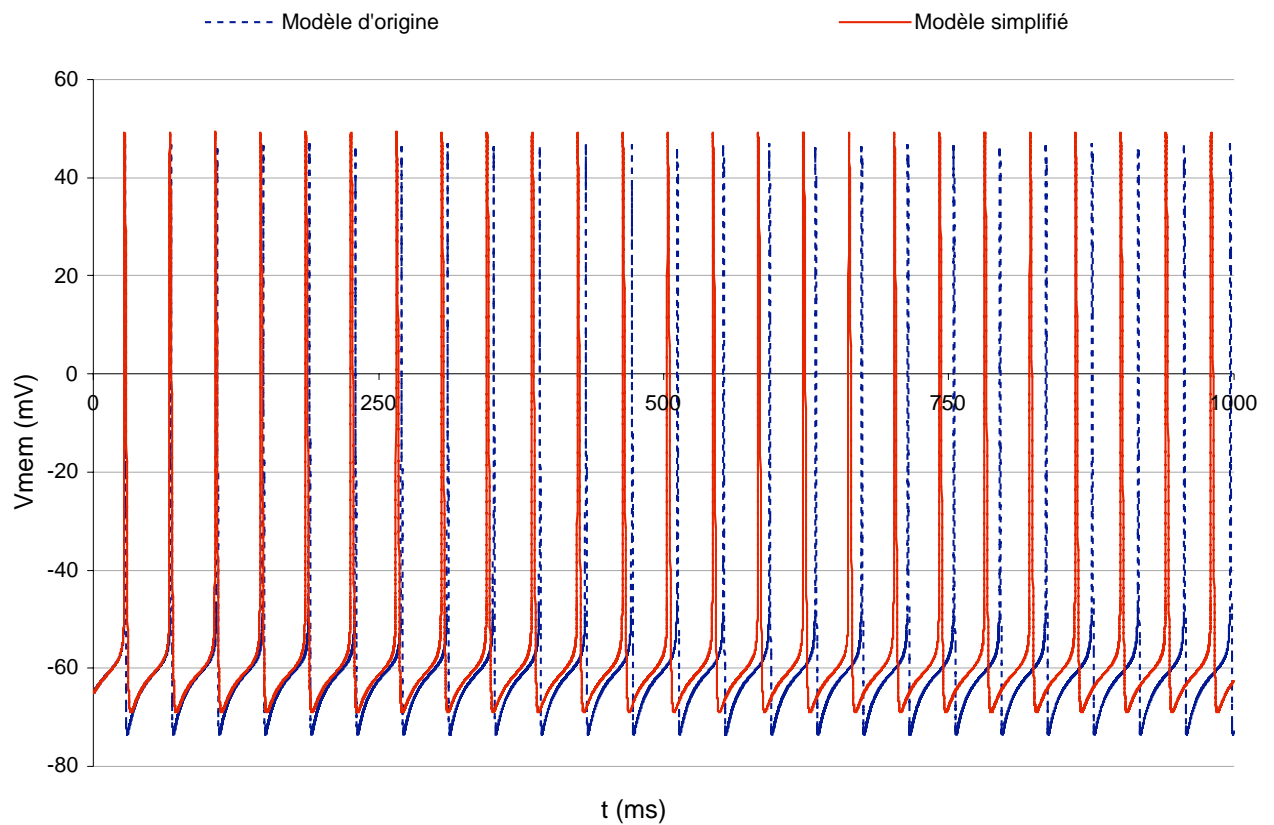


Figure 34: mode inhibiteur, simulation de l'effet de la simplification de la cinétique. L'activité oscillatoire du modèle simplifié en mode inhibiteur (sans le canal I_M) possède une fréquence légèrement différente de celle du modèle d'origine. La simulation à courant constant du modèle d'origine est en pointillés, celle du modèle simplifié est en continu.

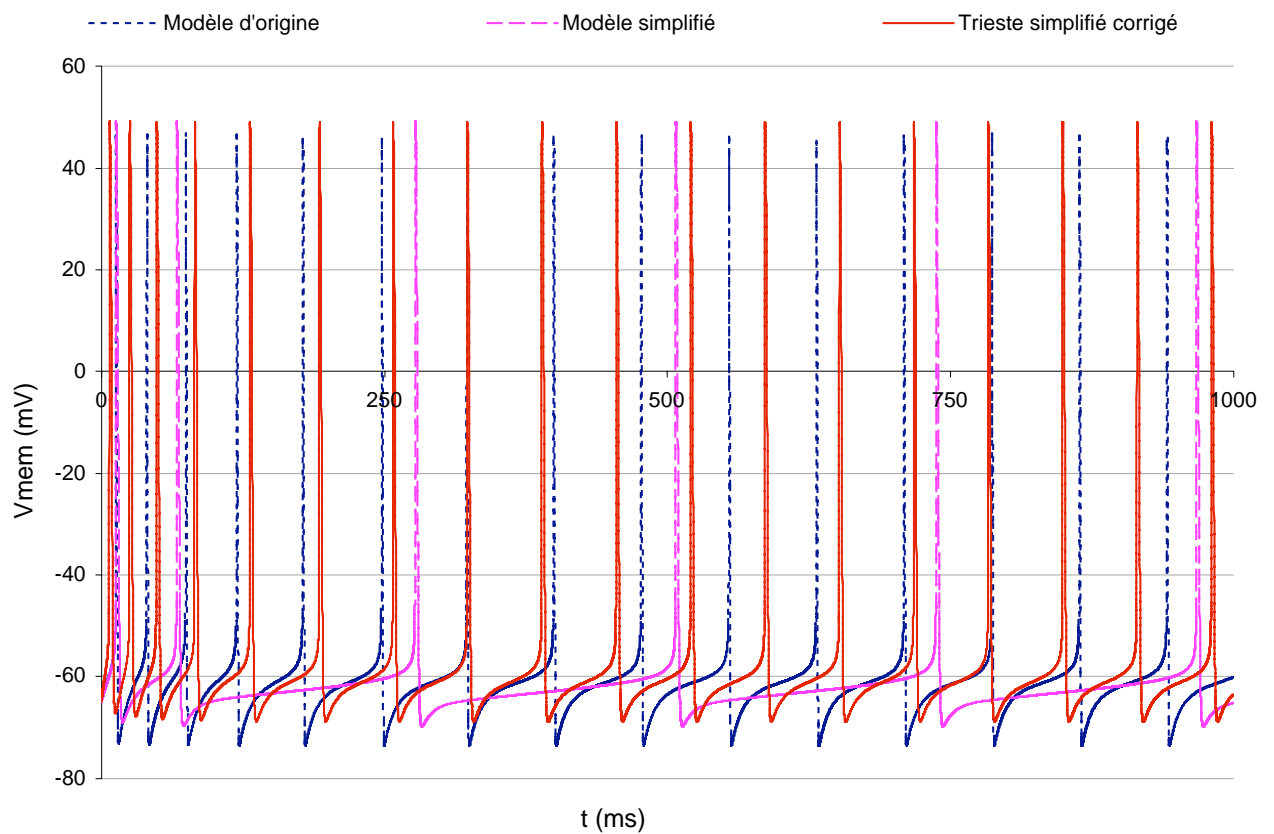


Figure 35 : mode excitation(modèle pyramidal), l'effet de la simplification de la cinétique. Le modèle simplifié en mode exciteur (avec le canal I_M) présente une fréquence différente de celle du modèle d'origine. En jouant sur le courant de stimulation constante nous pouvons rattraper ce décalage. La simulation du modèle d'origine est en pointillés, le modèle simplifié avec le même courant de stimulation est en tirets et le modèle simplifié avec un courant de stimulation corrigé est en continu.

Le modèle biologique de la cellule corticale est le suivant :

Le courant de fuite :

$$I_{LEAK} = g_{LEAK} (V_{MEM} - V_{EQUI})$$

$$IE : \begin{array}{l} '0' \text{ } \mathcal{A}E \quad g_{LEAK} = 22nS \\ '1' \text{ } \mathcal{A}E \quad g_{LEAK} = 33nS \end{array} \quad V_{CMD} : \begin{array}{l} '0' \text{ } \mathcal{A}E \quad V_{EQUI} = -70mV \\ '1' \text{ } \mathcal{A}E \quad V_{EQUI} = -80mV \end{array}$$

Le courant sodium :

$$I_{Na} = g_{Na} m^3 h (V_{MEM} - V_{Na})$$

$$g_{Na} = 11\mu S \quad \text{et} \quad V_{Na} = 50mV$$

$$m : V_{OFFSET} = -37mV \quad V_{SLOPE} = 7,2mV$$

$$h : V_{OFFSET} = -42mV \quad V_{SLOPE} = -4,6mV$$

$$tau(m) = 0,03ms \quad \text{et} \quad tau(h) \begin{array}{l} \text{si } V_{MEM} > 0 \text{ } \mathcal{A}E \quad tau = 3,00ms \\ \text{si } V_{MEM} < 0 \text{ } \mathcal{A}E \quad tau = 0,25ms \end{array}$$

Le courant potassium :

$$I_K = g_K n^4 (V_{MEM} - V_K)$$

$$n : V_{OFFSET} = -37mV \quad V_{SLOPE} = 11,38mV$$

$$tau(n) = 3ms$$

$$IE : \begin{array}{l} '0' \text{ } \mathcal{A}E \quad g_K = 2,2\mu S \\ '1' \text{ } \mathcal{A}E \quad g_K = 1,1\mu S \end{array} \quad V_K = -100mV$$

Le courant modulateur lent :

$$I_M = g_M m (V_{MEM} - V_M)$$

$$IE : \begin{array}{l} \text{si } '0' \text{ } \mathcal{A}E \quad g_M = 0nS \\ \text{si } '1' \text{ } \mathcal{A}E \quad g_M = 0nS \end{array} \quad \begin{array}{l} C_{MD0} \begin{array}{l} '00' \text{ } \mathcal{A}E \quad g_M = 25nS \\ '01' \text{ } \mathcal{A}E \quad g_M = 50nS \end{array} \\ C_{MD1} \begin{array}{l} '10' \text{ } \mathcal{A}E \quad g_M = 100nS \\ '11' \text{ } \mathcal{A}E \quad g_M = 200nS \end{array} \end{array} \quad \text{et} \quad V_M = -100mV$$

$$m : V_{OFFSET} = -35mV \quad V_{SLOPE} = 11,4mV$$

$$tau(m) \begin{array}{l} \text{si } V_{MEM} > 0 \text{ } \mathcal{A}E \quad tau = 300ms \\ \text{si } V_{MEM} < 0 \text{ } \mathcal{A}E \quad tau = 8ms \end{array}$$

Dans notre circuit, nous appliquons des coefficients sur les variables et paramètres. Par exemple, nous préférons utiliser une tension de membrane de $\pm 1V$ au lieu de $\pm 100mV$ car elle sera moins sensible au bruit. Le tableau qui suit liste les coefficients que nous appliquons avant intégration.

	Biologique	Electronique
Courants	1nA	100nA
Tensions	100mV	1V
Conductances	1mS	10mS
Capacités	1nF	10nF

Tableau 4: l'ensemble des coefficients appliqués aux variables et aux paramètres du modèle pour l'intégration.

Trieste.

Les fonctions de ce composant électronique qui simule l'activité d'un neurone cortical ont été choisies à Trieste en Italie lors du « EU Advanced Course In Computational Neuroscience. An Ibro Neuroscience School » en 2001 ; d'où le nom de Trieste pour ce nouveau composant. Comme nous l'avons vu précédemment, le modèle pyramidal est assez lourd. Il contient 4 conductances complexes fonctionnant dans deux configurations différentes selon qu'il s'agisse d'un neurone excitateur ou inhibiteur. La réalisation du layout est longue et fastidieuse. Nous sommes ici obligés de décomposer notre circuit en cellules standard pour utiliser le routeur automatique. La consommation en activité risque de perturber par échauffement le fonctionnement. Le boîtier ne peut être qu'en céramique donc un PGA, type de boîtier peu pratique car son utilisation demande généralement des circuits imprimés multicouches. Voici pour les grands changements par rapport à notre circuit précédent Maurice. Mais comme Maurice il possède tous les éléments nécessaires à une utilisation optimale du neurone : deux synapses, un stimulateur en courant, un tampon de sortie pour la mesure, une référence en tension de +3V et un comparateur à hystérésis. La tension de référence ou « point milieu » est aussi de +1,8V.

Nous présentons en premier des particularités de cet ASIC, puis suivent quelques comparaisons entre des simulations effectuées à l'aide du logiciel Neuron et des mesures sur un ASIC prototype.

Le composant.

Les cinétiques variables.

Les cinétiques sont variables par rapport au potentiel de membrane : la constante de temps prend deux valeurs suivant que V_{MEM} est plus haute ou plus basse que le potentiel de référence. La commande vient d'un comparateur à hystérésis entièrement composé de transistors MOS. Les figures qui suivent présentent les schémas de ce comparateur et du circuit effectuant la cinétique.

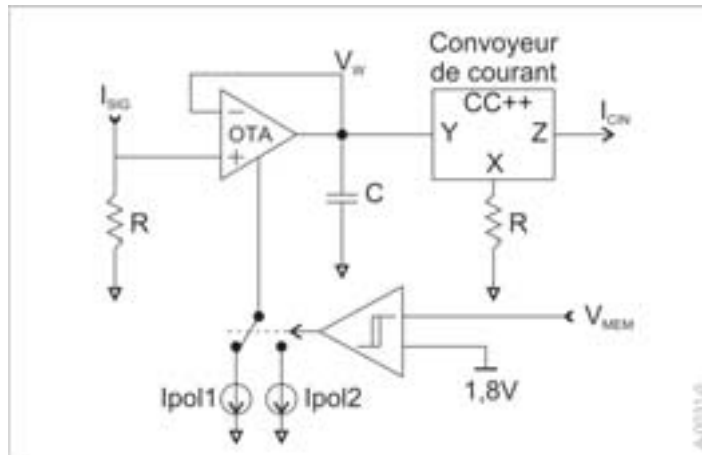


Figure 36: le schéma de principe de la cinétique. La sortie du comparateur à hystérésis commande un commutateur de courant qui change la polarisation de l'OTA. La valeur de la constante de temps s'en trouve changée.

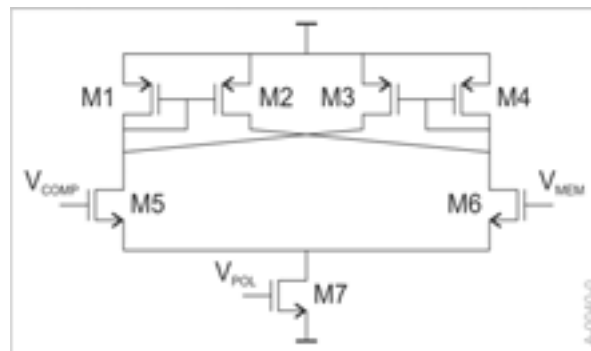


Figure 37: un comparateur à hystérésis entièrement composé de transistors MOS. L'effet hystérésis est dû à une différence des longueurs des grilles des transistors M2 et M3 par rapport aux transistors M1 et M4. Les entrées du montage sont les grilles des transistors M5 et M6. Le transistor M7 sert à la polarisation du tout.

Les commutateurs de courants

Le choix entre neurone excitateur et neurone inhibiteur est commandé par une entrée externe. Elle pilote des commutateurs de courant constitués par des paires différentielles. Une entrée de cette paire différentielle est reliée au point de référence 1,8 V tandis que la deuxième est l'entrée de commande. Cette entrée sature la paire différentielle dans un des deux états logiques possibles. Suivant la commande, le courant est dirigé dans l'une des deux branches (voir circuit figure 38). Nous ne savons commuter proprement que des courants, la commutation des tensions ne nous est pas accessible car trop lourde à intégrer. Notre circuit n'utilise donc que des commutateurs de courant, notre conception a du s'adapter à cette limite.

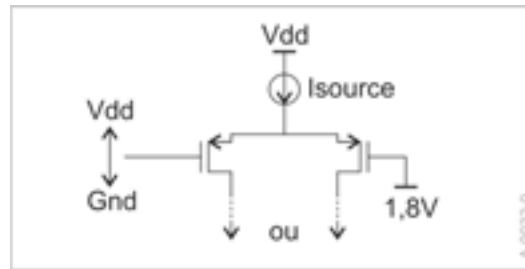


Figure 38: le commutateur de courant. Un montage simple mais propre : suivant que l'entrée est au potentiel Vdd ou Gnd, le courant est orienté dans une des deux branches.

Pratique du routeur automatique.

La figure 39 est une photo de la puce Trieste, remarquons les blocs bien rangés en ligne du fait de l'utilisation d'un routeur automatique. L'utilisation d'un tel routeur pour la conception d'un circuit analogique soulève quelques questions. L'électronique analogique est très sensible au phénomène de couplage. Dans notre cas, les fréquences d'utilisation sont faibles (quelques dizaines de Hertz) : les effets de couplage sont, nous l'espérons, négligeables à ces fréquences. Nous avons favorisé au maximum le transfert des signaux par des courants, moins sensibles à la longueur des pistes. Tous les blocs respectent les règles de polarisation du substrat pour être indépendants les uns les autres. Des fonctions sont parfois groupées même si cela entraîne des répétitions lors du dessin des blocs. Une difficulté est de décider de la géométrie des blocs ainsi que de la largeur des lignes d'alimentation qui parcourent toutes les lignes de blocs alignés. Une estimation du courant par branche est difficile puisque nous ne savons pas à l'avance comment les blocs vont être organisés : c'est le placement automatique qui s'en charge et il ne reproduit jamais deux fois la même organisation (un système de tirage aléatoire permet au routeur automatique de démarrer). De plus, nous ne sommes pas du tout habitués à utiliser ce type d'outil ce qui ne nous a sans doute pas permis de l'exploiter au maximum. En résumé, le plus important est que les signaux entre blocs soient indépendants de la résistance des pistes par lesquelles ils sont transmis car on ne connaît pas à l'avance la longueur des pistes et surtout le nombre de via qui est accumulé. Il faut éviter notamment le transfert de courants différentiels. La surface finale du circuit est de 11 mm^2 avec les plots, il comprend environ 2000 transistors.

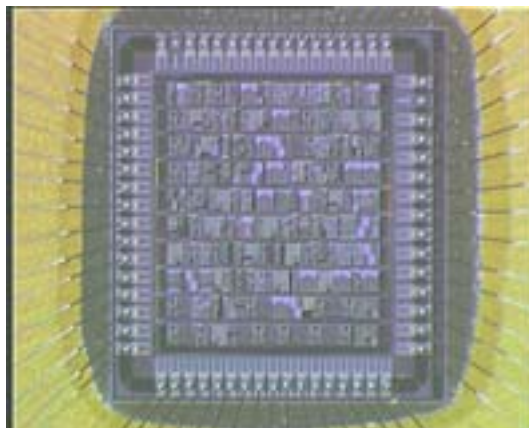


Figure 39: la photographie du circuit intégré Trieste.

Simulations et mesures

Pour mieux évaluer les performances du circuit, des comparaisons sur des simulations de référence sont effectuées à l'aide du modèle original. La comparaison se limitera aux deux modes de fonctionnement : exciteur et inhibiteur. Les figures qui suivent nous permettent une première évaluation du circuit.

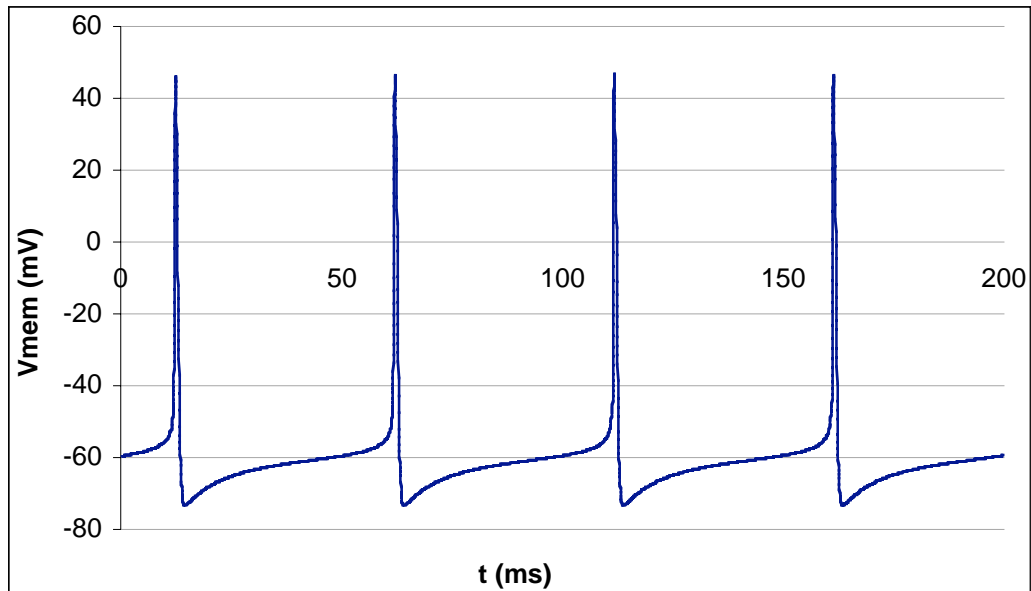


Figure 40 : la simulation du modèle original du neurone exciteur, stimulé en courant continu.

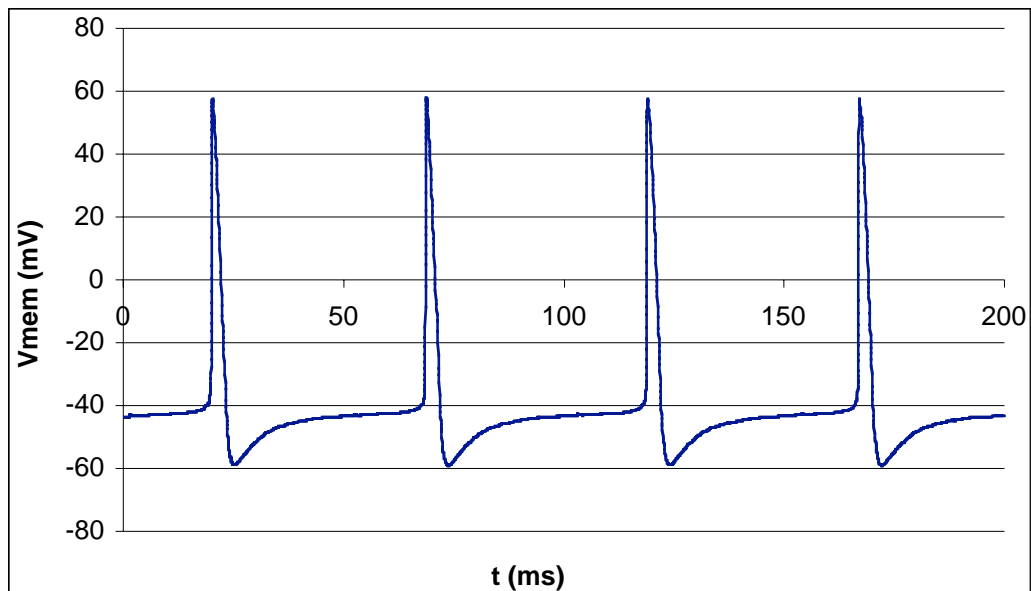


Figure 41 : une mesure de l'activité du neurone exciteur du circuit Trieste, stimulé en courant.

Il n'y a qu'un mot qui symbolise toute la similitude qu'il existe entre les deux courbes : magnifique ! Comparer les deux à l'oeil nu est-il un bon moyen d'évaluation ? Suffisamment, si nous considérons bien

évidemment que les algorithmes d'apprentissage du réseau rattraperont les légères différences. De plus, dans la vie deux neurones ne sont jamais strictement identiques.

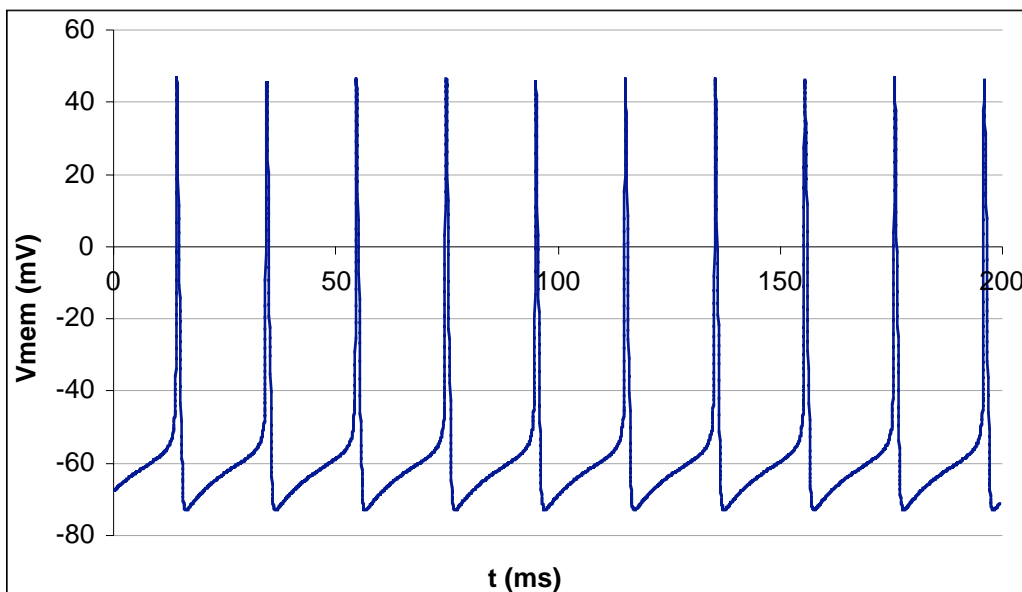


Figure 42 : la simulation du modèle idéal du neurone inhibiteur, stimulé en courant.

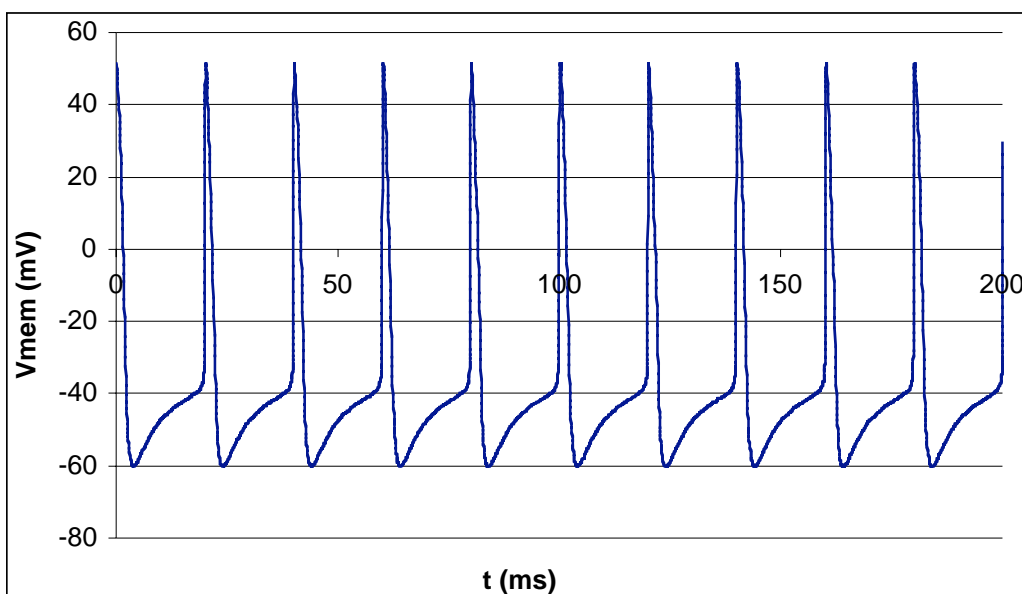


Figure 43 : mesure de l'activité du neurone inhibiteur du circuit Trieste, stimulé en courant.

Que se soit en mode excitateur ou inhibiteur, dans les deux cas, les courbes correspondent. Nous pouvons même affirmer par notre expérience des ASIC précédemment conçus : ces courbes correspondent fort bien. Néanmoins quelques légères différences de forme existent, peu importantes dans l'emploi que nous prévoyons à ces circuits mais que nous devons étudier avant de concevoir la prochaine version de Trieste.

Cet ASIC n'est que le premier d'une longue série, nous l'espérons, au-delà de ce projet européen. La figure qui suit présente la progression que nous souhaitons. L'ASIC Trieste GV simulera mille fois plus vite que le temps réel et comportera 8 neurones. L'ASIC Trieste TGV simulera quant à lui un million de fois plus vite que le temps réel et comptera 256 neurones. Le premier est lors de la rédaction de cette thèse en gestation, le deuxième est en prévision. La question de l'accélération des simulations sera abordée dans le dernier chapitre de ce manuscrit.

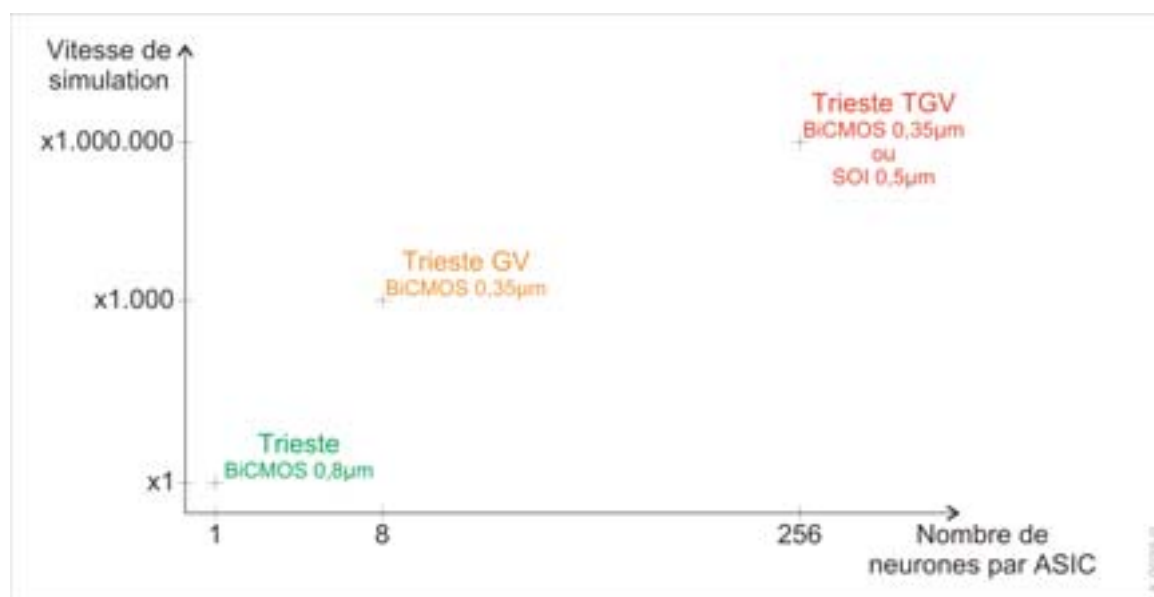


Figure 44 : le tableau résumant la progression souhaitée de nos ASIC Trieste.

Le circuit Trieste ne chauffe pas. Les oscillations sont stables et moins sensibles aux variations du milieu extérieur que celles du circuit Maurice (sensibilité au bruit ambiant). Le circuit est aussi stable en température. Nous arrivons maintenant, lors de cette deuxième étape à un circuit de bonne qualité mais gros. La surface de silicium occupée est de 11 mm² et cela pour un seul neurone. Comme nous avons utilisé le routeur automatique, tout notre circuit est composé de blocs que nous réutilisons à notre gré pour réaliser n'importe quel modèle de neurone. La question est donc : faut-il continuer dans cette voie ou essayer de simplifier les schémas pour gagner de la place ? Un neurone demande au moins un condensateur externe pour simuler la membrane cellulaire du neurone. Nous arrivons maintenant, à l'aide d'astuces, à intégrer les condensateurs des cinétiques mais dans une certaine gamme de valeur : le courant I_M demandant 300 ms possède un condensateur externe. La sortie du neurone est celle d'un comparateur à hystérésis. Les entrées sont deux synapses demandant chacune un réseau RC externe pour fonctionner. Le neurone demande un stimulateur de courant constant pour régler son niveau de base. Si nous effectuons le total nous atteignons au moins 8 broches pour un neurone et sans compter les alimentations et toutes les entrées de paramètres. Un composant comprenant n neurone possèdera au moins 8xn broches. Voici la limite d'un composant du type Trieste.

Simulateur mixte analogique numérique : l'interface.

Concevoir des circuits électroniques n'est pas tout, encore faut-il les exploiter. Ce projet européen est une bonne application de notre savoir faire. Le moyen le plus sûr pour garantir la rapidité aux algorithmes d'apprentissage est de placer ces circuits sur des cartes PCI. Ainsi, les algorithmes ont toute la puissance possible d'un ordinateur pour calculer. Qui dit cartes PCI dit aussi « gestionnaire de périphérique » et là est notre problème majeur. Écrire un « gestionnaire de périphérique » n'est pas facile pour un électronicien et pas évident pour un informaticien. Nous devons donc acquérir de nouvelles compétences dans le domaine de l'informatique industrielle, compétences qui nous ont manqué jusqu'ici. Cette section décrit le mode de gestion des composants sur les cartes PCI. La figure 45 illustre le banc de simulation. Un ordinateur Apple gère l'ensemble à l'aide de logiciels spécialement développés pour l'occasion : optimisation du code et utilisation privilégiée pour les calculs des parties DSP¹⁹ des deux processeurs G4 de l'ordinateur.



Figure 45: le banc de simulation au complet avec l'ordinateur Apple et les cartes PCI qui l'habitent.

Gestion des ASIC.

Les ASIC que nous avons conçus simulent l'activité des neurones en temps réel et sans discontinuité temporelle possible. Ils ne peuvent pas accepter des délais d'attente provenant de l'algorithme de gestion du réseau et d'apprentissage. Pour assurer ce minutage, la carte PCI génère une interruption matérielle toutes les 100 μ s. La boucle de l'algorithme ne peut excéder cette période. Durant cette période de 100 μ s l'entrée des synapses est maintenue à un état logique : '0' ou '1'. Cet état à été calculé durant la période précédente de 100 μ s. L'algorithme calcule maintenant ces nouveaux états en tenant compte des potentiels d'action provenant aussi de la période précédente. La figure 46 permet de mettre au clair le fonctionnement d'un tel système.

¹⁹ vDSP Library, Technical Publications, Apple Computer Inc 2001

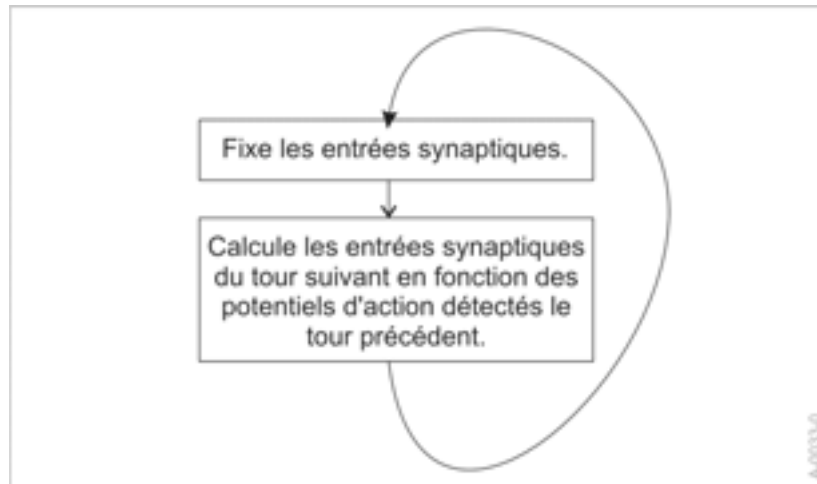


Figure 46: la boucle de gestion du réseau de neurones qui s'exécute toutes les 100 μ s .

L'unité temporelle de stimulation des synapses est donc de 100 μ s. Dans notre système, le poids synaptique est codé en périodes de stimulation. Si nous activons une synapse de poids synaptique unitaire, seulement une période de 100 μ s est nécessaire. Si le poids synaptique est de 4 unités, il faudra alors en tout 4 périodes de 100 μ s pour effectuer la stimulation. Le composant électronique Trieste ne contient que deux synapses : une excitatrice et une inhibitrice. Ces deux synapses somment l'ensemble de toutes les stimulations synaptiques appliqués au neurone contenu dans ce même composant. Admettons que deux neurones s'activent en même temps et qu'ils soient connectés à un autre neurone par des synapses excitatrices. La somme des poids sera additionnée et transmise temporellement en tant que stimulation de la synapse du composant. Par exemple, si une synapse a un poids de 2 unités et l'autre un poids de 7 unités, l'entrée de la synapse du composant sera à l'état logique '1' durant 900 μ s soit 9 périodes d'algorithme. Ces deux concepts sont illustrés dans la figure 47. L'algorithme de gestion du réseau doit donc décrémenter les compteurs pour toutes les synapses et additionner les poids si il y a de l'activité.

Cet algorithme est en parallèle avec un autre : celui de l'apprentissage et donc de l'évolution des connexions et des poids synaptiques. Nous voyons déjà une limitation à notre système : l'ensemble doit s'exécuter dans une période de 100 μ s. Les deux algorithmes peuvent toutefois être asynchrones l'un par rapport à l'autre car cette évolution de la structure du réseau est très lente dans le temps (période \gg 100 μ s). La durée de la période a été fixée à 100 μ s car plus lente elle ne permettrait la gestion des poids synaptiques.

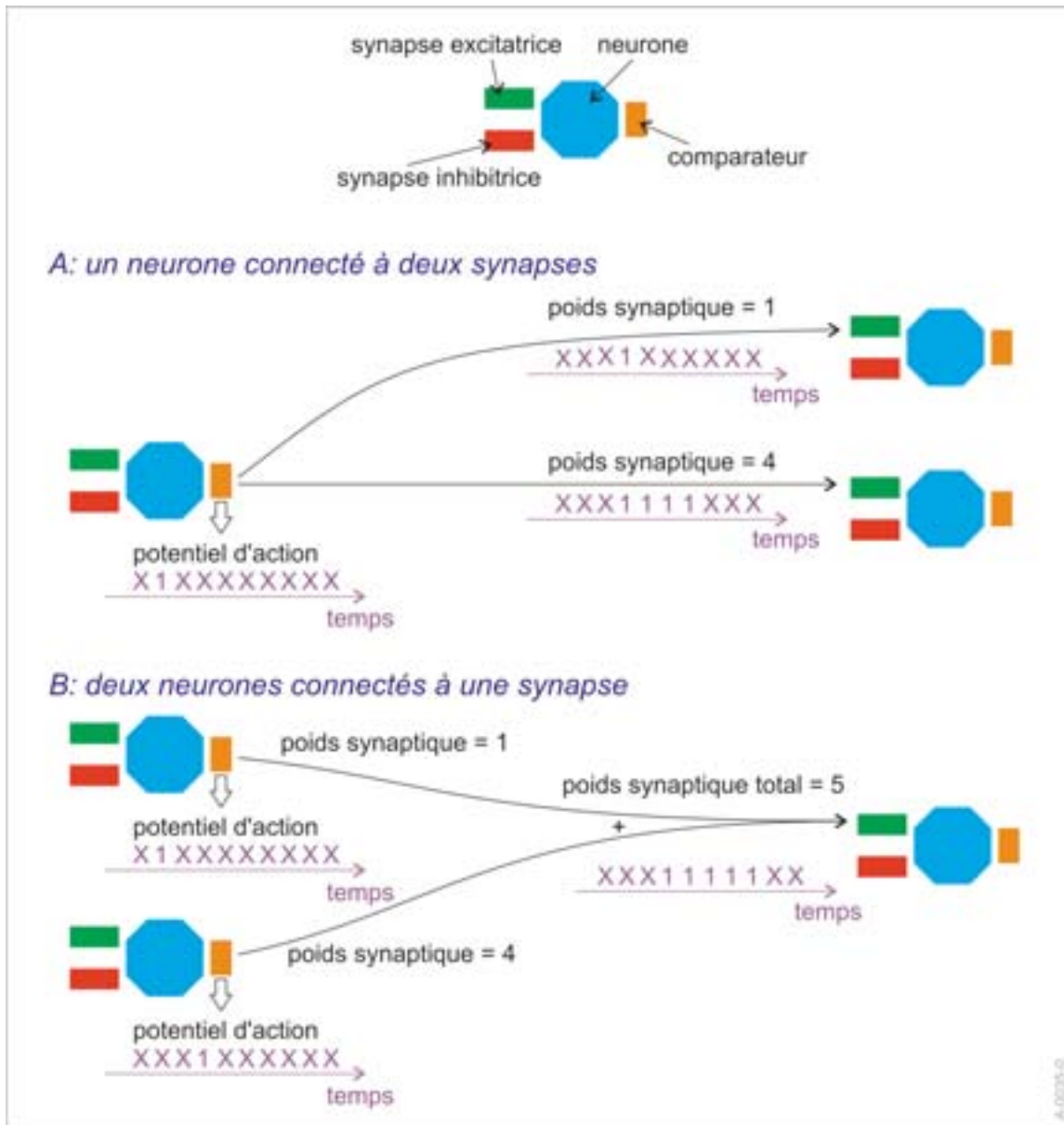


Figure 47: l'illustration du système de codage des poids synaptiques pour la stimulation des synapses du composant. Dans le cas A, un neurone est connecté à deux autres neurones par des synapses excitatrices, les poids synaptiques sont étalés dans le temps pour que les synapses des composants en tiennent compte. Dans le cas B, ce sont deux neurones qui sont connectés ensemble à une synapse excitatrice d'un neurone. Dans la structure biologique équivalente, il y aurait deux synapses; dans notre version, il n'y en a qu'une seule mais les poids des deux sont sommés.

La carte PCI.²⁰

PCI est le nom du bus interne du micro-ordinateur (« Peripheral Component Interconnect Bus»). Notre carte est équipée d'un certain nombre de composants simulant l'activité des neurones (nos ASIC Trieste), d'un contrôleur intégré de bus PCI pour faire la liaison avec justement le bus, et d'un FPGA pour relier les ASIC au contrôleur. Le programme informatique n'a plus qu'à lire certaines plages mémoire pour s'informer des événements « potentiels d'action », et écrire dans une autre plage mémoire pour stimuler les synapses. La sortie de l'ASIC est gouvernée par un comparateur à hystérésis dont la sortie reste à l'état haut tant que la tension de membrane dépasse une tension du seuil haut. L'événement « potentiel d'action » n'est que le passage de l'état logique '0' à l'état logique '1' de la sortie du comparateur. Le FPGA doit détecter ce passage de front et ne renvoyer à l'ordinateur que cette information. Après que l'ordinateur soit informé par lecture du registre où est stockée temporairement l'information, toute nouvelle lecture de ce registre donnera l'information « pas d'événement potentiel d'action » tant que la sortie du comparateur ne sera pas retournée à l'état '0'. La figure qui suit illustre la tâche effectuée par le FPGA dans le traitement des événements.

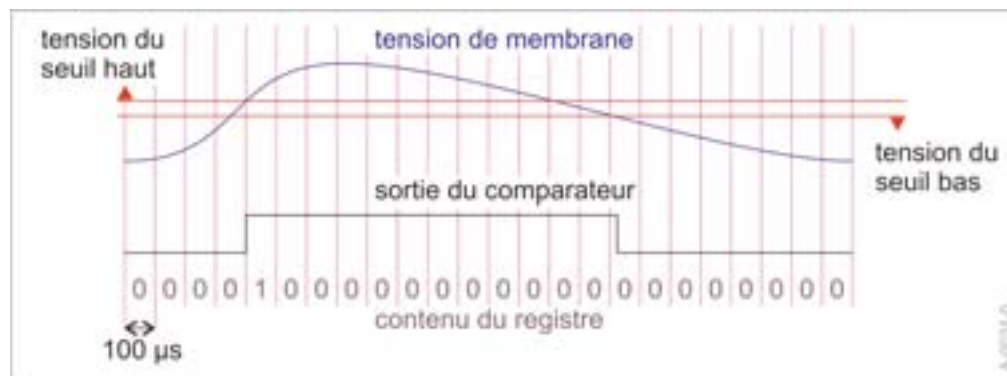


Figure 48 : le FPGA ne doit retenir de la sortie du comparateur que l'événement « potentiel d'action » pour le transmettre ensuite à l'ordinateur.

Dans certains cas, des délais sont nécessaires entre l'événement potentiel d'action et la stimulation de la synapse du composant. Ces délais proviennent des temps de propagation réels dans les synapses du système nerveux. La carte PCI ne gère pas directement ces retards, c'est l'algorithme de gestion du réseau qui doit s'en charger. Si plusieurs cartes PCI sont utilisées dans un même ordinateur pour intégrer plus de neurones, une seule de ces cartes génère l'interruption toutes les 100 µs puisqu'il n'y a qu'un algorithme de gestion du réseau.

²⁰ « PCI Bus Demystified », Doug Abbott, LLH Technology Publishing, 2000 (ISBN 1-878707-54-X).

Conclusion

Construire un simulateur de réseaux neuronaux autour de circuits électroniques spécifiques effectuant les calculs et d'un ordinateur permettant une gestion aisée semble une bonne solution. Cette solution permet toutes les libertés que ce soit du choix des algorithmes ou du modèle de neurone à intégrer. L'utilisation d'un ordinateur pour la gestion des neurones offre une grande souplesse et est techniquement valide. Il est évident que cette structure est attrayante. Par son côté pratique tout d'abord, chacun peut composer son poste de simulation selon ses besoins avec le nombre de cartes et donc la puissance dont il a besoin. La gestion est entièrement informatique donc aucune compétence en électronique n'est nécessaire et il n'y a aucun besoin de matériel spécifique. Or, un réseau de neurone exploite au maximum les propriétés du calcul en parallèle. Il est évident, pour ma part du moins et après réflexion, que le gérer par un processeur qui traite les calculs en série est illogique.

Je regrette de ne pas avoir bataillé pour changer et surtout simplifier le modèle à intégrer. Si nous regardons les paramètres du modèle, il y a un facteur 1000 entre la valeur de la conductance de fuite et celle du canal sodium. Cette grande différence implique que la précision sur la valeur de la conductance du sodium doit d'être au moins de 1 pour 1000 pour ne pas « cacher » la conductance de fuite. Du point de vue conception électronique, une telle précision sans calibration relève plus de l'utopie que de la qualité de la réalisation.

Malgré ces remarques, je soutiens ce projet car il est le début de l'exploitation de circuits électroniques simulant l'activité des neurones dans des réseaux artificiels de moyenne taille. Nous pouvons espérer que ce départ permettra l'essor de ce moyen de simulation qui semble actuellement le seul à permettre une interactivité homme et « machine intelligente ».

Le dernier chapitre.

Nous atteignons maintenant le dernier chapitre de cette thèse, qui se veut prospectif. Lors de la rédaction de ce document, un nombre important de questions vient à l'esprit sur le travail accompli. D'autres idées surgissent et viennent déstabiliser celles qui ont été adoptées lors des réalisations. Nous traiterons de ces questions dans la première partie de ce chapitre. La deuxième partie de ce chapitre présente des travaux démarrés en juin 2002 dans le cadre d'un second programme européen. Même si les développements sont très avancés, et feront l'objet d'une présentation technique en juin 2003, ces travaux s'inscrivent dans les perspectives de recherche pour notre équipe.

Une autre approche.

Lors de la conception des circuits intégrés comme Maurice et Trieste notre pensée était de reproduire les équations du modèle d'origine le plus fidèlement possible. Nous avons vu la complexité du point de vue intégration qu'une telle démarche apporte : plus d'un millier de composants à gérer pour un seul neurone. Peut-être nous sommes nous égarés en cherchant la similitude parfaite avec les équations ou dans notre façon de procéder ? Nous sommes partis des équations que nous avons découpées en opérations élémentaires. Puis, nous avons cherché le meilleur montage électronique indépendant des paramètres technologiques pour chaque opération. Les circuits Maurice et Trieste sont conçus de telle manière que nous puissions presque les faire fabriquer chez n'importe quel fondeur sans retoucher les schémas. Cela est-il bien nécessaire ? Allons-nous commander ces mêmes composants chez d'autres constructeurs ? Sans doute que non. Une autre approche possible est de rechercher le montage électronique le plus élémentaire possible qui imite la forme des équations. Et ce, en tenant compte des paramètres et des propriétés apportés par la fonderie choisie. Dans cette section, nous allons nous intéresser à une telle démarche alternative et montrer qu'il est possible de reproduire une conductance ionique avec très peu de composants tout en obtenant un résultat plus que satisfaisant pour la simulation de neurones en réseaux. Nous introduirons aussi une nouvelle géométrie de transistor : le transistor en anneau.

Conception d'une conductance.

Partons du principe que nous voulons utiliser la technologie la plus abordable : la technologie CMOS, et que la forme du courant sortant de la conductance ionique doit être évaluée au mieux en ne demandant aucun réglage ou autre quantification préalable.

La Sigmoide.

La fonction de départ qui nous intéresse est la sigmoïde. La forme qui s'en rapproche le plus en utilisant les transistors de la technologie CMOS est la forme quadratique produite par une paire différentielle. La figure qui suit représente une paire différentielle en transistor MOS.

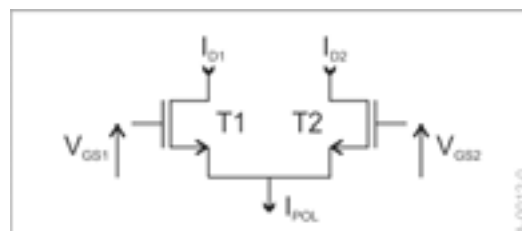


Figure 49: une paire différentielle MOS.

La tension d'entrée que nous considérons pour le montage est $V_E = V_{GS1} - V_{GS2}$

$$\text{Or } V_{GS1} = V_{t1} + \sqrt{\frac{2I_{D1}}{k(W/L)_1}} \text{ et } V_{GS2} = V_{t2} + \sqrt{\frac{2I_{D2}}{k(W/L)_2}}$$

Les transistors T1 et T2 sont identiques : $V_{t1} = V_{t2}$ et $(W/L)_1 = (W/L)_2$

$$\text{D'où } V_E = \sqrt{\frac{2}{k(W/L)}} (\sqrt{I_{D1}} - \sqrt{I_{D2}})$$

La somme des courants donne : $I_{D1} + I_{D2} = I_{POL}$

En manipulant ces deux dernières équations nous obtenons les solutions des courants :

$$\sqrt{\frac{k(W/L)}{2}} V_E = \sqrt{I_{D1}} - \sqrt{I_{POL} - I_{D1}}$$

$$\frac{k(W/L)}{2} V_E^2 = I_{D1} - 2\sqrt{I_{D1}}\sqrt{I_{POL} - I_{D1}} + I_{POL} - I_{D1}$$

$$\frac{k(W/L)}{2} V_E^2 - I_{POL} = -2\sqrt{I_{D1}I_{POL} - I_{D1}^2}$$

$$I_{POL} - \frac{k(W/L)}{2} V_E^2 = 2\sqrt{I_{D1}I_{POL} - I_{D1}^2}$$

$$\left[I_{POL} - \frac{k(W/L)}{2} V_E^2 \right]^2 = 4I_{D1}I_{POL} - 4I_{D1}^2$$

$$I_{D1}^2 - I_{POL}I_{D1} + \frac{1}{4} \left[I_{POL} - \frac{k(W/L)}{2} V_E^2 \right]^2 = 0$$

En résolvant l'équation du second degré, on obtient :

$$I_{D1} = \frac{I_{POL}}{2} \pm \frac{k(W/L)}{4} V_E \sqrt{\frac{4I_{POL}}{k(W/L)} - V_E^2}$$

$$\text{Si } V_E > 0 \text{ alors : } I_{D1} > \frac{I_{POL}}{2}$$

$$\text{Nous obtenons ainsi } I_{D1} = \frac{I_{POL}}{2} + \frac{k(W/L)}{4} V_E \sqrt{\frac{4I_{POL}}{k(W/L)} - V_E^2}$$

$$\text{De même } I_{D2} = \frac{I_{POL}}{2} - \frac{k(W/L)}{4} V_E \sqrt{\frac{4I_{POL}}{k(W/L)} - V_E^2}$$

Maintenant que nous maîtrisons la forme quadratique, fixons la pente. Nous obtenons l'équation de la pente de la sigmoïde du modèle en dérivant en zéro avec une tension d'offset nulle.

$$\text{Sig}(V_E) = \frac{1}{1 + e^{-\frac{V_E - V_{\text{OFFSET}}}{V_{\text{SLOPE}}}}}$$

$$\frac{d\text{Sig}(V_E)}{dV_E} = (-1) \frac{-\frac{1}{V_{\text{SLOPE}}} e^{-\frac{V_E - V_{\text{OFFSET}}}{V_{\text{SLOPE}}}}}{\left(1 + e^{-\frac{V_E - V_{\text{OFFSET}}}{V_{\text{SLOPE}}}}\right)^2}$$

$$\frac{d\text{Sig}(V_E)}{dV_E} = \frac{1}{V_{\text{SLOPE}}} e^{-\frac{V_E - V_{\text{OFFSET}}}{V_{\text{SLOPE}}}} \frac{1}{\left(1 + e^{-\frac{V_E - V_{\text{OFFSET}}}{V_{\text{SLOPE}}}}\right)^2}$$

$$\text{pente} = \frac{d\text{Sig}(0)}{dV_E} = \frac{1}{V_{\text{SLOPE}}} e^0 \frac{1}{\left(1 + e^0\right)^2}$$

$$\text{pente} = \frac{1}{4V_{\text{SLOPE}}}$$

Déterminons la pente de la forme quadratique provenant de l'expression du transistor T1 :

$$\text{Quad}(V_E) = \frac{I_{D1}}{I_{POL}} = \frac{1}{2} + \frac{k(W/L)}{4I_{POL}} V_E \sqrt{\frac{4I_{POL}}{k(W/L)} - V_E^2}$$

$$\frac{d\text{Quad}(V_E)}{dV_E} = \frac{k(W/L)}{4I_{POL}} \left[\sqrt{\frac{4I_{POL}}{k(W/L)} - V_E^2} + \frac{V_E}{\sqrt{\frac{4I_{POL}}{k(W/L)} - V_E^2}} \right]$$

$$\text{pente} = \frac{d\text{Quad}(0)}{dV_E} = \frac{k(W/L)}{4I_{POL}} \sqrt{\frac{4I_{POL}}{k(W/L)}}$$

$$\text{pente} = \frac{1}{2} \sqrt{\frac{k(W/L)}{I_{POL}}}$$

$$\text{pente} = \frac{1}{2} \sqrt{\frac{k(W/L)}{I_{POL}}} = \frac{1}{4V_{\text{SLOPE}}}$$

D'où l'expression sans dimension :

$$(W/L) = \frac{I_{POL} \text{ (mA)}}{4kV_{SLOPE}^2 \text{ (mA/V}^2\text{)}(V^2)}$$

À l'aide de la même paire différentielle nous réalisons donc la forme quadratique et en plus nous contrôlons le paramètre de pente. Nous pouvons remarquer aussi qu'il suffit de jouer sur la valeur de I_{POL} pour rendre ce paramètre variable. En utilisant une paire différentielle dissymétrique nous traduisons l'influence du paramètre d'offset à notre expression.

Dans ce cas :

$$V_E = V_{t1} - V_{t2} + \sqrt{\frac{2I_{D1}}{k(W/L)_1}} - \sqrt{\frac{2I_{D2}}{k(W/L)_2}}$$

Admettons l'approximation: $V_{t1} = V_{t2}$

$$V_E = \sqrt{\frac{2I_{D1}}{k(W/L)_1}} - \sqrt{\frac{2I_{D2}}{k(W/L)_2}}$$

$$V_E = \sqrt{\frac{2}{k(W/L)_1}} \sqrt{I_{D1}} - \sqrt{\frac{2}{k(W/L)_2}} \sqrt{I_{D2}} = a\sqrt{I_{D1}} - b\sqrt{I_{D2}}$$

Soit après un calcul du même type que précédemment:

$$I_{D1} = \frac{\frac{1}{2}b \left(-2V_E b \pm 2\sqrt{I_{POL}a^2b^2 + I_{POL}a^4 - V_E^2a^2} \right)^2}{a^2 + b^2}}{a^2}$$

Si I_{POL} augmente alors I_{D1} augmente aussi, la solution unique est donc:

$$I_{D1} = \frac{\frac{1}{2}b \left(-2V_E b + 2\sqrt{I_{POL}a^2b^2 + I_{POL}a^4 - V_E^2a^2} \right)^2}{a^2 + b^2}}{a^2}$$

Pour obtenir la tension d'offset ainsi produite nous devons chercher V_E telle que $I_{D1} = \frac{I_{POL}}{2}$.

Il y a quatre solutions possibles, dont certaines seront implémentables électroniquement.

La pente change aussi du fait de la dissymétrie :

$$pente = \frac{dQuad(0)}{dV_E} = 2 \frac{b\sqrt{I_{POL}a^2b^2 + I_{POL}a^2} \left(1 - \frac{b^2}{b^2 + a^2}\right)}{(a^2 + b^2)a^2} = \frac{1}{4V_{SLOPE}}$$

Nous pouvons donc avec seulement deux transistors réaliser la fonction quadratique qui sera assimilable à la sigmoïde sur des paramètres clés.

La cinétique.

L'effet de la cinétique est simplement un retard ajouté au signal. La fonction sigmoïde précédente est véhiculée par un courant. Ce courant devra être recopié à l'aide d'un miroir de courant. Un circuit RC placé au niveau des grilles comme le montre la figure 50 qui suit, ralentit la recopie de courant et crée un retard qui tient lieu de cinétique.

Avec un tel montage, seulement quatre composants sont nécessaires, en dehors du circuit de polarisation. Le défaut vient de la présence du condensateur C dont la valeur implique qu'il soit un composant externe et demande donc un plot par cinétique. Le seul moyen de pallier ce désagrément est de trouver un élément qui ait une résistivité importante mais qui ne soit pas une résistance. Ce problème de valeurs intégrables ou non est traité par la suite.

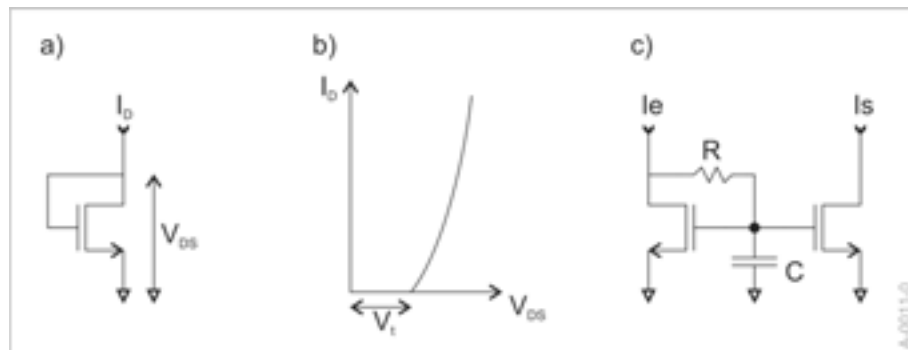


Figure 50: la cinétique est créée à l'aide d'un miroir de courant. Malheureusement la conversion du courant en tension réalisée à l'aide d'un transistor MOS câblé en diode n'est pas linéaire. L'élément a) montre un transistor MOS câblé en diode. L'élément b) est la courbe $I_D(V_{DS})$ correspondant. Nous voyons que pour être dans une zone proche du linéaire nous devons polariser notre montage. Le signal d'entrée et de sortie devient donc une variation de cette polarisation et peut être assujéti à une variation linéaire. L'élément c) est le miroir de courant avec circuit RC.

Multiplication par $V_{MEM} - V_{EQUI}$ ²¹.

Le courant précédemment obtenu doit être multiplié par la différence $V_{MEM} - V_{EQUI}$. Comme pour la sigmoïde, nous réalisons cette différence à l'aide d'une paire différentielle dissymétrique. La difficulté provient de la

²¹ « Design of an Analogue ASIC Using Subthreshold CMOS Transistors to Model Biological Neurons », L.Alvado et al., 2001, IEEE CICC.

nécessité de réaliser la multiplication sur deux quadrants. L'opération multiplication n'est pas la mieux réalisée en technologie CMOS. Le mode de fonctionnement du transistor MOS qui se prête le plus à la multiplication est le régime de faible inversion. En effet dans ce régime de fonctionnement, l'équation du courant de drain d'un transistor MOS s'associe à celui du courant de collecteur d'un transistor bipolaire. Le principe trans-linéaire est possible et permet la multiplication des courants. Pour placer le transistor en régime de faible inversion, avec une tension de grille inférieure à la tension de seuil, le courant de drain doit être faible ou la largeur de grille doit être importante.

Paramètre g_{MAX} .

Le paramètre de conductance ionique g_{max} est fixé comme dans les composants Maurice et Trieste. Un miroir de courant dissymétrique permet d'obtenir le gain voulu (>1 ou <1).

Un miroir de courant dissymétrique ou une paire différentielle dissymétrique sont composés de deux transistors MOS dont la propriété la plus importante est le rapport des largeurs de grilles. Tous nos montages sont basés sur ce rapport, nous devons donc l'optimiser. Nous proposons donc une nouvelle forme de transistor pour répondre à notre besoin spécifique: le double transistor en anneau.

Le double transistor en anneau.

Nous n'avons trouvé aucune trace d'une telle structure dans la littérature. Ce type de composant est composé de deux transistors MOS imbriqués avec source commune. La figure 51 montre le cas d'un miroir de courant atténuateur. Ce miroir de courant formé par les transistors T1 et T2 est atténuateur car la largeur de grille de T2 est, par construction, inférieur à la largeur de grille de T1.

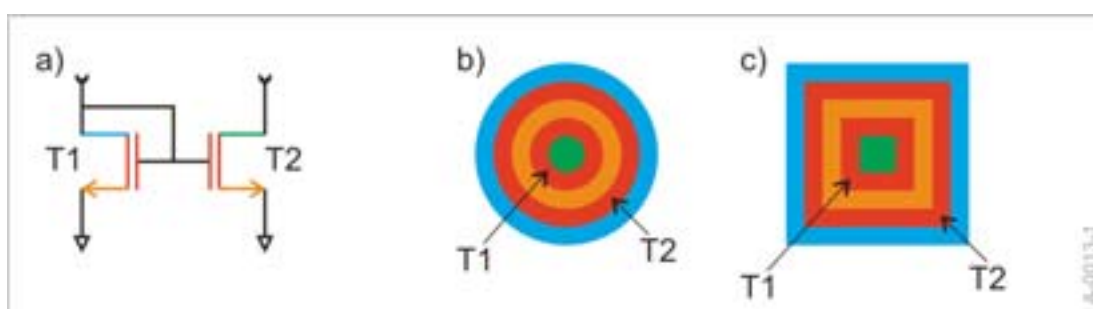


Figure 51: un double transistor en anneau câblé en miroir de courant atténuateur. L'élément a) présente la structure d'un miroir de courant. Les éléments b) et c) montrent le layout correspondant pour une forme circulaire et une forme carrée.

L'intérêt principal de ce type de montage est son insensibilité aux erreurs provenant du processus de fabrication. Sa parfaite symétrie le protège des gradients de dopage ou de température, du non-alignement des masques et des valeurs absolues des dimensions. La figure 52 illustre ces différentes erreurs.

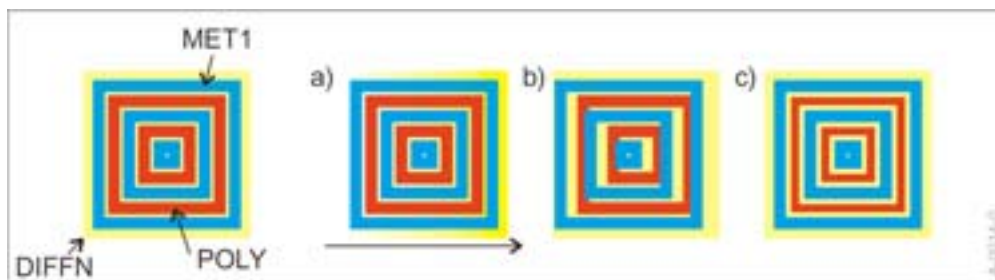


Figure 52: représentations graphiques des différentes erreurs durant la fabrication. Comme nous pouvons le voir notre double transistor en anneau est insensible à ces erreurs, qu'elles viennent en a) d'un gradient, en b) d'un non-alignement des masques et en c) des erreurs de dimensions. Le rapport des largeurs de grilles est toujours préservé.

Une telle structure permet aussi de réaliser des grands rapports de grilles tout en étant la plus compacte possible. Dans notre cas du miroir de courant atténuateur, la grille du transistor T1 peut être découpée en plusieurs anneaux comme dans la figure 53.

Suivant comment nous relient les différentes grilles, sources et drains, cette structure est utilisable pour des miroirs de courant et des paires différentielles. Malheureusement, il faut dessiner le layout directement à la main ce qui devient vite laborieux surtout dans le cas des multi grilles. Pour nous soutenir dans cette dure épreuve nous avons développé un outil informatique qui génère automatiquement la structure et l'exporte directement dans un format lisible par le logiciel Cadence. Cet outil informatique s'appelle « icTRing ».

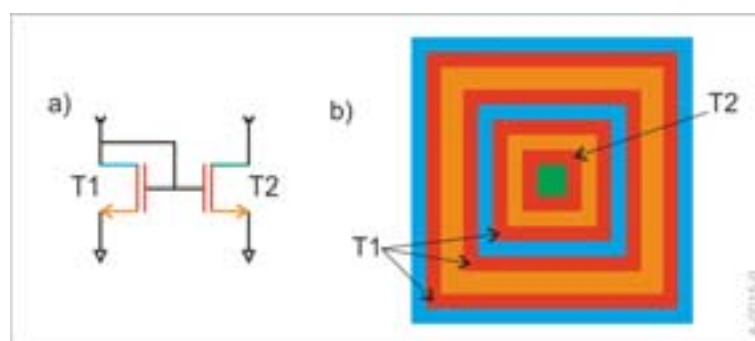


Figure 53: un double transistor en anneau avec multi grilles. La grille du transistor T1 est divisée en trois. La source vers l'extérieur est plus large pour respecter la valeur désirée de la largeur de grille de T1.

L'outil informatique « icTRing ».

Le logiciel icTRing génère des doubles transistors en anneaux câblés en miroir de courant ou en paire différentielle. Nous l'avons développé sous Mac Os X en langage propriétaire Cocoa. L'exportation du motif produit est prévue en macro SKILL²². Il suffit d'appeler cette macro depuis le logiciel de layout Virtuoso de la gamme Cadence pour que le composant se dessine tout seul dans la fenêtre d'édition. La figure 54 montre une copie d'écran de la fenêtre principale de icTRing ainsi que celle de l'outil de visualisation du layout ShapeViewer.

²² Le SKILL est le langage de programmation de l'ensemble des outils Cadence.

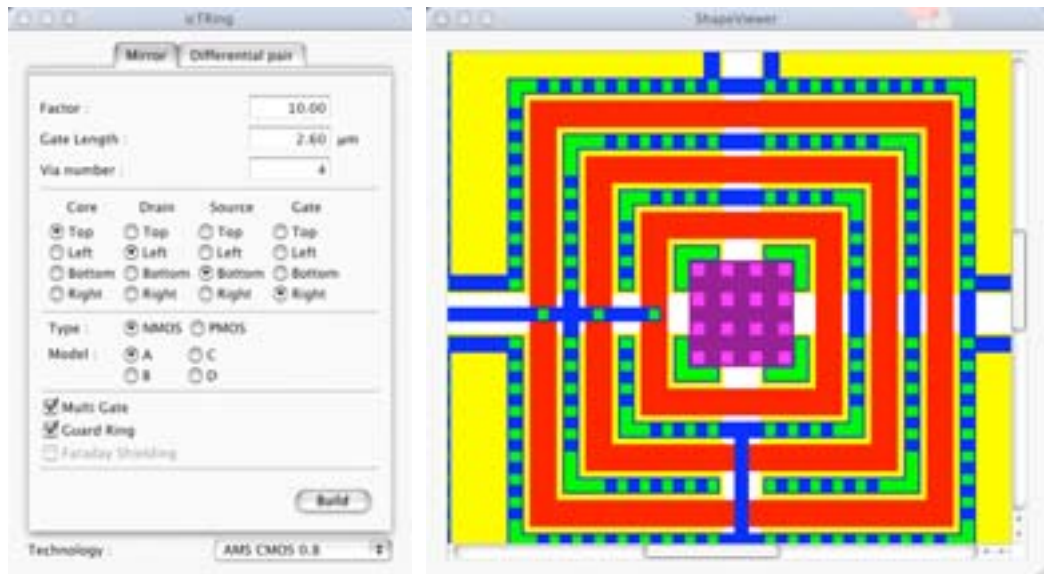


Figure 54: copies d'écran des fenêtres de contrôle icTRing et de visualisation ShapeViewer.

Un ASIC de test sera nécessaire pour valider le concept car nous ne savons pas si le simulateur va reconnaître parfaitement ce type de structure. Il nous permettra aussi une calibration du logiciel icTRing. Nous y incluons un miroir atténuateur dont le facteur est important : 1000. Actuellement aucun montage utilisant les transistors MOS n'est capable d'une telle division sans pertes de précision. Le composant possèdera aussi des montages standards pour une comparaison et donc une validation des performances attendues.

Nous espérons, en nous plaçant ainsi au niveau composant, gagner énormément sur la surface d'intégration. La nouvelle bibliothèque icPro que nous commençons à développer semble un bon compromis entre le respect du modèle et une grande intégration pour la simulation des réseaux de neurones.

Le tableau qui suit résume les points forts entre les deux approches, l'une abordée (bibliothèque Neuron17), l'autre préparée (bibliothèque icPro) durant cette thèse.

<i>Bibliothèque</i>	<i>Neuron17</i>	<i>icPro</i>
Départ	Mars 2001	2ème étape SenseMaker
Technologie	BiCMOS 0,8 μm	SOI 0,5 μm
Propriété privilégiée	La similitude avec le modèle	L'intégration
Niveau d'approche	Circuit	Layout
Circuits réalisés en 2002	Maurice(Mars) et Trieste(Juin)	
Circuits réalisés en 2003		Trieste TGV(1 ^{er} semestre)

Tableau 5: les principaux points entre les deux approches. Pour la bibliothèque icPro la technologie envisagée n'est pas la CMOS mais la technologie SOI. Cette technologie est aussi composée uniquement de transistor MOS mais elle est optimisée pour la rapidité. De plus elle possède des transistors à paramètre V_T très faible ce qui sera très pratique pour le montage effectuant la cinétique qui est expliqué précédemment.

Accélération du temps pour une meilleure intégration.

Une des difficultés lors de l'intégration des modèles de neurones est la valeur des constantes de temps intervenant dans les équations. Si nous partons d'un montage de base pour la réalisation des cinétiques, nous obtenons une constante de temps égale au produit RC. Rappelons l'équation des variables d'état faisant appel aux cinétiques :

$$t \frac{dn(t)}{dt} = n \cdot (V_{mem}) - n(t)$$

Dans les ASIC des chapitres 2 et 3, nous avons réalisé ces cinétiques en utilisant des « astuces » pour intégrer les constantes de temps, qui variaient de 0,1ms à 10ms, voire plus. Pour un R de 100kΩ (valeur tout juste intégrable) le condensateur correspondant doit posséder une capacité de 100nF et ne peut donc pas être intégré. Rappelons que placer un condensateur de 10 pF dans un circuit intégré est tout juste acceptable.

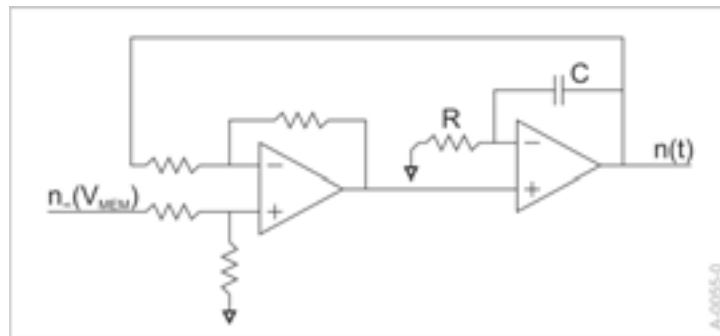


Figure 55: un montage en composants standard pour réaliser la cinétique.

Une solution pour diminuer les constantes de temps est de ne plus travailler en temps réel mais en accélérée. Un facteur par exemple de 10^{-6} sur la variable permet de diminuer la capacité du condensateur à 100fF. La constante de temps devient facilement intégrable et en utilisant le montage simple de la figure 55 : gain en simplicité et donc gain de place. Les constantes de temps des synapses peuvent aussi être placées sur la puce et nous gagnons ainsi une broche. Il ne reste plus que le condensateur de membrane, seul composant encore externe de nos neurones, mais le problème est déjà réglé car :

$$C_{MEM} \frac{dV_{MEM}}{dt} + I_{Na} + I_K + I_{LEAK} = 0$$

Si nous posons ; t_x étant la nouvelle variable « temps » :

$$dt = 1000000 dt_x$$

$$\frac{C_{MEM}}{1000000} \frac{dV_{MEM}}{dt_x} + I_{Na} + I_K + I_{LEAK} = 0$$

La capacité de membrane se trouve elle aussi divisée par 10^6 et est donc intégrable. Pour résumer, changer l'échelle des temps permet d'intégrer entièrement un neurone. Cela permet aussi de fait d'accélérer les simulations, et donc de gagner sur les durées de simulation. Des essais d'accélération de simulation ont été effectués sur des versions précédentes de neurones artificiels²³. Ils montrent des résultats probants alors même que les circuits n'étaient pas optimisés pour fonctionner en hautes fréquences.

Dans le cadre de l'étude de fonctions d'apprentissage dans les réseaux, dont les effets sont nécessairement à long terme, ce gain sur la durée de simulation est tout à fait appréciable.

Autocorrection et bruit.

Dans le chapitre 2, nous avons vu sur la figure 30 la dispersion de la réponse en fréquence du circuit Maurice en fonction du courant constant de stimulation. Cette dispersion peut être gênante si tous les neurones doivent se ressembler pour que la réponse du réseau soit quelque peu reproductible. Nous pouvons difficilement résoudre ce problème en améliorant notre circuit puisque lors de sa réalisation nous avons suivi toutes les règles de conception que nous connaissions. Une alternative à l'aide de composants discrets est possible. Nous allons la décrire ici.

Une calibration au démarrage est nécessaire.

Pour que tous les neurones soient équivalents nous devons les « aligner ». La figure 56 qui suit illustre ce concept : quand nous appliquons un courant de stimulation constant et adéquat, nous pouvons aligner tous les circuits sur une courbe de fréquence (issue de la simulation) de référence, repérée par le point A à une fréquence d'oscillation.

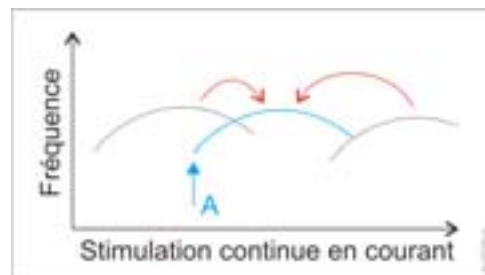


Figure 56 : nous alignons les réponses fréquentielles en ajoutant une composante continue au courant de stimulation.
Le point A représente le point de départ de l'activation du neurone (potentiels d'action périodiques).

Il nous faut, avant d'utiliser le neurone dans un réseau, rechercher le point A, qui représente le point de départ de l'activité périodique du neurone. La méthode la plus légitime est de chercher par stimulation décroissante

²³ Thèse de Vincent Douence « Circuits et systèmes de modélisation analogique de neurones biologiques », 2000, Université Bordeaux

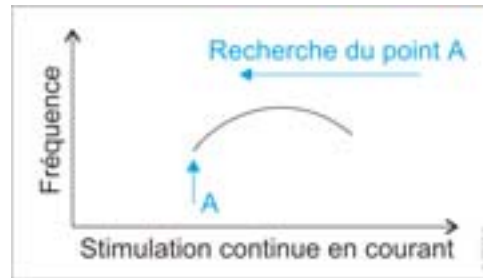


Figure 57 : la recherche s'effectue à partir d'une stimulation forte.

Cette technique nous oblige à passer par la partie stable d'oscillation et nous évite donc de buter dès le départ sur une oscillation instable incorrecte. Le mode oscillatoire du neurone possède une hystérésis modifiant le tracé de la réponse en fréquence selon que la stimulation est appliquée de façon croissante ou décroissante. De ce fait, pour obtenir le vrai premier point d'instabilité en limite basse de stimulation, il faut commencer par sur stimuler fortement puis décroître jusqu'au point de limite basse de stimulation.

Ce type de correction automatique nécessite des composants externes et un algorithme simplifié qui peut très bien tenir dans un FPGA ou un microcontrôleur. L'intérêt d'un FPGA est que tous les neurones peuvent être « calibrés » en parallèle, lors de la mise sous tension. La figure qui suit illustre ce concept.

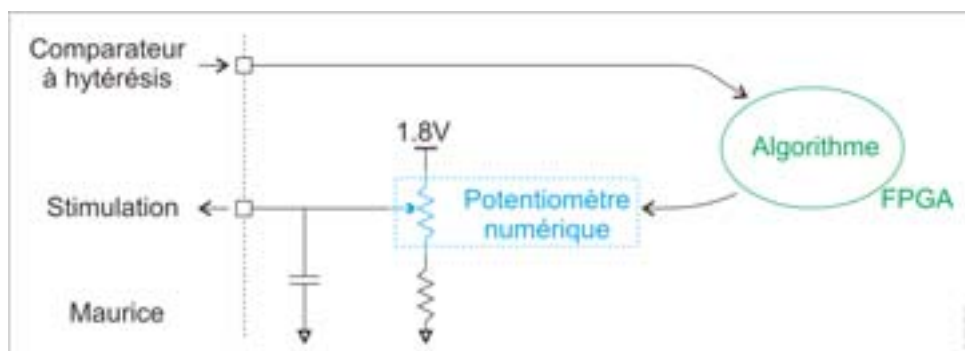


Figure 58 : le principe proposé de correction automatique au démarrage. Le FPGA commande un potentiomètre numérique qui contrôle la stimulation en courant du neurone.

Problème de bruit.

La modélisation d'un réseau de neurone qui se veut réaliste devrait inclure pour chaque neurone un générateur de bruit. Le bruit a pour fonction notamment dans les réseaux de neurones de permettre aléatoirement un changement d'activité : si on prend pour exemple un neurone dans l'état A des diagrammes précédents, il pourra aléatoirement, soumis à un bruit intrinsèque, passer dans un état oscillant. Le bruit intrinsèque existant dans les neurones vivants est modélisable, mais il est complexe à reproduire du point de vue électronique. Que chaque neurone électronique ait un tel générateur de bruit n'est pas concevable. Par contre, ne pas intégrer de générateur de bruit pour des neurones électroniques sous-entend que nous ne considérons que les sources de bruits électroniques intrinsèques. Nous dédions alors cette tâche au montage électronique eux-mêmes mais malheureusement aussi à l'environnement. Le bruit

électronique ambiant est parfois bien supérieur au bruit électronique interne généré par les montages. Ce bruit dont la composante principale est 50 Hz n'est jamais aléatoire dans le temps (réfrigérateur, écran d'ordinateur...). La périodicité influence le fonctionnement des réseaux de neurones. Nous devons donc diminuer les effets de ces bruits ambiants au maximum. Si nous créons un bruit supplémentaire, noyant le bruit ambiant, mais qui ne dicte pas de règles particulières au réseau de neurone nous pouvons espérer obtenir des résultats acceptables vis-à-vis des simulations logicielles pour reproduire les effets du bruit naturel des neurones. Une fois que nous sommes placés au point A du paragraphe précédent, un bruit synthétique peut être additionné à la tension de stimulation continue.

Lors de nos premiers essais, nous avons utilisé un microcontrôleur AduC812 intégrant un convertisseur numérique vers analogique. Ce composant trouve le point A puis génère un bruit pseudo-aléatoire qui est blanc jusqu'à une fréquence de 2kHz. Au moment de la rédaction de ce manuscrit, nous n'avons pas encore effectué la comparaison entre les effets de ce bruit sur un circuit neurone, comme par exemple Maurice, et une simulation logicielle comportant un modèle de neurone équivalent avec une source de bruit classique.

Conclusion

Pourquoi ne pas avoir pas intégré des neurones accélérés dès le départ ? Notre équipe a fait de la simulation en temps réel à l'aide de composants électroniques analogiques une spécialité, les outils développés étant à l'origine dédiés aux expérimentations sur des réseaux de neurones hybrides vivant-artificiel. Ne plus faire de temps réel ne m'est pas venu à l'esprit, que se soit dans un sens mais aussi dans l'autre : simulation plus lente ou plus rapide. Mais après réflexion, il est évident qu'il faut accélérer la simulation. Admettons que les réseaux de neurones artificiels biologiquement réalistes remplacent les systèmes actuels à base de processeurs numériques, même si on en est encore loin. Si j'achète un téléviseur capable d'apprendre les nouveaux formats d'image ou d'apprendre à connaître mes préférences et mes goûts pour mieux me servir, je voudrais aussi qu'il fonctionne tout de suite avec les émissions en cours. Je ne veux donc pas que mon téléviseur démarre de zéro mais ait déjà un savoir. Je suis fabricant de téléviseur et je veux les livrer avec des réseaux de neurones artificiels qui ont déjà une connaissance. Soit j'ai dès le départ un téléviseur qui apprend en permanence et je recopie son état neuronal dans ceux que je fabrique, soit tous mes téléviseurs sont obligés de passer par une phase d'apprentissage avant d'être mis sur le marché. La deuxième solution est plus coûteuse en temps et en argent.

Les neurones artificiels biologiquement réalistes que nous concevons subissent une dispersion des valeurs de leurs paramètres lors de leur fabrication. Il n'est donc pas envisageable de recopier un état neuronal d'un réseau dans un autre « vierge » puisque ce dernier est composé d'éléments différents. La phase d'apprentissage est donc obligatoire, elle doit être la plus courte possible. Dans cette optique, il est légitime de diminuer au maximum la durée de simulation des neurones artificiels.

Le projet européen Neurobit.

Dans le cadre du projet européen Neurobit, nous concevons une interface permettant la communication entre le vivant et l'artificiel avec échange d'information dans les deux sens pour créer une boucle dynamique d'interconnexion. Un projet intéressant, mais peu de recul dans ce domaine pour notre équipe ! L'implémentation d'un tel système demande des connaissances en instrumentation, un domaine où la pratique est primordiale. Nous devons donc acquérir par l'erreur l'expérience qui fait qu'un appareil est meilleur qu'un autre, du point de vue qualitatif, du point de vue conceptuel, et surtout plus adapté au problème qui nous intéresse. Des éléments de ces systèmes peuvent être en vente dans le commerce. Il ne faut pas prendre cela comme un retard en ce qui nous concerne mais comme des références sur ces systèmes d'acquisition qu'il nous faut dépasser. Nous devons faire mieux en qualité car jusqu'à présent par exemple, le bruit est très présent et seul l'événement potentiel d'activité est exploitable. Nous devons concevoir l'architecture en tenant compte de toutes les possibilités d'évolution ainsi que les particularités matérielles demandées par les participants au projet. Chaque laboratoire dispose déjà d'un certain nombre d'outils, imposer un système entièrement nouveau et figé serait une erreur.

Nous présenterons tout d'abord le projet européen Neurobit, puis plus précisément notre partie. Nous énumérerons ensuite les diverses solutions existantes dans le commerce. Un nombre important de petites structures construites autour d'éléments du marché et qui n'effectuent que de l'acquisition pullulent dans la littérature: nous n'en parlerons pas car leurs capacités sont limitées et désormais désuètes. Nous détaillerons ensuite notre façon de procéder pour réaliser ce projet et nous parlerons aussi des premiers résultats que nous obtenons. Ce projet a débuté en juin 2002, pour une durée de 3 ans, et j'en assure la coordination technique à l'IXL.

Le projet dans sa globalité.

Le projet européen Neurobit a été déposé en 2001 comme projet ouvert du programme FET (Future Emerging Technology »), mis en place par la Communauté Européenne. D'une durée de 3 ans, ce projet a pour but le développement d'outils et technologies pour la connexion temps réel de tissus nerveux (in vitro et en culture) avec des éléments artificiels externes, et ce de façon bi-directionnelle et continue. Dans le système hybride ainsi créé, les éléments biologique et artificiel devront ainsi procéder à un traitement de l'information en vue de la réalisation d'une tâche par un élément externe. Les capacités de plasticité fonctionnelle des circuits nerveux, alliées à la programmation d'algorithmes dédiés dans la partie artificielle, doivent permettre au système vivant-artificiel d'effectuer par exemple le contrôle sensori-moteur d'un robot dans un environnement changeant. L'outil devra permettre d'étudier précisément les fonctions biologiques de plasticité et de codage de l'information, voire de s'en inspirer pour la réalisation de systèmes neuromorphiques (au niveau de leur implantation matérielle autant qu'au niveau de leur programmation). Pour cela, une boucle temps réel sera créée entre vivant et artificiel, véhiculant les mesures et stimulations des éléments biologiques vers et depuis les systèmes de traitement et de calcul logiciels. Le rôle essentiel de l'IXL est la réalisation matérielle de cette boucle.

Neurobit a été conçu comme un projet de recherche à long terme. Même si la première étape permet la réalisation de l'outil prévu, et offre quelques données sur les modes de codage de l'information dans le cerveau, les possibilités ouvertes par une telle réalisation sont énormes dans la mesure où elle permettra d'avoir accès aux fonctions d'apprentissage à court et long terme (cellules en cultures longues) sur des tâches qui pourront être complexifiées à volonté, puisque rapportées sur les éléments artificiels.

Les domaines de recherche concernés par le projet sont la microélectronique, l'électronique, l'informatique, la neurophysiologie, les neurosciences computationnelles. Les intervenants des trois premières disciplines prennent en charge le développement de l'outil (matériel et logiciel), selon des spécifications proposées par les biologistes. Les résultats expérimentaux obtenus par ces derniers conduiront certainement à des adaptations du système, puisque nous nous basons dans un premier temps sur des perspectives de résultats qui ne seront pas forcément vérifiées.

Les participants sont :

- Le Département de Biophysique et d'Electronique Appliquée (DIBE) de l'Université de Gènes (Italie), dirigé par le Pr Sergio Martinoia, coordinateur du projet, secondé par le Dr Marco Bove. Spécialisés dans les systèmes électroniques appliqués aux neurosciences computationnelles, ils supervisent le projet au niveau des liaisons électronique-biologie et biologie-traitement informatique du signal.
- Toujours à l'Université de Gènes, le Département d'Informatique, de Systèmes et des Sciences de la Communication (UGDIST), dirigé par le Pr Pietro Morasso. Ce laboratoire possède les compétences pour la mise au point d'un robot mobile, reprenant des caractéristiques de coordination sensori-motrice connues chez l'humain.
- L'Institut de Microtechnologie (IMT) de l'Université de Neuchatel (Suisse), et plus particulièrement le laboratoire de Micro-Systèmes, dirigé par le Pr Milena Kudelka-Hep. Dans ce laboratoire seront développés les réseaux de micro-électrodes et l'incubateur abritant les cultures de cellules neuronales.
- Le laboratoire INSERM E0358 de Physiopathologie des Réseaux Neuronaux Médullaires (INSERM, Bordeaux, France), avec pour correspondant le Dr Gwendal Le Masson. Spécialisés dans la mise au point de protocoles expérimentaux pour la neurophysiologie, ils mettent au point l'outil final à partir du matériel que nous développons et des développements de réseaux de neurones en culture. Ils effectueront par la suite des séries d'expériences pour dégager les principes biologiques d'apprentissage que Neurobit cherche à identifier et reproduire.
- Le groupe de recherche Neurons et Réseaux, du « Netherlands Institute for Brain Research » d'Amsterdam (NIBR, Pays-Bas), dirigé par le Pr Jaap van Pelt. Dans ce laboratoire de neurophysiologie seront menées des expériences complémentaires de celles de l'INSERM, sur les phénomènes de formation des réseaux de neurones, d'apprentissage et de régulation.
- L'industriel Telecom Italia (TI, Rome, Italie), représenté par le Dr Fabrizio Davide, implémentera les algorithmes d'apprentissage déduits des principes biologiques sur des supports de calcul rapide (processeurs DSP), et les appliquera aux données de la boucle vivant-artificiel.
- Le laboratoire IXL, où notre équipe définit, réalise et distribue l'outil matériel et logiciel support des expériences du projet Neurobit.

Notre partie.

Notre travail est donc le développement du système constituant la boucle temps réel entre le vivant (réseaux de neurones en cultures dissociées ou organotypiques) et l'artificiel (robot). Ce système doit permettre l'acquisition de signaux neuronaux (cultures déposées sur des matrices de contact) au travers de microélectrodes extra-cellulaires, leur traitement par des algorithmes de traitement numérique, et en retour l'application de stimuli au niveau des microélectrodes. L'acquisition et un premier niveau de traitement s'effectuent en temps réel, alors que des algorithmes de traitement de niveau supérieur sont effectués sur de plus longues durées. Un logiciel d'interface permet à l'utilisateur de contrôler les paramètres de l'expérience et de gérer le stockage des données.

Si une première version du système doit être compatible avec les réseaux de microélectrodes développés par MultiChannel Systems, la version finale s'adaptera au mini-incubateur développé par l'IMT. Il existe de nombreuses contraintes sur le système : nombre de canaux à traiter parallèlement (64), fréquence d'échantillonnage des données (44kHz), fonctionnement en temps réel pour des traitements les plus complexes possibles, nombreux paramètres sur les voies d'acquisition, possibilité de stocker des données en continu sur de très longues périodes.... Tout cela nous a conduit à définir une structure relativement complexe, que l'ensemble des partenaires a accepté, et que nous allons présenter dans la suite de ce manuscrit. Les prototypes une fois réalisés seront testés par l'INSERM à l'aide de protocoles expérimentaux pré-définis. Ils seront ensuite distribués au DIBE, au NIBR et à TI pour le développement de leurs parties respectives.

Les systèmes existants dans le commerce.

Des systèmes existent déjà, qui effectuent acquisition et traitements sur des matrices de microélectrodes de contact (MEA: micro-électrode array). Voici les trois offres accessibles du commerce. Nous les avons classés par ordre de notoriété.

Multichannel Systems.²⁴

La société allemande Multichannel Systems est liée à plusieurs laboratoires allemands pour le développement de son banc de mesure qui est actuellement le plus répandu des trois que nous présentons ici. Les trois laboratoires avec lesquels nous travaillons en sont équipés. Ce banc de mesure est composé d'une matrice de contact qui s'insère dans un support possédant un étage de préamplificateur. Un premier gain est donc réalisé au plus proche des signaux ce qui est un minimum. Le choix pour chacun des 60 canaux entre acquisition ou stimulation s'effectue à l'aide d'un contacteur manuel. Durant la stimulation, la voie d'acquisition a pour entrée la masse ce qui limite les artéfacts que donnerait une entrée flottante d'amplification. Après cette première préamplification, chaque signal est dirigé soit directement vers la carte effectuant la conversion analogique vers numérique, soit vers une boîte de déviation ou chaque canal est accessible via un connecteur puis redirigé vers la première carte. Un logiciel permet de visualiser et de sauvegarder les signaux dans l'ordinateur. La stimulation pour chaque canal est contrôlée manuellement,

²⁴ www.multichannelsystems.com

aucun lien n'existe entre les signaux provenant de la matrice et la commande des voies du stimulateur. Il n'est donc pas possible d'interagir entre les signaux entrants et les stimulations, et la liaison vivant-artificiel n'est pas une boucle dans le sens où nous entendons la réaliser. La série de photographies qui suit illustre quelques-uns des éléments décrits ici.

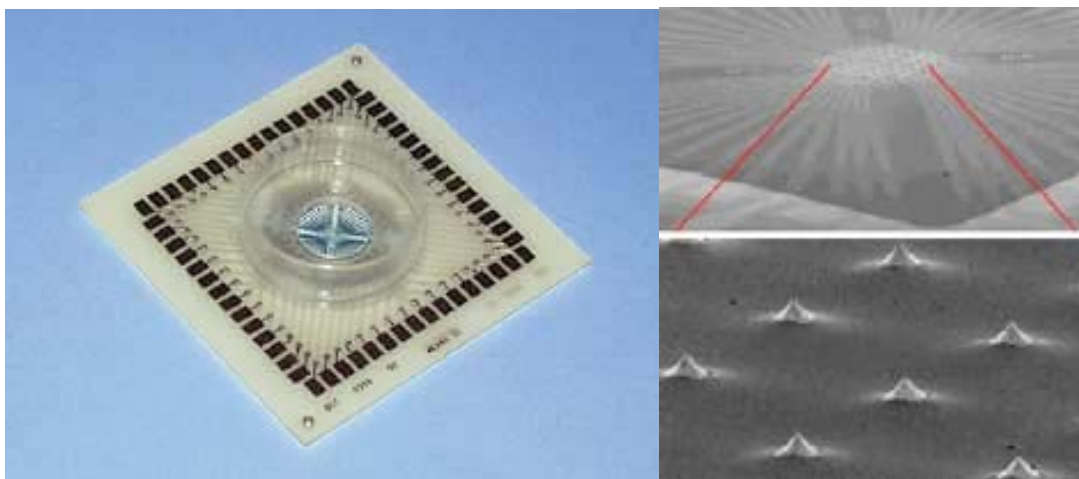


Figure 59: le dernier modèle de matrice de Multichannel Systems avec pointes « fakir ». La taille des contacts est de $40\mu\text{m}$, l'espacement entre contacts est de $200\mu\text{m}$. La matrice mesure 5 cm de côté.



Figure 60: le support de la matrice. Les signaux préamplifiés sortent par le connecteur au format SCSI en haut de l'image. Un tel connecteur est très pratique car il contient à lui seul les alimentations ainsi que les 60 canaux. Cette concentration est toutefois propice aux phénomènes de couplage : la précision des signaux s'en trouve grandement réduite.

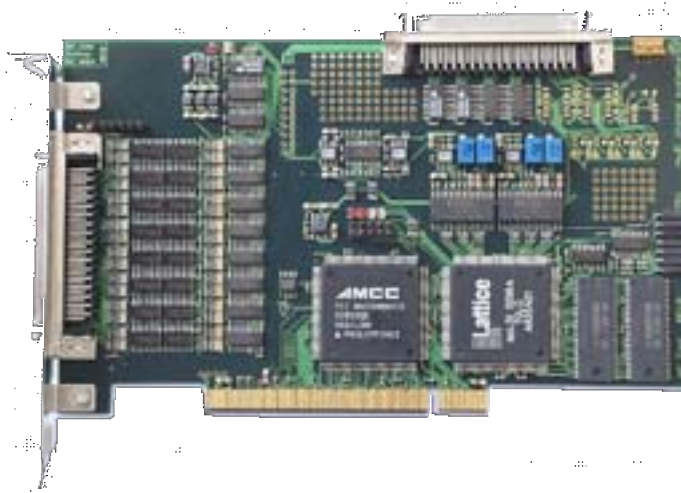


Figure 61: la carte PCI de conversion analogique vers numérique. Un œil expert peut remarquer que cette carte ne possède que deux convertisseurs de chez Burr-Brown pour 60 canaux. Un multiplexage intempestif est donc utilisé, ce qui diminue la qualité de la conversion des signaux analogiques.

Panasonic et son Med System.²⁵

La division recherche du géant japonais Matsushita Electric Industrial Co., associée à son distributeur Panasonic, s'est lancée dans l'instrumentation pour l'acquisition extracellulaire des signaux neuronaux à partir de 1996. Cette division a déjà déposé 4 brevets sur le sujet dont deux qui concernent sa matrice de contacts.

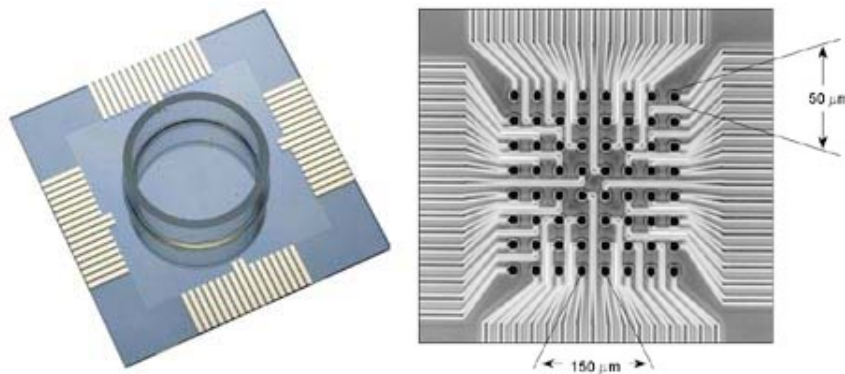


Figure 62: la matrice de contact extracellulaire vendu par Panasonic. Le diamètre d'un contact est de $50\mu\text{m}$, l'espacement entre contacts est de $150\mu\text{m}$. La taille de la matrice est aussi de 5 cm de côté.

Le principe de cette matrice est le même que pour Multichannel Systems sauf qu'elle possède 64 contacts. Cette matrice se place dans un support approprié qui ne contient pas de préamplificateurs. Puis un câble relie ce support à un appareil contenant le traitement analogique. La conversion analogique vers numérique est réalisée à l'aide de deux cartes PCI-6071E de chez National Instrument. L'utilisation d'éléments de chez

²⁵ www.med64.com

National Instrument rend plus flexible ce système car ce fabricant fournit aussi tout une pléthore de logiciels d'aide au développement. L'ensemble est donc contrôlable par d'autres logiciels qui peuvent être écrits par l'utilisateur par exemple.



Figure 63: le système de chez Panasonic a une structure simple car tout le traitement est localisé dans le même boîtier.

Nous pouvons nous poser des questions sur cette stratégie qui est de placer les préamplificateurs loin du signal d'origine ainsi que l'utilisation d'une carte d'acquisition d'un autre fabricant en matériel électronique ?

*Plexon et son MAP (Multichannel Acquisition Processor).*²⁶

La société Plexon est texane. Elle propose un système complet de traitement des signaux acquis sur des animaux vivants. L'adaptation est assez simple à réaliser pour l'étude sur matrice de contact. La figure qui suit illustre le système proposé.

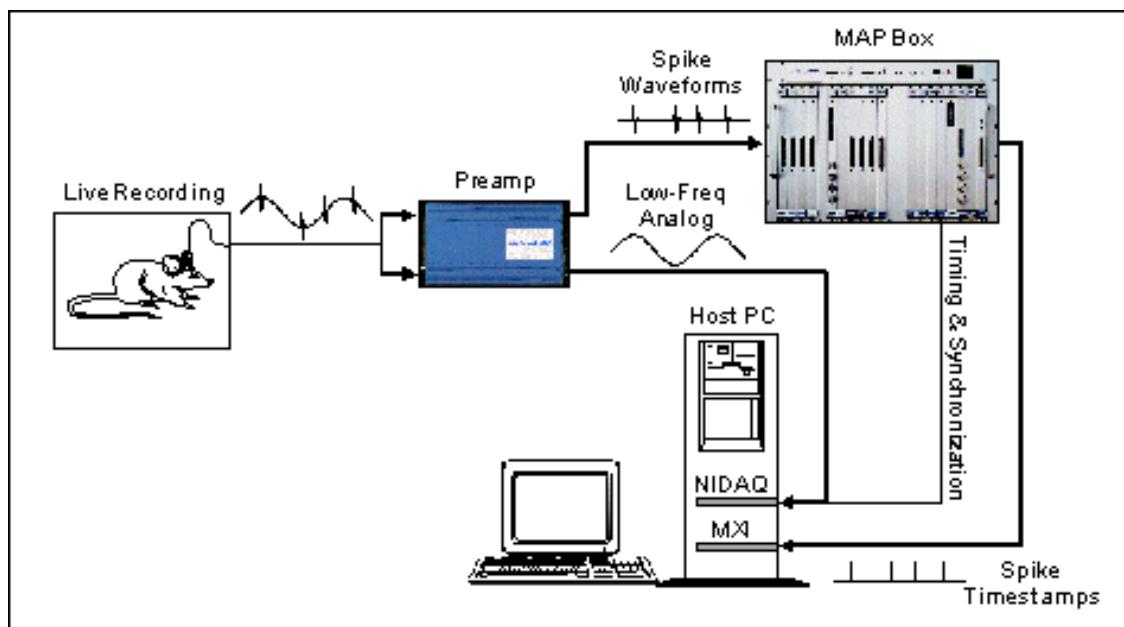


Figure 64: le système de Plexon Inc.

²⁶ www.plexoninc.com

Un préamplificateur traite les signaux analogiques provenant d'une sonde multicanaux, le gain de cet étage est de 100. Le signal peut ensuite être traité par la « MAP Box » qui contient une multitude de DSP dédiés à la reconnaissance d'événements « potentiel d'action ». Chaque carte peut traiter 16 voies. Un total de 128 canaux est ainsi possible. L'acquisition analogique vers numérique est réalisée par des cartes NIDAQ de chez National Instrument. Le système est compatible avec quatre modèles :

- PCI-6040E (250 kEchantillons/s, 16 canaux, 12 bits de résolution)
- PCI-6052E (333 kEchantillons/s, 16 canaux, 16 bits de résolution)
- PCI-6070E (1,25 MEchantillons/s, 16 canaux, 12 bits de résolution)
- PCI-6071E (1,25 MEchantillons/s, 64 canaux, 12 bits de résolution).

Les DSP qui identifient les potentiels d'action ne sont évidemment pas reprogrammables par l'utilisateur. Ce système est dédié à des utilisateurs qui veulent traiter directement des données provenant d'un animal vivant.

Résumé technique.

Résumons dans un tableau les performances qui concernent la partie traitement analogique du signal :

	Facteur d'amplification	Filtre passe-bas en Hz	Filtre passe-haut en Hz	Fréquence d'échantillonnage en Hz	Nombre de canaux	Stimulation	Prétraitement
Multichannel systems	1200	10	3k	50k	60	Indirecte	Non
Panasonic	1000	0,1 à 100	10k	20k	64	4 canaux	Non
Plexon	100 à 64000	3	5k	0	Nx16	Non	DSP
Souhaité	100 à 12800	0,1	39-10k	44k	64	64 canaux	AduC812

Tableau 6: le résumé des performances des trois systèmes commerciaux ainsi que celles que nous souhaitons.

La dernière ligne contient les objectifs que nous nous fixons. Le gain doit être contrôlé électroniquement pour une meilleure précision du signal. La fréquence de coupure du filtre passe-bas est fixée à 0,1 Hz, plus haute elle risque de déformer les signaux intéressants, plus basse elle risque de ne pas filtrer les dérives dues aux composants électroniques. La fréquence du filtre passe-haut est variable car l'utilisateur a le choix ou non d'effectuer un prétraitement. Ce prétraitement peut demander une fréquence d'échantillonnage inférieure à 44kHz et donc une fréquence de ce filtre d'anti-repliement moindre. Chaque voie peut être d'acquisition ou de stimulation selon la programmation du système.

Notre vision.

Le système que nous allons concevoir n'est pas très éloigné dans son principe de ce qui se fait déjà. Au lieu de privilégier la concentration, c'est-à-dire mettre le plus de voies dans le moins de place possible comme c'est le cas des trois produits précédents, nous allons viser la qualité du signal. Dans le cadre de ce projet, les neurobiologistes veulent pouvoir travailler de façon précise sur l'information contenue dans les signaux neuronaux, et ne pas se contenter par exemple de la détection des potentiels d'action. Chaque voie est séparée des autres, possède son électronique propre. Chaque carte électronique ne traitera qu'une seule voie et aura son alimentation dédiée pour éviter toute diaphonie. Une alimentation pour chaque voie peut sembler aberrant mais tous les amplificateurs audio de haut de gamme possèdent cette propriété et les fréquences que nous traitons ici sont les mêmes. Le signal en entrée des préamplificateurs est de l'ordre des $100\mu\text{V}$ ²⁷. L'alimentation doit être particulièrement soignée pour limiter les bruits qu'elle pourrait induire sur un signal d'un tel ordre de grandeur. Nous allons aussi systématiquement isoler le signal provenant des préamplificateurs du reste de l'électronique et surtout de l'électronique reliée aux ordinateurs. Les préamplificateurs ont une alimentation flottante et le signal est transmis optiquement à la suite du traitement analogique. Les masses en commun avec les ordinateurs transmettent des bruits perfides et très difficiles à filtrer, nous avons donc préféré une isolation physique.

La partie informatique prend une part toute particulière puisque les performances demandées sont hors normes. Un débit continu de quelques Mo/s à stocker et à traiter en temps réel durant des semaines demande une puissance de calcul conséquente. Nous préférons répartir les tâches à accomplir entre plusieurs ordinateurs. Cette séparation alourdit la programmation mais garantit que l'utilisateur ne pourra pas « planter » le banc de mesure puisqu'il n'aura accès aux données qu'à partir d'un ordinateur client en dehors du traitement continu. Le schéma de la figure 65 illustre la structure choisie.

²⁷ « Enabling Technologies for Cultured Neural Networks », D.A. Stenger et T.M. McKenna, 1994, Academic Press Inc (ISBN 0-12-665970-2)

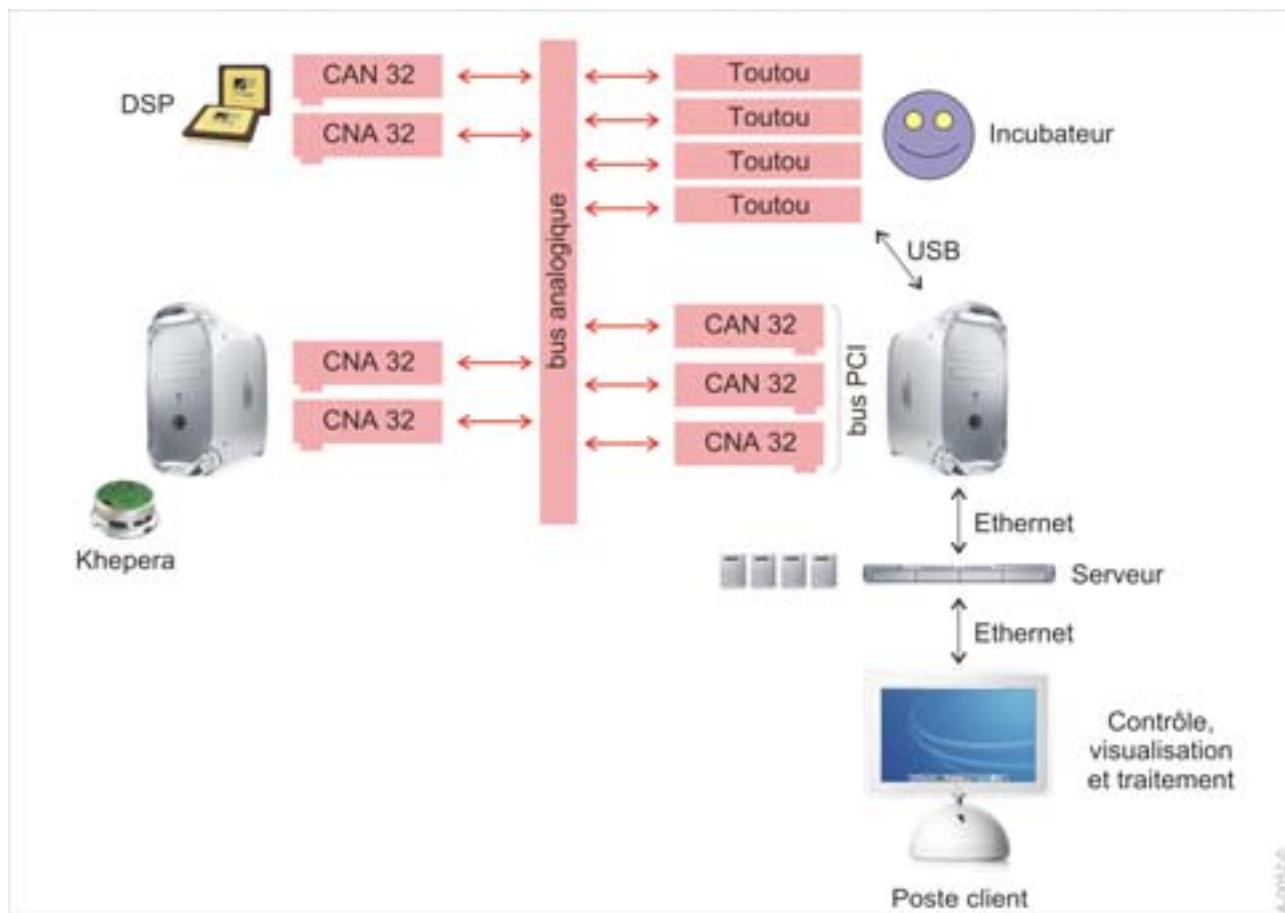


Figure 65: la structure finale du projet Neurobit. La partie préamplification est dans l'incubateur qui contient le réseau de neurones en culture. Toutou est un appareil qui permet le traitement analogique des signaux. CAN32 et CNA32 sont des cartes d'acquisition analogique vers numérique et numérique vers analogique 32 voies conçues spécifiquement pour notre application. Le bus analogique connecte tous les appareils entre eux pour l'échange des signaux. La partie DSP traite en temps réel les signaux provenant de la matrice pour analyser l'activité du réseau de neurones. Un robot du type Khepera peut aussi interagir avec le réseau de neurones. L'utilisateur dispose d'un accès sur un poste client qui lui permet de contrôler les paramètres de la boucle vivant-artificiel, de commander des acquisitions, de traiter en temps réel les signaux pour commander les stimulations par l'intermédiaire des cartes de conversions numérique vers analogique. Un stockage massif des données peut être effectué sur les disques durs dans un serveur.

Décomposition temporelle du travail.

Première étape.

La première opération demandée est la constitution d'une boucle simple de contre-réaction. Toutes les équipes ont fait l'acquisition du système « MultiChannel Systems », mais malgré ses grandes capacités, il ne permet pas de reboucler les mesures avec les stimulations. Nous décidons de commencer par la partie amplification programmable qui se situe après la pré-amplification au plus près des contacts de la matrice. Nous y ajoutons la stimulation car amplifications et stimulations sont liées (appareil « Toutou »). Pour permettre de reboucler nous y adjoignons une interface numérique (appareil « Taupe »). La figure 66 exprime comment ces deux éléments s'ajoutent à la structure existante.

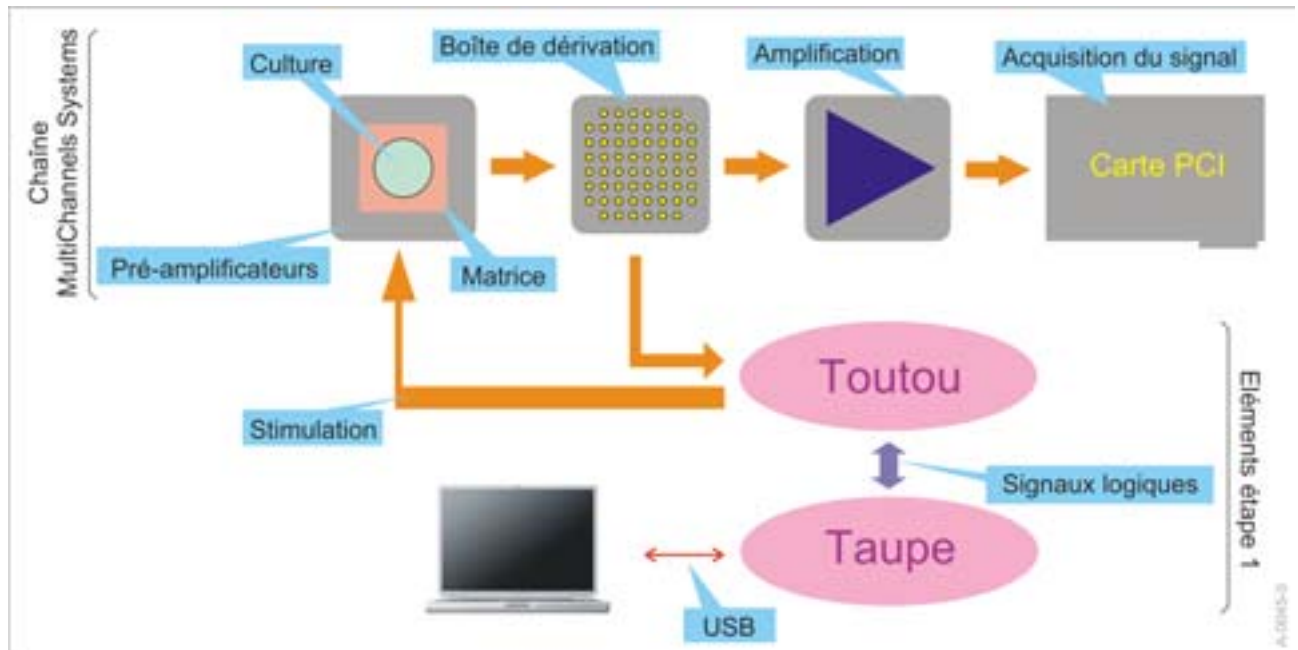


Figure 66: la première étape. Les éléments de « MultiChannel Systems » sont en gris, les nouveaux en roses.

Le premier élément requis du système « MultiChannel Systems » est un support pour fixer la matrice extracellulaire. Ce support maintient les contacts électriques entre la matrice et les premiers amplificateurs (gain 1000) et possède un connecteur de type SCSI pour l'accès aux signaux électriques. Les mesures s'effectuent par l'intermédiaire de ce connecteur tandis que les stimulations passent par de petits plots de contact juste avant amplification. À l'aide d'un commutateur, il faut choisir pour chaque voie, si nous stimulons (l'entrée des amplificateurs est alors mise à la masse) ou si nous mesurons. Avant une deuxième amplification à gain fixe, il est possible d'adjoindre un boîtier de dérivation. Ce boîtier autorise la lecture des signaux provenant de la première amplification avant la deuxième amplification. Après la deuxième amplification, les signaux sont dirigés vers une carte PCI qui se charge de la conversion analogique vers numérique. Un logiciel permet la visualisation des mesures ainsi qu'un traitement mathématique. La société MultiChannel Systems vend aussi un stimulateur. Ce stimulateur comporte 8 canaux de sortie mais qu'une seule entrée de déclenchement. Un logiciel charge des formes préprogrammées par l'utilisateur. Aucun lien n'existe entre le logiciel d'acquisition et celui programmant la stimulation. Il est donc pas possible de contrôler une boucle acquisition/stimulation.

Par l'intermédiaire de la boîte de dérivation, nous avons accès aux signaux provenant de la matrice. Ces signaux ont subi une première amplification au plus près de la matrice ce qui nous convient parfaitement pour une première approche. La première amplification est effectuée directement au sein du support. Concevoir un nouveau support n'est pas utile ici. Notre appareil « Toutou » possède pour la partie acquisition : une amplification de gain ajustable, quelques filtres et un microcontrôleur capable de détecter

les événements potentiels d'action. La partie stimulation comporte elle aussi un microcontrôleur, et est capable de générer des formes paramétriques ou préprogrammées. Le détecteur d'événements peut informer d'une action par une sortie logique et le générateur de stimulation est déclenché par une entrée logique. Pour constituer une boucle, il nous suffit donc de numériser les événements potentiels d'action et d'y répondre par des stimulations adaptées. C'est l'appareil nommé « Taupe » qui effectue ce travail. Il est connecté à un ordinateur par l'intermédiaire d'un bus USB, et sera décrit par la suite. La constitution d'une voie de « Toutou » est montrée dans la figure 67.

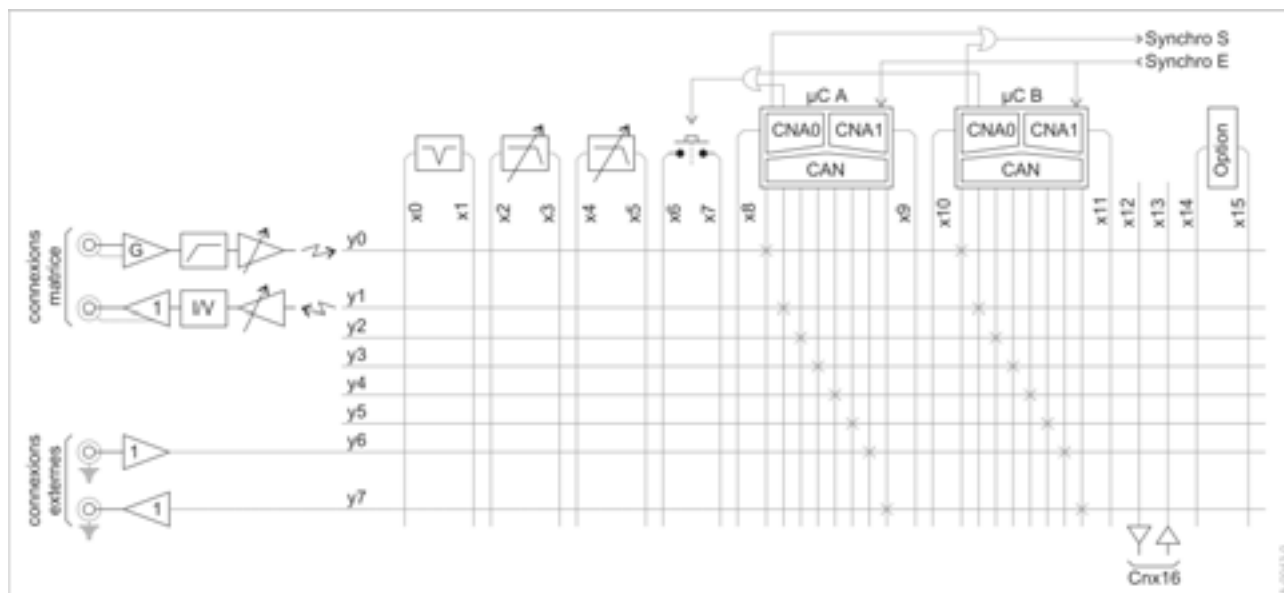


Figure 67: la constitution d'une voie de « Toutou » qui en comporte seize. Les entrées des convertisseurs analogique vers numérique des microcontrôleurs sont déjà câblées. Les microcontrôleur A et B peuvent servir au prétraitement des données ou à la génération de formes pour la stimulation. Les entrées et sorties « Synchro » déclenchent une stimulation ou indiquent un événement « potentiel d'action ».

Les connexions avec les signaux neuronaux sont optiquement isolées. La propagation aux sources des mesures d'un bruit de masse provenant de notre appareil est donc peu probable. L'entrée dénommée « G » possède une impédance d'entrée de quelques giga-ohms. Un filtre passe-haut supprime la composante continue et donc du même coup les offsets des étages d'amplification précédents. Un amplificateur à gain ajustable suit ce filtre et permet une amplification de 0,1 à 12,8 pour un parfait contrôle de la plage des valeurs. Après un passage dans l'isolateur optique ce signal se retrouve sur la voie y0. La stimulation provient de la voie y1, qui est isolée de la sortie, de niveau ajustable ; elle peut s'effectuer soit en tension soit en courant. Les lignes xi et yj sont les éléments d'une matrice de contacts analogiques. Cette structure autorise toutes les combinaisons possibles entre éléments et est donc parfaitement adaptée à notre situation où l'appareil devra évoluer au cours du projet suivant le développement des constituants et les besoins différents de chaque équipe. Tous les outils sont connectés à cette matrice de 16x8 contacts. Chaque voie possède un filtre réjecteur de bande 50 Hz, deux filtres passe-bas, deux microcontrôleurs avec convertisseurs analogique vers numérique et numérique vers analogique. Les microcontrôleurs ont des

entrées et sorties logiques : la contre-réaction expliquée précédemment est ainsi possible. La connexion avec le bus analogique dénommé Cn16 (x12 et x13) est bien évidemment présente ainsi qu'une interface vers l'extérieur (y6 et y7). Les lignes x6 et x7 sont connectées à un élément permettant de mettre à la masse le signal. Ce dispositif élimine électriquement les artéfacts lors des stimulations. Les convertisseurs analogique vers numérique des microcontrôleurs sont déjà connectés. Ces connexions ne font pas partie de la matrice de contact des signaux.

À l'aide d'un exemple simple illustrons les possibilités d'une telle topographie. Admettons que nous voulions filtrer le signal, utiliser le dispositif contre les artéfacts et que le signal résultat se retrouve sur le bus analogique. Nous voulons que la stimulation quant à elle soit générée par un des deux microcontrôleurs. La figure qui suit présente la topologie à programmer pour de telles fonctions.

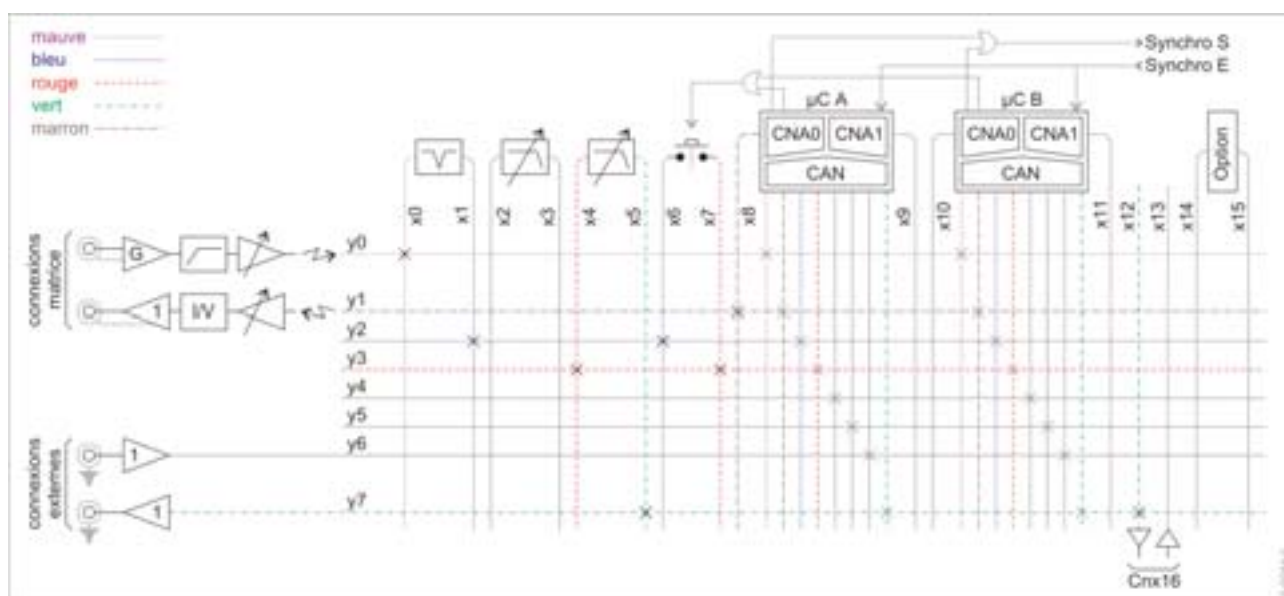


Figure 68: la topologie à adopter. Le signal d'entrée passe par le filtre réjecteur, puis par le dispositif contre les artéfacts, parcourt le filtre passe-bas et se retrouve sur la sortie du bus analogique. La stimulation est générée par le microcontrôleur A qui commande le dispositif contre les artéfacts et est déclenchée par l'entrée logique « SynchroE ». Les connexions externes permettant à l'utilisateur de visualiser les signaux intermédiaires.

Comme nous le voyons cette structure offre beaucoup de possibilité. Nous pouvons jouter à cela un module optionnel sous forme de circuit imprimé qui peut être connecté au tout. Un exemple simple : un neurone électronique qui permet de reconstituer des véritables formes de potentiels d'action en temps réel.

Dans cette première étape de développement, c'est l'appareil « Taupe » qui autorise le convoyage des signaux numériques acquis vers un ordinateur pour un traitement algorithmique ; « Taupe » gère les signaux numériques de commande des stimuli renvoyés par le logiciel de traitement, et les redirige vers les microcontrôleur générant les signaux de stimulation. « Taupe » permet aussi de fermer de façon simple la boucle vivant artificiel. Cet appareillage sera livré en Juin 2003, à l'occasion de la prochaine réunion technique Neurobit. Une fois la structure du système Neurobit complétée, « Taupe » disparaîtra. Le schéma interne de « Taupe » est présenté figure 69.

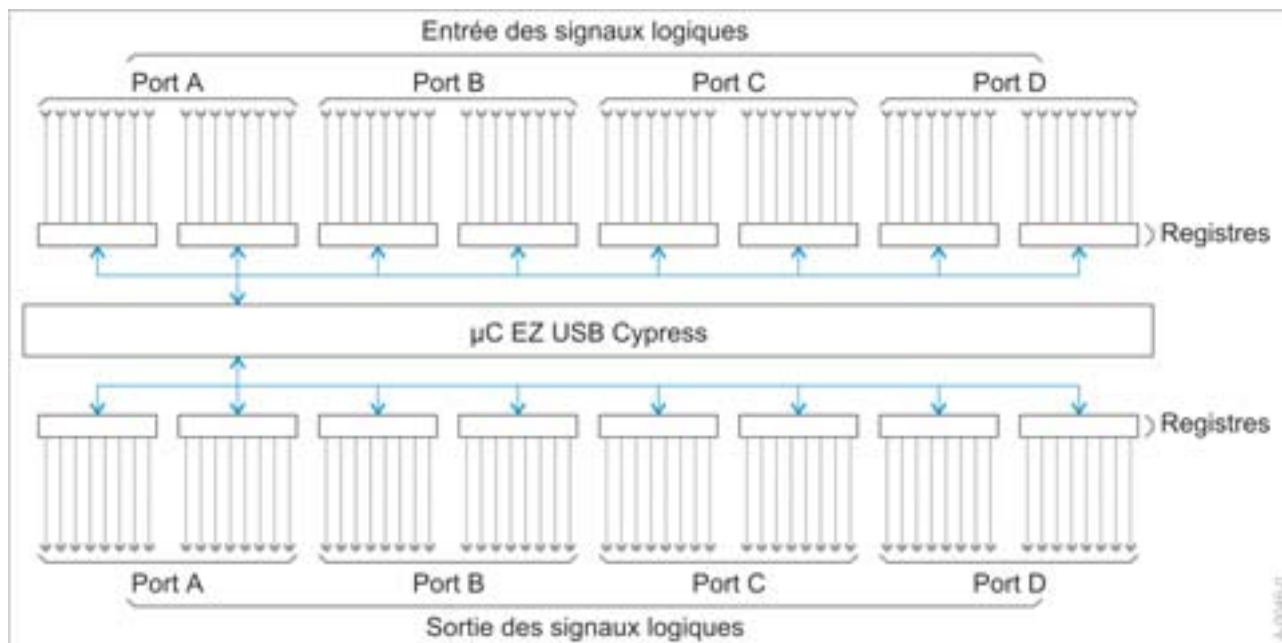


Figure 69: le schéma interne de « Taupe ».

Un microcontrôleur de la série EZ USB de chez Cypress numérise les 64 entrées logiques et fixe les 64 sorties logiques tous les millièmes de seconde, disponibles pour le traitement informatique. Le transfert des données se fait par bus USB. L'appareil « Toutou » ne comportant que 16 voies, il en faut 4 pour gérer les 60 contacts de la matrice de contacts du système MultiChannel Systems. Par contre un seul « Taupe » est nécessaire.

Seconde étape.

La seconde étape, démarrant en juillet 2003, est la réalisation des cartes PCI qui effectuent les conversions analogique vers numérique et numérique vers analogique. Ces cartes ne traiteront que 32 voies à la fois car les convertisseurs que nous avons choisis ne gèrent que 4 voies. Le nombre de 8 convertisseurs sur une même carte PCI est une limite que nous ne voulons pas dépasser. La structure ne comporte aucun multiplexeur analogique. Les convertisseurs effectuent la conversion des 4 voies en même temps. Il n'y a donc pas de différence temporelle entre le premier canal converti et le dernier comme dans les structures multiplexées.

Troisième étape.

Il s'agit du développement de l'étape de la préamplification. Arrivé à cette troisième étape, l'incubateur de l'équipe de microtechnologie de Neuchâtel doit être opérationnel, avec un emplacement réservé pour nos circuits. Cette préamplification ne se fera pas à l'aide de composants discrets, mais par des ASIC. Le choix de concevoir nous-même les circuits est une évidence. Le traitement à effectuer est connu et précis, le nombre de voies est important alors que la place est restreinte et le bruit entre moins dans un composant dont le boîtier est en métal que dans un montage discret. Grâce à un montage approprié, il est possible en

même temps de lire la tension aux bornes de l'entrée et de stimuler cette entrée en courant. La stimulation crée un artéfact sur la lecture, mais cette disposition élimine un commutateur trop bruyant.

Etat d'avancement de la partie acquisition – stimulation.

Pour commencer, nous avons décidé de construire toute une voie de « Toutou ». L'électronique occupe une carte double Europe large (figure 63). Sa réalisation a pris beaucoup de temps et les résultats lors des premiers essais nous ont bien surpris. La plus grande partie des fonctions analogiques ont fonctionné du premier coup tandis que nous n'avons pas réussi à faire démarrer la moindre partie numérique. D'habitude, c'est la partie analogique qui est difficile à mettre au point et la partie numérique est assez facile à mettre en œuvre aux fréquences d'horloge où nous travaillons. Cet état de fait nous a calmé et l'empilement d'erreurs est telle que toute notre stratégie est remise en question. Nous choisissons maintenant d'avancer pas à pas en ajoutant les fonctions une à une, et donc de compliquer la partie numérique progressivement.

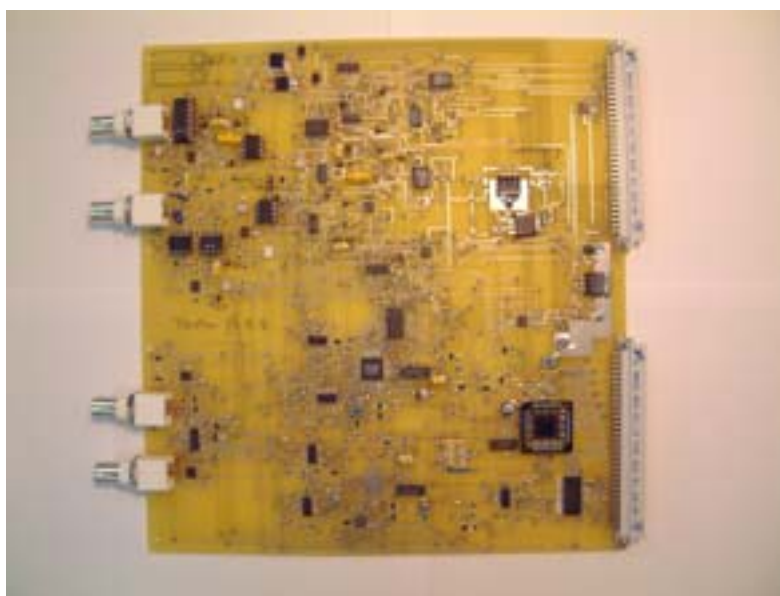


Figure 70: notre première carte « Toutou ». Tous les composants ne sont pas encore soudés. Nous remercions grandement Thierry Orlandi, Ingénieur de Recherche dans notre équipe, pour cette réalisation.

Chaque équipe de neurophysiologistes du projet (INSERM, DIBE et NIBR) recevra un rack alimenté et contrôlé par USB puis une série de cartes au fur et à mesure que nous progressons. Nous pourrons ainsi avancer progressivement et en plus corriger notre système en fonction du retour provenant de chaque laboratoire. Cette technique est fiable, mais évidemment onéreuse.

Considérations sur la partie informatique et électronique.

Le flux de données converties en numérique provenant de la matrice extracellulaire est imposant. Une boucle en temps réel est un élément primordial mais aussi très complexe à mettre en place.

La sauvegarde en continu des données.

Avec un échantillonnage à 44kHz et une résolution de 16 bits, le flux pour un canal est de :

$$44000 \text{ échantillons} \times 2 \text{ octets} \times 3600 \text{ secondes} = 302 \text{ Mo/heure}$$

C'est beaucoup car le système complet est ciblé sur 60 canaux et pour des durées d'expérience les plus longues possibles. Les neurones en culture peuvent être maintenus en activité sur plusieurs semaines, et les biologistes s'intéressent aux phénomènes d'apprentissage à long terme. Pour une durée d'acquisition d'une semaine, la capacité mémoire nécessaire serait :

$$302 \text{ Mo/heure} \times 60 \text{ canaux} \times 24 \text{ heures} \times 7 \text{ jours} = 2,9 \text{ To}$$

Il est donc évident qu'une compression est nécessaire.

Répartition des tâches à l'aide d'un réseau.

La figure 65 indique qu'un seul ordinateur gère la partie instrumentation. Un serveur récupère les données, les classe et les stocke. Plusieurs ordinateurs peuvent se connecter au serveur en même temps pour lui demander des données à traiter. Un seul ordinateur client a accès aux contrôles de l'instrumentation et gère la rétroaction. Cette structure distribuée demande donc au minimum 3 ordinateurs mais est garante de la préservation des données. L'utilisateur qui contrôle l'instrumentation envoie ses commandes au serveur qui les transmet à la machine dédiée. Ce filtre arrête aussi les commandes erronées. Le serveur distribue les données suivant l'importance de la tâche : une simple visualisation ne requiert qu'une partie des données. Tandis que pour la boucle de contre-réaction qui demande toutes les données qu'elle a besoin pour effectuer les calculs, un manque n'est pas acceptable. Un serveur est capable de tester les liaisons et de répartir prioritairement les flux.

Détermination automatique de l'architecture du banc de mesure.

Le nombre d'appareil formant le banc de mesure final est assez important et le nombre de connexions possibles entre appareil est d'autant plus imposant. Pourtant, le logiciel principal doit connaître les liaisons effectives pour en tenir compte lors de l'affichage (telle voie d'amplification est reliée à telle voie d'acquisition) ou encore lors de la configuration du système (telle voie est employée à convoyer les signaux provenant de la matrice extracellulaire ou telle voie est utilisée pour stimuler le robot). Les solutions de gestion possibles dans ce cas sont les suivantes : soit l'utilisateur entre lui-même l'architecture du banc de mesure et la modifie à chaque changement, soit le banc de mesure reconnaît tout seul son architecture et la transmet au logiciel principal. La première solution est la plus simple pour le concepteur car un seul outil de gestion de l'architecture est nécessaire. De plus, le banc de mesure une fois au point changera peu. Ou, si des changements sont effectués, ils le seront avant l'expérience, lors de la préparation de cette dernière, donc sans contrainte de temps. Entrer l'architecture du banc de mesure à la main ne semble donc pas un élément négatif. Si l'environnement est clair et ergonomique, cette solution est très convenable et simplifie grandement la conception car des appareils qui se reconnaissent et qui acceptent de reconstituer une architecture demandent une complexité accrue. Admettons que l'utilisateur se trompe. Qu'il relie directement

deux sorties en pleine activité pendant que les appareils fonctionnent. Si la conception est correcte, des protections matérielles évitent tout dommage, mais la durée de vie des appareils diminue. Comme il s'agit d'un chercheur, cette personne va entrer des éléments étrangers au système de départ pour essayer de l'améliorer ou de le personnaliser et dans ce cas, qui nous dit que le nouvel appareil utilisé n'est pas assez puissant pour dégrader le banc de mesure ? Un banc de mesure dégradé évoque immédiatement un retour vers le concepteur et une réparation. Plus il existe de bancs de mesure en circulation plus des retours sont alors possibles. Dans une telle vision n'aurait-il mieux pas valu réaliser une détermination automatique de l'architecture avec un contrôle des sorties ? Si l'appareil est inconnu ou mal connecté, les connexions électriques ne sont pas mécaniquement réalisées ce qui évite tout dommage. Nous avons finalement choisi la solution de la détermination automatique de l'architecture non pas dans le cadre d'un confort pour l'utilisateur, mais pour des raisons pratiques.

Décrivons maintenant comment un port du bus analogique va être constitué, pour sa protection et la reconnaissance. Lors de la connexion d'un appareil à un autre, un échange de données est nécessaire. Les informations échangées sont le modèle, le numéro d'identification et le numéro du port (partie reconnaissance), le type de port (partie protection). Le bus choisi pour cet échange est le RS232. Il est insensible au bruit sur une grande longueur et ne demande que trois fils (RX, TX et la masse). Le niveau des tensions qu'il utilise ($\pm 12V$) le prévient aussi de tout accident. En fixant le débit au plus bas : 300 bauds, les signaux analogiques véhiculés par le même câble ne sont pas inquiétés. Chaque port possède sa propre terminaison RS232 contenue dans un microcontrôleur de la famille PIC de Microchip. Ce composant s'occupe d'effectuer périodiquement l'échange d'information avec son homologue et vérifie l'intégrité de la connexion. Il commande une série de relais pour réaliser électriquement la liaison ainsi que quelques LED de visualisation d'état. Dans l'appareil, la carte principale et le microcontrôleur sont interfacés par le bus d'échange entre composants I2C de Philips Semiconductors. La figure 71 détaille les signaux contenus dans le bus analogique Cnx16 qui permet de relier 2 appareils et de partager 16 canaux.

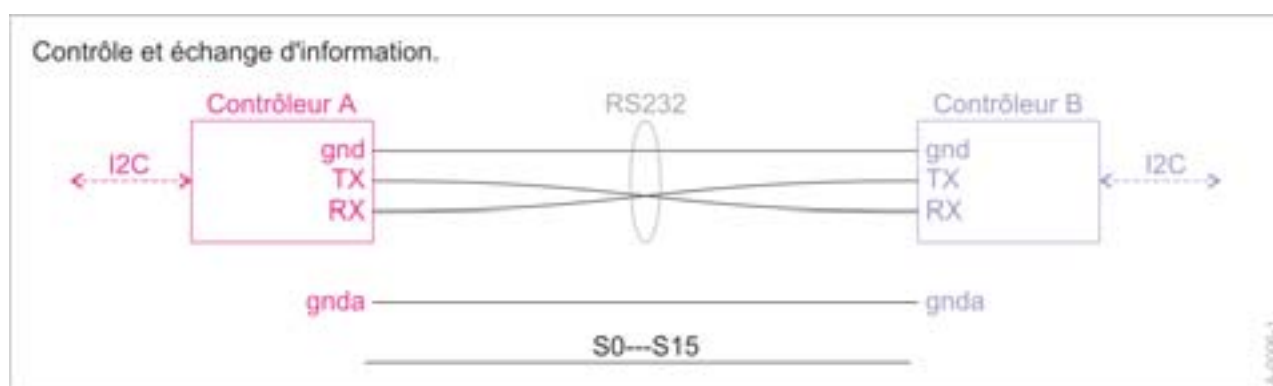


Figure 71: le bus analogique Cnx16. Le bus série RS232 permet l'échange d'information. Les sorties sont isolées mécaniquement pour empêcher tout court-circuit.

Tous les Δt , le microcontrôleur A demande, et inversement, au microcontrôleur B de lui envoyer son paquet d'information. Le format du paquet d'information ainsi que les informations contenues sont invisibles pour l'utilisateur. Un système de codage est aussi utilisé pour détecter un changement durant la manipulation. En effet, un test d'intégrité est possible sur toutes les lignes analogiques. Il n'est même pas possible de modifier le câblage entre deux appareils. Cet ensemble de protections qui semble lourd n'est pas très compliqué à mettre en œuvre et nous assure contre les bricolages à outrance. Un schéma électronique simplifié d'une connexion est représenté sur la figure 72.

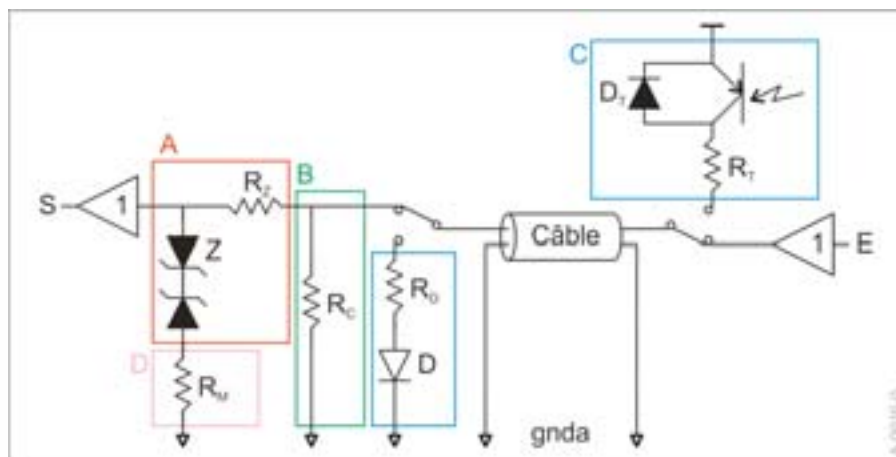


Figure 72: détail d'une voie du bus analogique. La partie A concerne la protection contre les surtensions. La résistance R_c (partie B) est la charge par défaut d'une voie. La partie C vérifie la connexion physique. La résistance optionnelle R_o (partie D) permet la détection des surtensions. Sur cette figure, les relais sont dans une position telle que la transmission du signal est assurée.

Une barrière optique pour isoler l'environnement biologique.

Un optocoupleur est le meilleur composant électronique pour isoler deux montages électriques. Ce type de composant est surtout dédié au transfert de données numériques et pas au transfert de signaux analogiques. Cependant, il existe deux composants parmi les milliers de références en optocoupleur qui sont spécialisés dans les transferts de signaux analogiques : la série HPxx de Agilent et l'optocoupleur linéaire générique IL300 de Intersil. Les optocoupleurs analogiques de la série HPxx sont composés d'un convertisseur analogique vers numérique suivi d'un optocoupleur puis, d'un convertisseur numérique vers analogique. Les convertisseurs ont une résolution de 8 bits seulement. Le composant IL300 est quant à lui composé d'une diode émettrice et deux diodes réceptrices appariées. C'est ce composant que nous allons utiliser car dans un mode de fonctionnement particulier il permet une résolution équivalente de 12 bits.

Conclusion.

Le projet Neurobit sort de la ligne directe de notre expérience de recherche, il ne s'agit plus de composant électronique à concevoir pour une tâche bien particulière, mais d'un système complexe à base de composant discret et d'ordinateur comme dans tout projet prospectif où le cahier des charges n'est pas défini à l'avance et les problèmes arrivent au fur à mesure suivant l'état d'avancement. La structure choisie

est complexe, mais devrait tenir tête aux systèmes commerciaux actuels et à venir. La gestion en réseau de données provenant d'instrument de mesure n'en n'est qu'à ses balbutiements, mais dans notre cas fournira la souplesse d'utilisation nécessaire dans ce projet pluri-disciplinaire

Conclusion du manuscrit

Les travaux présentés témoignent d'une nouvelle orientation de recherche prise au sein de l'équipe. Intégrer des réseaux de neurone biologiquement réaliste, nous permettra de développer des outils de simulation et d'étude des phénomènes comportementaux comme la plasticité et donc l'apprentissage.

Ce manuscrit reprend les étapes principales de mis en œuvre de cette nouvelle thématique. Nous avons donc vu dans le chapitre portant sur le circuit électronique Maurice une collection de règles de dessin des masques assez contraignante lors de la conception. Suivre toutes ces règles ne suffit pas puisque la réponse de Maurice en fréquence en fonction du courant de stimulation possède une forte dispersion. Dans le chapitre concernant Trieste, l'intégration de modèle plus complexe est abordée ainsi que la structure électronique pour gérer des réseaux. Enfin, le dernier chapitre aborde une façon de concevoir plus proche du silicium.

L'histoire de composants classiques comme l'amplificateur opérationnel ou du microcontrôleur montre qu'aujourd'hui encore de grandes améliorations sont possibles. La conception de composants aussi compliquée que ces neurones électroniques ne fait que débiter et nous sommes encore loin d'une implantation optimale. Nous devons maintenant intégrer un plus grand nombre de neurones tout en conservant la grande différence qui nous sépare du neurone formel : la similitude avec le vivant.

Extraire plus que l'événement potentiel d'action par l'intermédiaire de mesures extracellulaires nous amène à développer une instrumentation complexe mais intéressante. Nous n'avons pas encore rencontré tous les problèmes, mais les défis de conception sont déjà biens présents. Les quelques points abordés dans ce manuscrit n'en sont qu'une illustration.

Bibliographie

1. « Biophysics of Computation, Information Processing in Single Neurons. », Christof Koch, 1999, Oxford University Press Inc. (ISBN 0-19-510491-9)
2. « Biologie moléculaire de la cellule », Bruce Alberts, Dennis Bray, Julian Lewis, Martin Raff, Keith Roberts et James D. Watson, 1995, Flammarion (ISBN 2-257-15219-0)
3. « A quantitative description of membrane current and its application to conduction and excitation in nerve. », L. Hodgkin et A.F. Huxley, 1952, J. Physiol. 117 :500-544.
4. « Biochimie », J. David Rawn, 1990, De Boeck-Wesmael (ISBN 2-8041-1399-X)
5. « Biologie cellulaire et moléculaire », Gerald Karp, 1998, De Boeck Université (ISBN 2-7445-0017-8)
6. « Atlas de biologie cellulaire », J.C. Roland, A.D. Szöllösi et J.C. Callen, 1993, Masson (ISBN 2-225-84185-3)
7. Les équations de la paire différentielle à émetteurs dégénérés proviennent de : « Bipolar and MOS analog integrated circuit design », Alan B. Grebene, 1984, Wiley-Interscience Publication (ISBN 0-471-08529-4).
8. Le principe translinéaire est très bien expliqué dans : « Analogue IC design : the current-mode approach », Toumazou, 1990, Peter Peregrinus (ISBN 0-86341-215-7).
9. « Methods in Neuronal Modeling », C. Koch and I. Segev, 1999, The MIT Press (ISBN 0-262-11231-0).
10. Une source de courant PTAT fournit un courant proportionnel à la température. Dans la formule n est une constante telle que $n > 1$.
11. La plupart de nos réflexions sont basées sur : « The Art of Analog Layout », Alan Hastings, 2001, Prentice Hall (ISBN 0-13-087061-7).
12. Mais aussi : « IC Mask Design », Christopher and Judy Saint, 2002, McGraw-Hill (ISBN 0-07-138996-2).
13. « Voltage oscillations in the barnacle giant muscle fiber », C. Morris et H. Lecar, 1981, Biophysic J. 35 :193-213.
14. Réponse : une bouteille de Whisky, une bouteille de bière, un rouleau de papier toilette, une boîte de cigares et un pistolet laser.
15. « Pulsed Neural Networks », W. Mass et C.M. Bishop, 1998, Massachusetts Institute of Technology (ISBN 0-262-13350-4)
16. « Methods in Neuronal Modeling », C. Koch and I. Segev, 1999, The MIT Press (ISBN 0-262-11231-0).
17. « Theoretical Neuroscience : computational and mathematical modeling of neural systems », P. Dayan et L. Abbott, 2001, MIT Press (ISBN 0262041995).
18. Connors BW et Gutnick, Trends in Neurosciences 13 :99-104, 1990.
19. vDSP Library, Technical Publications, Apple Computer Inc 2001
20. « PCI Bus Demystified », Doug Abbott, LLH Technology Publishing, 2000 (ISBN 1-878707-54-X).

21. « Design of an Analogue ASIC Using Subthreshold CMOS Transistors to Model Biological Neurons », L.Alvado et al., 2001, IEEE CICC.
22. Le SKILL est le langage de programmation de l'ensemble des outils Cadence.
23. Thèse de Vincent Douence « Circuits et systèmes de modélisation analogique de neurones biologiques »,2000, Université Bordeaux 1
24. www.multichannelsystems.com
25. www.med64.com
26. www.plexoninc.com
27. « Enabling Technologies for Cultured Neural Networks », D.A. Stenger et T.M. McKenna, 1994, Academic Press Inc (ISBN 0-12-665970-2)

Principales publications de l'équipe de recherche

«Neurones artificiels sur Silicium »

G. Le Masson, S. Le Masson, M. Moulines, « From conductances to neural networks properties : analysis of simple circuits using the hybrid networks method », Progress in Biophysics and Molecular Biology, vol.64 n°2/3, pp. 201-220, 1995.

D. Dupeyron, S. Le Masson, Y. Deval, G. Le Masson, J.P. Dom, "A BiCMOS implementation of the Hodgkin-Huxley formalism", 5th International Conference on Microelectronics for Neural Networks and Fuzzy Systems (Microneuro 96, Lausannz, Suisse), IEEE Computer Society Press, pp. 311-316, 1996.

A. Laflaquière, S. Le Masson, G. Le Masson, J.P. Dom, « Accurate analog VLSI model of Calcium-dependent bursting neuron », ICNN'97, Houston, TE (USA), Juin 1997.

A. Laflaquière, S. Le Masson, D. Dupeyron, G. Le Masson, « Analog circuits emulating biological neurons in real-time experiments », IEEE EMBS'97, Chicago, IL (USA), Octobre 1997.

S. Le Masson, A. Laflaquière, D. Dupeyron, T. Bal, G. Le Masson, « Analog circuits for modeling biological neural networks: design and applications », IEEE Transactions on Biomedical Engineering, vol. 46, n° 6, pp. 638-645, Juin 1999.

G. Le Masson, A. Laflaquière, T. Bal, S. Le Masson, « Dialogues entre neurones biologiques et artificiels », La Recherche, pp. 34-37, Novembre 1998.

V. Douence, A. Laflaquière, S. Le Masson, T. Bal, G. Le Masson, « Analog electronic system for simulating biological neurons », Lecture Notes in Computer Science 1607: Engineering applications of bio-inspired artificial neural networks, (IWANN'99, Alicante, Spain), Springer, vol. II pp.188-197, 1999.

G. Le Masson, S. Le Masson, E. Barbe, T. Bal, "Exploring thalamic signal filtering associated with sleep using hybrid networks", Society for Neuroscience, 29th annual meeting, Miami Beach, Floride (USA), Nov. 1999

L. Alvado, J. Tomas, S. Renaud-Le Masson, V. Douence, « Design of an Analogue ASIC using subthreshold CMOS transistors to model biological neurons », CICC'2001, San Diego, USA, 7-9 Mai 2001.

V. Douence , S. Renaud-Le Masson, S. Saïghi, G. Le Masson, « A field-programmable conductance array IC for biological neurons modeling », 6th International Work Conference on Artificial and Natural Neural networks (IWANN'2001), Grenade (Espagne), 5-6 Juin 2001.

L. Alvado, J. Tomas, S. Renaud-Le Masson, « Neurones artificiels sur ASIC en utilisant les propriétés du transistor MOS en régime de faible inversion », TAISA'2001, Bordeaux, France, Septembre 2001.

G. Le Masson, S. Renaud-Le Masson, D. Debay, T. Bal, "Feedback inhibition controls spike transfer in hybrid thalamic circuits", Nature, vol.417, pp.854-858, Juin 2002.

L. Alvado, S. Renaud-Le Masson, V. Douence, J. Tomas, Y. Le Franc, G. Le Masson, « A neural network simulation system using conductance-based neuromorphic VLSI neurons », CCNS'2002 , Boston, Juin 2002.

Sylvie Renaud-Le Masson, Sylvain Saïghi, Ludovic Alvado, Jean Tomas, Gwendal Le Masson, Thierry Bal, « Simulateur VLSI de neurones biologiquement réalistes », NSI'2002, La Londe Les Maures, France, 15 - 18 Septembre 2002.

Thierry Bal, Gwendal Le Masson, Damien Debay, Sylvie Renaud, M. Badoual, Y. Shu, davis McCormick, , « Spike transfer and sensitivity control in thalamic and cortical « hybrid networks »», NIC03 (neural information and Coding Workshop), Snowbird, Utah (USA), 1-3 Mars 2003.

Ludovic Alvado, Sylvain Saïghi, Jean Tomas, Sylvie Renaud, « An Exponential-Decay Synapse Integrated Circuit For Bio-inspired Neural Networks. », IWANN 2003, Mahon (Espagne), Juin 2003 (accepté).

L. Alvado, J. Tomas, S. Saïghi, S. Renaud, T. Bal, A. Destexhe, G. Le Masson, « Hardware computation of conductance-based neuron models », CNS 2003, Alicante (Espagne), Juillet 2003 (accepté).

S. Renaud-Le Masson, G. Le Masson, L. Alvado, S. Saïghi, J. Tomas, « A neural simulation system based on biologically-realistic electronic neurons », Information Science Journal, 2003 (à paraître).

Principaux travaux de recherche sur la simulation analogique de neurones

M. Mahowald, R. Douglas « A silicon Neuron », Nature, vol 354, p515-518, 1991

R. Douglas et al, « Neuromorphic analog VLSI, Annu. Rev. Neurosci., vol 18, p255-281, 1995

R.Hahnloser et al, Digital selection and analogue amplification coexist in a cortex-inspired silicon circuit », Nature, vol 405, p947-951, 2000

J.Lazzaro et al, « Systems technologies for silicon auditory models, IEEE micro, vol 14, p7-15, 1994

B.Linares-Barranco et al, « A CMOS implementation of fitzhugh-Nagumo neuron model », IEEE JSSC, vol 26, p956-965, 1991

G.N.Patel et S.P.Deweerth, « Analogue VLSI Morris-Lecar neuron. », Electronics Letters, vol 33, n°12, p997-998, 1997

Adaptive CMOS: From biological inspiration to systems-on-a-chip

Chris Diorio, David Hsu, and Miguel Figueroa

Proceedings of the IEEE, vol. 90, no. 3, pp. 345–357, 2002.

voir: <http://www.cs.washington.edu/research/diorio>

Neurones oscillatoires analogiques (modèles de sangsue)

S. Deweerth, R. Calabrese, Georgia, USA

<http://calabreselx.biology.emory.edu>

<http://www.ee.gatech.edu/research/labs/ccss/research/>

D.P.M. Northmore and J.G. Elias" Building silicon nervous systems with dendritic tree neuromorphs ", Pulsed Neural Networks, Eds: W. Maass, C.M. Bishop. MIT Press, Cambridge, Massachusetts. 135-156, 1999

voir : <http://www.ece.udel.edu/~elias/neuromorphicSystems>

Cette thèse décrit une nouvelle approche pour la modélisation de réseaux de neurones biologiques. Cette approche utilise des circuits intégrés analogiques spécifiques (ASIC) dans lesquels le formalisme de Hodgkin-Huxley est implémenté dans le but de réaliser des réseaux de neurones artificiels de densité moyenne et biologiquement réaliste. Elle aborde aussi les problèmes de disparités entre composants et le choix d'une structure optimisée pour l'utilisation en réseau.

This thesis describes a new approach for modelling biological neuron networks. This approach uses analogue specific integrated circuit (ASIC) in which Hodgkin-Huxley formalism as been implemented to integrate medium density artificial neural network, modelled at a biological realistic level. This thesis also deals with the component mismatches problem and the pertinent choice of optimized structure dedicated to network applications.