

N° d'ordre : 3227

THESE

Présentée à

L'UNIVERSITE BORDEAUX 1

ECOLE DOCTORALE DES SCIENCES PHYSIQUES ET DE L'INGENIEUR

Par Naoufel ISMAIL

Pour obtenir le grade de

DOCTEUR

SPECIALITE : Electronique

**Etude des limites de fonctionnement des transistors
hyperfréquences**

Soutenue le 27 octobre 2006

Devant la commission d'examen formée par :

M.	Christophe GAQUIERE	Professeur, Université Lille 1	Rapporteur
M.	Lotfi KAMOUN	Professeur, ISECS Université de Sfax	Rapporteur
Mme.	Nathalie LABAT	Professeur, Université Bordeaux 1	Directrice de thèse
Mme.	Nathalie MALBERT	Maître de Conférence, Université Bordeaux 1	Co-directrice de thèse
M.	Jean-Luc MURARO	Ingénieur, Alcatel Alenia Space à Toulouse	
M.	Jean-Luc ROUX	Ingénieur, Centre National d'Etudes Spatiales CNES à Toulouse	
M.	André TOUBOUL	Professeur, Université Bordeaux 1	
Mme.	Valérie VIGNERAS	Professeur, Ecole Nationale Supérieure de Chimie et de Physique de Bordeaux	

A ma mère Habiba

A mon père Mohamed

A mes sœurs Olfa et Imène

A mon frère Maher

A tous mes enseignants

A tous mes amis

Les travaux présentés dans ce mémoire ont été réalisés au laboratoire de Microélectronique IXL de l'Université Bordeaux 1, dirigé par Monsieur le Professeur André TOUBOUL, au sein de l'équipe « Evaluation comportementale et fiabilité des technologies MMIC basées sur les transistors III-V ».

Je suis très reconnaissant à Monsieur le Professeur André TOUBOUL pour la confiance qu'il m'a témoignée en m'accueillant au sein du laboratoire IXL.

Je tiens à remercier chaleureusement Madame le Professeur Nathalie LABAT, directrice de cette thèse, pour la confiance qu'elle m'a accordée et pour sa gentillesse. Ses conseils ainsi que sa rigueur scientifique ont contribué à ma formation de chercheur.

Je remercie chaleureusement Madame Nathalie MALBERT, Maître de conférence et co-directrice de cette thèse, pour sa gentillesse, ses conseils et sa disponibilité tout au long de ces années de recherche.

J'exprime toute ma reconnaissance et mes remerciements à Monsieur Jean-Luc MURARO, ingénieur à ALCATEL ALENIA SPACE à TOULOUSE, pour la confiance qu'il m'a accordée en me proposant ce sujet de thèse. Je tiens à lui assurer de ma profonde sympathie et de mon amitié pour la qualité des relations que nous avons entretenues au cours de ces années de thèse.

Je remercie sincèrement et chaleureusement Messieurs les Professeurs Lotfi KAMOUN, à l'Institut Supérieur d'Electronique et de Télécommunication de Sfax, et Christophe GAQUIERE à l'IEMN-Université Lille 1 pour l'intérêt qu'ils ont porté à mes travaux en me faisant l'honneur d'accepter de rapporter ce travail.

Je tiens également à remercier Monsieur Jean-Luc ROUX, Ingénieur au Centre National d'Etudes Spatiales CNES à Toulouse, et Madame Valérie VIGNERAS, Professeur à l'Ecole Nationale Supérieure de Chimie et de Physique de Bordeaux pour leur participation à ce jury.

Je remercie sincèrement les personnels du service de métrologie à ALCATEL ALENIA SPACE et plus particulièrement Messieurs Francis BRASSEAU responsable du service Métrologie ainsi que Jean-Michel VANESTRENVORD et Jean-Luc

BADOCH de m'avoir aider à effectuer les mesures statiques et pulsées sur les transistors et de m'avoir fournis des supports de test pour les vieillissements DC.

Je remercie également Messieurs Dominique LANGREZ et Stéphane ROCHETTE, Ingénieurs à ALCATEL ALENIA SPACE, pour la simulation des formes d'ondes et pour m'avoir fournis des informations sur les technologies.

Je remercie également Messieurs Arnaud CURUTCHET et Cyril HAINAUT de m'avoir aider à faire des mesures électriques sur les transistors.

Je tiens à remercier Messieurs et Mesdames : François MARC, Yves OUSTEN, Cristell MANEUX, Walid LAJNEF, Maher JRIDI, Ahmed FAKHFAKH, Hassen MNIF, Fahmi GOZZI, Ahmed ATITALLAH, Alice TEA, Simone DANG VAN, Bruno LEVRIER, Yannick DESHAYES, Brice GRANDCHAMP, Mohsen BOUYA, Marie-Lise BOURQUI, Ludovic LACHEZE et Jean-Luc LACHAUD pour leur gentillesse et leur sympathie.

Enfin, je remercie toutes les personnes, que je n'ai pas citées, qui m'ont aidé à bien mener mes travaux de thèse.

Table des matières

Introduction générale	1
Chapitre I : Fiabilité dans le domaine spatial	7
Introduction.....	9
I. Les charges utiles des satellites	10
1. Les contraintes du spatial.....	10
2. Les charges utiles et leurs équipements.....	12
3. Les MMIC dans la charge utile du satellite.....	14
II. Eléments actifs d'un MMIC	16
1. Le MESFET sur GaAs.....	17
2. Le HFET sur GaAs.....	18
3. Le HEMT sur GaAs.....	20
4. Le PHEMT sur GaAs.....	22
5. Le PHEMT de puissance sur GaAs ou PPHEMT.....	24
6. HEMT AlInAs/GaInAs sur InP.....	25
7. HEMT AlInAs/GaInAs métamorphique sur GaAs.....	26
8. Le MESFET SiC.....	28
9. Le HEMT GaN.....	28
III. Fiabilité des MMIC	29
1. Mécanismes de dégradation des FET sur GaAs.....	30
2. Le phénomène d'ionisation par impact.....	31
2.1. Le mécanisme d'ionisation par impact dans les semiconducteurs.....	31
2.2. Le mécanisme d'ionisation par impact dans les FET à contact Schottky.....	33
2.3. Influence du mécanisme d'ionisation par impact sur les caractéristiques électriques DC du transistor.....	34
2.3.1. Courbe en cloche.....	34
2.3.2. L'effet de coude (ou Kink effect).....	36
3. Dégradations des paramètres électriques du transistor induites par les électrons chauds....	38
3.1. Le « Power Drift ».....	38
3.2. Le « Power Slump ».....	39

3.3. Le retard à la commutation de grille ou « Gate Lag ».....	40
3.4. Le retard à la commutation de drain ou « Drain Lag ».....	42
3.5. La dispersion fréquentielle de la transconductance et de la conductance.....	43
3.6. Le décalage de la tension de seuil.....	44
3.7. Variation de la tension de claquage.....	44
4. Méthodologie de qualification spatiale.....	45
Conclusion.....	50
Références.....	53

Chapitre II : Analyse des caractéristiques de claquage des transistors FET.....59

Introduction.....	61
-------------------	----

I. Présentation des technologies étudiées.....63

1. Technologie MESFET A.....	63
2. Technologie MESFET B.....	64
3. Technologies PHEMT A, PHEMT A' et PHEMT B.....	66
4. Technologie PHEMT C.....	69
6. Technologie PHEMT D.....	70
7. Technologie PPHEMT.....	71
8. Comparaison des dispositifs étudiés.....	73

II. Lieux de claquage « off-state » et « on-state ».....74

1. Lieux de claquage « off-state ».....	74
1.1 Analyse du lieu de claquage « off-state ».....	75
a. Région 1 : région de conduction.....	76
b. Région 2 : région de pincement.....	76
c. Région 3 : région de claquage du canal.....	77
d. Région 4 : région de claquage de la jonction grille_drain.....	77
1.2. Comparaison des lieux de claquage « off-state » des dispositifs étudiés.....	78
2. Lieux de claquage « on-state ».....	81
2.1 Analyse du lieu de claquage « on state ».....	81
a. Région I : Transition du claquage « off-state » au claquage « on-state ».....	81

b. Région II : régime dominé par le courant de fuite et le claquage de la diode grille-drain.....	82
c. Région III : régime d'ionisation par impact.....	82
2.2. Comparaison des lieux de claquage « on-state » des dispositifs étudiés.....	86
3. Aire de fonctionnement du transistor.....	91
III. Evolution des lieux de claquage du transistor en fonction de la température.....	92
1. Caractérisation statique de la technologie PHEMT A en fonction de la température.....	92
2. Caractérisation statique du MESFET A en fonction de la température.....	96
3. Analyse de l'évolution des paramètres électriques statiques du transistor avec la température.....	99
Conclusion.....	101
Références.....	103
Chapitre III : Méthodologie d'évaluation de l'aire de sécurité de fonctionnement des transistors FET.....	107
Introduction.....	109
I. Mise en oeuvre des essais de vieillissement accéléré DC.....	111
1. Banc de vieillissement sous contraintes statiques.....	111
1.1. Système BILT.....	111
1.2. Présentation du logiciel EasyStress.....	113
II. Méthodologie d'évaluation de l'aire de sécurité de fonctionnement du transistor en régime d'« overdrive ».....	115
1. Méthodologie d'évaluation de l'aire de sécurité de fonctionnement du transistor en régime « on-state ».....	115
2. Méthodologie d'évaluation de l'aire de sécurité de fonctionnement du transistor en régime « off-state ».....	118
III. Aires de sécurité de fonctionnement des technologies étudiées.....	119
1. Résultats expérimentaux : technologie MESFET B.....	120

1.1. Aire de sécurité de fonctionnement du MESFET B en régime « on-state ».....	120
1.1.1. Evolution de Ids et Igs enregistrés au cours du vieillissement en régime « on-state ».....	121
1.1.2. Evolution des paramètres électriques statiques mesurés au cours du vieillissement en régime « on-state ».....	122
1.2. Aire de sécurité de fonctionnement du MESFET B en régime « off-state ».....	125
1.2.1. Evolution de Ids et Igs mesurés au cours du vieillissement en régime « off-state ».....	126
1.2.2. Evolution des paramètres électriques statiques mesurés au cours du vieillissement en régime « off-state ».....	128
2. Résultats expérimentaux : Technologie PHEMT A'.....	130
2.1. Aire de sécurité de fonctionnement du PHEMT A en régime « on-state ».....	130
2.1.1. Evolution de Ids et Igs enregistrés au cours du vieillissement en régime « on-state ».....	131
2.1.2. Evolution des paramètres électriques statiques mesurés au cours du vieillissement en régime « on-state ».....	132
2.2. Aire de sécurité de fonctionnement du PHEMT A' en régime « off-state ».....	134
2.2.1. Evolution de Ids et Igs mesurés au cours du vieillissement en régime « off-state ».....	135
2.2.2. Evolution des paramètres électriques statiques mesurés au cours du vieillissement en régime « off-state ».....	136
3. Résultats expérimentaux : Technologie PHEMT D.....	138
3.1. Aire de sécurité de fonctionnement du PHEMT D en régime « on-state ».....	138
3.1.1. Evolution de Ids et Igs mesurés au cours du vieillissement en régime « on-state ».....	139
3.1.2. Evolution des paramètres électriques statiques mesurés au cours du vieillissement en régime « on-state ».....	139
3.2. Aire de sécurité de fonctionnement du PHEMT D en régime « off-state ».....	141
3.2.1. Evolution de Ids et Igs mesurés au cours du vieillissement en régime « off-state ».....	142
3.2.2. Evolution des paramètres électriques statiques mesurés au cours du vieillissement en régime « off-state ».....	143
4. Analyse des mécanismes physiques relatifs aux dégradations observées.....	144
4.1. Effet des pièges.....	145

4.2. Dégradation de la diode Schottky.....	148
4.3. Les zones de fonctionnement du transistor.....	150
IV. Validation de l'aire de sécurité de fonctionnement du transistor.....	151
1. Vieillessement accéléré RF effectué en régime d'« overdrive ».....	151
1.1. Synthèse des résultats : Technologie MESFET B.....	151
1.2. Synthèse des résultats : Technologie PHEMT A'.....	153
2. Spécification des valeurs maximales des paramètres électriques du transistor.....	155
Conclusion.....	157
Références.....	159
Conclusion générale	163
Liste des symboles.....	171
Liste des publications.....	175

Introduction générale

Dans les programmes spatiaux, la tenue de la charge utile à une puissance très supérieure à la puissance nominale est une caractéristique que les puces MMIC doivent garantir au même titre que les performances hyperfréquences.

La charge utile peut être amenée à supporter une puissance très supérieure à la puissance nominale. Ce mode de fonctionnement marginal est couramment défini par des conditions de surcharge ou « overdrive ». Ainsi, les équipements électroniques embarqués à bord de satellites, doivent nécessairement répondre à des spécifications particulières destinées à couvrir ces conditions d'utilisation situées au-delà des conditions nominales de fonctionnement pendant une durée déterminée de 24 heures à une semaine.

Nous présentons les causes qui peuvent entraîner les phénomènes d'« overdrive ».

- Dans la majeure partie des cas, il s'agit de prévenir les erreurs humaines commises au niveau des stations sol qui pourraient envoyer une trop forte puissance vers le satellite.
- Outre la gestion de ces cas d'erreurs et fausses manipulations, les variations brutales de la couverture nuageuse au dessus de la station sol peuvent justifier ces spécifications d'« overdrive ». En effet, afin de compenser le phénomène d'atténuation des ondes lié à la présence de nuages, la station émet un signal dont la puissance est d'autant plus grande que la couverture nuageuse est abondante. Ainsi, si cette dernière fluctue dans des proportions importantes en fonction de l'altitude, la puissance reçue au niveau du satellite peut devenir supérieure à sa valeur nominale.
- En ce qui concerne certains projets spatiaux militaires, il s'agit également de se prévenir d'une menace terroriste et de se protéger des brouilleurs. Ces brouillages intentionnels consistent à illuminer depuis la terre le satellite par le biais d'une onde dont la puissance est suffisamment élevée pour détruire les composants électroniques embarqués et « aveugler » ainsi le satellite choisi.

Aujourd'hui, les règles de conception, normalisées et contractuellement spécifiées (les normes PSS, MIL ...) exigent de s'éloigner des valeurs maximales de tensions et de courants autorisés par le fabricant. Ce sont les conditions de « derating » qui consistent à ne pas dépasser 75% de la valeur maximale d'un paramètre électrique. Or ces valeurs sont déjà très conservatrices et le cumul de marges de sécurité au niveau fabrication et conception peut parfois devenir un non-sens.

On peut énoncer trois raisons principales de la non satisfaction des approches normatives :

- La définition des valeurs maximales de manière très prudente par le fondeur et souvent non réalistes.
- Une définition floue de l'aire de fonctionnement dynamique.
- De plus on note de manière récurrente, une incohérence entre les performances exigées pour assurer la fonctionnalité dans des conditions critiques telles que celles de l'« overdrive » et l'aire de fonctionnement définie par les normes existantes très conservatrices.

Actuellement, ces conditions marginales d'utilisation sont couvertes par des essais de fiabilité spécifiques sous contraintes dynamiques. Cette approche est coûteuse et sa mise en œuvre est compliquée.

L'objectif de cette étude consiste à définir une méthodologie permettant d'évaluer l'aire de sécurité de fonctionnement des transistors FET sur GaAs en régime d' « overdrive ». Ainsi, dès la phase de conception, il faut déterminer les limites réelles de fonctionnement des composants hyperfréquences afin de garantir un fonctionnement nominal du circuit pendant la durée de la mission. L'utilisateur pourra ainsi les confronter aux spécifications normatives qui s'avèrent souvent trop conservatrices.

Ces travaux ont débuté en octobre 2002 à la demande d'Alcatel Alenia Space (Toulouse) et font l'objet d'un contrat de recherche sur trois ans.

Le premier chapitre débute par une présentation de quelques notions sur les satellites ainsi que sur les différents éléments constituant la charge utile d'un satellite. On parlera des performances et du mode de fonctionnement des principaux types de transistors intégrés dans la charge utile du satellite. Ensuite, on présentera les mécanismes de dégradation des transistors FET sur GaAs induits par le phénomène d'ionisation par impact. La fin de ce chapitre est consacrée à quelques exemples de qualification spatiale utilisée par Alcatel Alenia Space à Toulouse et par UMS (United Monolithic Semiconductors).

Le deuxième chapitre présente une étude détaillée et approfondie de la corrélation, d'une part, entre le lieu de claquage « off-state » et le réseau de sortie I_{ds} - V_{ds} du transistor et, d'autre part, entre le lieu de claquage « on-state » et la caractéristique I_{gs} - V_{gs} en inverse du transistor. Une comparaison des lieux de claquage « off-state » et « on-state » des dispositifs sous test est présentée. Nous terminerons ce chapitre par une étude de l'évolution, avec la

température, des lieux de claquage « on-state » et « off-state » du transistor. En effet, la mesure des lieux de claquage « on-state » et « off-state » du transistor permet d'évaluer l'aire de fonctionnement du transistor avant vieillissement et de définir les conditions de vieillissement DC permettant d'évaluer l'aire de sécurité de fonctionnement du transistor.

Le troisième chapitre présente la nouvelle méthodologie basée sur des essais de vieillissement accéléré DC effectués par étapes et permettant d'évaluer l'aire de sécurité de fonctionnement des transistors FET sur GaAs en régime d'« overdrive ». On étudiera l'aire de sécurité en régime de fonctionnement « on-state » et « off-state ». Cette méthodologie a été validée sur une technologie MESFET et deux technologies PHEMT. On étudiera l'évolution, après les étapes de vieillissement DC, des paramètres électriques DC et on proposera des hypothèses sur les mécanismes physiques associés à ces évolutions. Enfin, l'association des résultats de vieillissement DC, effectués à IXL, et des résultats de vieillissements RF, effectués à Alcatel Alenia Space, permettra d'évaluer les valeurs maximales appelées « Max-Rating » des paramètres électriques du transistor en fonctionnement.

Chapitre I :

Fiabilité dans le domaine spatial

Introduction

Le domaine spatial est un secteur conservateur du point de vue de l'assurance de la fiabilité du fait de l'hostilité du milieu orbital et de l'énorme pression économique qui se cache derrière chaque programme et chaque lancement. Par conséquent, la prise en compte et l'évaluation de la fiabilité du dispositif sont indispensables. Les fonctions essentielles d'une mission sont assurées par la charge utile du satellite. Les MMIC (Monolithic Microwave Integrated Circuit) représentent l'un des éléments essentiels de la charge utile. Chaque filière MMIC est caractérisée par la nature du composant actif : MESFET, PHEMT, HBT, ... et c'est à ce niveau que se focalise notre étude.

L'objectif de ce chapitre est de présenter la fiabilité dans le domaine spatial et, plus précisément, d'identifier les mécanismes susceptibles de se produire au cours d'une utilisation des FET sur GaAs en régime fortement non linéaire induit éventuellement par le fonctionnement en « overdrive ».

La première partie de ce chapitre est consacrée à l'étude du fonctionnement et à l'évaluation des performances des principales technologies utilisées dans les MMIC pour des applications spatiales. On peut citer les FET sur substrat GaAs tels que les MESFET, DCFET, PHEMT faible bruit et de puissance. Des HEMT sur substrat InP sont apparus afin de monter en fréquence. Enfin, le besoin croissant de montée en puissance a permis l'apparition des MESFET sur substrat SiC et des HEMT sur substrat GaN.

La deuxième partie est consacrée à l'étude des mécanismes de dégradation des FETs sur GaAs lors d'un fonctionnement en régime d'« overdrive ». En effet, dans ce régime de fonctionnement spécifique, les dispositifs à effet de champ sur substrat GaAs peuvent être le siège de phénomènes d'ionisation par impact. Ce mécanisme préoccupe à la fois les fondeurs qui souhaitent minimiser son influence sur les performances électriques des transistors et les équipementiers qui s'interrogent sur son impact sur la fiabilité. La fin de cette partie est consacrée à la présentation de quelques méthodologies de qualification spatiale utilisées par Alcatel Alenia Space et UMS.

I. Les charges utiles des satellites

Un satellite est essentiellement constitué de deux parties : la plate-forme et la charge utile. La plate-forme assure les fonctions suivantes :

- la structure porteuse,
- la propulsion (pour la mise en orbite) ainsi que le contrôle d'altitude et d'orbite,
- la génération de l'énergie (via les panneaux solaires), son stockage (dans les batteries) et sa distribution,
- le contrôle thermique,
- la réception des télécommandes, l'envoi des télémesures, leur traitement et leur gestion.

La charge utile est un ensemble compact qui comprend les éléments assurant les fonctions essentielles de la mission. Dans cette partie, on trouve des équipements hyperfréquences très sensibles comme l'amplificateur faible bruit (LNA), l'amplificateur de puissance (SSPA), ... (Figure I-1).



(a) Amplificateur faible bruit (LNA)



(b) Emetteur bande X



(c) Amplificateur de puissance (SSPA)

Figure I-1 : Eléments constituant la charge utile d'un satellite (Alcatel Alenia Space).

1. Les contraintes du spatial

Les satellites sont destinés à fonctionner dans l'espace. En pratique cela signifie que les équipements qu'ils embarquent et les composants qui les constituent vont rencontrer et devoir supporter un certain nombre de contraintes d'environnement. L'industrie spatiale est un secteur à « haut risque ».

Le lancement, tout d'abord, induit des contraintes associées aux vibrations mécaniques et aux chocs sévères. Les vibrations sont produites par la combustion dans les moteurs et par

les accélérations. Les chocs sont dus aux séparations d'étages et à la mise à feu des moteurs. Ensuite, l'exposition aux radiations, d'origine terrestre, solaire ou cosmique, doit être surmontée. Les rayonnements gênants sont essentiellement les rayons X et gamma d'origine solaire ou galactique dont on se prémunit par blindage. Mais il y a surtout les flux de particules, électrons et protons, dont la densité est liée à l'activité solaire. Leur accumulation sur les surfaces conductrices externes du satellite peut conduire à des perturbations électromagnétiques graves. Enfin, il y a les ions lourds (Fe, C, O), principalement générés par les éruptions solaires, au pouvoir très pénétrant du fait de leur énergie cinétique considérable. Leurs effets peuvent aller d'une défaillance passagère à une destruction irrémédiable.

En orbite, il faudra supporter des cycles thermiques importants et rapides. Les températures peuvent varier de -170°C à $+150^{\circ}\text{C}$ et de telles amplitudes peuvent fragiliser certains matériaux et assemblages. A l'intérieur d'un équipement, les contraintes sont généralement moins prononcées grâce aux efforts déployés par l'ingénierie thermique au niveau de la charge utile. La gamme de température généralement spécifiée est de -15°C à $+65^{\circ}\text{C}$.

Enfin, la vie en orbite impose, évidemment, un bon fonctionnement dans le vide. Au-delà de 400 km d'altitude, la pression est inférieure à 10^{-7} mb, ce qui se traduit par l'absence de convection thermique. Les échanges se font alors par conduction dans les matériaux de la structure et, au-delà, par rayonnement vers l'extérieur du satellite. Mais l'effet le plus délicat est peut-être celui des dégazages de l'eau et des matériaux organiques qui peuvent perturber et même provoquer la perte définitive des fonctions électroniques. Le dégazage est fortement accéléré par les hautes températures. Un autre effet du vide est le phénomène de soudure directe qui peut sceller ensemble deux objets métalliques.

Malgré toutes ces contraintes, il convient de garantir que le satellite restera opérationnel pendant toute la durée de la mission. Les satellites en orbite basse sont généralement prévus pour fonctionner environ 5 ans, ceux en orbite géostationnaire (orbite à 36000km d'altitude) fonctionnent plus longtemps jusqu'à 15 ans voire davantage. Ces conditions extrêmes et l'absence de possibilité de réparation induisent une exigence sévère sur la fiabilité des composants. De plus, le caractère commercial des projets spatiaux impose une forte obligation de réussite.

La prévention passe par la mise en œuvre de méthodes rigoureuses. Afin d'assurer le niveau de qualité adéquat, on s'appuie alors sur une approche normative et sur un ensemble de vérifications faites par analyse, par évaluation ou par des essais adaptés : chocs et vibrations, vide thermique, etc. Au niveau des équipements, une méthodologie d'assurance de

la fiabilité et de qualification est organisée autour de trois activités majeures qui sont la sélection des composants et de leurs fournisseurs, la validation des conditions d'utilisation et l'évaluation/qualification des technologies.

Une autre conséquence découlant de ce souci de sécurisation de la mission du satellite est la mise en place de redondances. Des équipements de rechange, en surnombre, sont embarqués sur la charge utile. Ils peuvent être mis en route par télécommande depuis les stations au sol si les télémétries des équipements nominaux indiquent des défaillances. Des commutateurs, télécommandables aussi, sont alors actionnés afin d'orienter les signaux RF de la façon recherchée.

2. Les charges utiles et leurs équipements

Le domaine d'utilisation des satellites est vaste. Il inclut les domaines des télécommunications, l'observation de la terre, l'aide à la navigation...(Figure I-2). On va détailler le domaine des satellites de télécommunication qui représente le contexte de notre étude. Il convient de les classer selon la mission qu'ils accomplissent :

- Le service fixe par satellite (FSS) pour la téléphonie fixe et la transmission de données.
- La radiodiffusion directe par satellite (DBS ou BSS) pour la télévision directe et la radiodiffusion sonore.
- Le service de communication avec les mobiles (MSS) pour les avions, les bateaux, les véhicules terrestres et les personnes.
- La transmission de données à haut débit (internet, applications multimédia, télé-médecine, télé-enseignement, etc.).
- Les télécommunications militaires.

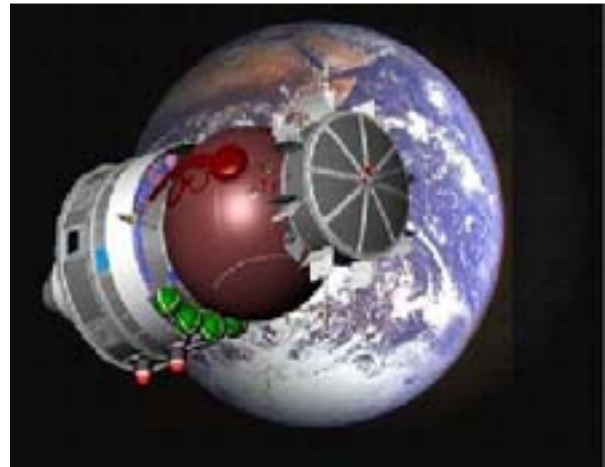
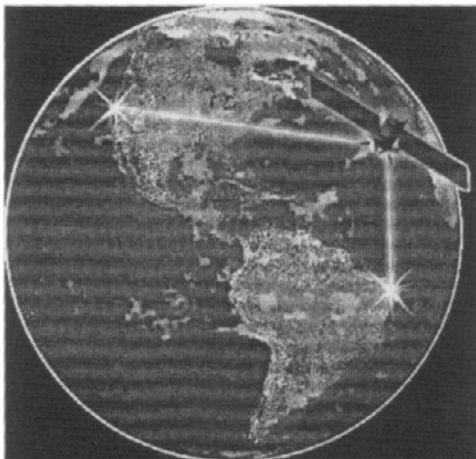


Figure I-2 : Utilisation des satellites en télécommunication

La plupart de ces satellites sont placés sur l'orbite géostationnaire à 36000 km d'altitude. Toutefois, certains cas comme les liaisons avec les mobiles requièrent plutôt des orbites basses (de 800 à 1400 km) ou moyennes (vers 10000 km).

Les charges utiles de télécommunications classiques, de type FSS, sont principalement constituées d'antennes de réception, d'antennes d'émission et, entre les deux, de répéteurs (Figure I-3). Le répéteur assure généralement les fonctionnalités suivantes :

- Réception du signal incident. Les amplificateurs bas niveau (LLA) et faible bruit (LNA) sont placés en début de la chaîne de réception d'un satellite afin de traiter le signal utile qui, généralement, présente une très faible amplitude et est noyé dans le bruit.
- Translation de fréquence, afin que le futur signal transmis ne puisse pas brouiller le signal incident. Ces deux premières fonctions sont souvent, mais pas toujours, réalisées par un même équipement, le récepteur.
- Canalisation du signal en plusieurs canaux grâce à l'emploi de filtres d'entrée multiplexeurs (IMUX).
- L'amplification de canal comprenant généralement une partie bas-niveau le CAMP (Channel Amplifier) qui permet de fournir un gain suffisamment élevé afin que le signal puisse être traité par les autres amplificateurs et une partie fort-niveau SSPA (Solid State Power Amplifier) qui permet de générer la puissance élevée (supérieure à 1 Watt) nécessaire à l'antenne d'émission d'un satellite.
- Multiplexage des signaux provenant des différents canaux par des filtres de sortie multiplexeurs (OMUX).

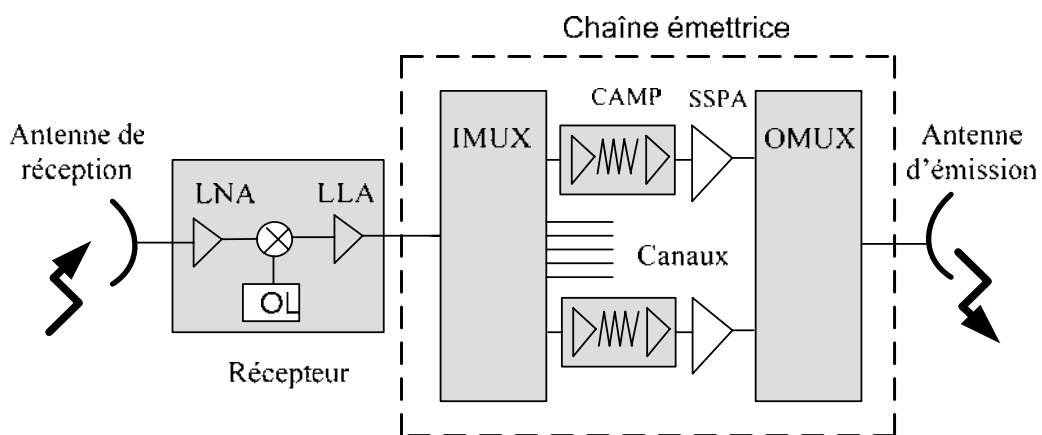


Figure I-3 : Schéma simplifié d'une charge utile d'un satellite de télécommunication.

Typiquement le niveau reçu à l'entrée du répéteur est de l'ordre 100 pW à 1 nW. Le niveau émis en sortie est de l'ordre de 100W. Il y a donc une forte amplification à l'intérieur du répéteur.



Figure I-4 : La charge utile de Hot Bird 6 en intégration (Alcatel Alenia Space) [CAZ03].

Le changement de fréquence se fait généralement d'une fréquence élevée vers une fréquence plus basse, car on considère qu'il est plus facile, à bord, d'émettre à une fréquence plus faible. Les bandes de fréquences utilisées obéissent à des attributions réglées par des conventions internationales (Tableau I-1).

Bande	Réception (uplink)	Emission (downlink)	Application principale
L	1,61-1,675 GHz	1,518-1,559 GHz	MSS
S	1,98-2,01 GHz	2,17-2,2 GHz	MSS (UMTS)
S	2,67-2,69 GHz	2,483-2,52 GHz	MSS
C	5,725-7,075 GHz	3,4-4,2 GHz et 4,5-4,8 GHz	FSS
X	7,9-8,4 GHz	7,25-7,75 GHz	FSS (militaire)
Ku	12,75-13,25 GHz et 13,75-14,8 GHz	10,7-12,75 GHz	FSS
Ku ⁺	17,3-18,1 GHz	11,7-12,7 GHz	BSS
Ka	27-31 GHz	17,3-21,2 GHz	FSS haut débit
Q/V	42,5-43,5 GHz et 47,2-51,4 GHz	37,5-42,5 GHz et 47,5-50,2 GHz	FSS haut débit
W	81-86 GHz	71-76 GHz	FSS, MSS

Tableau I-1 : Dénomination des bandes de fréquence hyperfréquence utilisées dans l'industrie spatiale [CAZ03].

3. Les MMIC dans la charge utile du satellite

MMIC signifie Circuit Intégré Micro-onde Monolithique (Monolithic Microwave Integrated Circuit). Il existe également des circuits intégrés micro-ondes qui ne sont pas

monolithiques : c'est la technologie MIC ou HMIC, pour appuyer sur le fait qu'il s'agit de la technologie « hybride » dans laquelle les éléments actifs, diodes ou transistors, sont simplement reportés sur le circuit.

Pour se développer, la technologie MMIC avait besoin d'un substrat permettant à la fois la réalisation d'éléments passifs, de lignes de connexion et l'obtention de transistors micro-ondes. La solution est venue de l'arséniure de gallium, le GaAs, qui depuis la fin des années 1960 était repéré pour permettre la réalisation de transistors hyperfréquences performants, les MESFET (Metal-Semiconducteur Field Effect Transistor) [HAD02].

Le Tableau I-2 présente l'historique du développement des transistors micro-ondes et des MMIC.

	Transistors	MMIC
1947	Bardeen, Brattain et Shockley inventent le transistor bipolaire	
1952	William Shockley (Bell) introduit le principe du Transistor à Effet de Champ (FET)	
1962	Premières expériences sur le JFET GaAs (Plessey UK/Jim Turner)	
1966	Premier MESFET GaAs (IBM/Mead)	
1968		Premiers circuits intégrés GaAs, à base de diodes (Mao, Texas-Instr.)
1970	Premiers MESFET GaAs micro-ondes (Plessey/Turner, IBM/Drangeid)	
1972	Première réalisation d'un HBT sur GaAs (Dumke, Woodall, Rideout)	
1976	Commercialisation du MESFET	Premier MMIC à MESFET GaAs (R. Pengelly, J. Turner)
1980	Invention du HEMT AlGaAs/GaAs (Mimura/Fujitsu ; Delagebeaudeuf/Thomson)	
1981		Mise sur le marché de MMIC GaAs commerciaux (Siemens)
1985	Invention du PHEMT AlGaAs/InGaAs/GaAs	Ouverture de fonderies fabricant des MMIC GaAs aux Etats-Unis et en Europe
1987		Premiers MMIC à base de HEMT et HBT l'année suivante.

Tableau I-2 : Historique du développement des transistors micro-ondes et des MMIC [CAZ03].

En 1976, paraissait la première publication d'un MMIC par les chercheurs anglais de Plessey [PEN76] : un simple amplificateur ne comportant qu'un seul MESFET avec des

performances encore modestes. Mais, les années suivantes, ce fut l'explosion, chacun démontrant la réalisation d'une fonction nouvelle avec cette technologie : commutateurs, déphaseurs, mélangeurs, oscillateurs, atténuateurs, etc. Enfin, 1985 vit l'ouverture des premières fonderies commerciales, proposant la fabrication à la demande de MMIC conçus par les clients pour leur propre utilisation.

La technologie MMIC est apparue comme une alternative à la technologie hybride pour laquelle les éléments passifs des circuits sont gravés sur un substrat tel que l'alumine, et les transistors reportés à côté. Un circuit hybride couvre plusieurs cm^2 . Les MMIC sont nés de l'idée de miniaturiser davantage jusqu'à quelques mm^2 en réalisant les éléments passifs, distribués et localisés, sur le même substrat, donc la même puce, que les transistors.

II. Éléments actifs d'un MMIC

Une filière MMIC est caractérisée par le type du composant actif – MESFET, HFET, PHEMT, HBT, diode PIN, etc. – et, dans le cas d'un transistor à effet de champ, par la longueur de grille de ce transistor. Historiquement les filières MESFET $1\mu\text{m}$ ont laissé la place aux MESFET et HFET $0,5\mu\text{m}$, puis aux HEMT $0,25\mu\text{m}$ et même $0,15\mu\text{m}$.

Le transistor à effet de champ FET est l'un des composants majeurs utilisés dans les dispositifs électroniques. Il repose sur la modulation du courant passant entre les électrodes de drain et de source. Cette modulation est commandée par la tension appliquée sur l'électrode latérale de grille. Ce dispositif présente l'avantage d'être unipolaire : un seul type de porteurs participe à la conduction du courant.

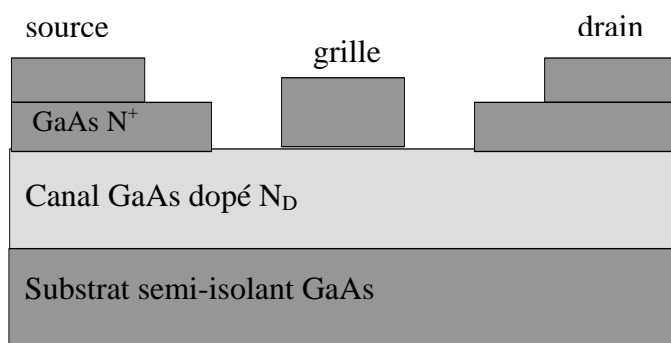
Les premiers transistors à effet de champ ont été réalisés en silicium. Afin de disposer de composants pouvant fonctionner à des fréquences élevées, le silicium a été remplacé par l'arséniure de gallium (GaAs). Il présente une mobilité électronique (μ_n) six fois plus élevée que le silicium [MAT90] (Tableau I-3). De plus, en utilisant l'arséniure de gallium, il est possible de réaliser des substrats semi-isolants facilitant la fabrication des circuits intégrés grâce à une bonne isolation entre les différents éléments.

	Band gap E_g (eV)	Conductivité thermique (W/K.cm)	Mobilité électronique du matériau non intentionnellement dopé ($\text{cm}^2/\text{V.s}$)	Mobilité des trous du matériau non intentionnellement dopé ($\text{cm}^2/\text{V.s}$)	Vitesse maximale électronique (10^7cm/s)	Champ électrique critique ($\text{V}/\mu\text{m}$)
Ge	0,66	0,6	3900	1900	0,6	10
Si	1,12	1,5	1500	450	1	30
GaAs	1,42	0,46	8500	400	2,1	40

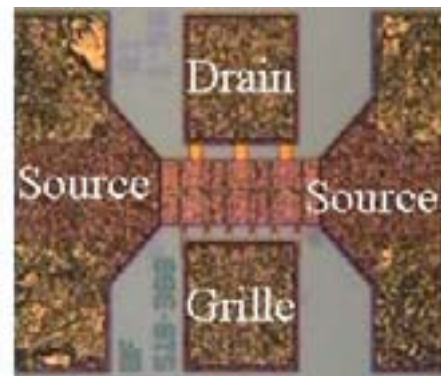
Tableau I-3 : Comparaison de quelques propriétés des semi-conducteurs à 300K.

1. Le MESFET sur GaAs

Ce type de transistor apparu en 1966 et fut le premier à être fabriqué à partir d'un composé III-V. Comme le montre la Figure I-5, un MESFET est constitué par un barreau de semiconducteur de type N sur lequel sont réalisés à ses deux extrémités les contacts ohmiques de source et de drain. Entre la source et le drain, un contact Schottky matérialise l'électrode de grille. Le transistor est réalisé sur un substrat semi-isolant de GaAs sur lequel on fait croître par épitaxie ou on dope par implantation ionique la couche active avec des impuretés de type donneur ($N_D \approx 2.10^{17} \text{ cm}^{-3}$). L'adjonction d'une couche fortement dopée ($N_D \approx 2.10^{18} \text{ cm}^{-3}$) permet l'accrochage des contacts ohmiques de source et de drain, ainsi que la diminution des résistances parasites de source et de drain [PIO83].



(a) Structure du MESFET sur GaAs.



(b) Photographie du MESFET issu de la fonderie TRIQUINT.

Figure I-5 : Technologie MESFET.

La polarisation négative de la grille entraîne la formation d'une zone de charge d'espace dépeuplée de porteurs libres sous la grille. Lorsqu'une tension drain-source V_{ds} est appliquée, une faible variation de la tension grille-source V_{gs} suffit à provoquer une variation importante de l'épaisseur de cette zone dépeuplée, donc du canal dans lequel circulent les électrons et finalement du courant de drain I_{ds} , ce qui constitue l'effet transistor. La Figure I-6 présente le schéma de bandes d'énergie du MESFET.

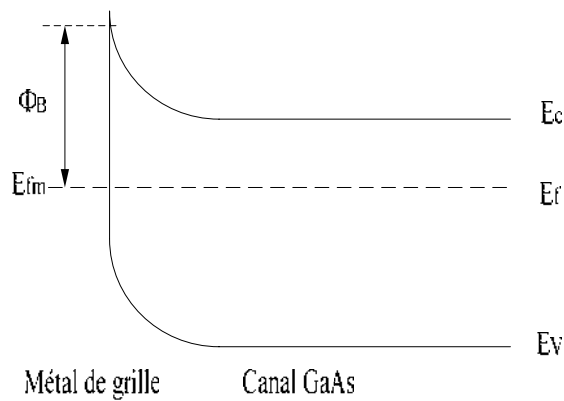
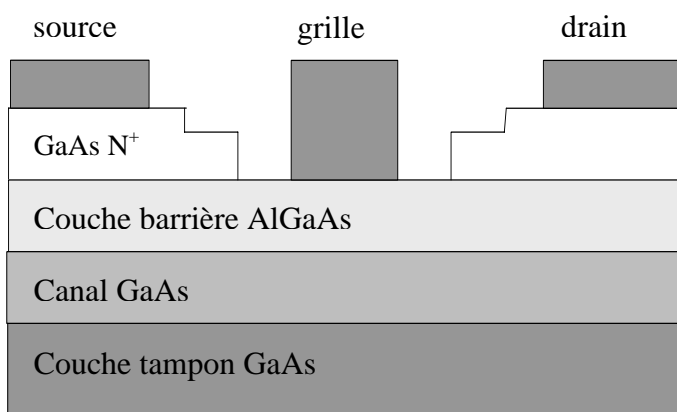


Figure I-6 : Schéma de bandes d'énergie de la technologie MESFET à l'équilibre thermodynamique.

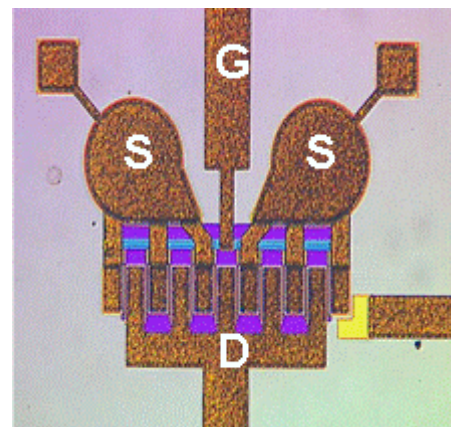
Le MESFET micro-onde, a été commercialisé à partir de 1976. Ce composant fut d'abord utilisé en composant discret encapsulé, puis intégré dans les circuits micro-ondes hybrides. Le MESFET a largement dominé les filières MMIC jusqu'au milieu des années 1990 où la famille des transistors à effet de champ s'est élargie à la fois pour monter en fréquence et en puissance.

2. Le HFET sur GaAs

Le HFET (Heterostructure FET), aussi désigné sous le nom de DCFET (Doped Channel FET), est apparu au début des années 90. Il s'agit d'une amélioration relativement simple du MESFET GaAs en mettant à profit les différentes propriétés de deux matériaux, GaAs et AlGaAs (Figure I-7).



(a) Structure du HFET.



(b) Photographie du HFET de Texas-Instrument [LAM01].

Figure I-7 : Technologie HFET.

Ayant une plus grande bande interdite (1,798 eV pour $\text{Al}_{0,3}\text{Ga}_{0,7}\text{As}$ contre 1,424 eV pour GaAs), le matériau AlGaAs possède un champ de claquage plus élevé et peut donc supporter des tensions plus fortes. Le matériau AlGaAs est non intentionnellement dopé et placé en surface. Cette couche va se retrouver dépeuplée par la jonction Schottky de grille et agir comme un isolant virtuel. Le principe de conduction de la structure HFET est similaire à celui d'un transistor MESFET. L'application d'une tension négative sur la grille a pour effet d'augmenter la hauteur de la barrière de diffusion Φ_{bi} à l'interface métal/semi-conducteur et donc l'épaisseur de la zone de charge d'espace dépeuplée d'électrons (Figure I-8). Il est ainsi possible de moduler l'épaisseur du canal par une commande en tension appliquée sur la grille. Le schéma de bandes d'énergies de la structure HFET est représenté sur la Figure I-8. Ce HFET est produit par plusieurs fonderies : Triquint Texas, Marconi-Alenia en Italie et plusieurs fabricants japonais.

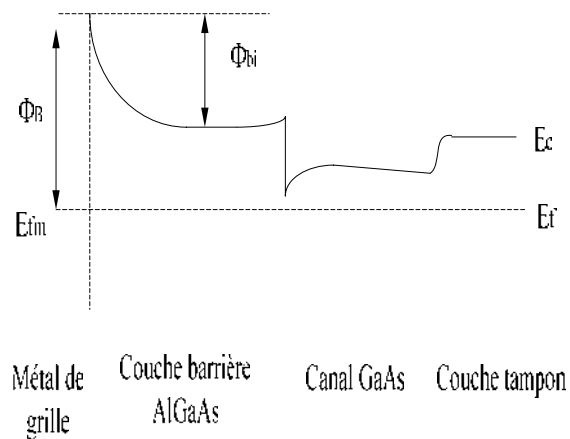


Figure I-8 : Schéma de bandes d'énergie de la technologie HFET à l'équilibre thermodynamique.

La structure du HFET présente plusieurs avantages par rapport à la structure du MESFET :

- L'augmentation de la tension de claquage grille-drain par l'introduction d'une couche barrière d'un matériau faiblement dopé à grande largeur de bande interdite (AlGaAs). L'excursion du point de fonctionnement dynamique, dans le cas d'une amplification de puissance, est plus importante et de ce fait la puissance de sortie augmente.
- L'amélioration des performances dynamiques du transistor par la réduction du niveau de dopage du canal. La couche barrière dopée fournit des électrons au canal permettant ainsi d'obtenir une densité de courant importante.
- La grille déposée sur la couche AlGaAs, à grande largeur de bande interdite, permet d'avoir un faible courant de fuite Schottky.

3. Le HEMT sur GaAs

Le transistor HEMT (High Electron Mobility Transistor) encore appelé dans la littérature TEGFET (Two Electron Gas Field Effect Transistor) ou MODFET (Modulation Doped Field Effect Transistor), ou encore SDHT (Selectively Doped Heterojunction Transistor), a été conçu et réalisé simultanément par Fujitsu au Japon et par Thomson en France en 1980 [DEL80] [MIM80].

L'idée de base à l'origine de ce composant est d'utiliser comme canal conducteur d'un transistor à effet de champ, un gaz bidimensionnel (gaz-2D) d'électrons circulant dans un matériau peu dopé et résultant de l'occupation des niveaux d'énergie du puits de potentiel caractéristique d'une hétérojonction.

Sur un substrat semi-isolant, on fait croître une couche de GaAs Non Intentionnellement Dopée (NID). On dépose ensuite une couche de $\text{Al}_x\text{Ga}_{1-x}\text{As}$ non intentionnellement dopée jouant le rôle d'espaceur. Sur cette couche, on fait croître une couche de $\text{Al}_x\text{Ga}_{1-x}\text{As}$ dopé N. On dépose ensuite la couche de contact GaAs dopé N^+ . C'est sur cette couche que l'on réalise les électrodes métalliques de source et de drain (Figure I-9). Par ailleurs, l'espaceur se révèle indispensable pour limiter les interactions coulombiennes entre les impuretés de dopage du matériau $\text{Al}_x\text{Ga}_{1-x}\text{As}$ et les électrons du gaz-2D, leur conférant ainsi une grande mobilité.

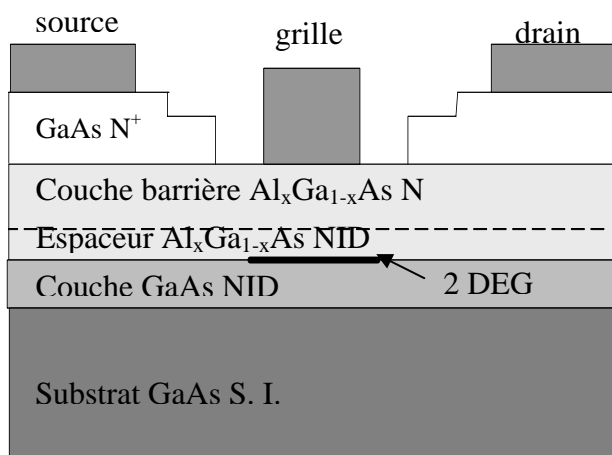


Figure I-9 : Structure du HEMT sur GaAs.

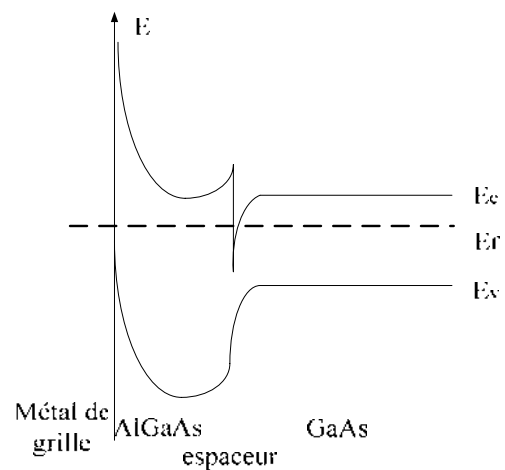


Figure I-10 : Diagramme de bandes d'énergie du transistor HEMT à l'équilibre thermodynamique.

La mobilité électronique dans GaAs est plus grande que celle dans $\text{Al}_x\text{Ga}_{1-x}\text{As}$, matériau pour lequel la bande interdite est supérieure à celle de GaAs. Au contact des deux matériaux, les électrons vont migrer de $\text{Al}_x\text{Ga}_{1-x}\text{As}$ vers GaAs peu dopé. Il apparaît une discontinuité des

bandes à l'interface métallurgique et un puits de potentiel du côté du semiconducteur de faible gap (Figure I-10). Les électrons qui occupent les niveaux d'énergie du puits de très faible épaisseur dans le matériau peu dopé, présentent une grande mobilité. On utilise le terme de « gaz » car les électrons du puits subissent peu d'interactions coulombiennes avec les impuretés ionisées du fait de leur séparation spatiale et ce gaz est qualifié de « bidimensionnel », parce que les électrons se meuvent sous l'effet d'une polarisation drain-source dans le plan parallèle à l'interface. Le gaz d'électrons étant créé, il est possible de contrôler la densité de porteurs dans le canal par l'intermédiaire de la tension appliquée sur la grille. Lorsque la tension V_{gs} augmente, le puits de potentiel devient de plus en plus profond, permettant à un nombre plus grand d'électrons de diffuser dans GaAs. Ainsi la différence essentielle entre les MESFET et les HEMT se situe au niveau du principe du contrôle du courant dans le canal. Alors que dans le cas du MESFET, l'électrode de grille contrôle la section de canal disponible pour la conduction, dans le cas du HEMT, elle contrôle la densité d'un gaz d'électrons libres dans une zone non dopée située sous l'hétérointerface qui constitue le canal du transistor. Comme pour le MESFET, la tension V_{ds} crée un champ électrique dans le canal qui entraîne les électrons de la source vers le drain, formant ainsi un courant I_{ds} .

La densité surfacique de charges du gaz-2D augmente avec le dopage de la couche $Al_xGa_{1-x}As$. Cependant, un dopage élevé de cette couche conduit à des valeurs très importantes du champ électrique pouvant induire des risques de claquage. La tenue au claquage de la jonction grille-drain est améliorée en déposant sur la couche $Al_xGa_{1-x}As$ dopée N, une couche de même nature mais non intentionnellement dopée [HUE84].

Si le HEMT conventionnel a permis des utilisations à des fréquences bien plus élevées que le MESFET, sa limite fréquentielle est de l'ordre de 60-70 GHz. Cette limite est principalement due aux propriétés de transport du matériau intrinsèque, c'est à dire l'arséniure de gallium. De plus le HEMT génère un bruit basse fréquence élevé dû aux centres DX. En conséquence pour satisfaire aux besoins sans cesse croissants de montée en fréquence, l'idée de base a été de remplacer le canal GaAs par un autre matériau autorisant une vitesse des électrons à fort champ électrique la plus élevée possible : InGaAs. Les progrès technologiques en matière d'épitaxie ont donc donné naissance à un nouveau type de transistor à hétérojonction : le HEMT pseudomorphe (PHEMT).

4. Le PHEMT sur GaAs

La réalisation de circuits intégrés microondes monolithiques (MMIC) à des fréquences supérieures à 60 GHz a nécessité d'étudier d'autres structures à base de couches contraintes sur GaAs avec un canal $\text{In}_x\text{Ga}_{1-x}\text{As}$ ($0,15 \leq x \leq 0,35$) (Figure I-11).

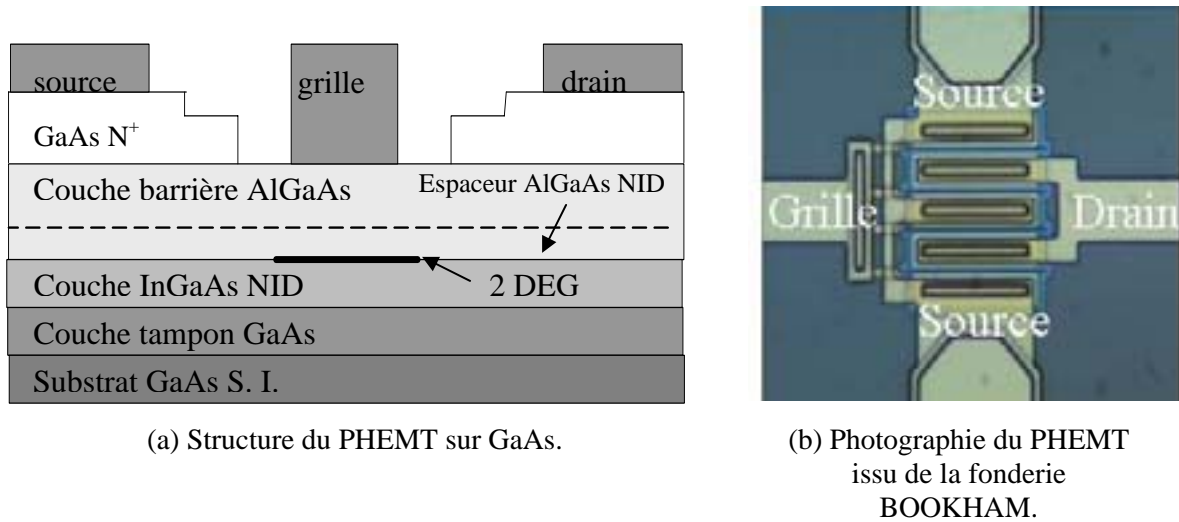


Figure I-11 : Technologie PHEMT.

La Figure I-12 indique que la couche InGaAs est en désaccord de maille avec la couche AlGaAs et la couche tampon GaAs, contrairement à l'hétérostructure AlGaAs/GaAs. La couche mince InGaAs subit une déformation quadrilatère à partir de sa structure cristalline cubique normale de manière à ce qu'elle soit accordée au réseau cristallin des matériaux GaAs et AlGaAs. Puisque la couche InGaAs est contrainte, le HEMT AlGaAs/InGaAs/GaAs est dénommé « pseudomorphique » [AUG02].

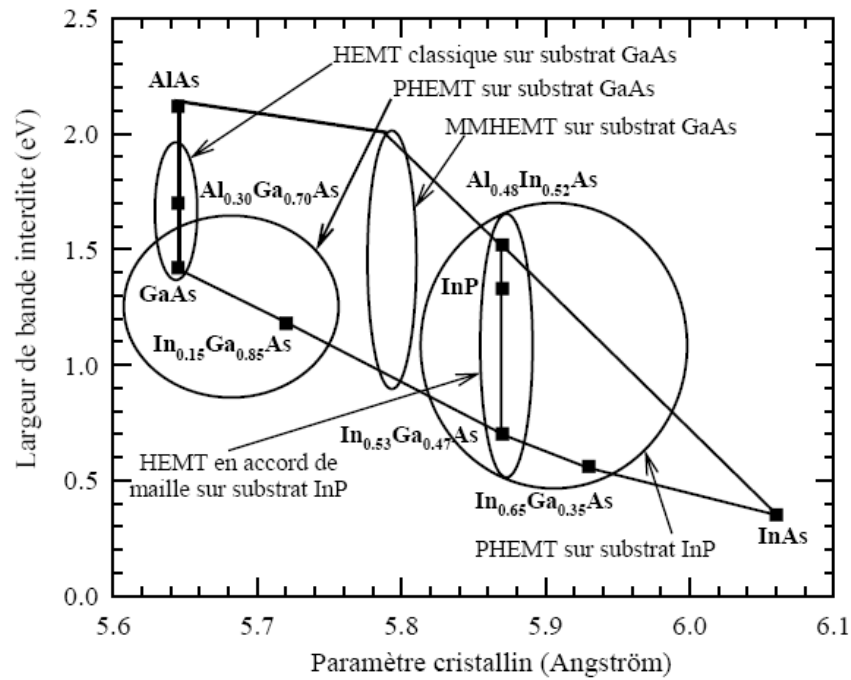


Figure I-12 : Largeur de bande interdite en fonction du paramètre cristallin pour les composés III-V utilisés dans les HEMT.

La bande interdite du matériau InGaAs étant plus faible (Tableau I-4), la discontinuité d'énergie de la bande de conduction du PHEMT est plus grande que celle du HEMT. Par conséquent, le puits de potentiel 2D est plus profond (Figure I-13), ce qui permet d'obtenir des concentrations de porteurs plus importantes et un courant I_{ds} plus élevé.

	Energie de bande interdite E_g (eV)	Paramètre de maille (Angstroms)	Mobilité électronique du matériau non intentionnellement dopé ($cm^2/V.s$)	Mobilité des trous du matériau non intentionnellement dopé ($cm^2/V.s$)	Vitesse maximale électrique ($10^7 cm/s$)
Si	1,12	5,431	1500	450	1
GaAs	1,42	5,653	8500	400	2,1
$Al_{0,3}Ga_{0,7}As$	1,798	5,656	3000	100	1
$Al_{0,48}In_{0,52}As$	1,46	5,869	4000	180	0,4
$In_{0,2}Ga_{0,8}As$	1,14	5,71	11000	-	>2,1
$In_{0,53}Ga_{0,47}As$	0,78	5,869	13000	300	2,7
InP	1,35	5,869	4600	150	2,3
4H-SiC	3,2	4,36	900	115	2
GaN	3,39	3,189	1800	200	2,7

Tableau I-4 : Comparaison de quelques propriétés de plusieurs semi-conducteurs à 300K [CAZ03].

Le PHEMT présente des performances nettement supérieures à celles du HEMT classique, adapté en maille, en démontrant un faible niveau de bruit, puisque les porteurs sont

mieux confinés dans un puits plus profond, et une fréquence de coupure élevée, puisque la mobilité électronique dans InGaAs est plus élevée. Compatible avec les lignes de fabrication de MMIC existantes, des filières commerciales n'ont pas tardé à voir le jour, y compris en Europe (Philips devenu OMMIC en 2000, Thomson et Daimler associés dans UMS en 1996, GMMT devenu Bookham en 2002).

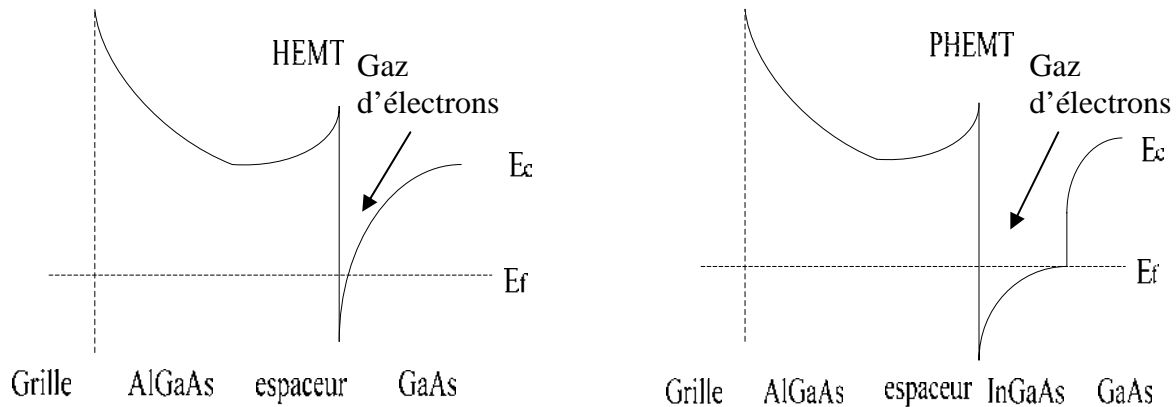
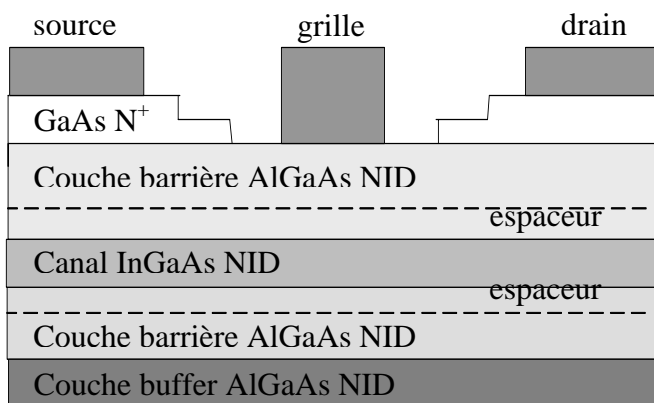


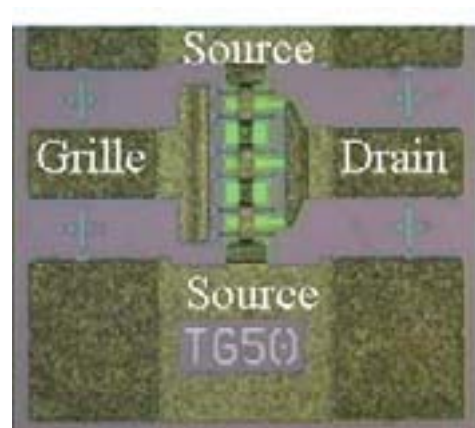
Figure I-13 : Comparaison de la structure de la bande d'énergie de conduction des transistors HEMT et PHEMT.

5. Le PHEMT de puissance sur GaAs ou PPHEMT

L'amélioration des procédés de croissance a permis de réaliser des dispositifs à deux hétérojonctions de type AlGaAs/InGaAs/AlGaAs sur substrat GaAs (Figure I-14) ou AlInAs/InGaAs/AlInAs sur substrat InP.



(a) Structure du PPHEMT sur GaAs.



(b) Photographie du PPHEMT issu de la fonderie UMS.

Figure I-14 : Technologie PPHEMT.

La réalisation d'une double hétérostructure de part et d'autre du canal permet un meilleur confinement des porteurs dans le canal (Figure I-15). Par conséquent, la densité d'électrons peuplant le puits quantique est augmentée par rapport au PHEMT simple. De plus la tension de claquage, plus élevée avec AlGaAs NID en surface, peut être encore améliorée en réalisant un double sillon de grille. Et si l'on augmente ainsi la tension et le courant, on favorise la puissance. Ainsi, les filières de MMIC de puissance récentes (Triquint Texas, UMS, ...) sont construites autour de ce composant.

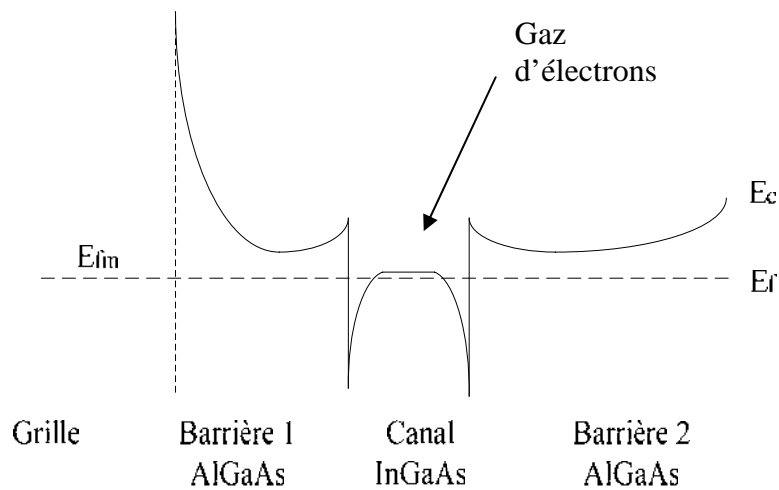


Figure I-15 : Bande d'énergie de conduction du transistor PPHEMT à l'équilibre thermodynamique.

6. HEMT AlInAs/GaInAs sur InP

Comme nous l'avons vu précédemment, la montée en fréquence est conditionnée par les paramètres de transport des matériaux utilisés. Le HEMT $\text{Al}_{0,48}\text{In}_{0,52}\text{As}/\text{Ga}_{0,47}\text{In}_{0,53}\text{As}$ adapté en maille sur InP (Figure I-16) permet de bénéficier d'une discontinuité de bande de conduction, à l'hétérojonction $\text{Al}_{0,48}\text{In}_{0,52}\text{As}/\text{Ga}_{0,47}\text{In}_{0,53}\text{As}$, ΔE_c de 0,52 eV (Figure I-12) et d'une forte mobilité électronique associée à l'utilisation du matériau $\text{Ga}_{0,47}\text{In}_{0,53}\text{As}$ (Tableau I-4). Ceci induit une grande densité de porteurs [BOU92].

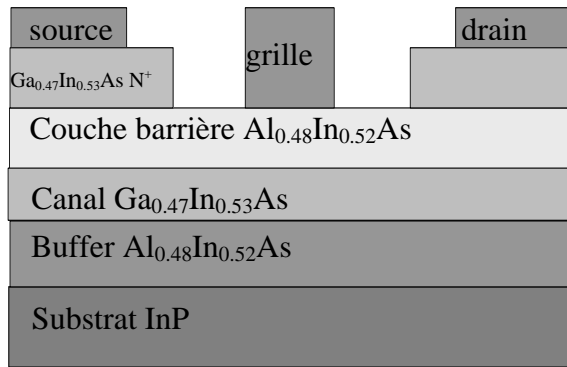


Figure I-16 : Structure du HEMT AlInAs/GaInAs adapté en maille sur InP.

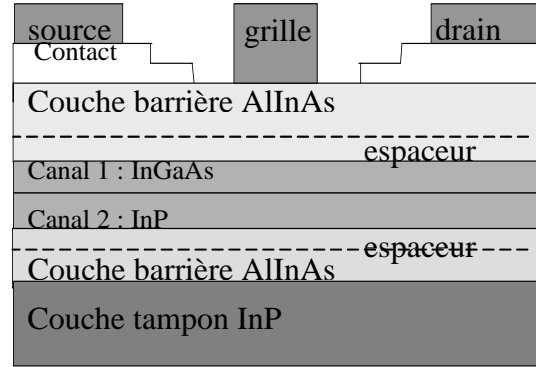


Figure I-17 : Structure du HEMT à canal composite.

En se basant sur la même structure que précédemment, on peut, en modifiant le taux d'indium du canal, réaliser une couche pseudomorphique sur substrat InP. En effet, le matériau $\text{Ga}_{1-x}\text{In}_x\text{As}$ est contraint pour $x > 0,53$. L'avantage d'une telle démarche réside d'une part dans l'augmentation substantielle de la discontinuité de bande de conduction (de l'ordre de 0,6 eV) (Figure I-12) permettant ainsi d'augmenter considérablement la densité de porteurs dans le puits et d'autre part dans l'obtention d'une mobilité élevée ce qui met ce composant au tout premier plan des applications au-delà de 60 GHz. Malheureusement, à l'instar de son homologue adapté en maille, la bande interdite du matériau constituant le canal qui est encore plus faible (Tableau I-4) favorise le claquage par avalanche dès que la polarisation drain-source dépasse quelques volts.

Cet inconvénient peut être minimisé en utilisant un HEMT à canal composite (Figure I-17) dont le principe consiste à associer un matériau à forte mobilité électronique (canal 1 : InGaAs) et un matériau à faible taux d'ionisation par impact (canal 2 : InP) (Tableau I-4) [MAH99]. De cette façon :

- Lors d'un fonctionnement à faible champ électrique, les porteurs du canal 1 bénéficient de la forte mobilité électronique du matériau InGaAs.
- Lors d'un fonctionnement à fort champ électrique, les porteurs sont transférés dans le canal 2 et le fonctionnement du dispositif bénéficie du faible taux d'ionisation par impact du matériau InP.

7. HEMT AlInAs/GaInAs métamorphique sur GaAs

Les transistors réalisés sur substrat InP sont bien plus performants que ceux réalisés sur substrat GaAs car ils bénéficient de l'hétérojonction AlInAs/InGaAs. Cependant la filière des HEMT sur InP est fortement handicapée par des problèmes d'ionisation dans le canal

$\text{Ga}_{1-x}\text{In}_x\text{As}$ avec $x \geq 0,53$. En plus, le substrat InP présente les inconvénients d'être fragile et disponible seulement en tranches de 2 ou 3 pouces. Par contre, les substrats GaAs sont de plus grande taille et moins chers. L'association de la bonne tenue en tension des matériaux de la filière GaAs et des propriétés de transport des matériaux de la filière InP a donné naissance au MHEMT (HEMT métamorphique). La structure du composant est présentée en Figure I-18.

Le but de cette filière est de pouvoir épitaxier des matériaux sur un substrat de paramètre cristallin très différent. On réalise ainsi la croissance d'une couche sacrificielle où se produit la relaxation de contraintes par formation de dislocations. Ainsi, on peut faire croître des hétérostructures AlInAs/GaInAs sur un substrat GaAs.

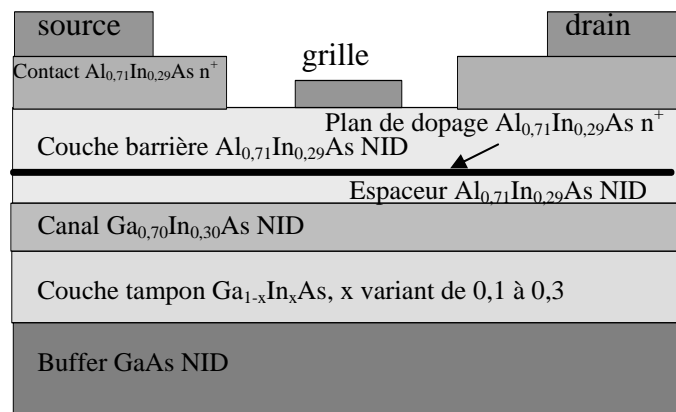


Figure I-18 : Structure du HEMT métamorphique.

Le principe de cette approche consiste à insérer entre un substrat de paramètre de maille cristalline a_1 et une couche active de paramètre a_2 , une couche tampon « métamorphique » qui permet par la génération contrôlée de dislocations due au désaccord de maille de passer de a_1 à a_2 . La couche tampon $\text{Ga}_{1-x}\text{In}_x\text{As}$ présente un taux d'indium graduel (de 10 à 30 %) et une épaisseur comprise entre 0,5 et 1 μm qui va « absorber » les 2 % d'écart de maille atomique qui existent entre les matériaux GaAs et $\text{Ga}_{0,7}\text{In}_{0,3}\text{As}$. De ce fait, le canal est complètement relaxé.

Cette avancée technologique permet d'obtenir des dispositifs de puissance ayant des performances comparables à des HEMTs sur substrat InP avec le coût et le rendement d'une technologie PHEMT sur substrat GaAs.

Les applications dans le domaine spatial requièrent, d'une part, des technologies fonctionnant à des fréquences très élevées, mais également capable de délivrer des puissances importantes. Les semi-conducteurs à large bande interdite (WBG : Wide Band Gap) représentent aujourd'hui les meilleurs candidats. Deux filières existent :

- Le MESFET SiC pour les basses fréquences, jusqu'à 3 GHz environ.
- Le HEMT AlGaIn/GaN pour des fréquences plus élevées.

8. Le MESFET SiC

Pour obtenir de forts courants de sortie dans les MESFET sur GaAs, il faut doper fortement le canal, mais cela se fait au détriment des tensions de claquage. L'une des solutions permettant d'obtenir des MESFET de puissance est l'utilisation de semi-conducteurs grand gap tels que le carbure de silicium (SiC), offrant une très bonne conductivité thermique, une vitesse électronique de saturation importante pour de très fortes tensions de polarisation, ainsi que des tensions d'avalanche impressionnantes (Tableau I-4).

9. Le HEMT GaN

Les HEMT basés sur l'hétéro-jonction AlGaIn/GaN, apparus en 1994 grâce aux travaux de A. Khan [KHA94], sont considérés depuis leur apparition comme des candidats très prometteurs pour succéder à la filière MESFET GaAs. La filière HEMT GaN progresse très rapidement grâce aux acquis technologiques de la filière HEMT GaAs. Ces deux technologies présentent en effet des similitudes en ce qui concerne la réalisation et le principe de fonctionnement des composants, mais la filière HEMT GaN se montre plus performante que celle sur GaAs en raison des propriétés physiques intéressantes du GaN. En effet, le matériau GaN possède une grande énergie de bande interdite directe de 3,39 eV. Sa stabilité thermique constitue un avantage pour l'électronique fonctionnant aux hautes températures et à forte puissance. Sa température de fusion est de l'ordre de 2500 °C. Elle présente un champ de claquage élevé, de l'ordre de 3 MV/cm et une conductivité thermique allant de 1,3 à 2,1 W.cm⁻¹K⁻¹ [PEA00][LIU02]. De plus, le matériau GaN se montre résistant face aux radiations ionisantes [UMA02]. Notons que les effets de polarisation piézoélectrique et spontanée sont employés pour augmenter la concentration des porteurs dans les HEMT basés sur GaN.

Comme les substrats en GaN sont difficiles à réaliser, les composants sont fabriqués sur des substrats de substitution, ce qui rend la fabrication de ces transistors délicate. Les substrats les plus utilisés sont le silicium (Si), le saphir (Al₂O₃) et le carbure de silicium (SiC).

Deux types d'hétéro-structure sont couramment utilisés dans la réalisation des HEMT à base de GaN. La première est l'hétéro-structure AlGaIn/GaN, et la deuxième est l'hétéro-structure avec couche espaceur AlGaIn/AlN/GaN [CUR05].

III. Fiabilité des MMIC

Dans la partie précédente de ce chapitre, on a présenté les performances des principales technologies qui peuvent être utilisées pour les applications spatiales. Le contexte de notre travail consiste à étudier de filières technologiques FET sur GaAs stabilisées et capables de remplir les conditions exigées par les applications spatiales en terme de performances mais aussi de fiabilité. Ces filières sont commercialisées par différents fondeurs tels que UMS, OMMIC et TRIQUINT. Les mécanismes de dégradation intrinsèques liés aux procédés de fabrication sont déterminés et, soit ils ont été résolus, soit ils ne pénalisent pas la durée de vie du composant.

A l'heure actuelle, la préoccupation des équipementiers concerne le fonctionnement des composants en régime RF d'« overdrive ». En effet, en régime de fonctionnement fortement non linéaire, les puces MMIC sont amenées à fonctionner en régime de saturation (Figure I-19). Par conséquent, les excursions dynamiques repoussent le point de repos dans des régimes de fonctionnement où siègent des champs électriques importants qui sont susceptibles de déclencher le mécanisme d'ionisation par impact.

Dans cette partie, on s'intéresse à l'étude des mécanismes de dégradation susceptibles de se produire en régime d'« overdrive ».

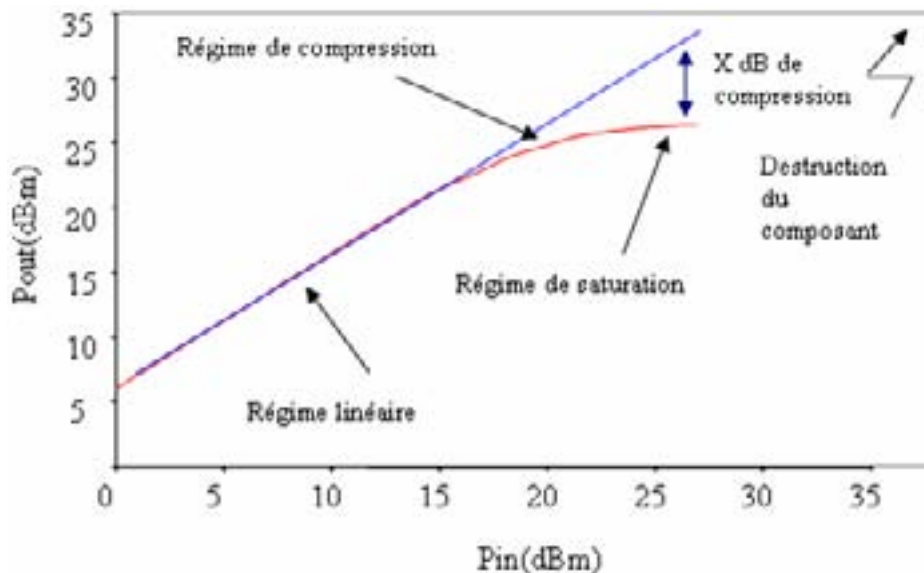


Figure I-19 : Variation de la puissance de sortie en fonction de la puissance d'entrée.

1. Mécanismes de dégradation des FET sur GaAs

Les mécanismes de dégradation des FET GaAs ont été largement étudiés et ont trouvé pour la plupart des solutions technologiques. Ce sont :

- La dégradation de la grille ou « gate sinking » attribué au déplacement des atomes métalliques dans le canal, ce qui induit l'amincissement du canal [CAN86]. Ce phénomène est accéléré par la température.
- La dégradation des contacts ohmiques, liée à des mécanismes de diffusion, en particulier de l' Au dans GaAs, activés par la température.
- Le phénomène d'électromigration dans les métallisations activé par la combinaison de la température et de la densité de courant. Le flux d'électrons génère un déplacement des atomes métalliques jusqu'à l'apparition de lacunes et d'amas métalliques le long du conducteur [CAZ03].
- L'effet de l'hydrogène piégé dans les matériaux utilisés pour la fabrication des boîtiers hermétiques. La défaillance suspectée est due à la métallisation de grille (Platine Pt ou Palladium Pd) qui agit comme un catalyseur et rompt la molécule en hydrogène monoatomique H^+ . Par la suite, cet hydrogène monoatomique diffuse dans le canal et peut changer les propriétés de l'interface Schottky formée par la grille du transistor. Ce mécanisme est activé par la température ambiante et la concentration en H_2 . Il y a aussi l'hydrogène utilisé lors des procédés de fabrication.
- Les dégradations induites par les électrons chauds générés par ionisation par impact. Ce mécanisme est accéléré par le champ électrique.

Un fonctionnement du transistor en régime d'« overdrive » est susceptible d'entraîner des dégradations liées aux électrons chauds qui peuvent être induits par le phénomène d'ionisation par impact [MENO96]. La plupart des mécanismes de dégradation induits par l'ionisation par impact pénalisent le fonctionnement des circuits logiques et analogiques. En effet, la commutation des transistors dans les circuits logiques peut être perturbée soit par la commutation retardée de grille, soit par la commutation retardée de drain dans des domaines de fréquences relatifs à l'action des pièges et des défauts sur la densité de porteurs libres. Dans la plupart des technologies, la commutation retardée de grille est induite par des états de surface localisés près de la grille et/ou dans les zones d'accès, dont la cinétique d'évolution est rapide. L'effet capacitif dû à la grille sera donc déterminant pour la commutation en hautes fréquences, typiquement au dessus de 1 GHz. Par contre, les pièges localisés dans le volume,

responsables de la commutation retardée de drain, présentent généralement des constantes de temps plus grandes (> 1 ms). Ils influencent donc la commutation du transistor à partir des fréquences voisines de 1 kHz [MAL96]. L'augmentation du niveau du bruit basse fréquence, lors d'un fonctionnement dans les conditions d'ionisation par impact, pénalise considérablement le fonctionnement des circuits analogiques notamment dans les applications faible bruit [LAM01].

Une étude du phénomène d'ionisation par impact ainsi que son effet sur les performances électriques du transistor font l'objet des paragraphes suivants.

2. Le phénomène d'ionisation par impact

2.1. Le mécanisme d'ionisation par impact dans les semiconducteurs

Les porteurs de charge (électron ou trou) dans un matériau à l'équilibre thermodynamique sont en constante interaction avec les atomes du réseau et les autres porteurs libres. Le déplacement de ces porteurs est assujéti à des interactions coulombiennes avec les atomes qui l'entourent. Entre deux chocs consécutifs, la vitesse des porteurs augmente, sous l'effet du champ électrique, ainsi que leur énergie cinétique. A chaque choc, le porteur va transférer toute ou une partie de son énergie cinétique au réseau cristallin ; cette énergie est ensuite dissipée par le système sous forme de chaleur ou de phonons. L'application d'un champ électrique sur le matériau considéré précédemment va accélérer les porteurs libres et donc augmenter leur énergie cinétique. On parlera de porteurs 'chauds' lorsque leur énergie cinétique devient bien supérieure à l'énergie thermique du réseau. En se thermalisant, les porteurs vont restituer aux atomes du réseau une énergie importante. Par conséquent, un électron lié pourra s'arracher du cortège électronique d'un atome. Ce mécanisme est à la base de l'ionisation par impact. Ce mécanisme se produit à condition que les porteurs transmettent une énergie minimale que l'on définit comme l'énergie seuil.

Un semiconducteur peut être caractérisé par son schéma de bandes d'énergie. L'ionisation par impact induit la création d'une paire électron/trou. La Figure I-20 montre la transition d'un électron de l'état (E_3, k_3) de la bande de valence vers l'état (E_2, k_2) de la bande de conduction sous l'effet du mécanisme d'ionisation par impact initié par un électron passant de l'état (E_i, k_i) à l'état (E_1, k_1) .

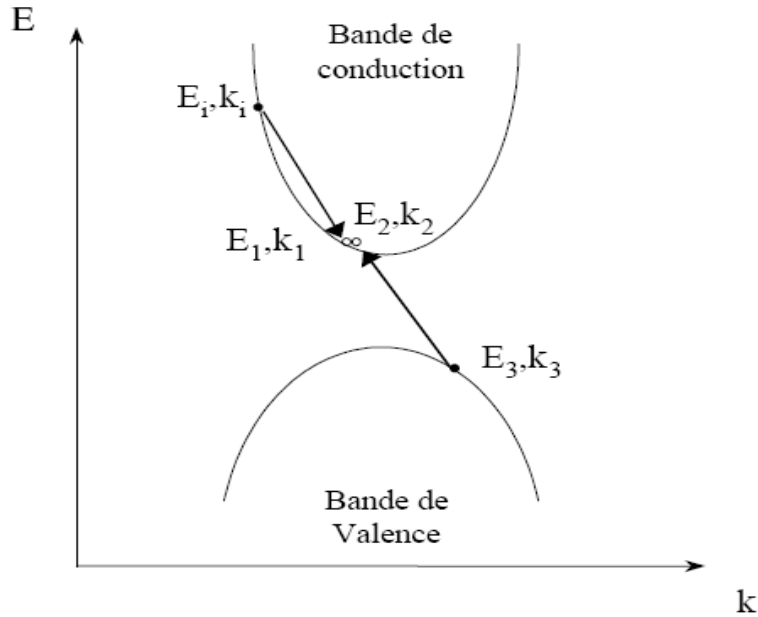


Figure I-20 : Schéma d'une transition d'état d'un électron de la bande de valence (E_3, k_3) vers la bande de conduction (E_2, k_2) par le mécanisme d'ionisation par impact initié par un électron passant de l'état (E_i, k_i) à l'état (E_1, k_1) où E correspond à l'énergie et k correspond au vecteur d'onde.

L'énergie seuil est fortement dépendante du schéma de bandes d'énergie et particulièrement de la largeur de la bande interdite du matériau considéré. En effet, on peut supposer que plus la largeur de bande interdite est faible, plus le seuil d'ionisation par impact est faible. De plus, on doit définir un seuil d'ionisation par impact dans chaque direction cristalline d'un semiconducteur [BUD92]. Le même raisonnement peut être transposé, en considérant un trou comme porteur initiant le mécanisme d'ionisation par impact.

Le mécanisme d'ionisation par impact dans un semiconducteur a pour première conséquence la création de paires électron-trou. Le taux d'ionisation défini comme le nombre de paires électron-trou créés par unité de longueur permet de quantifier ce mécanisme pour un semiconducteur donné.

Le taux d'ionisation défini pour chaque type de porteur initiant le mécanisme, est noté respectivement α et β pour les électrons et pour les trous. Ils suivent les lois empiriques suivantes (Equation I-1 ; Equation I-2) [LAM01] :

$$\alpha(\vec{E}) = A_e \exp\left(-\frac{B_e}{|\vec{E}|}\right) \quad \text{Equation I-1}$$

$$\beta(\vec{E}) = A_t \exp\left(-\frac{B_t}{|\vec{E}|}\right) \quad \text{Equation I-2}$$

Où :

- A_e , A_t , B_e et B_t sont des paramètres physiques dépendant du semiconducteur.
- \vec{E} est le champ électrique dans le semiconducteur.

2.2. Le mécanisme d'ionisation par impact dans les FET à contact Schottky

Dans les transistors à effet de champ à contact Schottky de type MESFET et HEMT, le mécanisme d'ionisation par impact se produit dans le canal entre grille et drain, région où résident les valeurs les plus élevées du champ électrique [MOO94] [CAN91] [HUI90] (Figure I-21). Les électrons ainsi créés participent au courant de drain, tandis que les trous générés vont être collectés par la grille, par la source et le substrat, ou bien se recombiner avec les électrons du canal (Figure I-22).

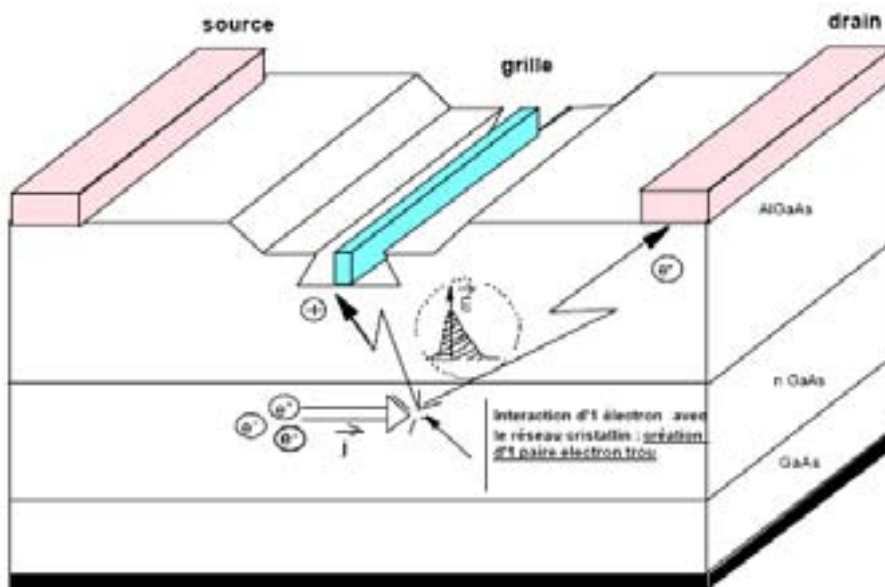


Figure I-21 : Mécanisme de l'ionisation par impact.

La Figure I-22 présente le schéma de bandes d'énergie d'un FET à hétérostructure avec génération de paires électron-trou due à l'ionisation par impact dans le canal.

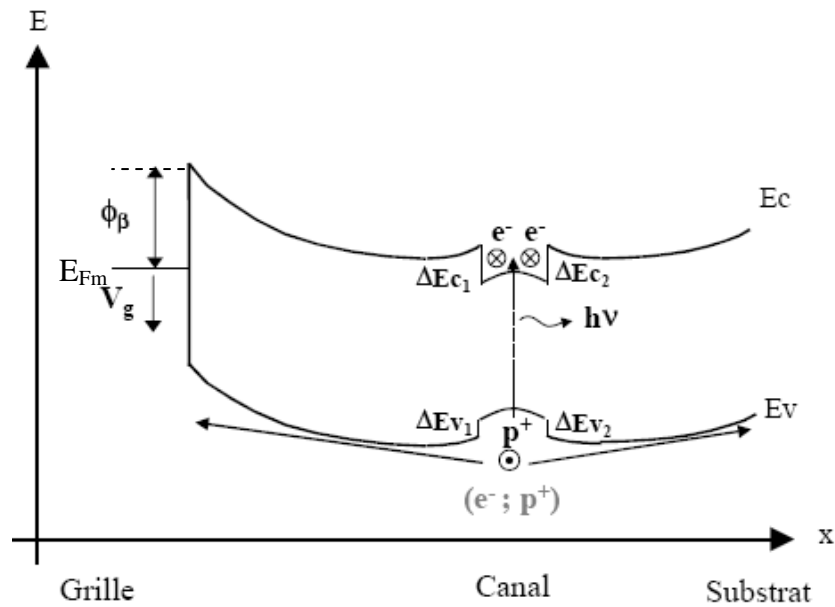


Figure I-22 : Représentation du trajet d'une paire de porteurs dans le schéma de bandes d'énergie d'un FET à hétérostructure.

2.3. Influence du mécanisme d'ionisation par impact sur les caractéristiques électriques DC du transistor

2.3.1. Courbe en cloche

L'ionisation par impact se traduit pour les transistors à effet de champ par une augmentation anormale du courant de grille à fort V_{ds} [PAC91], [CAN93], [ZAN91]. Les trous générés par l'ionisation par impact, sous l'influence du champ électrique, sont évacués principalement vers la grille où ils sont responsables d'une composante du courant de grille qui s'ajoute aux fuites de cette dernière.

Ce courant de trous lié à l'ionisation par impact peut être exprimé pour un MESFET par la relation suivante (Equation I-3) [HUI90] :

$$I_{\text{trou}} = W \int_0^l \int_0^d q \alpha(\vec{E}) n v_{\text{sat}} dx dy \quad \text{Equation I-3}$$

Où : W est la largeur de grille, l est la longueur du canal, d est la profondeur du canal, v_{sat} est la vitesse de saturation, n est la concentration des électrons et $\alpha(\vec{E})$ est le coefficient d'ionisation par impact.

Plus la valeur du champ électrique est grande, plus le coefficient d'ionisation par impact est important. Par conséquent, la principale contribution au courant de grille lié à l'ionisation

par impact provient de la région du transistor où le champ électrique et donc le coefficient d'ionisation par impact sont maximaux.

Le courant de grille, mesuré pour différentes valeurs de V_{ds} en fonction de la tension V_{gs} , est représenté sur les Figures I-23 et I-24. L'allure du courant de grille en forme de cloche est tout à fait typique d'un courant généré par ionisation par impact. Pour certaines technologies, l'ionisation par impact se produit à canal pincé, alors que pour d'autres, elle se produit à canal ouvert.

Par exemple, dans le cas de la Figure I-23, les courbes en forme de cloche d'un PPHEMT sont décalées vers des valeurs de tension de grille proches de pincement. En effet, lors du passage de la tension de grille V_{gs} négative de V_t , qui est la tension de seuil, à 0V, le nombre d'électrons augmente alors que la composante transversale du champ électrique dans le canal diminue. Sous l'action combinée du champ électrique et de la densité des porteurs, le taux de génération de paires électron-trou augmente (I_{gs} croît), passe par un maximum pour ensuite décroître, l'énergie des électrons étant devenue trop faible en raison de la diminution du champ électrique.

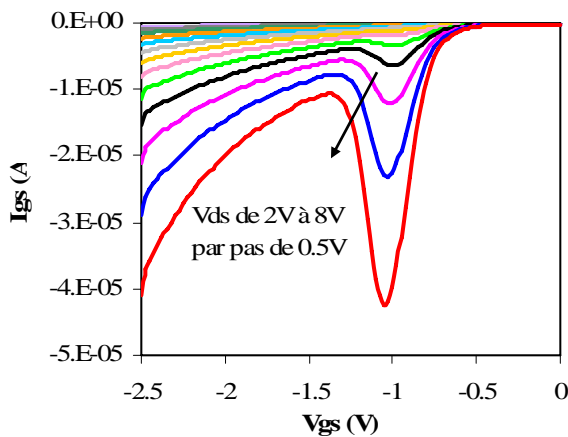


Figure I-23 : Courant de grille d'un transistor PPHEMT mettant en évidence des courbes en cloche au pincement ($V_t \approx -0,9V$).

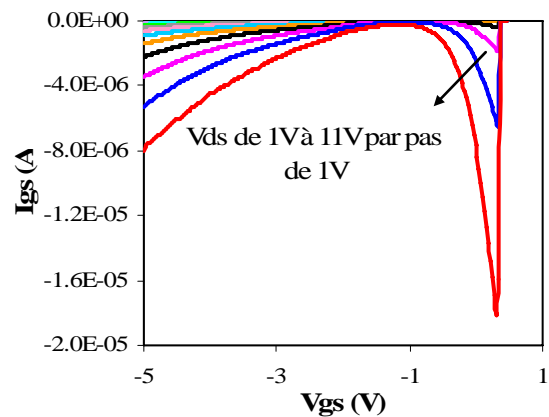


Figure I-24 : Courant de grille d'un transistor MESFET mettant en évidence des courbes en cloche à canal ouvert ($V_t \approx -1,7V$).

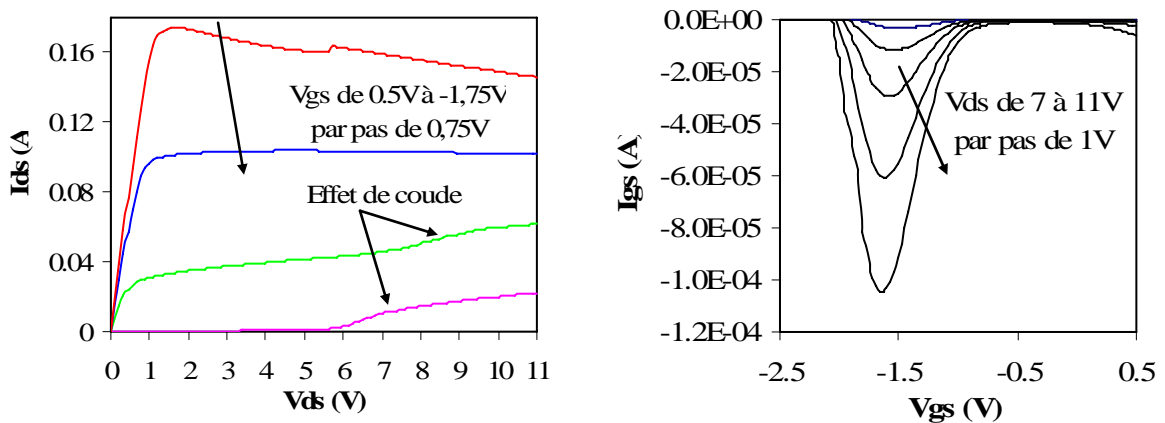
A titre de comparaison, pour un MESFET la courbe en forme de cloche et donc le phénomène d'ionisation par impact sont généralement décalés vers des valeurs de tension de grille proches de zéro comme le montre la Figure I-24.

Cette différence peut s'interpréter en faisant l'hypothèse que le taux d'ionisation par impact dans le cas de la Figure I-23 est maximal lorsque la valeur du champ électrique est importante (tension de grille fortement négative) alors que dans le cas de la Figure I-24, il est

maximal lorsque la densité des électrons dans le canal est importante (tension de grille proche de 0V) [MUR97].

2.3.2. L'effet de coude (ou Kink effect)

L'effet de coude, appelé Kink effect, est défini comme une augmentation brutale du courant de drain pour une certaine valeur de tension de drain (Figure I-25), entraînant une augmentation de la conductance G_d et une diminution de la transconductance G_m , dégradant ainsi les performances des transistors à effet de champ.



(a) Réseau I_{ds} - V_{ds} .

(b) Caractéristiques I_{gs} - V_{gs} en inverse.

Figure I-25 : Corrélation entre l'effet de coude et le phénomène d'ionisation par impact pour un transistor DCFET (Texas Instrument).

Pour certaines technologies, l'effet de coude est directement corrélé avec le phénomène d'ionisation par impact. En effet, dans le cas de la technologie DCFET (Figure I-25), le réseau de sortie I_{ds} - V_{ds} (Figure I-25 (a)) et le réseau des caractéristiques en inverse I_{gs} - V_{gs} (Figure I-25 (b)) montrent une parfaite corrélation des seuils entre l'augmentation du courant de grille « effet de cloche » et l'augmentation du courant de drain « effet de coude » [MUR97]. Ces deux effets présentent le même comportement à savoir une diminution lorsque la température augmente.

Plusieurs auteurs mettent en avant le lien direct entre l'ionisation par impact et les effets des pièges pour expliquer l'effet de coude [ZIM92], [KRU95], [WEB00], [MEN97]. En effet, une multiplication des électrons du canal par le mécanisme d'ionisation par impact modifie peu la densité de ces derniers et par conséquent n'a pas d'effet considérable sur le courant de drain. Cependant à tout électron généré correspond un trou. Cette modification de la densité des porteurs minoritaires est à l'origine de l'effet de coude. En effet, les trous générés par ionisation par impact peuvent induire une modification de l'état d'occupation des niveaux

profonds en surface, dans le substrat ou à l'interface canal/substrat [MAZ01] entraînant l'apparition de l'effet de coude.

Dans la référence [SOM00], Somerville présente une hypothèse du phénomène physique lié à l'effet de coude pour un transistor HEMT. En effet, supposons qu'à $t=0$, le mécanisme d'ionisation par impact ne se produise pas. Le niveau de Fermi est à la position E_{F1} (Figure I-26 (b)) et la caractéristique I_{ds} - V_{ds} présente une zone de saturation plate (Figure I-26 (c)).

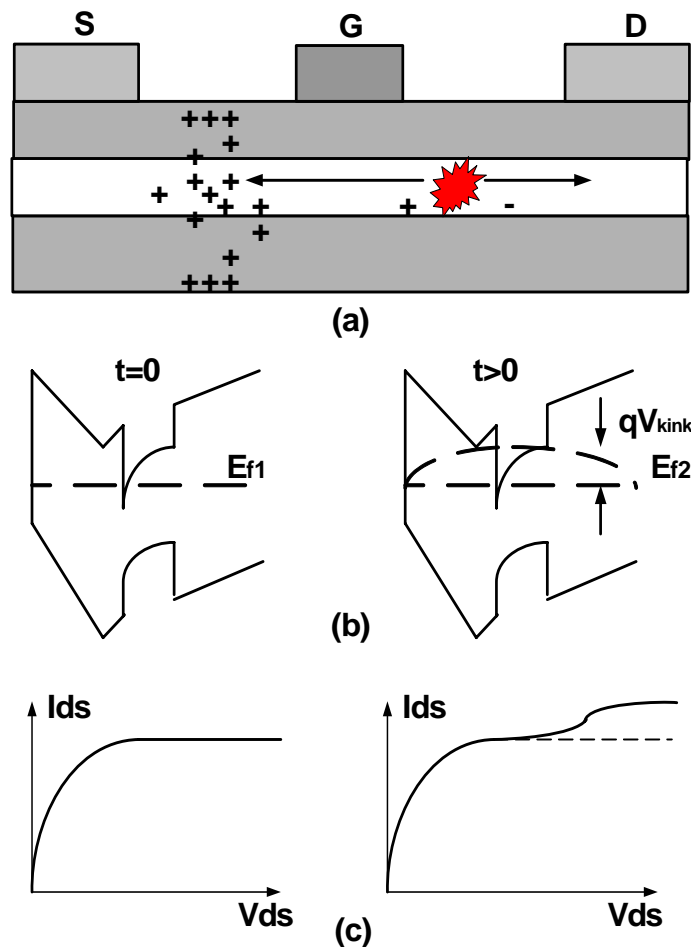


Figure I-26 : Le mécanisme physique de l'effet de coude pour un HEMT : (a) accumulation des trous, générés par ionisation par impact, dans la région du canal située entre la source et la grille ; (b) niveau de Fermi avant et après l'apparition de l'ionisation par impact ; (c) caractéristique de sortie I_{ds} - V_{ds} faisant apparaître l'effet de coude [SOM00].

A $t > 0$, le mécanisme d'ionisation par impact commence à se produire. Les trous générés par ionisation par impact, dans la région du canal située entre le drain et la grille, migrent vers la source et le substrat à travers le canal induisant, ainsi, un changement de la charge électrique dans ces zones. La quasi-neutralité verticale exige l'apparition d'un

supplément d'électrons dans le canal pour compenser l'excès en charge positive apporté par les trous. Par conséquent, le potentiel du canal augmente d'une valeur V_{Kink} , le niveau de Fermi se déplace à la position E_{f2} (Figure I-26 (b)) et le courant I_{ds} présente une brusque augmentation dans la zone de saturation de la caractéristique de sortie $I_{\text{ds}}-V_{\text{ds}}$ (Figure I-26 (c)) [SOM00].

La variation du courant de drain, due à l'effet de coude, est proportionnelle à V_{Kink} (Equation I-4) :

$$\Delta I_{\text{ds}} \approx G_{\text{m0}} V_{\text{Kink}} \quad \text{Equation I-4}$$

où ΔI_{ds} correspond au courant de drain induit par l'effet de coude et G_{m0} est la transconductance avant l'apparition de cet effet.

Dans le cas des transistors MESFET et HFET, l'effet de coude peut apparaître à la suite d'une interaction entre les trous générés par le mécanisme d'ionisation par impact et les pièges de surface [MAZ01], [MAZ02], [HOR00], [HORI99]. En effet, les trous peuvent compenser les charges négatives (pièges) localisées à la surface induisant une diminution de la zone de charge d'espace. A cette diminution de la zone de déplétion correspond une augmentation du courant I_{ds} .

3. Dégradations des paramètres électriques du transistor induites par les électrons chauds

3.1. Le « Power Drift »

Le « Power Drift » correspond à une dégradation temporaire de la réponse transitoire du courant de drain mesuré à la suite d'une impulsion appliquée sur la grille du transistor (Figure I-27 et I-28). Le phénomène de « Power Drift » rend difficile le contrôle de la puissance de sortie. Il est attribué aux pièges de la passivation. En effet, lors du fonctionnement RF d'un PHEMT dans les conditions d'« overdrive », l'application d'une forte valeur de V_{dg} induit une accumulation graduelle des porteurs piégés dans la couche de passivation entre la grille et le drain du transistor. Par conséquent, la résistance d'accès de drain augmente et le courant de drain diminue, ce qui correspond au « Power Drift » [LIO00]. Une fois l'application du signal RF est interrompue et après un stockage en température du dispositif, les porteurs piégés dans la couche de passivation sont émis thermiquement et la puissance de sortie du transistor retrouve graduellement son niveau initial. La dépendance en température du mécanisme de récupération du « Power Drift », pour un PHEMT, suit la loi d'Arrhenius avec une énergie d'activation de $1,4 \pm 0,4$ eV, ce qui correspond à l'énergie caractérisant les centres K_0

localisés dans la couche de passivation SiN. Cette énergie est beaucoup plus élevée que $0,4 \pm 0,1$ eV, énergie caractérisant les pièges de surface. Ceci renforce l'hypothèse que le « Power Drift » est dû aux pièges de la passivation et non à ceux de surface [HWA99].

3.2. Le « Power Slump »

Le « Power Slump » correspond à une dégradation permanente du courant de drain du transistor (Figure I-27), ce qui a pour effet la diminution de la durée de vie du transistor. Le « Power Slump » se traduit aussi par une diminution de la puissance de sortie de l'ordre de 1dB après 1000 heures de vieillissement RF [HWA95]. Le « Power Slump » correspond à une dégradation du « Power Drift ». En effet, après l'apparition du « Power Drift », en augmentant les contraintes de vieillissement appliquées sur le transistor, un grand nombre de porteurs est piégé dans la couche de passivation induisant une augmentation de la zone de déplétion. Il en résulte une augmentation de la résistance d'accès de drain et une diminution du courant de drain correspondant à l'apparition du « Power Slump » [HWA99]. Donc, comme pour le « Power Drift », le « Power Slump » est attribué aux pièges de la passivation. Contrairement au « Power Drift », le « Power Slump » est un phénomène non récupérable. En effet, l'utilisation de l'hydrogène, pendant l'étape de passivation, peut induire la formation de liaisons atomiques Si-H dans la couche de passivation SiN du transistor. En appliquant un fort champ électrique entre la grille et le drain du transistor, les électrons chauds peuvent posséder une énergie suffisante pour produire la rupture de la liaison atomique Si-H. Une fois dissocié, l'hydrogène est probablement sous la forme d'un proton. Deux cas peuvent se présenter : soit ce proton diffuse vers l'extérieur, soit deux protons s'associent et forment une molécule d'hydrogène qui devient immobile. Dans ces deux cas, la récupération du « Power Slump » devient difficile [HWA99].

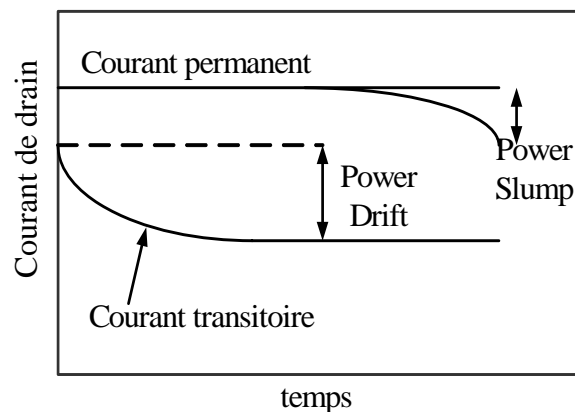


Figure I-27: Effets dus aux mécanismes de « Power Drift » et « Power Slump » dont le taux augmente avec le temps de vieillissement.

Le Tableau I-5 présente une comparaison des mécanismes « Power Drift » et « Power Slump ».

Problème	Origine	Effet	Récupération	Impact
« Power Drift »	Pièges de la passivation	Dégradation de la réponse transitoire du courant de drain	Oui	Contrôle difficile de la puissance
« Power Slump »	Pièges de la passivation	Dégradation du courant de drain	Non	Diminution de la durée de vie du transistor

Tableau I-5 : Caractéristiques principales du « Power Drift » et « Power Slump ».

3.3. Le retard à la commutation de grille ou « Gate Lag »

Lors d'une commutation en tension sur la grille du transistor, la réponse du courant de drain présente un effet transitoire dû aux pièges existants initialement. Ce phénomène est appelé « Gate Lag » [TED01] [DUM85] [DUM87]. Après vieillissement le courant de drain présente une réponse plus ou moins rapide selon l'évolution de l'état des pièges. Ce phénomène affecte le fonctionnement RF du dispositif et dégrade considérablement la vitesse de commutation du transistor.

Le principe de mesure du « Gate Lag » est représenté sur la Figure I-28.

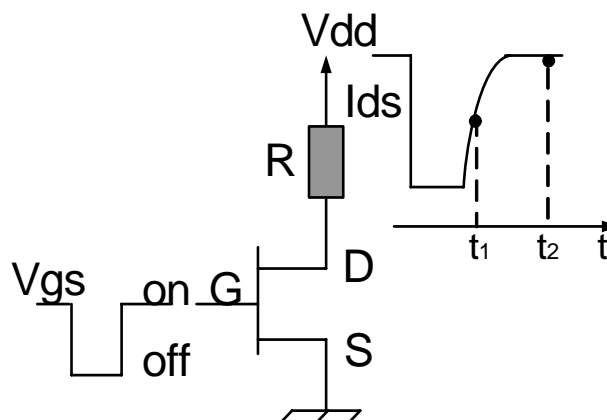


Figure I-28 : Principe de mesure du « Gate Lag ».

Dans le cas d'un PHEMT AlGaAs/InGaAs présentée dans la référence [HWA99], on remarque que lorsque la grille du transistor est commandée d'un état bloqué à un état passant, l'évolution du courant de drain I_{ds} s'effectue en deux étapes :

- Une augmentation rapide jusqu'à un niveau intermédiaire inférieur à I_{dss} (courant de saturation).
- Une augmentation lente jusqu'à atteindre I_{dss} .

Approximativement 85% de I_{ds} bascule dans 1 μs , alors que le 15% restant prend quelques millisecondes avant de s'achever. Le temps de retard est typiquement de l'ordre de quelques microsecondes à quelques millisecondes selon la technologie.

Le taux de commutation retardée ou « Gate Lag » est évalué en pourcentage et correspond à la différence entre la valeur du courant du drain à l'état permanent et sa valeur transitoire relativement à la valeur permanente (Equation I-5).

$$\text{Taux de « Gate Lag » \%} = (I_{ds_{\text{permanent}}}(t_2) - I_{ds_{\text{transitoire}}}(t_1)) / I_{ds_{\text{permanent}}}(t_2) \quad \text{Equation I-5}$$

où $I_{ds_{\text{permanent}}}(t_2)$ correspond à la valeur finale de la réponse transitoire, alors que $I_{ds_{\text{transitoire}}}(t_1)$ correspond à la valeur de I_{ds} mesurée après un temps court relatif au temps d'acquisition de la mesure soit quelques 100ns (Figure I-28).

D'après la Figure I-29, on remarque que le taux de « Gate Lag » croît graduellement au cours du vieillissement, ce qui montre que le « Power Drift » correspond à une augmentation du taux de commutation retardée de grille « Gate Lag » [HWA99].

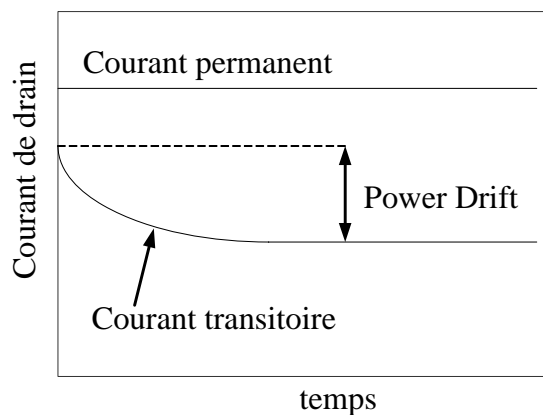


Figure I-29: Corrélation entre la commutation retardée de grille et le « Power Drift ».

La Figure I-30 présente une explication du mécanisme physique de la commutation retardée de grille pour un MESFET. En effet, les électrons capturés, par les pièges de surface [WAK02], [BOR01], [HOR01], [TED01], [HOR99], sont compensés électriquement par des donneurs ionisés dans la couche de déplétion, réduisant ainsi l'épaisseur du canal de la valeur $\Delta d(t)$ (Figure I-30). Quand le transistor est polarisé à l'état passant, les pièges libèrent les électrons capturés, avec un certain temps de retard, et la zone déplétée retrouve

progressivement son épaisseur normale. Comme pour le « Power Drift », le « Gate Lag » peut être un phénomène récupérable.

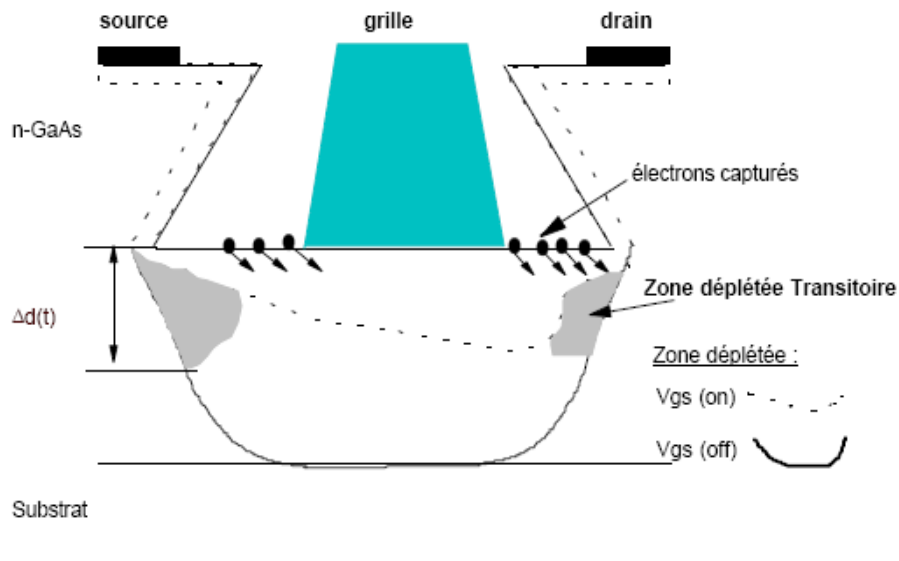


Figure I-30 : Schéma expliquant le phénomène du « Gate Lag » pour un MESFET [MUR97].

3.4. Le retard à la commutation de drain ou « Drain Lag »

Cet effet se manifeste aussi sur la réponse transitoire du courant drain-source I_{ds} suite à une impulsion appliquée sur le drain pour une tension de grille V_{gs} constante (Figure I-31). Les constantes de temps associées à ces transitoires dépendent fortement des conditions de polarisation du transistor ainsi que de la température [MAL96]. Ce phénomène est attribué aux effets des pièges situés à l'interface couche active-substrat [BEL90].

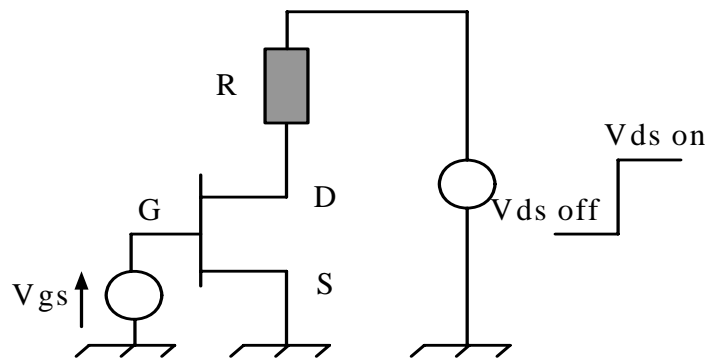


Figure I-31 : Principe de mesure du « Drain Lag ».

3.5. La dispersion fréquentielle de la transconductance et de la conductance

La dispersion fréquentielle de la transconductance (G_m) n'est autre que la traduction fréquentielle de la commutation retardée de grille « gate Lag » explicité précédemment [LO96]. Elle est liée à la cinétique d'émission et de capture des porteurs par les états de surface [BAL97], [CHO01]. En effet, ce phénomène se produit quand le piégeage-dépiégeage des électrons par les états de surface ne permet plus à la totalité des porteurs du canal de suivre le signal, c'est-à-dire lorsque les temps de capture et d'émission caractéristiques des états de surface sont supérieurs à la période du signal appliqué. Ceci se traduit par une diminution de la transconductance G_m en fonction de la fréquence (Figure I-32).

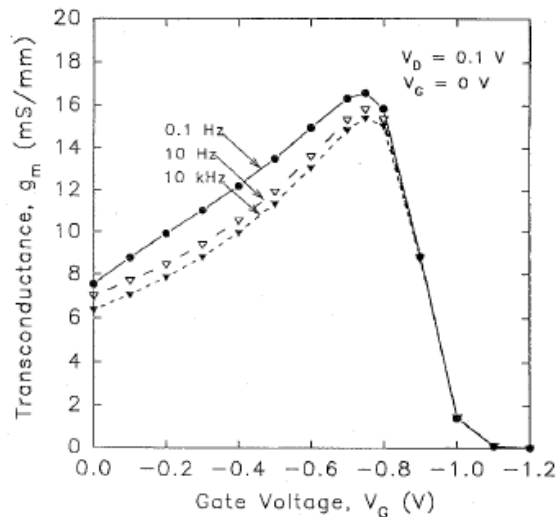


Figure I-32 : Diminution de la transconductance d'un MESFET avec la fréquence [LO96].

La dispersion fréquentielle de la conductance est liée à la cinétique d'émission et de capture des électrons par les pièges du substrat [ROC85], [CAN86], [CAM85]. Les figures I-33 et I-34 illustrent le phénomène de dispersion fréquentielle de la conductance pour un MESFET [NAK00]. En effet, en appliquant une impulsion sur le drain, un processus d'émission rapide sera suivi par un processus de capture lent des électrons piégés dans le substrat. Ce phénomène explique l'apparition d'un pic sur le transitoire de I_d puis la décroissance du courant de drain (Figure I-33). Par conséquent, le courant de drain RF est plus élevé que le courant de drain en mode statique (Figure I-33) et la conductance mesurée en haute fréquence (G_{dRF}) est plus grande que la conductance mesurée en basse fréquence (G_{dDC}) (Figure I-34). On obtient le phénomène contraire dans le cas où les pièges du substrat sont caractérisés par un processus d'émission d'électrons.

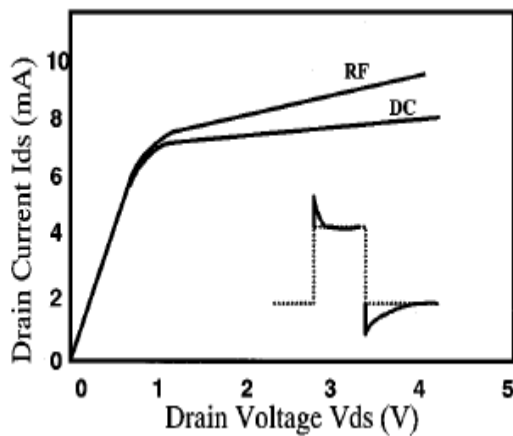


Figure I-33 : Caractéristique I-V typique d'un MESFET en modes DC et RF. Apparition d'un pic puis la décroissance du courant de drain à la suite d'une application d'une impulsion de tension sur le drain [NAK00].

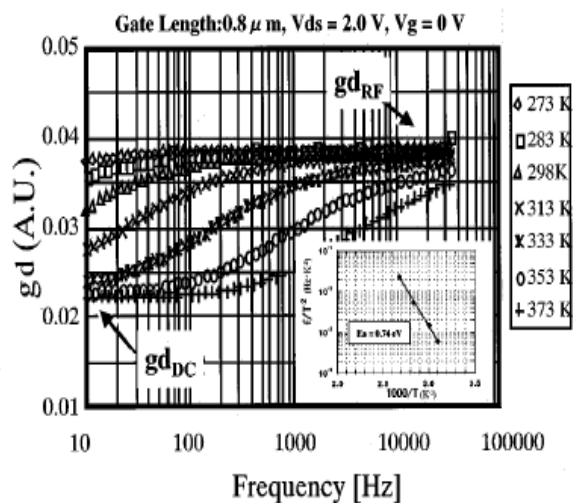


Figure I-34 : Dispersion fréquentielle de G_d en fonction de la température d'un transistor MESFET [NAK00].

3.6. Le décalage de la tension de seuil

Le décalage de la tension de seuil vers les valeurs négatives est la dérive la plus souvent observée. Pour les FETs à conduction volumique, ce phénomène est attribué à la réduction de la profondeur de la zone déplétée sous la grille sous l'effet de piégeage des trous générés par le mécanisme d'ionisation par impact ou à la suite de dépiégeages d'électrons activés par le champ électrique [CAN95]. Pour les FETs à conduction dans un canal bidimensionnel, le piégeage de porteurs sous la grille peut changer la tension de contrôle de la densité électronique du canal et, par conséquent, induire un décalage de la tension de seuil du transistor.

3.7. Variation de la tension de claquage

L'augmentation de la tension de claquage du transistor peut être attribuée aux électrons générés par ionisation par impact. En effet, par exemple dans le cas d'un MESFET, le piégeage des électrons chauds, entre la grille et le drain du transistor, entraîne l'élargissement de la zone de charge d'espace dans cette région (Figure I-35) et par conséquent une diminution de la valeur du champ électrique maximal dans le canal qui se traduit par une augmentation de la tension de claquage « Breakdown Walkout » [MEN96].

La diminution de la tension de claquage peut être la conséquence de l'augmentation du courant de fuite du transistor induite par les trous générés par ionisation par impact.

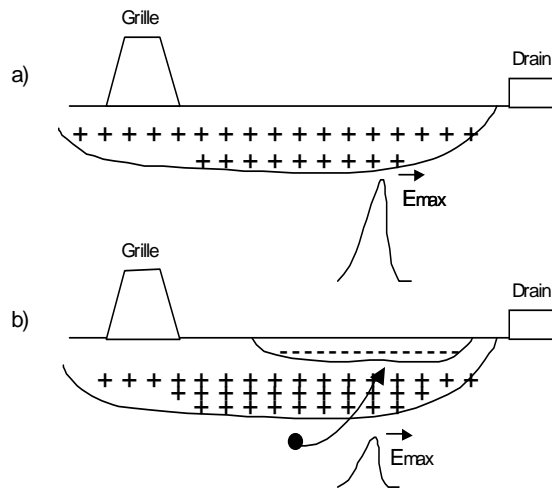


Figure I-35: Schéma représentant l'évolution de la zone de déplétion du transistor MESFET : a) avant un fonctionnement en régime d'ionisation par impact et b) après piègeage des électrons à l'interface passivation/semiconducteur.

L'évolution au cours du temps du phénomène d'ionisation par impact peut induire l'atténuation du mécanisme de dégradation. En effet, le piègeage des électrons chauds, dans la région du transistor située entre la grille et le drain, induit une diminution de la valeur du champ électrique et des dérives des paramètres électriques du transistor. Le phénomène d'ionisation par impact sera atténué, suite à la diminution de la valeur du champ électrique, ce qui provoque une diminution du nombre d'électrons piégés et par suite l'atténuation du mécanisme de dégradation. Notons que ce mécanisme présente un parmi d'autres phénomènes qui peuvent se produire.

4. Méthodologie de qualification spatiale

Tout composant ou toute technologie utilisé dans des équipements embarqués doit obtenir la qualification spatiale. L'évaluation des composants, les procédures de qualification et d'approvisionnement sont spécifiées dans les standards ESA (European Space Agency) / SCC (Space Components Coordination group) pour l'Europe et MIL (Military) pour les Etats-Unis. La méthodologie appliquée par Alcatel Alenia Space était basée sur l'emploi d'une filière MMIC qui soit à la fois assez mature et fournie en volume suffisant pour pouvoir supporter en même temps l'approvisionnement des MMIC modèle de vol et le programme de qualification spatiale. La qualification spatiale de la filière permet ensuite d'alléger

considérablement les tests à effectuer sur un nouveau lot de nouvelles fonctions utilisant cette même filière.

La publication [BEN94] présente un exemple de programme de qualification spatiale appliqué à la filière HAV (MESFET 0,5 μ m) de la fonderie TriQuint (Oregon, Etats-Unis). Les travaux consistèrent en deux phases :

- La phase 1 fut l'évaluation de la technologie à travers des tests de fiabilité d'un TCV (Technological Characterization Vehicule) (Figure I-36). Les TCV comportent des cellules élémentaires utilisées pour la conception des MMIC comme des transistors ou des éléments passifs. On les soumet à des essais de durée de vie (jusqu'à 4000 heures par exemple) à deux températures différentes avec des conditions de polarisation suffisamment contraignantes pour englober la plus grande partie du domaine d'utilisation. Après avoir défini des critères de défaillances de paramètres significatifs, on en déduit les énergies d'activation pour les différents constituants du MMIC.

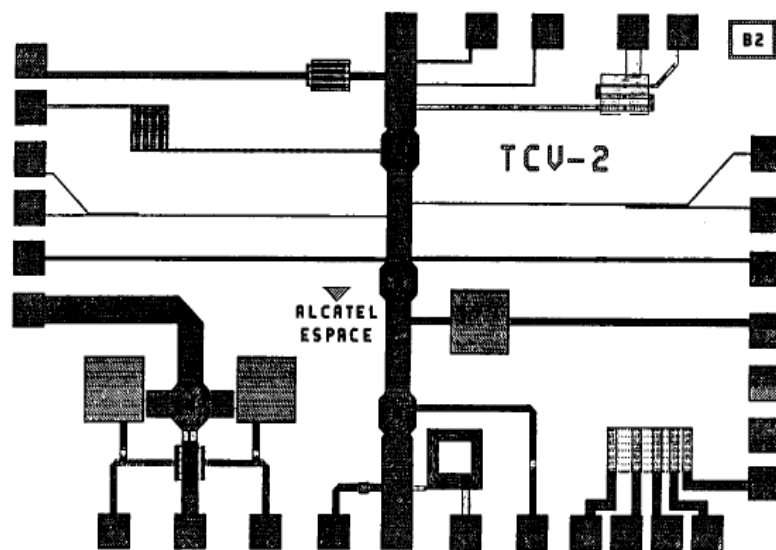


Figure I-36 : Schéma du TCV utilisé pour la qualification de la filière HAV (MESFET 0,5 μ m) de la fonderie TriQuint [BEN94].

- La phase 2 fut l'évaluation d'un domaine fonctionnel à travers le test de durée de vie RF, mené sur un circuit intégré DEC (Dynamic Evaluation Circuit). Celui-ci peut être représentatif des applications typiques des MMIC, tel qu'un amplificateur de canal comprenant trois MMIC : Un amplificateur bas-niveau (LLA), un atténuateur (ATT) et un correcteur (COR) par exemple [BEN94] (Figure I-37 et Figure I-38).

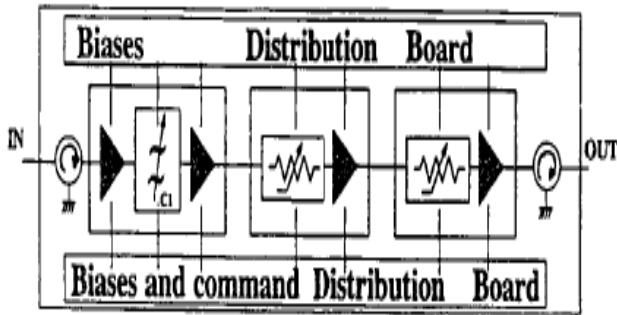


Figure I-37 : Un diagramme des trois étages constituant l'amplificateur de canal [BEN94].

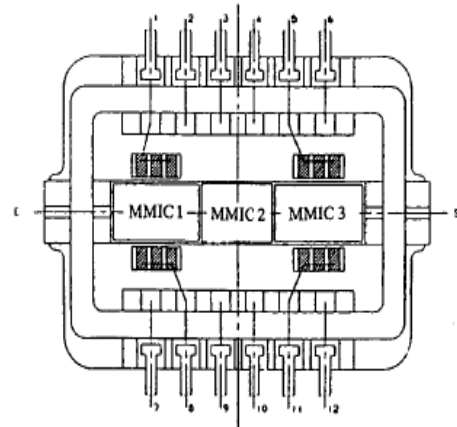


Figure I-38 : Schéma du micro-boîtier de l'amplificateur de canal contenant trois MMIC en série : LLA, ATT et COR [BEN94].

La Figure I-39 présente un exemple de banc de test de vieillissement accéléré DC et RF utilisé pour les études de fiabilité et pour la qualification spatiale des MMIC à Alcatel Alenia Space.

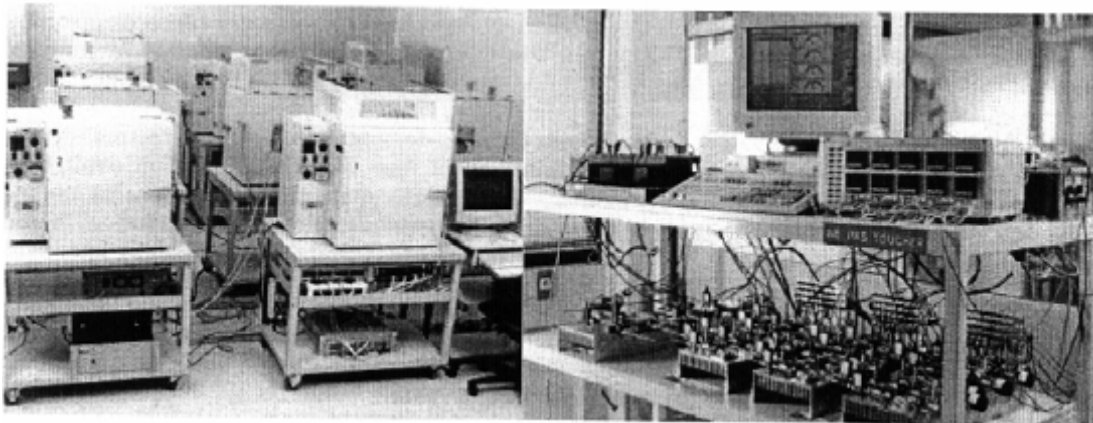


Figure I-39 : Un exemple de banc de test de vieillissement accéléré DC (à gauche) et RF (à droite) utilisés pour les études de fiabilité et pour la qualification spatiale des MMIC (Alcatel Alenia Space).

Un deuxième exemple de qualification spatiale de la technologie PH25 (UMS) est présenté dans la référence [HUG99]. Dans le cadre du plan d'évaluation de cette technologie, trois structures de test ont été mises en œuvre :

- Un TCV (Technology Characterisation Vehicule) (Figure I-40) comprenant des dispositifs élémentaires tel que les transistors, les résistances, les capacités,... Les tests effectués avec le TCV permettent de faire un diagnostic des mécanismes de dégradation de chaque élément du MMIC.

- Un DEC (Dynamic Evaluation Circuit) (Figure I-41) comprenant un amplificateur, à un étage, fonctionnant dans la bande X. Le DEC permet de compléter les tests effectués sur le TCV par des tests RF.
- Un RIC (Representative Integrated Circuit) (Figure I-42) comprenant un amplificateur MMIC faible bruit, à deux étages, fonctionnant dans la bande Ku. Le RIC est représentatif du produit PH25.

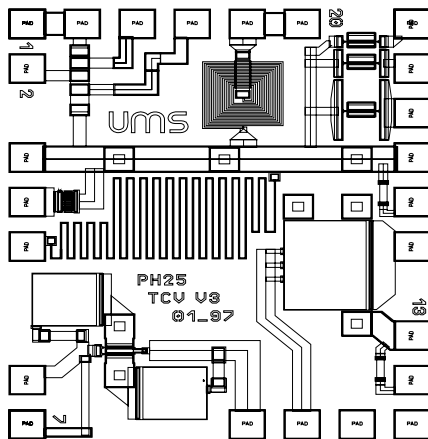


Figure I-40 : Schéma du TCV (UMS)

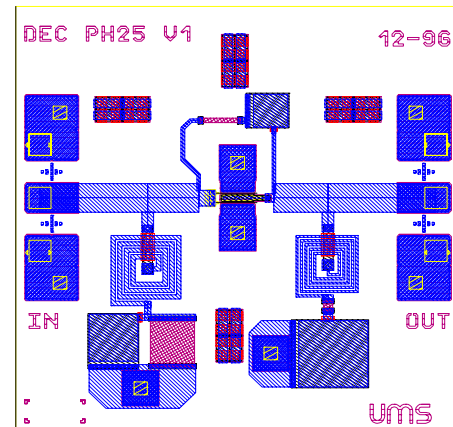


Figure I-41 : Schéma du DEC (UMS)

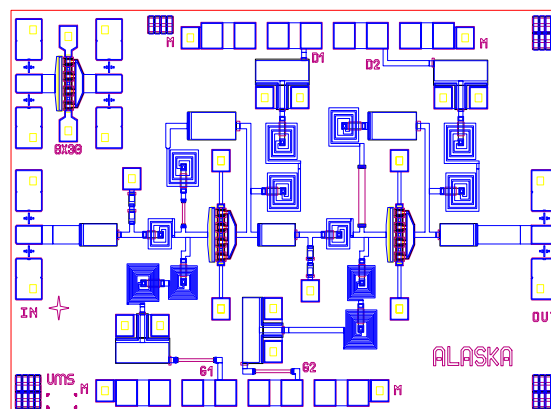


Figure I-42 : Schéma du RIC (UMS)

La Figure I-43 présente le plan d'évaluation de la technologie PH25 dont le but est de valider le domaine de fonctionnement de cette technologie et d'évaluer le taux de défaillance du circuit représentatif. Ce plan d'évaluation comprend :

- Des tests de stockage à haute température (275°C) afin de détecter les mécanismes liés au phénomène de diffusion des contacts.

- Des tests de vieillissement en mode statique en tension et/ou en courant, à des températures moyennes, afin d'évaluer les valeurs maximales des paramètres électriques de la technologie.
- Des tests de vieillissement en mode dynamique afin de déterminer la puissance maximale RF.
- Des tests effectués sur le RIC à des températures moyennes (175°C, 200°C et 235°C) afin de donner une estimation du taux de défaillance du circuit pendant toute la durée d'utilisation.

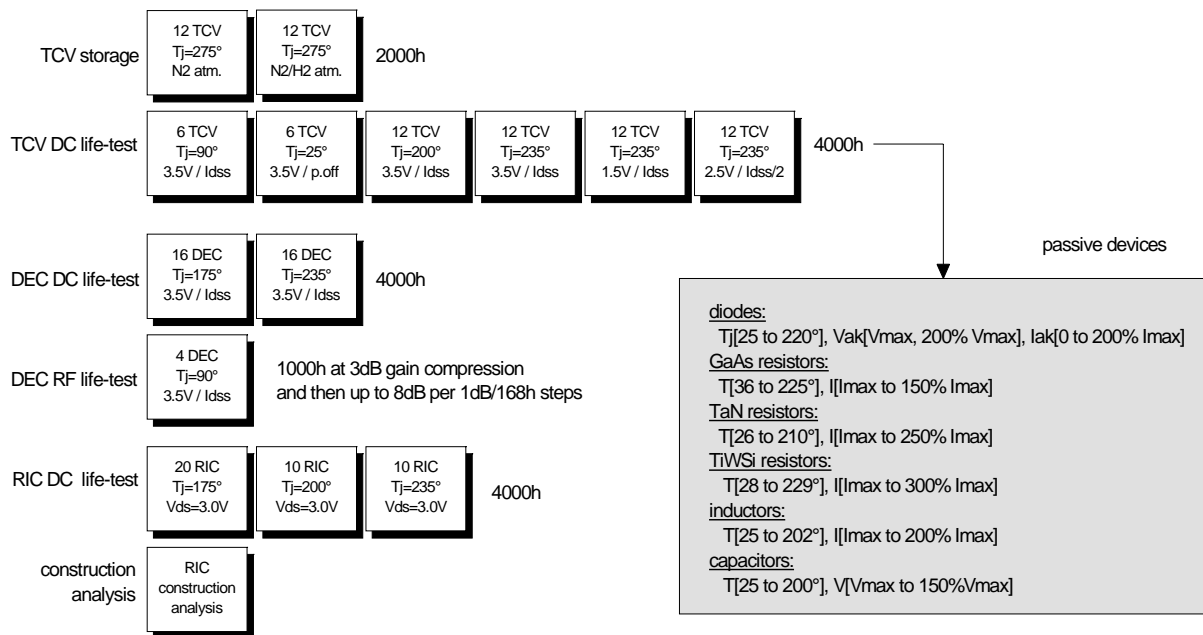


Figure I-43 : Plan d'évaluation de la technologie PH25 (UMS) [HUG99].

Conclusion

La forte concurrence industrielle et les exigences en fréquence et en puissance ont permis l'apparition et le développement de technologies à effet de champ performantes sur substrats GaAs et InP. Les filières HEMT GaN apparaissent prometteuses pour concurrencer dans un futur proche ces filières traditionnelles.

L'avantage de la structure des HEMT et des PHEMT sur GaAs par rapport aux MESFET et DCFET est que les électrons présentent une plus forte mobilité et donc ces dispositifs peuvent fonctionner à des hautes fréquences. Cependant, ces technologies sont très coûteuses puisque les couches à réaliser sont de très faible épaisseur et les performances du transistor exigent une grande qualité cristalline de l'hétérostructure où se localise le gaz bidimensionnel. Les transistors réalisés sur substrat InP sont bien plus performants que ceux réalisés sur substrat GaAs car ils bénéficient de l'hétérojonction AlInAs/InGaAs. Cependant, l'utilisation de tels dispositifs dans des applications de puissance est limitée en raison de leur faible tension de claquage et de la fragilité du substrat InP. Les MESFET SiC et les HEMT GaN présentent des avantages potentiels par rapport aux autres composants grâce à leur forte densité de puissance, leur forte immunité aux radiations puisqu'ils disposent d'une grande largeur de la bande interdite, et à leur très bonne conductivité thermique.

Parmi ces technologies, citées précédemment, les FET sur GaAs font l'objet de notre étude puisque ce sont des technologies matures et possèdent une qualification. Notre objectif est d'analyser les mécanismes de dégradation qui peuvent se produire à la suite d'un fonctionnement des FET sur GaAs en régime d'« overdrive » (fortement non linéaire). Ce régime de fonctionnement est pénalisé par l'apparition des électrons chauds qui peuvent être générés par le mécanisme d'ionisation par impact sous l'effet de fortes valeurs de tension V_{dg} . Ce mécanisme se présente comme un facteur déterminant pour l'évaluation de la fiabilité opérationnelle des FET sur GaAs puisqu'il interagit avec les pièges de volume et de surface pour en modifier la densité et parfois la nature.

L'ionisation par impact se traduit sur les transistors à effet de champ par une augmentation anormale du courant de grille, qui se manifeste sur la caractéristique $I_{gs}-V_{gs}$ en inverse par une courbe en cloche, et parfois par une augmentation brutale du courant de drain, qui se manifeste sur le réseau de sortie $I_{ds}-V_{ds}$ par une forme de coude.

Un fonctionnement des FET sur GaAs en régime d'ionisation par impact peut induire les phénomènes de « Power Drift » et « Power Slump » correspondant à une diminution de la

puissance de sortie sous l'effet des pièges de passivation. La vitesse de commutation du transistor est affectée par le retard à la commutation de grille et le retard à la commutation de drain attribués aux pièges de surface et du substrat, respectivement. D'autre part, le piégeage des électrons chauds dans la région située entre la grille et le drain du transistor peut induire un décalage de la tension de seuil et la variation de la tension de claquage du transistor.

La maîtrise et la compréhension de ces mécanismes de dégradation sont très utiles dans le plan de qualification spatiale afin de valider le domaine de fonctionnement du transistor et d'évaluer le taux de défaillance du circuit représentatif.

Références

- [AUG02] S. Augaudy, “Caractérisation et modélisation des transistors microondes, application à l’étude de la linéarité des amplificateurs à fort rendement”, Thèse soutenue le 6 mars 2002 à l’université de Limoges.
- [BAL97] V. R. Balakrishnan et al., “Experimental Evidence of Surface Conduction Contributing to Transconductance Dispersion in GaAs MESFET’s”, IEEE Transactions on Electron Devices, Vol. 44, N°7, pp. 1060-1065, July 1997.
- [BEN94] A. Bensoussan et al., “Reliability of a GaAs MMIC Process Based on 0.5 μm Au/Pd/Ti Gate MESFETs”, in the 32nd Annual Proceeding Reliability Physics, International Reliability Physics Symposium, San Jose, California, pp. 434-445, 1994.
- [BEL90] A. Belhadj, “Étude des effets parasites et des mécanismes de dégradation du transistor à effet de champ à haute mobilité électronique”, Thèse soutenue le 22 mai 1990 à l’université de Limoges.
- [BUD92] J. Bude et al., “Thresholds of impact ionization in semiconductors”, Journal of Applied Physics, Vol. 72, N°8, pp. 3554-3561, October 1992.
- [BOU92] P. Bourel, “Simulation Monte-Carlo bidimensionnelle et étude expérimentale de transistors à effet de champ à hétérojonction AlInAs/GaInAs adaptés en maille sur InP”, Thèse de doctorat, Lille, Février 1992.
- [BOR01] M. Borgarino et al., “Gate-lag effects in AlGaAs/GaAs power HFET’s”, Microelectronics Reliability, Vol. 41, pp. 1585-1589, 2001.
- [CAZ03] J-L Cazaux, “Des MMIC aux MEMS : L’introduction des nouvelles technologies hyperfréquences dans les satellites”, HDR soutenue le 22 décembre 2003.
- [CAN86] C. Canali et al., “Gate metallization sinking into the active channel in Ti/W/Au metallized power MESFETs”, IEEE Electron Device Letters, Vol. 7, pp. 185-187, 1986.
- [CAN91] C. Canali et al., “Impact ionization phenomena in AlGaAs/GaAs HEMT’s”, IEEE Transaction on Electron Devices, Vol. 38, N°11, pp. 2571-2573, November 1991.
- [CAN93] C. Canali et al., “Dependence of Ionisation Current on Gate Bias in GaAs MESFETs”, IEEE Transactions on Electron Devices, Vol. 40, N°3, pp. 498-500, 1993.

- [CAN86] P. C. Canfield et al., "Drain current transient suppression in buried channel GaAs MESFETs", *Semi-Insulating III-V Materials*, pp. 573-578, 1986.
- [CAM85] C. Camacho-Penalosa et al., "Modeling frequency dependence of output impedance of a microwave MESFET at low frequencies", *Electron. Lett.*, Vol. 21, pp. 528-529, 1985.
- [CAN95] C. Canali et al., "Enhancement and degradation of drain current in pseudomorphic AlGaAs/InGaAs HEMT's induced by hot-electrons", *Proc. of International Reliability Physics Symposium, Las Vegas, USA*, pp. 205-211, 1995.
- [CHO01] K. J. Choi et al., "Interpretation of Transconductance Dispersion in GaAs MESFET Using Deep Level Transient Spectroscopy", *IEEE Transactions on Electron Devices*, Vol. 48, N°2, pp. 190-195, February 2001.
- [CUR05] A. Curutchet, "Etude du bruit aux basses fréquences dans les transistors à haute mobilité électronique à base de Nitrure de Gallium", thèse soutenue à l'université Bordeaux 1, Septembre 2005.
- [DEL80] D. Delagebeaudeuf et al., "Two dimensional electron gas MESFET structure", *Elect. Letters*, Vol. 16, pp. 667-668, 1980.
- [DUM85] J. M. Dumas et al., "Analysis of surface-induced degradation of GaAs power MESFETs", *IEEE Electron Device Letters*, EDL-6, pp. 192-194, 1985.
- [DUM87] J. M. Dumas et al., "Development of gate-lag effect on GaAs power MESFETs during aging", *Elec. Lett.*, 23, pp. 139-141, 1987.
- [HAD02] G. Haddad et al., "Microwave Solid-State Active devices", *IEEE Trans. on M.T.T*, Vol. 50, N°3, pp. 760_779, March 2002.
- [HOR00] K. Horio, "Numerical Analysis of Surface-State Effects on Kink Phenomena of GaAs MESFETs", *IEEE Transactions on Electron Devices*, Vol. 47, N°12, pp. 2270-2276, December 2000.
- [HORI99] K. Horio et al., "Analysis of Surface-Related Kink Phenomena of GaAs MESFETs", *GaAs IC*, pp. 167-170, 1999.
- [HOR01] K. Horio et al., "Numerical Analysis of Impact Ionisation Effects on Turn-on Characteristics in GaAs MESFETs", *Proc. Of GaAs 2001 Conference-London*, pp. 135-138, 2001.
- [HOR99] K. Horio et al., "Two-Dimensional Analysis of Surface-State Effects on Turn-On Characteristics in GaAs MESFETs", *IEEE Transactions on Electron Devices*, Vol. 46, N°4, pp. 648-655, April 1999.

- [HUG99] P. Huguet et al., "Evaluation of P-HEMT MMIC technology PH25 for space applications", *Microelectronics Reliability, Proceedings of ESREF'99, France*, Vol 39, N°6/7, pp. 1049-1054, 1999.
- [HUE84] M. Huenshen et al., "Pulse doped MODFETs" *IEEE IEDM Technical Digest, San Francisco, USA*, pp. 438-451, 1984.
- [HUI90] K. Hui et al., "Impact ionization in GaAs MESFET's", *IEEE Electron Device Letters*, Vol. 11, N°3, pp. 113-115, March 1990.
- [HWA99] J. C. M. Hwang, "Relationship between gate Lag, Power Drift, and power slump of pseudomorphic high electron mobility transistors", *Solid-State Electronics*, Vol. 43, pp. 1325-1331, 1999.
- [HWA95] J. C. M. Hwang, "Gradual Degradation under RF Overdrive of MESFETs and PHEMTs", *GaAs IC Symposium*, pp. 81-84, 1995.
- [KHA94] A. Khan et al., "Microwave performance of a 0.25 μm gate AlGaIn/GaN heterostructure field effect transistor", *Applied Physics letters*, Vol. 65, N°9, pp. 1121-1123, August 1994.
- [KRU95] W. Kruppa et al., "Examination of the kink effect in In-AlAs/InGaAs/InP HEMTs using sinusoidal and transient excitation", *IEEE Transactions on Electron Devices*, Vol. 42, pp. 1717-1723, 1995.
- [LAM01] B. Lambert, "Étude de l'influence du mécanisme d'ionisation par impact sur les performances et la fiabilité des transistors à effet de champ sur substrat III-V", Thèse soutenue le 19 Novembre 2001 à l'université Bordeaux 1.
- [LIU02] L. Liu et al., "Substrates for Gallium Nitride epitaxy", *Materials Science and Engineering, R37*, pp. 112, 2002.
- [LIO00] R. E. Lioni et al., "Mechanism for Recoverable Power Drift in PHEMT's", *IEEE Transactions on Electron Devices*, Vol. 47, N°3, pp. 498-506, March 2000.
- [LO96] S-H. Lo et al., "Numerical Analysis of Frequency Dispersion of Transconductance in GaAs MESFET's", *IEEE Transactions on Electron Devices*, Vol. 43, N°2, pp. 213-219, February 1996.
- [MAT90] H. Mathieu, "Physique des semi-conducteurs et des composants électroniques", Masson, ISBN 2-225-82200-X, 1990.
- [MAL96] N. Malbert, "Développement d'une méthodologie et des techniques d'analyse associées permettant l'évaluation de la qualité et de la fiabilité des transistors à haute mobilité électronique", Thèse soutenue le 10 janvier 1996 à l'université Bordeaux 1.

- [MAH99] H. Maher, “Transistor à effet de champ sur substrat InP à canaux composites : structure, technologie et caractérisation”, thèse soutenue à l’université, Paris XI Orsay, 1999.
- [MAZ01] A. Mazzanti et al., “Dependence of Impact Ionization and Kink on Surface-Deep Level Dynamics in AlGaAs/GaAs HFETs”, Proceedings EDMO 2001, Vienna, pp. 137-142, 2001.
- [MAZ02] A. Mazzanti et al., “Physics-Based Explanation of Kink Dynamics in AlGaAs/GaAs HFETs”, IEEE Transactions on Electron Devices, Vol. 23, N°7, pp. 383-385, July 2002.
- [MEN97] G. Meneghesso et al., “Development of “KINK” in the output I-V characteristics of pseudomorphic HEMTs after hot-electron accelerated testing”, Microelectronics Reliability, Vol. 37, N°10/11, pp. 1679-1682, 1997.
- [MENO96] R. Menozzi et al., “The effect of hot electron stress on the DC and microwave characteristics of AlGaAs/InGaAs/GaAs PHEMTs,” Microelectronics Reliability, Vol. 36, pp. 1899-1902, 1996.
- [MEN96] R. Menozzi, et al., “Breakdown Walkout in Pseudomorphic HEMT’s ”, IEEE Transactions on Electron Devices, Vol. 43, N°4, pp. 543-546, April 1996.
- [MIM80] T. Mimura et al., “A new field effect transistor with selectively doped GaAd/n-AlGaAs heterostructure”, Japan J. Appli. Phys., Vol. 19, pp. L225-L227, 1980.
- [MOO94] A. A. Moolji et al., “Impact ionization in InAlAs/InGaAs HFET’s”, IEEE Electron Device Letters, Vol. 15, N°8, pp. 313-315, August 1994.
- [MUR97] J-L. Muraro, “Conditions optimales de fonctionnement pour la fiabilité des transistors à effet de champ micro-ondes de puissance”, Thèse soutenue le 25 mars 1997 à l’université Paul Sabatier de Toulouse.
- [NAK00] S. Nakajima et al., “On the Frequency Dependent Drain Conductance of Ion-Implanted GaAs MESFETs”, IEEE Transactions on Electron Devices, Vol. 47, N°12, pp. 2255-2259, December 2000.
- [PAC91] A. Paccagnella et al., “Correlation Between Surface-State Density and Impact Ionization Phenomena in GaAs MESFET’s”, IEEE Transactions on Electron Devices, Vol. 38, N°12, pp. 2682-2684, December 1991.
- [PEN76] R. Pengelly et al., “Monolithic broadband GaAs FET amplifiers”, Electron. Lett., Vol. 12, pp. 251-252, May 1976.
- [PEA00] S. J. Pearton et al., “Fabrication and performance of GaN electronic devices”, Materials Science and Engineering, R30, pp. 55-212, 2000.

- [PIO83] A. Piotrowska et al., “Ohmic contact to III-V compounds : a review of fabrication techniques”, *Solid State Electronics*, Vol. 26, N°3, pp. 173, 1983.
- [ROC85] M. Rocchi, “Status of the surface and bulk parasitic effects limiting the performances of GaAs ICs”, *Physica B*, Vol. 129, pp. 119-138, 1985.
- [SOM00] M. H. Somerville et al., “A Physical Model for the Kink Effect in InAlAs/InGaAs HEMT’s”, *IEEE Transactions on Electron Devices*, Vol. 47, N°5, pp. 922-930, May 2000.
- [TED01] E. Tediosi et al., “Surface effects on turn-off characteristics of AlGaAs/GaAs HFETs”, *Electronic Letters*, Vol. 37, N°11, pp. 719-720, May 2001.
- [UMA02] G. A. Umana-Membreno et al., “⁶⁰CO gamma-irradiation-induced defects in n-GaN”, *Applied Physics Letters*, Vol. 80, N°23, pp. 4354-4356, June 2002.
- [WAK02] A. Wakabayashi et al., “Analysis of Gate-Lag Phenomena in Recessed-Gate and Buried-Gate GaAs MESFETs”, *IEEE Transactions on Electron Devices*, Vol. 49, N°1, pp. 37-41, January 2002.
- [WEB00] R. T. Webster et al., “Impact Ionization in InAlAs/InGaAs/InAlAs HEMT’s”, *IEEE Electron Device Letters*, Vol. 21, N°5, pp. 193-195, May 2000.
- [ZAN91] E. Zanoni et al., “Correlation between impact ionisation, recombination and visible light emission in GaAs MESFETs”, *Electronic Letters*, Vol. 27, N°9, pp. 770-772, 1991.
- [ZIM92] T. Zimmer et al., “Kink effect in HEMT structures : A trap-related semiquantitative model and an empirical approach for SPICE simulation”, *Solid State Electronics*, Vol. 35, N°10, pp. 1543-1548, 1992.

Chapitre II :

**Analyse des caractéristiques de
claquage des transistors FET**

Introduction

Dans le premier chapitre de ce manuscrit, une étude des performances des filières technologiques, candidates pour être intégrées dans la charge utile du satellite, a été présentée. L'objectif de ce deuxième chapitre est d'évaluer et de comparer leur robustesse vis à vis d'un fonctionnement en « overdrive » en régime non-linéaire pour effectuer un choix technologique approprié à l'application envisagée. Cette étude est basée sur des caractérisations électriques spécifiques :

- Caractéristiques électriques statiques classiques (réseau I_{ds} - V_{ds} , caractéristiques de transfert I_{ds} - V_{gs} , caractéristique de la diode Schottky)
- Caractéristiques I_{gs} - V_{gs} pour de fortes valeurs V_{ds} pour caractériser l'influence du mécanisme d'ionisation par impact, et évaluer le niveau du courant de fuite inverse du transistor,
- Lieux et tensions de claquage « off-state » et « on-state » pour différentes conditions de claquage.

Dans ce chapitre, nous nous intéressons de manière approfondie à l'analyse et à l'interprétation des caractéristiques de claquage « on-state » et « off-state » du transistor. En effet, un fonctionnement de l'amplificateur dans les conditions d'« overdrive » pousse le cycle de charge du transistor vers de fortes valeurs de tension drain-grille proches des tensions de claquage du transistor. Par conséquent, une compréhension approfondie de la forme du lieu de claquage ainsi que des mécanismes physiques liés à chaque région du lieu de claquage sont des éléments importants dans l'étude de la fiabilité du transistor lors d'un fonctionnement dans ces conditions critiques. En régime de fonctionnement fortement non linéaire, le cycle de charge du transistor peut balayer des régimes de fonctionnement passant et bloqué du transistor auxquels correspondent des lieux de claquage « on-state » et « off-state », respectivement.

La première partie de ce chapitre est consacrée à la présentation des dispositifs MESFET, PHEMT et PPHEMT étudiés.

Dans la deuxième partie de ce chapitre, on présente une étude détaillée et approfondie des lieux de claquage du transistor. Dans un premier temps, on étudie la corrélation entre la forme du lieu de claquage « off-state » et le réseau de sortie I_{ds} - V_{ds} du transistor et on présente une comparaison des caractéristiques de claquage « off-state » des dispositifs sous test. Dans un deuxième temps, on étudie la dépendance de la forme du lieu de claquage

« on-state » en fonction de la caractéristique I_{gs} - V_{gs} en inverse du transistor et on présente une comparaison des lieux de claquage « on-state » des dispositifs sous test. L'objectif de cette partie est de définir l'aire de fonctionnement du transistor avant vieillissement.

La troisième partie de ce chapitre présente l'évolution, avec la température, des lieux de claquage « on-state » et « off-state » du transistor.

I. Présentation des technologies étudiées

1. Technologie MESFET A

Les principales caractéristiques du transistor sont les suivantes :

- Technologie MESFET.
- Une structure à simple sillon.
- Une grille de type Au/Pd/Ti.
- La longueur de grille est de $0,6 \mu\text{m}$.
- La largeur de grille est de $6 \times 50 \mu\text{m}$ (la grille est formée de 6 doigts).
- L'épaisseur de grille est de $0,65 \mu\text{m}$.
- La distance entre la grille et la métallisation de source/drain est de $2 \mu\text{m}$.

Les figures II-1 et II-2 montrent, respectivement, une vue du véhicule de test de la technologie (TCV) et du MESFET au microscope optique.

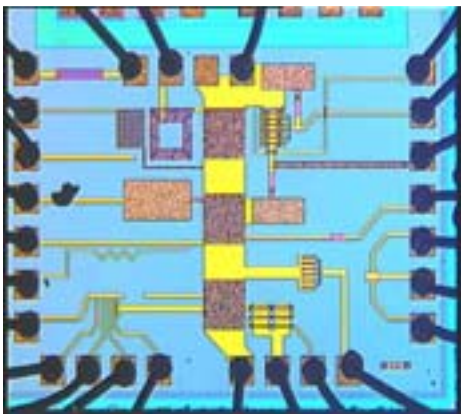


Figure II-1 : Vue du TCV du MESFET A au microscope optique.

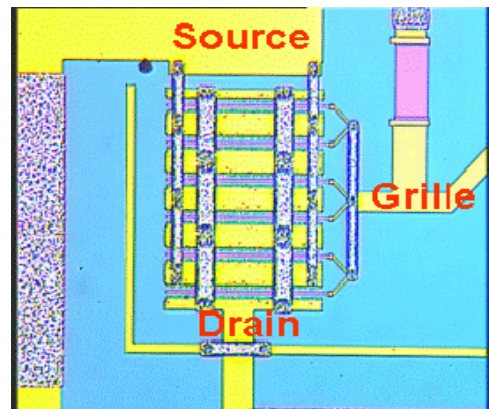


Figure II-2 : Vue du MESFET A au microscope optique.

Les figures II-3, II-4 et II-5 illustrent, respectivement, les caractéristiques de sortie $I_{ds_V_{ds}}$, de transfert $I_{ds_V_{gs}}$ et les caractéristiques $I_{gs_V_{gs}}$ en inverse du MESFET A.

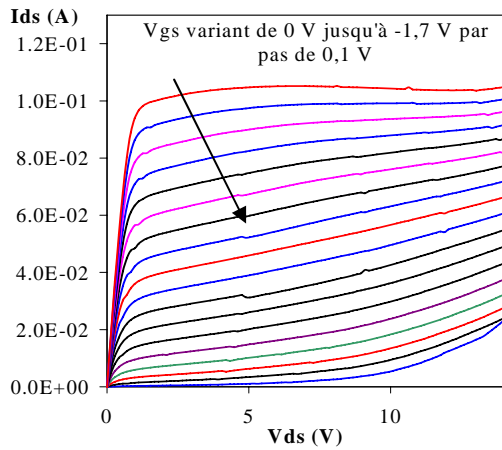


Figure II-3 : Caractéristiques de sortie I_{ds} _V $_{ds}$ du MESFET A

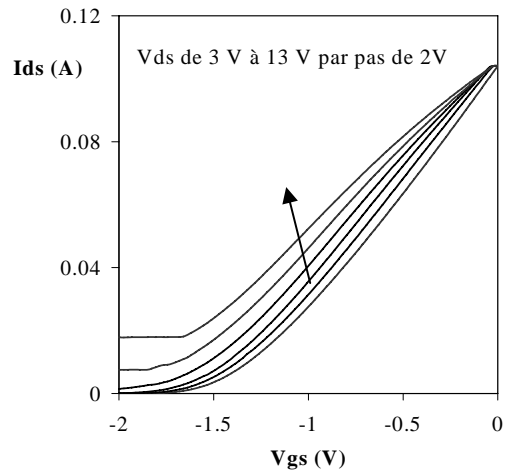


Figure II-4 : Caractéristiques de transfert I_{ds} _V $_{gs}$ du MESFET A

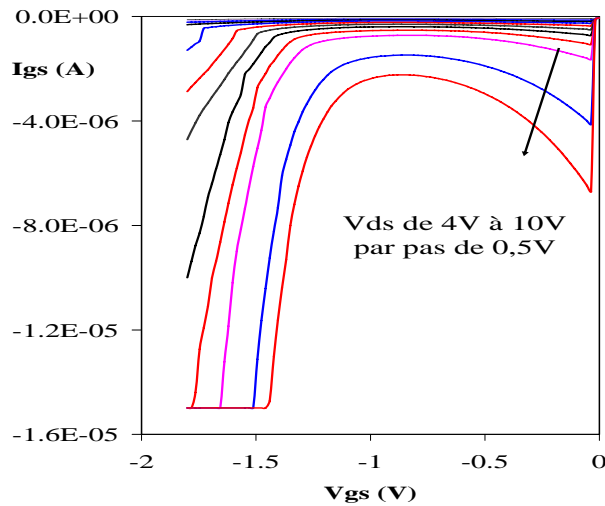


Figure II-5 : Caractéristiques I_{gs} _V $_{gs}$ en inverse du MESFET A.

On remarque une augmentation de I_{ds} au pincement pour une tension drain-source supérieure à 8V (figures II-3 et II-4). Cette augmentation est probablement attribuée au claquage de la diode grille-drain et est donc associée à la forte augmentation de I_{gs} sur la caractéristique I_{gs} -V $_{gs}$ en inverse, pour des tension de polarisation V $_{gs}$ inférieures à -1,2V, (Figure II-5) puisque, lors du claquage de la diode grille-drain, le courant de drain est égal au courant de grille.

Pour cette technologie, l'ionisation par impact se produit à canal ouvert pour une tension de seuil V $_{ds}$ de 8V.

2. Technologie MESFET B

Les principales caractéristiques du transistor sont les suivantes :

- Technologie MESFET.
- Une structure à simple sillon.
- Une grille de type Ti/Pt/Au.
- La longueur de grille est de $0,5 \mu\text{m}$.
- La largeur de grille est de $6 \times 50 \mu\text{m}$ (la grille est formée de 6 doigts).
- Contacts ohmiques : AuGeNi.

La Figure II-6 montre une vue de dessus du transistor MESFET B.

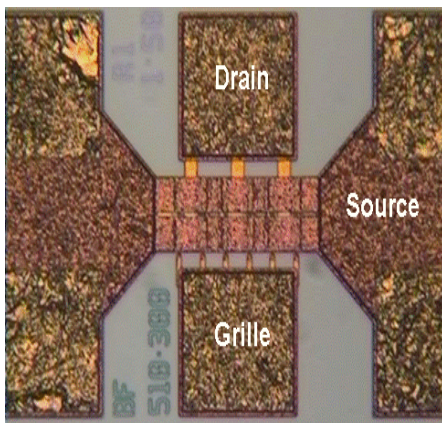


Figure II-6 : Vue du MESFET B au microscope optique.

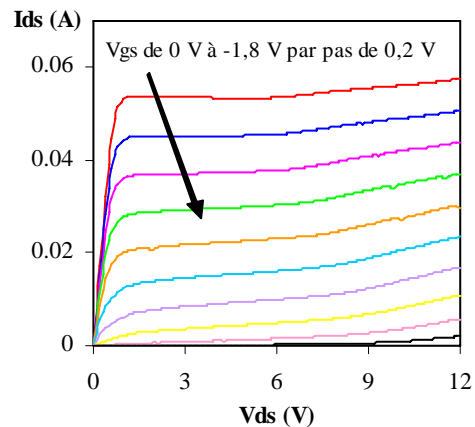


Figure II-7 : Caractéristiques de sortie I_{ds} _ V_{ds} du MESFET B.

Les figures II-7, II-8 et II-9 montrent, respectivement, les caractéristiques de sortie I_{ds} _ V_{ds} et de transfert I_{ds} - V_{gs} et les caractéristiques I_{gs} _ V_{gs} en inverse du MESFET B.

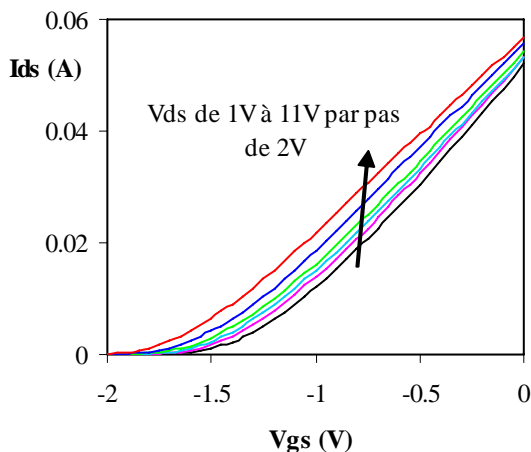


Figure II-8 : Caractéristiques de transfert I_{ds} _ V_{gs} du MESFET B.

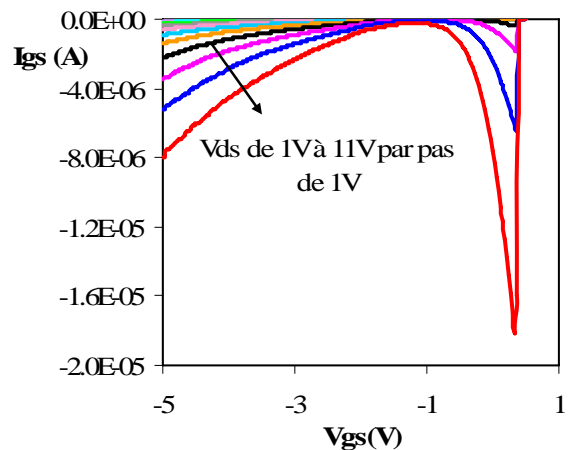


Figure II-9 : Caractéristiques I_{gs} _ V_{gs} en inverse du MESFET B.

On remarque le déclenchement de l'effet de coude, sur le réseau de sortie I_{ds} - V_{ds} (Figure II-7), pour une tension drain-source de l'ordre de 8V, ce qui correspond à la tension

seuil V_{ds} d'apparition de la courbe en cloche (Figure II-9). L'effet de coude est corrélé avec le décalage de la tension de seuil du transistor vers les valeurs négatives (Figure II-8). Ce phénomène est probablement induit par l'interaction des porteurs générés par ionisation par impact avec les pièges de surface [MAZ01].

Pour cette technologie, l'ionisation par impact se produit à canal ouvert avec un maximum de la courbe en cloche centré sur une tension de grille de 0,3V.

3. Technologies PHEMT A, PHEMT A' et PHEMT B

Les dispositifs PHEMT A, PHEMT A' et PHEMT B représentent la même technologie. Ils se diffèrent par la géométrie de grille. Les principales caractéristiques des transistors sont les suivantes :

- Technologie HEMT pseudomorphique à canal InGaAs.
- Structure à simple sillon.
- Grille de type TiAl.
- La longueur de grille est de $0,2\mu\text{m}$.
- La largeur de grille est de $6 \times 30\mu\text{m}$ pour le PHEMT A et PHEMT A' et $6 \times 50\mu\text{m}$ pour le PHEMT B (la grille est formée de 6 doigts).
- L'épaisseur de grille est de 360 nm.
- Grille équidistante par rapport à la source et au drain.
- Structure des couches : AlGaAs / InGaAs / GaAs réalisées par MOVPE (Metal-Organic Vapour Phase Epitaxy).

Les figures II-10 (a) et (b) montrent, respectivement, une photographie du boîtier de test du PHEMT A et une vue de dessus au microscope optique du PHEMT B.

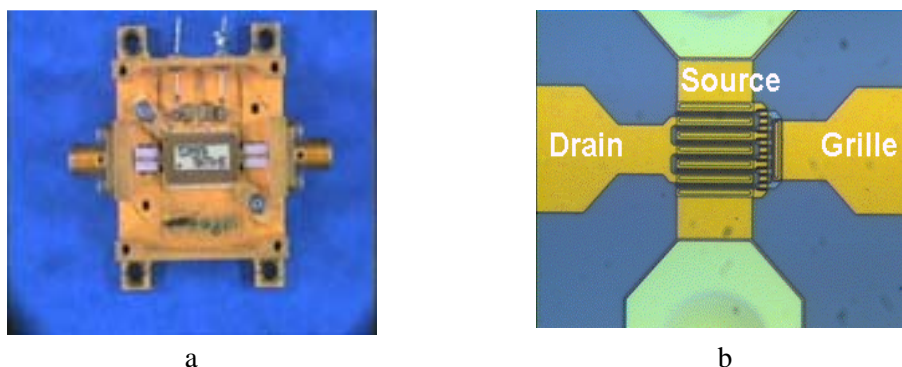


Figure II-10 : (a) : Photographie du boîtier de test du PHEMT A ; (b) : Vue du PHEMT B au microscope optique.

Les figures II-11, II-12 et II-13 illustrent, respectivement, le réseau de sortie $I_{ds_V_{ds}}$ du PHEMT A, PHEMT A' et PHEMT B.

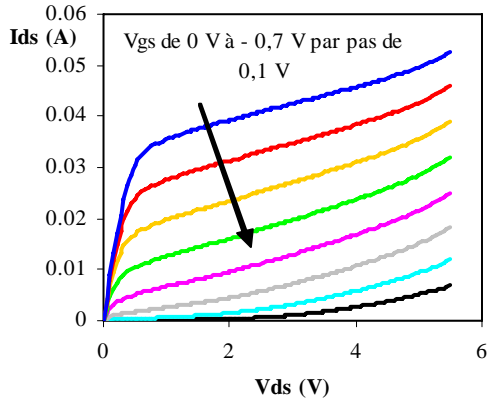


Figure II-11 : Caractéristiques de sortie Ids_Vds du PHEMT A.

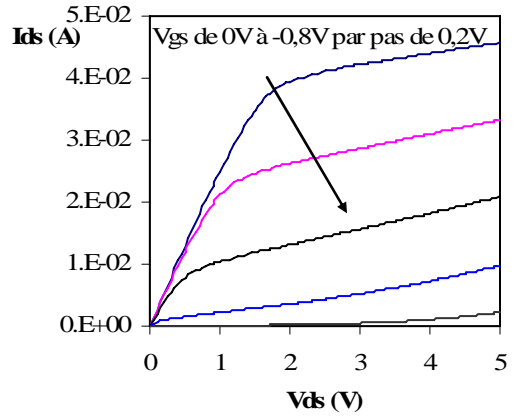


Figure II-12 : Caractéristiques de sortie Ids_Vds du PHEMT A'.

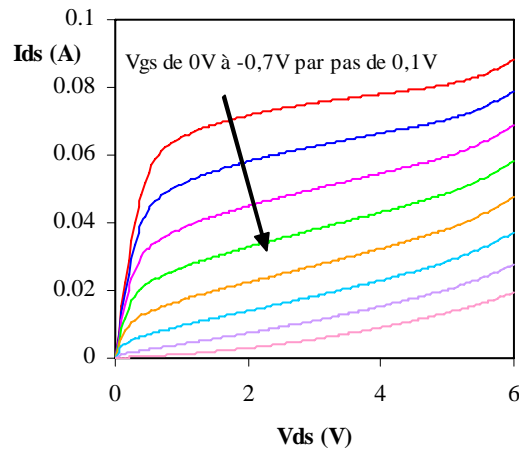


Figure II-13 : Caractéristiques de sortie Ids_Vds du PHEMT B.

Les figures II-14, II-15 et II-16 illustrent, respectivement, les caractéristiques de transfert Ids-Vgs du PHEMT A, PHEMT A' et PHEMT B.

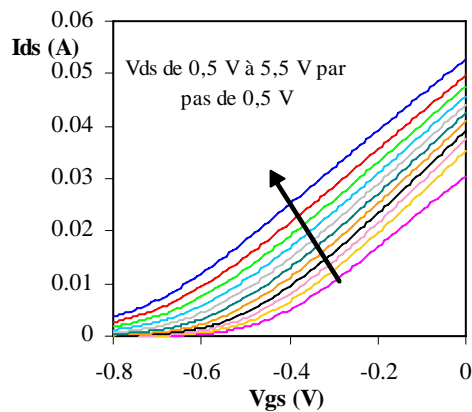


Figure II-14 : Caractéristiques de transfert Ids_Vgs du PHEMT A.

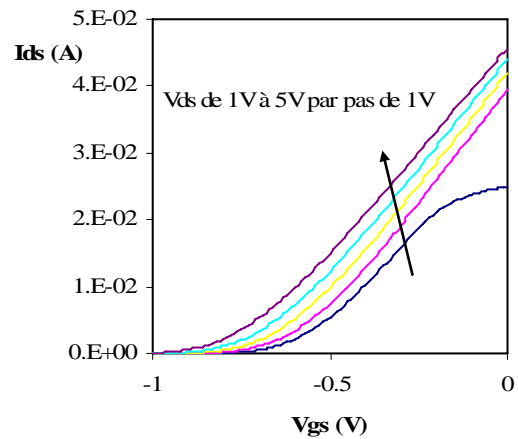


Figure II-15 : Caractéristiques de transfert Ids_Vgs du PHEMT A'.

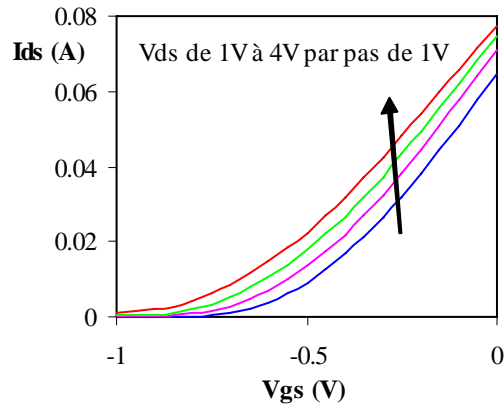


Figure II-16 : Caractéristiques de transfert I_{ds_Vgs} du PHEMT B.

Les figures II-17, II-18 et II-19 illustrent, respectivement, les caractéristiques I_{gs_Vgs} en inverse du PHEMT A, PHEMT A' et PHEMT B.

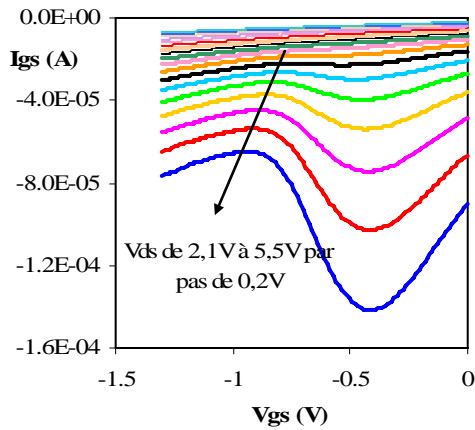


Figure II-17 : Caractéristiques I_{gs_Vgs} en inverse du PHEMT A.

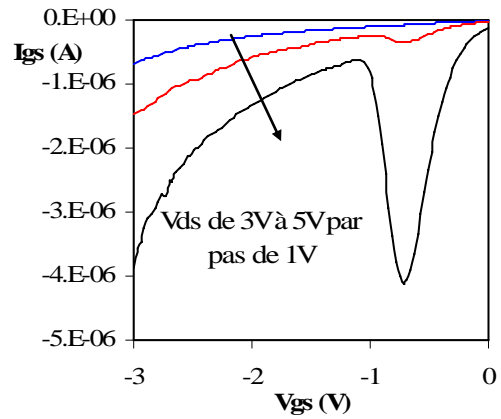


Figure II-18 : Caractéristiques I_{gs_Vgs} en inverse du PHEMT A'.

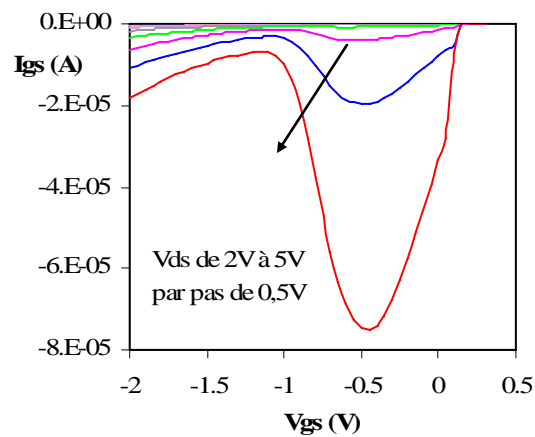


Figure II-19 : Caractéristiques I_{gs_Vgs} en inverse du PHEMT B.

Pour les PHEMT A, PHEMT A' et PHEMT B, l'ionisation par impact se produit pour des tensions de polarisation de grille qui s'étendent du régime à canal ouvert au régime à canal pincé et pour une tension de polarisation drain-source supérieure à 4V. Le maximum de la courbe en cloche correspond à une tension V_{gs} proche de -0,5V.

4. Technologie PHEMT C

Les principales caractéristiques du transistor sont les suivantes :

- Technologie HEMT pseudomorphique à canal InGaAs.
- La longueur de grille est de 0,2 μ m.
- La largeur de grille est de 4x75 μ m.

La Figure II-20 montre une vue du PHEMT C.

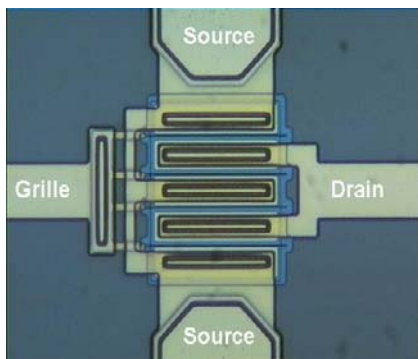


Figure II-20 : Vue du PHEMT C au microscope optique.

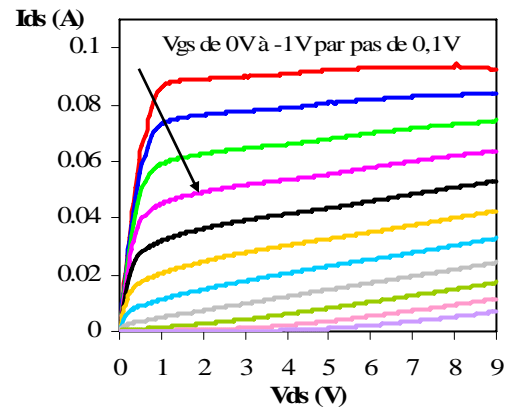


Figure II-21 : Caractéristiques de sortie I_{ds} _V $_{ds}$ du PHEMT C.

Les figures II-21, II-22 et II-23 illustrent, respectivement, le réseau de sortie I_{ds} _V $_{ds}$, les caractéristiques de transfert I_{ds} _V $_{gs}$ et les caractéristiques I_{gs} _V $_{gs}$ en inverse du PHEMT C.

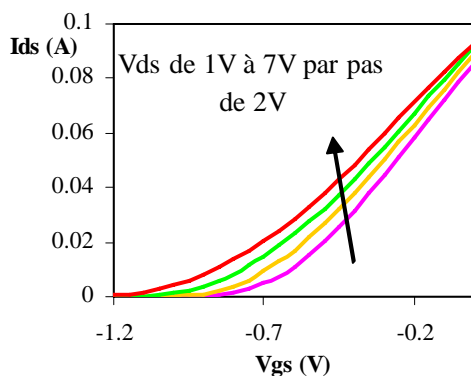


Figure II-22 : Caractéristiques de transfert I_{ds} _V $_{gs}$ du PHEMT C.

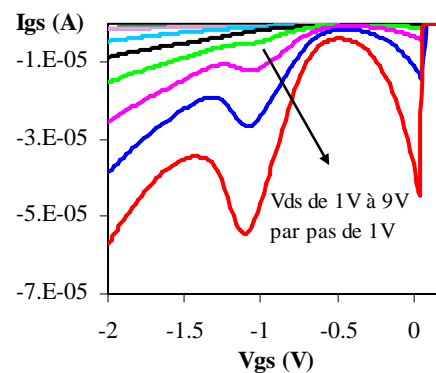


Figure II-23 : Caractéristiques I_{gs} _V $_{gs}$ en inverse du PHEMT C.

L'ionisation par impact se produit à canal ouvert et à canal fermé pour une polarisation drain-source supérieure à 6 V. La courbe en cloche, observée pour V_{gs} correspondant au pincement, est corrélée au phénomène d'ionisation par impact qui se produit dans le canal bidimensionnel InGaAs, alors que la courbe en « cloche », observée pour V_{gs} proche de 0V, est corrélée au phénomène d'ionisation par impact qui se produit probablement dans le canal AlGaAs. Il correspond donc à l'effet MESFET parasite.

On remarque le déclenchement de l'effet de coude, sur le réseau de sortie I_{ds} - V_{ds} (Figure II-21), pour une tension V_{gs} comprise entre -0,4V et 0V, ce qui correspond à l'apparition de la courbe en cloche parasite à canal ouvert (Figure II-23). Par conséquent, pour cette technologie, l'effet de coude peut être lié à l'interaction des porteurs générés par ionisation par impact dans la couche AlGaAs avec les pièges localisés entre la grille et le drain du transistor.

6. Technologie PHEMT D

Les principales caractéristiques du transistor sont les suivantes :

- HEMT pseudomorphique à canal InGaAs.
- La longueur de grille est de 0,15 μm .
- La largeur de grille est de 4x50 μm .
- L'épaisseur de grille est de 50 μm .
- Métal de grille : Ti/Al/Mo.
- Métal des contacts ohmiques de drain et source : AuGe/Ni/Au.
- Passivation : SiN.

Les figures II-24, II-25 et II-26 illustrent, respectivement, le réseau de sortie I_{ds} - V_{ds} , les caractéristiques de transfert I_{ds} - V_{gs} et les caractéristiques I_{gs} - V_{gs} en inverse du PHEMT D.

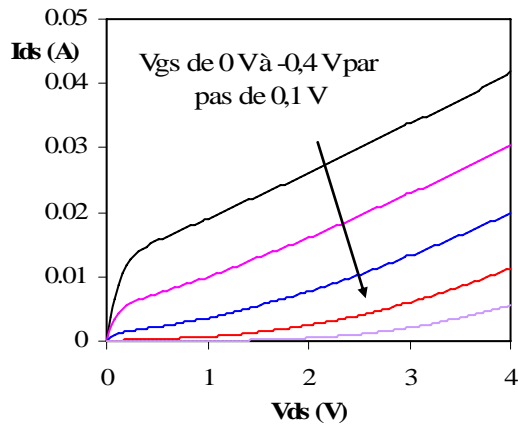


Figure II-24 : Caractéristiques de sortie I_{ds_Vds} du PHEMT D.

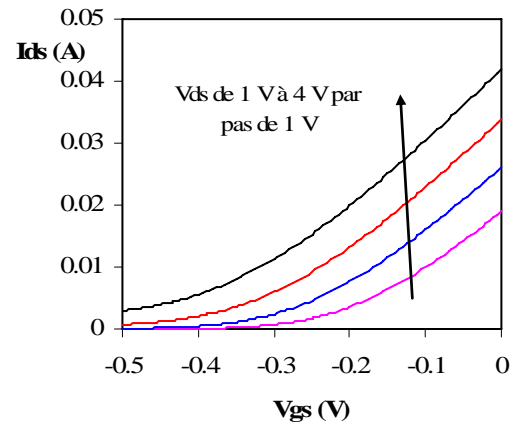


Figure II-25 : Caractéristiques de transfert I_{ds_Vgs} du PHEMT D.

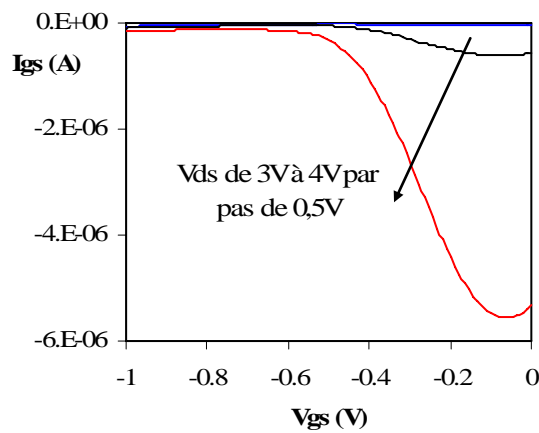


Figure II-26 : Caractéristiques I_{gs_Vgs} en inverse du PHEMT D.

Pour cette technologie, l'ionisation par impact se produit pour des valeurs de V_{gs} qui s'étendent du régime à canal ouvert au régime à canal pincé avec un maximum de la courbe en cloche centré sur une tension de grille de $-0,05V$ (Figure II-26). On remarque que cette technologie présente une forte valeur de la conductance (Figure II-24).

7. Technologie PPHEMT

Les principales caractéristiques du transistor sont les suivantes :

- HEMT pseudomorphique de puissance (PPHEMT) à double plan de dopage.
- La longueur de grille est de $0,25 \mu m$.
- La largeur de grille est de $6 \times 50 \mu m$.
- Structure à double sillon.
- Grille en forme de T.
- Métal de grille: AlNi.

- Métal des contacts ohmiques : AuGeNi.
- Structure des couches : AlGaAs/InGaAs/AlGaAs/GaAs réalisées par MBE (Molecular Beam Epitaxy).

La Figure II-27 montre une vue du PPHEMT.

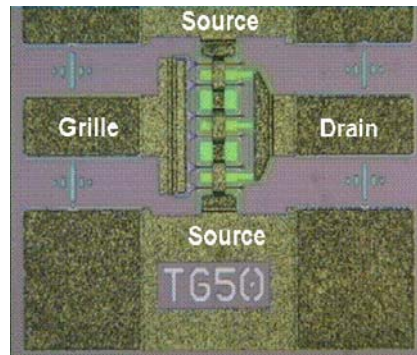


Figure II-27 : Vue du PPHEMT au microscope optique.

Les figures II-28, II-29 et II-30 illustrent, respectivement, les caractéristiques de sortie I_{ds} - V_{ds} , les caractéristiques de transfert I_{ds} - V_{gs} et les caractéristiques I_{gs} - V_{gs} en inverse du PPHEMT.

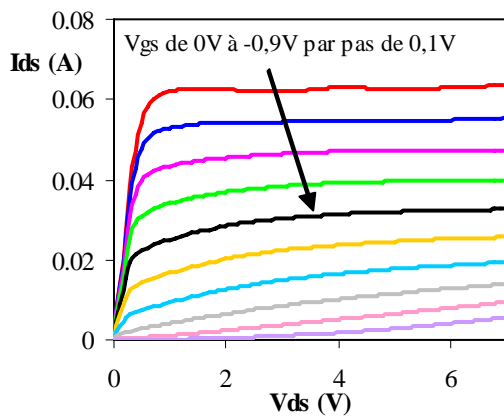


Figure II-28 : Caractéristiques de sortie I_{ds} - V_{ds} du PPHEMT.

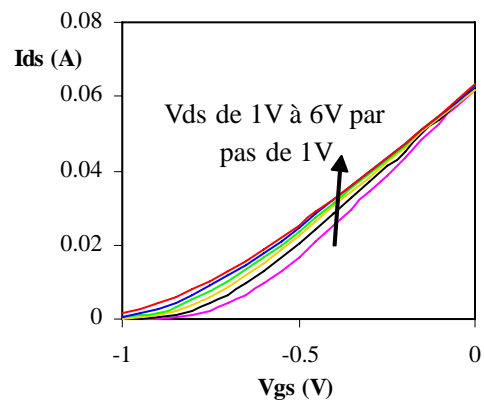


Figure II-29 : Caractéristiques de transfert I_{ds} - V_{gs} du PPHEMT.

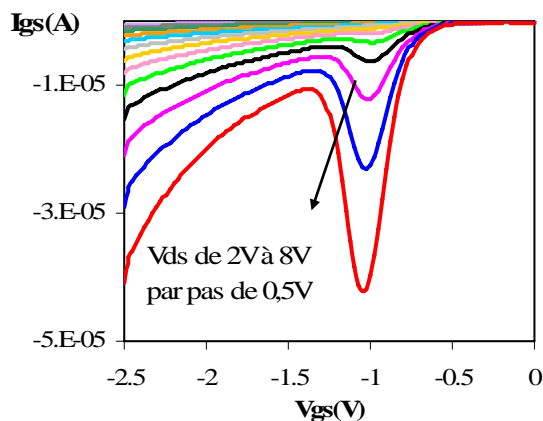


Figure II-30 : Caractéristiques I_{gs} - V_{gs} en inverse du PPHEMT.

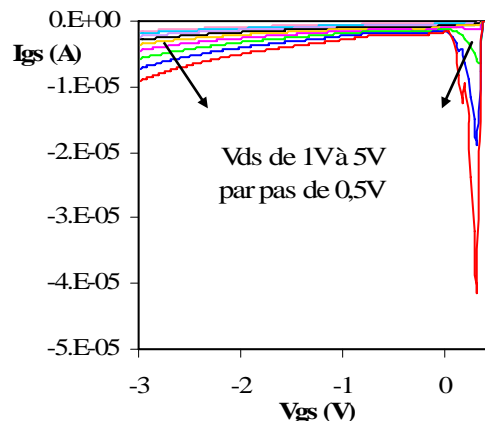


Figure II-31 : Caractéristiques I_{gs} - V_{gs} en inverse du PPHEMT : apparition de la cloche parasite.

Pour cette technologie, l'ionisation par impact se produit à canal pincé, pour une tension de polarisation drain-source supérieure à 5,5V, avec un maximum de la courbe en cloche centré sur une tension de polarisation de grille de -1V (Figure II-30). On remarque, comme pour la technologie PHEMT C, l'apparition d'une courbe en cloche parasite à canal ouvert (Figure II-31), et qui peut être corrélée au phénomène d'ionisation par impact qui se produit dans le canal AlGaAs du MESFET parasite.

On remarque une augmentation de I_{ds} au pincement pour une tension V_{ds} supérieure à 5,5V. Ce phénomène peut être en partie dû au mécanisme d'ionisation par impact.

8. Comparaison des dispositifs étudiés

D'après les caractéristiques I_{gs} - V_{gs} en inverse des dispositifs étudiés, on remarque que :

- Le mécanisme d'ionisation par impact se produit à canal ouvert pour les MESFET, alors qu'il se produit près du pincement pour les PHEMT et PPHEMT.
- Pour les PHEMT C et PPHEMT, une courbe en cloche parasite apparaît à canal ouvert et peut être corrélée au phénomène d'ionisation par impact qui se produit dans le canal AlGaAs du MESFET parasite.

Le Tableau II-1 présente les principales caractéristiques électriques et technologiques des dispositifs étudiés. On remarque que le MESFET A présente une valeur de courant de saturation I_{dss} supérieure à celle des autres dispositifs. Le PHEMT D présente la plus faible valeur de courant de saturation I_{dss} alors qu'il montre les meilleures performances en terme de transconductance maximale $G_{m\max}$ si on le compare avec les autres dispositifs.

Dispositifs	Longueur de grille L_g (μm)	Largeur de grille W_g (μm)	I_{dss} (mA/mm) ($V_{gs}=0V$, $V_{ds}=3V$)	V_t (V) ($V_{ds}=3V$, $I_{ds}=I_{dss}/100$)	$G_{m\max}$ (mS/mm) ($V_{ds}=3V$)	G_d (mS/mm) ($V_{gs}=0V$, $V_{ds}=3V$)
MESFET A	0,6	6x50	342	-1,8	280	2,12
MESFET B	0,5	6x50	178	-1,6	143	1,33
PHEMT A	0,2	6x30	236	-0,8	427,7	33,33
PHEMT A'	0,2	6x30	233	-0,8	388,8	8,66
PHEMT B	0,2	6x50	251	-0,9	423	10,86
PHEMT C	0,2	4x75	300	-0,9	433	3,46
PHEMT D	0,15	4x50	168	-0,5	550	38,33
PPHEMT	0,25	6x50	206	-0,9	266	2,63

Tableau II-1 : Synthèse des principales caractéristiques des dispositifs étudiés.

On remarque, d'une part, que les MESFET présentent une tension de seuil $|V_t|$ nettement supérieure à celle des PHEMT et, d'autre part, la conductance de sortie des PHEMT présente une grande valeur, si on la compare à celle des MESFET et PPHEMT.

II. Lieux de claquage « off-state » et « on-state »

Il est connu que la puissance de sortie du transistor est limitée par les tensions de claquage « off-state » [WIN94] et « on-state » [SOM99] et dépend de la forme des lieux de claquage [ROH97]. Par conséquent, une étude détaillée des caractéristiques de claquage du transistor ainsi que des différents mécanismes physiques liés au claquage est importante afin de développer des transistors et des circuits intégrés de grande performance.

1. Lieux de claquage « off-state »

La technique de caractérisation utilisée pour mesurer le lieu de claquage « off-state » présente l'avantage d'être non destructive puisqu'elle s'effectue en mode courant (Figure II-32). Elle consiste à injecter un courant I_{ds} constant et à appliquer une tension V_{gs} variant de 0V à des valeurs négatives. On mesure simultanément V_{ds} et I_{gs} [BAH93].

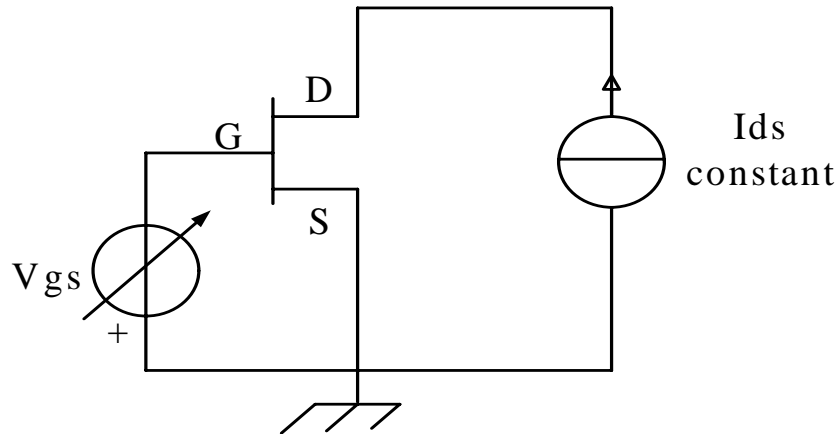


Figure II-32 : Technique de mesure du lieu de claquage « off state ».

1.1 Analyse du lieu de claquage « off-state »

On va prendre, comme exemple, le lieu de claquage « off-state » du PHEMT C (Figure II-33) afin d'expliquer les différentes régions de la caractéristique de claquage « off-state » d'un transistor.

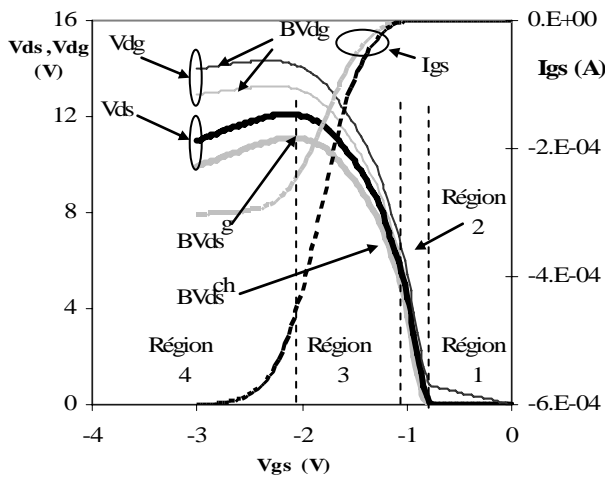


Figure II-33: Lieux de claquage « off-state » du PHEMT C pour deux conditions de claquage: $I_{ds}=1$ mA/mm (en gris) et $I_{ds}=2$ mA/mm (en noir). Les courbes en pointillés correspondent au courant de grille mesuré pour ces deux conditions de claquage. La tension de pincement est de $-0,9$ V.

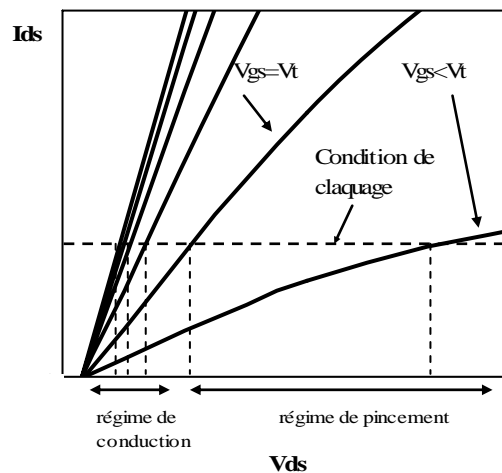


Figure II-34 : Schéma expliquant l'évolution de V_{ds} en fonction de V_{gs} dans la région 1 et la région 2 du lieu de claquage « off-state ».

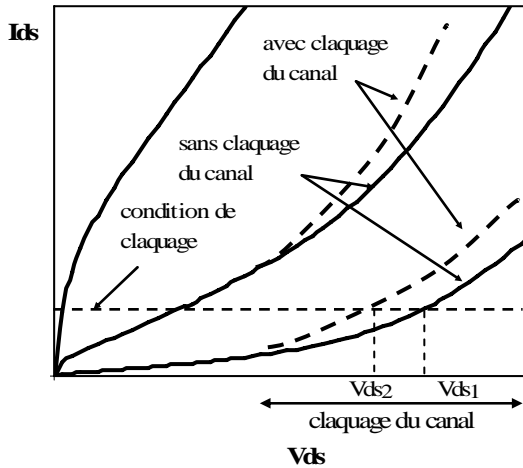


Figure II-35 : Schéma expliquant l'évolution de V_{ds} en fonction de V_{gs} dans la région 3 du lieu de claquage « off-state ».

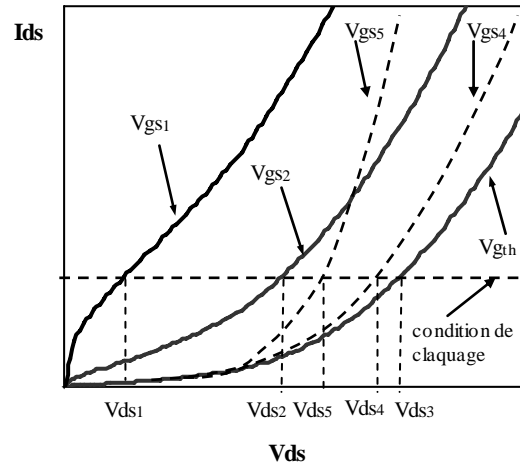


Figure II-36 : Schéma expliquant l'évolution de V_{ds} en fonction de V_{gs} dans la région 4 du lieu de claquage « off-state ».

La caractéristique du claquage « off-state » présente, en général, quatre régions (Figure II-33) [ISM05] :

a. Région 1 : région de conduction

Cette région correspond à des valeurs de V_{gs} comprises entre 0V et la tension de seuil du transistor (V_t).

En diminuant la tension V_{gs} à partir de 0 V jusqu'à V_t (dans cet exemple la tension de seuil du transistor est de $-0,9$ V), la tension V_{ds} croît lentement et linéairement. Ceci peut être expliqué à partir du réseau I_{ds} - V_{ds} . En effet, en se plaçant sur la droite correspondant à une condition de claquage I_{ds} et en parcourant le réseau de $V_{gs} = 0$ V vers $V_{gs} = V_t$ (Figure II-34), on obtient des valeurs de V_{ds} faibles et très proches, ce qui correspond à la région 1 de la Figure II-33.

b. Région 2 : région de pincement

En continuant à diminuer la tension V_{gs} , la tension V_{ds} augmente rapidement sur la caractéristique de claquage « off-state » du transistor (Figure II-33). Ceci peut être expliqué à partir du réseau I_{ds} - V_{ds} . En effet, pour des valeurs de V_{gs} plus négatives que la tension de seuil V_t , la pente des caractéristiques I_{ds} - V_{ds} diminue fortement (Figure II-34). Par conséquent, en se plaçant sur la droite correspondant à une condition de claquage I_{ds} et en parcourant le réseau de $V_{gs} = V_t$ vers des valeurs plus négatives, on obtient des valeurs de V_{ds} plus grandes et plus espacées (Figure II-34). Ceci explique la valeur élevée de la pente de la caractéristique V_{ds} en fonction de V_{gs} dans la région 2 du lieu de claquage « off-state ».

c. Région 3 : région de claquage du canal

En continuant à diminuer la tension V_{gs} , la pente de la caractéristique de claquage off-state diminue (Figure II-33). En effet, dans cette région, le champ électrique est devenu intense dans le canal, ce qui entraîne le claquage du canal. Cette diminution de pente ne peut pas être due au claquage de la diode grille_drain puisque, dans la région 3, $|I_{gs}|$ est faible devant I_{ds} , alors que le claquage de la diode grille_drain est caractérisé par $|I_{gs}| = I_{ds}$. Le début de la région 3 est caractérisé par BV_{ds}^{ch} qui correspond à la tension de claquage du canal.

La forme du lieu de claquage dans la région 3 peut être expliquée à partir du réseau I_{ds} - V_{ds} . En effet, le claquage du canal entraîne l'augmentation du courant I_{ds} et par suite l'augmentation de la pente de la caractéristique I_{ds} - V_{ds} du transistor (Figure II-35). Par conséquent, la droite correspondant à une condition de claquage I_{ds} coupe les caractéristiques I_{ds} - V_{ds} pour des valeurs de V_{ds} plus faibles ($V_{ds2} < V_{ds1}$) (Figure II-35), ce qui explique la diminution de la pente de la caractéristique de claquage « off-state » dans la région 3 de la Figure II-33. A la fin de la région 3, I_{gs} devient élevé et le mécanisme de claquage de la diode grille-drain commence à se produire. La limite de la région 3 est caractérisée par BV_{ds}^g qui correspond à la tension de claquage maximale.

d. Région 4 : région de claquage de la diode grille_drain

Dans cette région, V_{dg} devient indépendant de V_{gs} , les courants de grille et de drain deviennent égaux en valeur absolue et V_{ds} atteint un maximum (BV_{ds}^g) puis diminue, ce qui caractérise le claquage de la diode grille-drain (Figure II-33).

La Figure II-36 explique la diminution de V_{ds} dans la région 4 du lieu de claquage « off-state ». Supposons que le claquage de la diode grille-drain se déclenche pour $V_{gs} = V_{g_{th}}$ (Figure II-36). En diminuant V_{gs} de V_{gs1} jusqu'à $V_{g_{th}}$, la droite correspondant à une condition de claquage I_{ds} coupe les caractéristiques I_{ds} - V_{ds} du transistor pour des valeurs de V_{ds} croissantes ($V_{ds1} < V_{ds2} < V_{ds3}$). Enfin, en continuant à diminuer V_{gs} de $V_{g_{th}}$ jusqu'à des valeurs plus négatives, les caractéristiques I_{ds} - V_{ds} reculent vers des valeurs de V_{ds} plus faibles afin de maintenir la valeur de la condition de claquage I_{ds} égale à la valeur de I_{gs} . Par conséquent, la droite correspondant à une condition de claquage I_{ds} coupe les caractéristiques I_{ds} - V_{ds} pour des valeurs de V_{ds} plus faibles ($V_{ds5} < V_{ds4} < V_{ds3}$), ce qui explique la diminution de V_{ds} dans la région 4 de la caractéristique de claquage « off-state » (Figure II-33).

La Figure II-37 présente les caractéristiques de claquage « off-state » mesurées pour plusieurs conditions de claquage pour le PHEMT C.

Condition de claquage Ids (mA/mm)	0,1	0,5	1	1,3	1,6	2	2,3
BVds ^g (V)	7,4	10	11	11,5	11,8	12,1	12,3
BVdg(V)	8,9	11,7	12,9	13,3	13,7	13,9	14,2

Tableau II- 2: Tension de claquage «off-state» drain-grille et drain-source du PHEMT C.

On remarque que plus la condition de claquage est sévère, plus la tension de claquage « off-state » est faible (Tableau II-2). Ceci peut être expliqué à partir du réseau Ids_Vds du transistor. En effet, la droite correspondant à une condition de claquage plus sévère coupe la caractéristique Ids-Vds pour une valeur de Vds plus faible ($V_{ds1} < V_{ds2}$) (Figure II-38). D'autre part, plus la condition de claquage est élevée, plus les lieux de claquage « off-state » sont proches (Figure II-37) et l'augmentation de la condition de claquage au delà d'une certaine valeur conduit à la destruction du transistor.

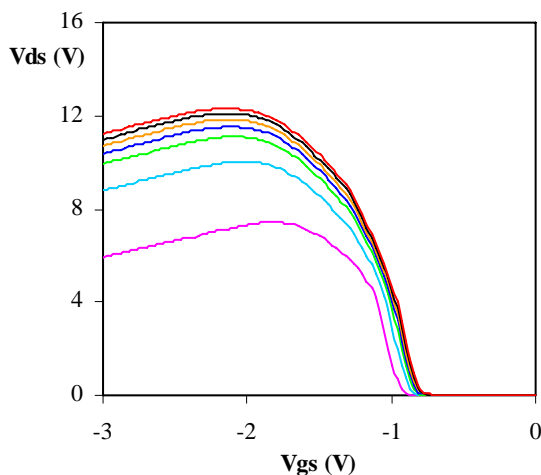


Figure II-37 : Caractéristiques de claquage « off-state » du PHEMT C pour les conditions de claquage : 30μA, 150μA, 300μA, 400μA, 500μA, 600μA et 700μA du bas vers le haut.

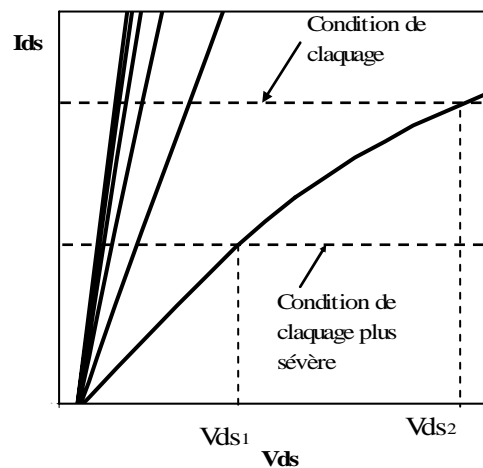


Figure II-38 : plus la condition de claquage est sévère plus la tension de claquage « off-state » est faible ($V_{ds1} < V_{ds2}$).

1.2. Comparaison des lieux de claquage « off-state » des dispositifs étudiés

La Figure II-39 présente les lieux de claquage « off-state » des dispositifs étudiés pour une condition de claquage $I_{ds}=1\text{mA/mm}$. Concernant la forme des lieux de claquage, on remarque que la principale différence entre les dispositifs sous test concerne la région 3 du lieu de claquage « off-state ». En effet, pour les PHEMT, le régime de claquage du canal

s'étend sur un large intervalle de valeurs de V_{gs} , alors que, pour le MESFET A et le PPHEMT, le passage de la région 2 à la région 4 est plus rapide.

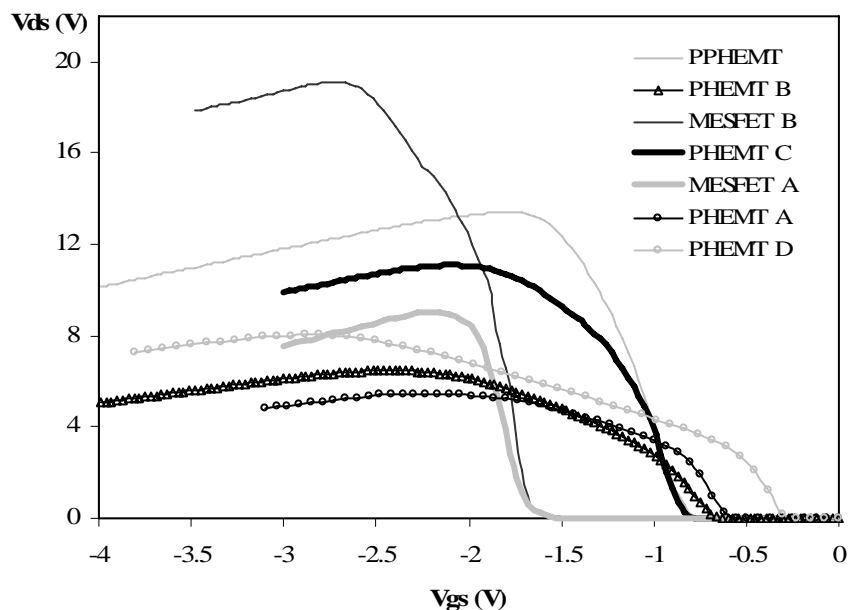


Figure II-39 : Caractéristiques de claquage « off-state » des dispositifs étudiés pour une condition de claquage $I_{ds}=1\text{mA/mm}$.

Le Tableau II-3 présente les valeurs des tensions de claquage « off-state » drain-source et drain-grille des technologies étudiées pour une condition de claquage $I_{ds}=1\text{mA/mm}$.

On remarque que le MESFET B présente une tension de claquage « off-state » nettement supérieure à celle des PHEMT et PPHEMT étudiés. Ceci peut être expliqué par le gap élevé du matériau GaAs par rapport au matériau InGaAs. D'autre part, le PPHEMT présente la plus grande valeur de la tension de claquage « off-state » par rapport à l'ensemble des PHEMT étudiés. Ceci est en accord avec l'observation d'une plus forte tension de claquage des transistors à double sillon par rapport à ceux à simple sillon.

Technologies	BVds ^g (V)	BVdg (V)
MESFET A	9	10,5
MESFET B	19	21,5
PHEMT A	5,5	8
PHEMT B	6,5	9
PHEMT C	11	13
PHEMT D	8	11,5
PPHEMT	13,5	14,5

Tableau II-3 : Valeurs des tensions de claquage « off-state » drain-source (BVds^g) et drain-grille (BVdg) des dispositifs étudiés pour une condition de claquage $I_{ds}=1\text{mA/mm}$.

Afin d'identifier le mécanisme physique qui contrôle la région de claquage du canal sur le lieu de claquage « off-state », on a reporté dans le Tableau II-4 la tension de claquage BV_{ds}^{ch} initiant le claquage du canal ainsi que l'intervalle des valeurs de V_{gs} pour lesquelles le claquage du canal se produit. En se basant sur les caractéristiques I_{gs} - V_{gs} en inverse (partie I du chapitre II) de chaque technologie, on trouve que le claquage du canal est contrôlé par le mécanisme d'ionisation par impact pour les technologies PHEMT C et PPHEMT, alors que pour les autres technologies le claquage du canal est attribué aux fortes valeurs de V_{dg} et se manifeste par un fort courant de fuite en inverse du transistor.

Technologies	$[V_{gs_{min}} (V) ; V_{gs_{max}} (V)]$	$BV_{ds}^{ch} (V)$	Mécanismes physiques
MESFET A	[-2,1 ; -1,95]	8	Liés aux fortes valeurs de V_{dg}
MESFET B	[-2,6 ; -1,9]	10	Liés aux fortes valeurs de V_{dg}
PHEMT A	[-1,8 ; -0,8]	2,5	Liés aux fortes valeurs de V_{dg}
PHEMT B	[-2,1 ; -0,9]	2	Liés aux fortes valeurs de V_{dg}
PHEMT C	[-1,9 ; -1,1]	5,5	Ionisation par impact
PHEMT D	[-2,7 ; -0,5]	2,5	Liés aux fortes valeurs de V_{dg}
PPHEMT	[-1,7 ; -1,2]	8	Ionisation par impact

Tableau II-4 : L'intervalle des valeurs de V_{gs} , la tension de claquage BV_{ds}^{ch} et le mécanisme physique correspondants à la région de claquage du canal du lieu de claquage « off-state » des dispositifs étudiés pour une condition de claquage $I_{ds}=1\text{mA/mm}$.

On remarque que la technologie qui présente la plus faible valeur du courant de fuite présente la plus grande valeur de la tension de claquage « off-state » (Tableau II-5). Cette constatation peut être vérifiée pour deux technologies ayant même longueur et largeur de grille. C'est le cas du PHEMT B comparé avec le PHEMT C.

Technologies	$ I_{g_{fuite}} (\mu A)$	$BV_{ds}^g (V)$ à $I_{ds}=1\text{mA/mm}$
PHEMT B	20 ($V_{ds}=5V, V_{gs}=-2V$)	6,5
PHEMT C	10 ($V_{ds}=5V, V_{gs}=-2V$)	11

Tableau II-5 : Corrélation entre la tension de claquage « off-state » (BV_{ds}) et le courant de fuite ($|I_{g_{fuite}}|$).

2. Lieux de claquage « on-state »

La technique de caractérisation du claquage « on-state » consiste à injecter un courant de grille constant et à ouvrir le canal du transistor en augmentant le courant de drain à partir du point de claquage « off-state » de la jonction grille-drain ($|I_{gs}| = I_{ds}$) [SOM98] (Figure II-40). Pour chaque valeur du courant de drain, on mesure la tension drain-source. Cette technique est non destructive puisqu'elle s'effectue en mode courant.

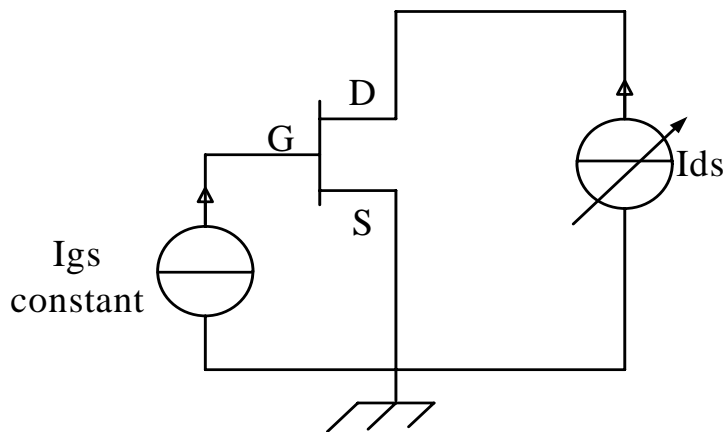


Figure II-40 : Technique de mesure du lieu de claquage « on-state ».

2.1 Analyse du lieu de claquage « on state »

Afin d'expliquer les différentes régions du lieu de claquage « on-state », la caractéristique de claquage du PHEMT C servira de référence (Figure II-41).

La caractéristique de claquage « on-state » I_{ds} - V_{ds} présente en général trois régions (Figure II-41) [ISM-1 04] [ISM-2 04] [ISM06] [CAN93] [TED93] :

a. Région I : Transition du claquage « off-state » au claquage « on-state »

En augmentant le courant de drain à partir du point de claquage « off-state » de la jonction grille-drain ($|I_{gs}| = I_{ds}$), V_{gs} augmente depuis des valeurs fortement négatives vers des valeurs moins négatives (région I dans Figure II-42). Ceci correspond à un passage d'un état de claquage « off-state » à un état de claquage « on-state ». On observe donc une tension de drain qui croît avec le courant de drain linéairement et de façon abrupte (région I de la Figure II-41).

b. Région II : Régime dominé par le courant de fuite en inverse du transistor

Dans cette région le lieu de claquage « on-state » présente une forme exponentielle caractérisée par une augmentation de V_{ds} avec I_{ds} (région II dans Figure II-41). Pour une condition de claquage I_{gs} , l'augmentation du courant de drain dans la région II du lieu de claquage « on-state » correspond à une augmentation de V_{gs} vers des valeurs positives. La région II repérée sur la caractéristique I_{ds} - V_{gs} (Figure II-42) et sur la caractéristique I_{gs} - V_{gs} en inverse est contrôlée par le courant de fuite en inverse du transistor (région II dans Figure II-43). Par conséquent, la droite correspondant à une condition de claquage I_{gs} coupe les caractéristiques I_{gs} - V_{gs} en inverse pour des valeurs croissantes de V_{ds} , ce qui explique l'augmentation de V_{ds} dans la région II de la caractéristique de claquage « on-state » (Figure II-41).

La fin de la région exponentielle est marquée par un maximum de la valeur de V_{ds} indiquant le début du mécanisme d'ionisation par impact.

c. Région III : Régime d'ionisation par impact

La troisième région du lieu de claquage « on-state » présente deux zones :

- Une zone dans laquelle V_{ds} diminue avec I_{ds} (région III.1 de la Figure II-41).
- Une zone qui correspond à l'augmentation de V_{ds} avec I_{ds} (région III.2 de la Figure II-41).

L'augmentation du courant de drain dans la région III.1 du lieu de claquage « on-state » est associée à l'augmentation de V_{gs} visible sur la caractéristique I_{ds} - V_{gs} (Figure II-42) et également à la première moitié de la courbe en cloche contrôlée par l'ionisation par impact (région III.1 dans Figure II-43). Par conséquent, la droite correspondant à une condition de claquage I_{gs} coupe les caractéristiques I_{gs} - V_{gs} en inverse pour des valeurs décroissantes de V_{ds} , ce qui explique la diminution de V_{ds} dans la région III.1 de la caractéristique de claquage « on-state » (Figure II-41). La fin de cette région hyperbolique est marquée par un extremum indiquant le début de la deuxième moitié de la courbe en cloche.

L'augmentation du courant de drain dans la région III.2 du lieu de claquage « on-state » correspond à une augmentation de V_{gs} sur la caractéristique I_{ds} - V_{gs} (Figure II-42) et à une augmentation de V_{gs} dans la deuxième moitié de la courbe en cloche contrôlée par l'ionisation par impact (région III.2 dans Figure II-43). Par conséquent, la droite correspondant à une condition de claquage I_{gs} coupe les caractéristiques I_{gs} - V_{gs} en inverse

pour des valeurs croissantes de V_{ds} , ce qui explique l'augmentation de V_{ds} dans la région III.2 de la caractéristique de claquage « on-state » (Figure II-41).

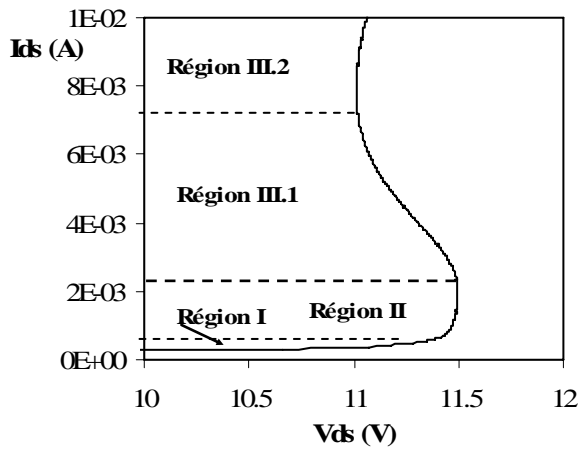


Figure II-41 : Caractéristique de claquage « on-state » du PHEMT C pour $I_{gs} = -1 \text{ mA/mm}$: mise en évidence des différentes régions du lieu de claquage.

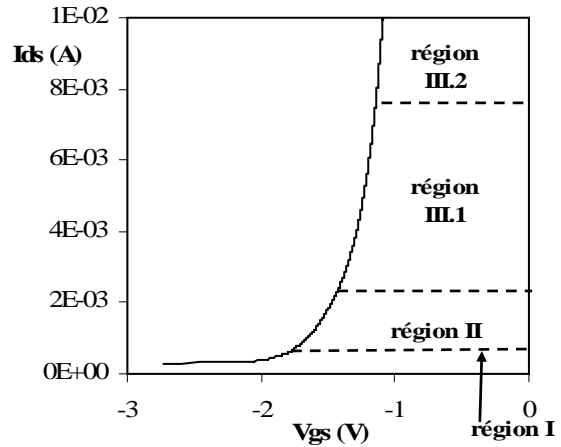


Figure II-42 : Caractéristique I_{ds} - V_{gs} extraite lors des mesures du lieu de claquage « on-state » du PHEMT C pour une condition de claquage $I_{gs} = -1 \text{ mA/mm}$.

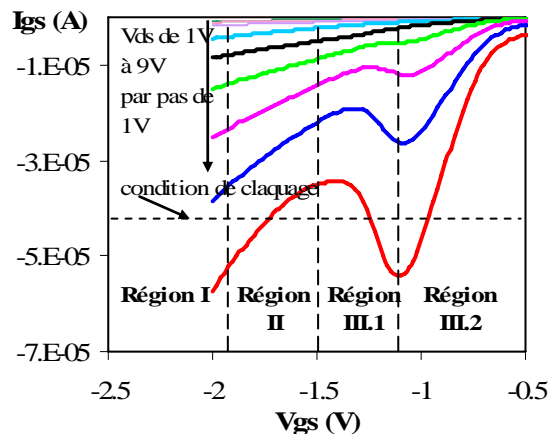


Figure II-43 : Différentes régions de la caractéristique en inverse I_{gs} - V_{gs} du PHEMT C corrélées avec les différentes régions du lieu de claquage « on-state ».

En ce qui concerne les mécanismes physiques de transport des porteurs libres, on peut expliquer les différentes régions du lieu de claquage « on-state » de la façon suivante :

- En régime « off-state », le canal est pincé et il y a un faible nombre de porteurs dans le canal du transistor. Ainsi, de fortes valeurs de la tension drain-grille sont nécessaires afin d'atteindre la condition de claquage I_{gs} . Ceci explique l'augmentation de V_{ds} avec I_{ds} dans les régions I et II du lieu de claquage « on-state » [MEN99] [MEN03].

- Lors de l'ouverture du canal, la concentration des électrons dans le canal augmente et la tension appliquée entre la grille et le drain du transistor est élevée. Par conséquent, les trous générés par ionisation par impact commencent à contribuer au courant de grille I_{gs} . Ainsi, des valeurs de la tension V_{ds} , relativement faibles, sont nécessaires afin de maintenir une valeur constante de la condition de claquage I_{gs} . Ceci explique la diminution de V_{ds} avec I_{ds} dans la région III.1 du lieu de claquage « on-state » [SOM99].
- En continuant à ouvrir le canal du transistor et à diminuer V_{ds} , le taux d'ionisation par impact devient plus faible. Par conséquent, une augmentation de la tension V_{ds} est alors nécessaire afin de maintenir une valeur constante de la condition de claquage I_{gs} . Ceci explique l'augmentation de V_{ds} avec I_{ds} dans la région III.2 du lieu de claquage « on-state » [DIE00].

La Figure II-44 présente les caractéristiques de claquage « on-state » mesurées pour plusieurs conditions de claquage pour le PHEMT C.

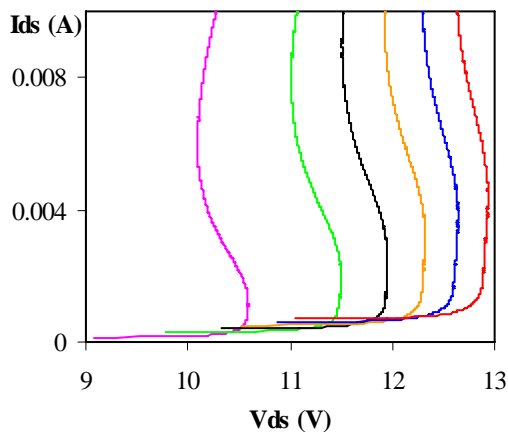


Figure II-44 : Caractéristiques de claquage « on-state » du PHEMT C pour les conditions de claquage : $-150\mu A$, $-300\mu A$, $-400\mu A$, $-500\mu A$, $-600\mu A$ et $-700\mu A$ de gauche à droite.

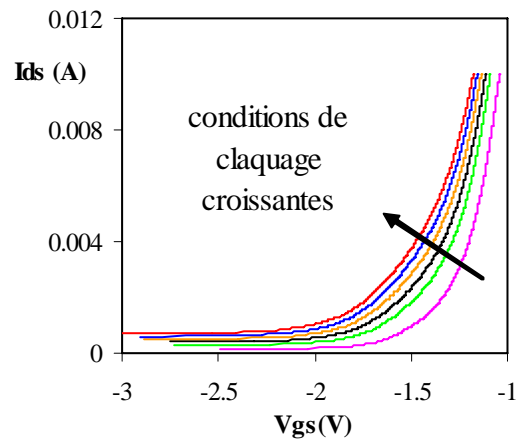


Figure II-45 : Caractéristiques I_{ds} - V_{gs} extraites lors des mesures du lieu de claquage « on-state » du PHEMT C.

On remarque que, pour les fortes conditions de claquage $I_{gs} = -400\mu A$, $-500\mu A$, $-600\mu A$ et $-700\mu A$, la région III.2 du lieu de claquage « on-state » n'est pas atteinte (Figure II-44). En effet, les valeurs de V_{gs} mesurées en fonction de I_{ds} sont d'autant négatives que les conditions de claquage sont fortes (Figure II-45). Par conséquent, la région correspondant à la deuxième moitié de la courbe en cloche n'est plus atteinte, contrairement au cas des conditions de claquage $I_{gs} = -150$, -300 et $-400\mu A$.

Conditions de claquage I_{gs} (μA)	-150	-300	-400	-500	-600	-700
$BV_{ds_{max}}$ (V)	10,5	11,4	11,9	12,3	12,6	12,9

Tableau II-6 : Valeur maximale de la tension de claquage «on-state» du PHEMT C pour chaque condition de claquage I_{gs} .

En utilisant la même logique de corrélation entre le lieu de claquage « on-state », la caractéristique I_{ds} - V_{gs} et les caractéristiques I_{gs} - V_{gs} en inverse du transistor, on peut démontrer que plus la condition de claquage est sévère, plus la tension de claquage « on-state » est faible (Tableau II-6). En effet, à une valeur du courant I_{ds1} de la caractéristique de claquage « on-state » (Figure II-46) correspondent les tensions V_{gs1} et V_{gs2} pour les conditions de claquage I_{gs1} et I_{gs2} , respectivement (Figure II-47). La droite correspondant à la condition de claquage la plus sévère I_{gs1} coupe la caractéristique I_{gs} - V_{gs} en inverse en un point correspondant à une valeur de V_{ds} soit BV_{ds1} plus faible que BV_{ds2} (Figure II-48). Ceci se manifeste sur la caractéristique de claquage « on-state » du transistor par une tension de claquage plus faible BV_{ds1} par rapport à BV_{ds2} (Figure II-46).

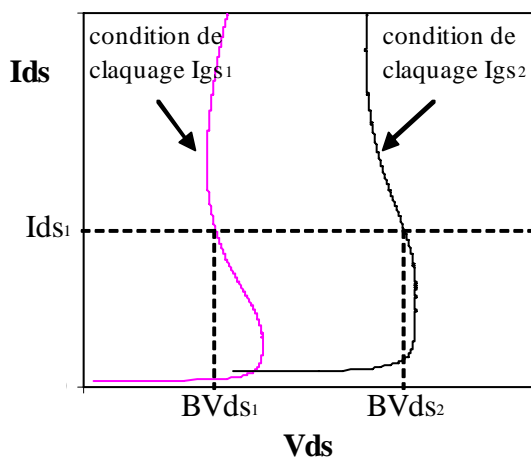


Figure II-46 : Caractéristiques de claquage « on-state » pour deux conditions de claquage I_{gs1} et I_{gs2} .

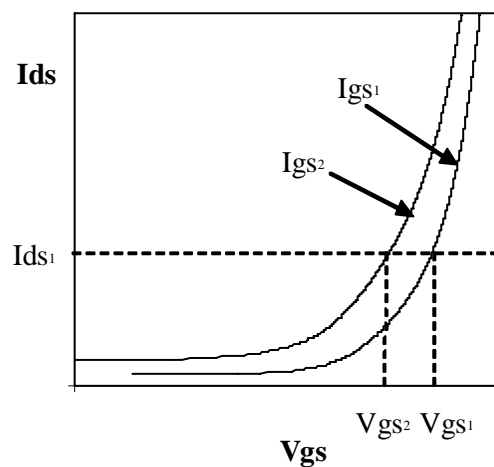


Figure II-47 : Caractéristiques I_{ds} - V_{gs} extraites lors des mesures du lieu de claquage « on-state » pour deux conditions de claquage I_{gs1} et I_{gs2} .

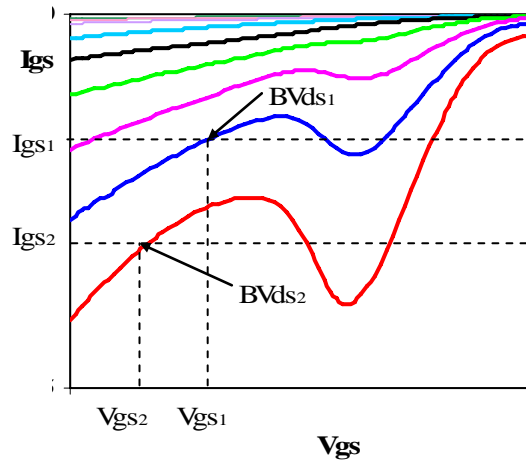


Figure II-48 : Plus la condition de claquage est sévère plus la tension de claquage « on-state » est faible soit $BV_{ds1} < BV_{ds2}$.

2.2. Comparaison des lieux de claquage « on-state » des dispositifs étudiés

La comparaison de la forme des lieux de claquage « on-state » des dispositifs étudiés est basée sur la comparaison des caractéristiques I_{gs} - V_{gs} en inverse de ces technologies. En effet, en se basant sur l'étude faite dans le paragraphe précédent 2.1, la forme et la position de la courbe en cloche influent directement sur la forme du lieu de claquage « on-state ».

Pour cela on a reporté sur les figures II-49 et II-50, respectivement, les courbes en cloche et les caractéristiques de claquage « on-state des composants sous test.

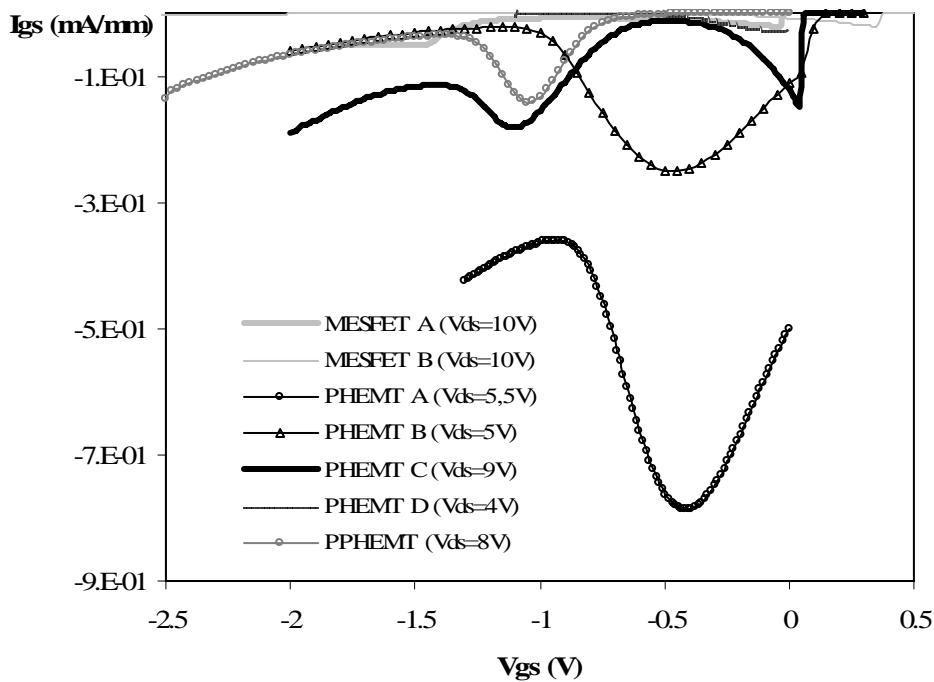


Figure II-49 : Caractéristique I_{gs} - V_{gs} en inverse des dispositifs étudiés.

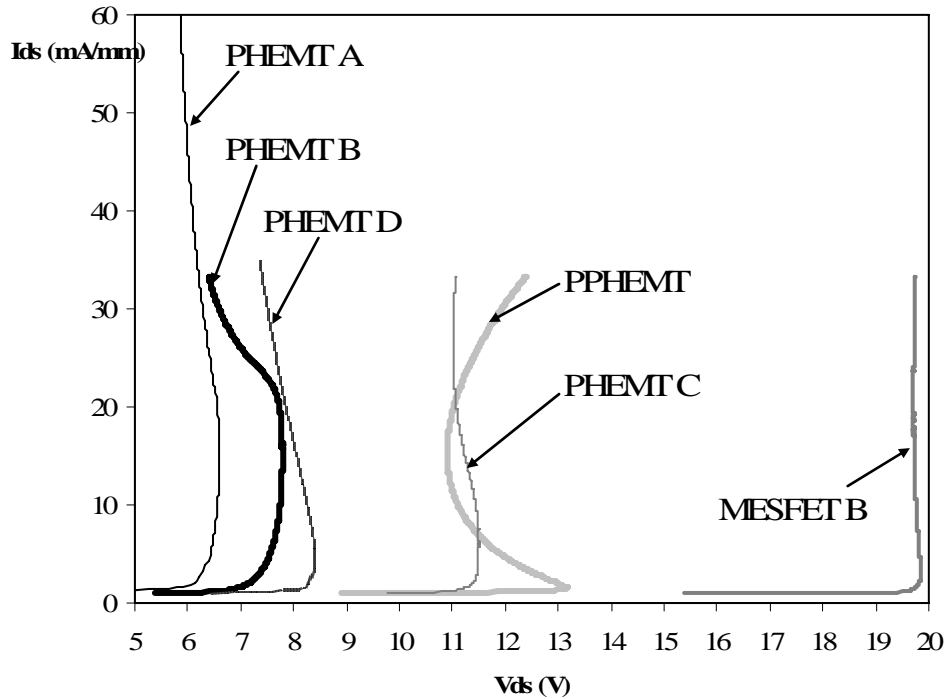


Figure II-50 : Caractéristique de claquage « on-state » des dispositifs étudiés pour la condition de claquage $I_{gs} = -1 \text{ mA/mm}$.

Le lieu de claquage « on-state » du composant MESFET A a été reporté sur un graphe séparé puisqu'il s'étend sur une plus large gamme de valeurs de I_{ds} (Figure II-51).

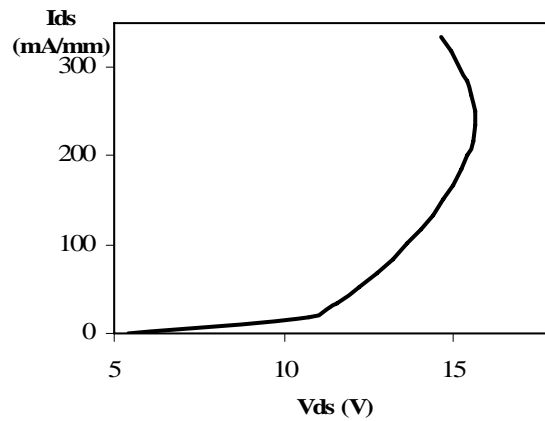


Figure II-51 : Caractéristique de claquage « on-state » du MESFET A pour $I_{gs} = -1 \text{ mA/mm}$.

On remarque que plus le maximum de la courbe en cloche est décalé vers les valeurs positives de V_{gs} , plus la forme exponentielle du lieu de claquage « on-state » est prononcée. En effet :

- Le maximum de la courbe en cloche, pour le MESFET A, est centré sur une valeur de tension de grille proche de 0V. Ce dispositif présente la forme exponentielle du lieu de claquage la plus prononcée.
- Le maximum de la courbe en cloche, pour les PHEMT A et B, est centré sur une valeur de tension de grille proche de -0,4V. La forme exponentielle du lieu de claquage, pour ces deux dispositifs, est moins prononcée que le MESFET A.
- Le maximum de la courbe en cloche, pour le PHEMT C et le PPHEMT, est centré sur une valeur de tension de grille voisine de -1,1V. Ces dispositifs présentent la forme exponentielle du lieu de claquage la moins prononcée.

La Figure II-52 présente un schéma explicatif de cette constatation. En effet, le transistor, pour lequel la courbe en cloche est la plus décalée vers les valeurs positives de V_{gs} , présente la plus grande variation ΔV_{gs} sur la caractéristique en inverse $I_{gs}-V_{gs}$ ($\Delta V_{gs2} > \Delta V_{gs1}$) et donc la plus grande variation de I_{ds} dans le lieu de claquage « on-state ». Ceci se traduit par une forme exponentielle du lieu de claquage « on-state » plus prononcée.

Cependant, le PHEMT D et le MESFET B présentent un maximum de la courbe en cloche centré sur une valeur de tension de grille proche de 0V, alors qu'ils présentent une forme exponentielle du lieu de claquage « on-state » moins prononcée que celle du MESFET A. Ceci peut être expliqué par la faible valeur du courant de fuite du PHEMT D et du MESFET B, si on la compare avec le MESFET A (Figure II-53). En effet, une valeur du courant de fuite élevée $I_{g_{fuite2}} > I_{g_{fuite1}}$ induit une plus grande variation $\Delta V_{gs2} > \Delta V_{gs1}$ sur la caractéristique en inverse $I_{gs}-V_{gs}$ (Figure II-54) et donc une plus grande variation de I_{ds} sur le lieu de claquage « on-state ». Cette constatation est vérifiée pour les PHEMT B et C ayant même longueur et largeur de grille. En effet, le courant de fuite du transistor, mesuré à $V_{gs} = -2V$ et $V_{ds} = 5V$, est plus élevé pour le PHEMT B que pour le PHEMT C (Figure II-19 et II-23). Par conséquent, la forme exponentielle du lieu de claquage « on-state » est plus prononcée pour le PHEMT B que pour le PHEMT C (Figure II-50).

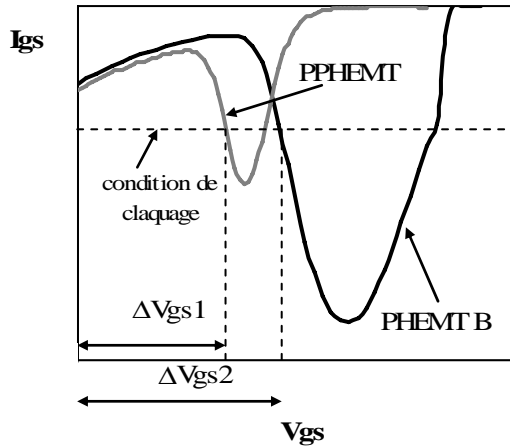


Figure II-52 : Corrélation entre la position de la courbe en cloche et la forme du lieu de claquage « on-state ».

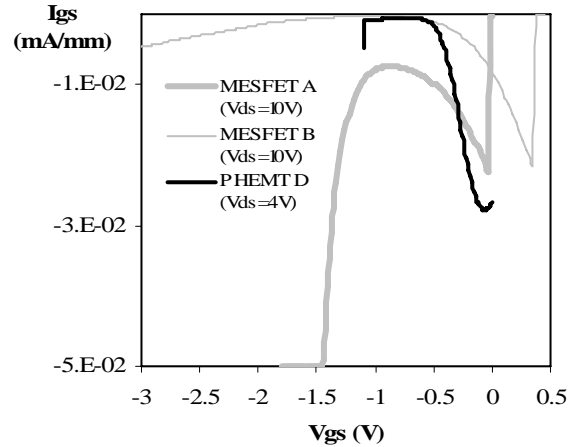


Figure II-53 : Caractéristique I_{gs} - V_{gs} en inverse du MESFET A, MESFET B et PHEMT D.

On remarque que le PPHEMT présente une forme hyperbolique plus prononcée que les autres dispositifs. Ceci peut être attribué à la forme abrupte des courbes en cloche pour cette technologie (Figure II-30). La Figure II-55 présente une explication de cette constatation. En effet, si on considère une même variation ΔV_{ds} , pour deux composants différents, entre deux caractéristiques I_{gs} - V_{gs} en inverse, plus les courbes en cloche sont proches, plus la variation ΔV_{gs} est faible ($\Delta V_{gs1} < \Delta V_{gs2}$). Les courbes en cloche I_{gs} - V_{gs} présentent une forme qui est alors d'autant plus abrupte. Ceci se traduit sur la caractéristique de claquage « on-state » par une plus forte courbure du lieu de claquage pour une même variation ΔV_{ds} et, par conséquent, la forme hyperbolique du lieu de claquage est plus prononcée.

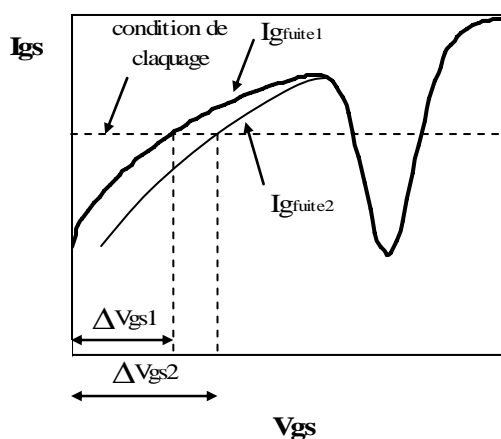


Figure II-54 : Corrélation entre le courant de fuite du transistor et la forme du lieu de claquage « on-state ».

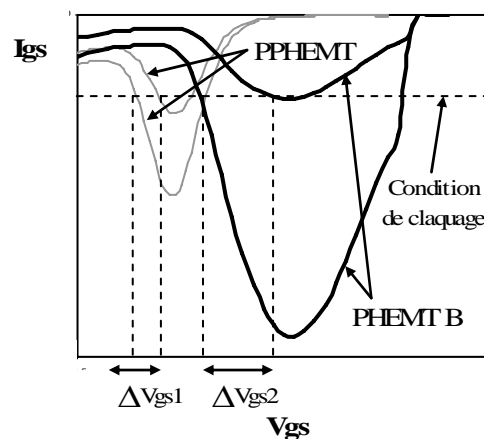


Figure II-55 : Corrélation entre la forme de la courbe en cloche et la forme du lieu de claquage « on-state ».

D'après le Tableau II-7, les MESFET A et B présentent une tension de claquage « on-state » plus élevée que les PHEMT et PPHEMT. En effet, la tension de claquage est, généralement, plus grande pour les technologies à canal GaAs que pour les technologies à canal InGaAs.

Technologies	$BV_{ds_{max}}$ (V)
MESFET A	15,6
MESFET B	19,8
PHEMT A	6,6
PHEMT B	7,7
PHEMT C	11,4
PHEMT D	8,3
PPHEMT	13,1

Tableau II-7 : Valeur maximale de la tension de claquage « on-state » des dispositifs étudiés pour une condition de claquage $I_{gs} = -1 \text{ mA/mm}$.

On remarque que les composants qui présentent la plus faible valeur du courant de fuite de grille et la plus faible valeur maximale de la courbe en cloche, présentent également la plus grande valeur de la tension de claquage « on-state ». Cette constatation est vérifiée pour les PHEMT B et C ayant même longueur et largeur de grille (Tableau II-8).

Le PHEMT B présente une tension de claquage maximale grande si on le compare avec le PHEMT A. Ceci peut être attribué à la plus grande largeur de grille pour le PHEMT B.

Le PPHEMT présente la tension de claquage « on-state » maximale la plus élevée si on le compare avec tous les PHEMT. Ceci peut être lié au double sillon de grille du PPHEMT.

Technologies	$ I_{g_{fuite}} $ (μA)	$ I_{g_{maxII}} $ (μA)	$BV_{ds_{max}}$ (V)
PHEMT B	20 ($V_{ds}=5\text{V}$, $V_{gs}=-2\text{V}$)	75 ($V_{ds}=5\text{V}$, $V_{gs}=-0,5\text{V}$)	7,7
PHEMT C	10 ($V_{ds}=5\text{V}$, $V_{gs}=-2\text{V}$)	2 ($V_{ds}=5\text{V}$, $V_{gs}=-1,1\text{V}$)	11,4

Tableau II-8 : Corrélation entre la valeur maximale de la tension de claquage ($BV_{ds_{max}}$), le courant de fuite ($|I_{g_{fuite}}|$) et le courant de grille attribué à l'ionisation par impact ($|I_{g_{maxII}}|$).

En se basant sur l'analyse du lieu de claquage « on-state » des technologies étudiées, on peut conclure que la technologie MESFET B présente une aire de fonctionnement plus étendue que les autres technologies puisqu'elle dispose des tensions de claquage « on-state » les plus élevées et présente le lieu de claquage « on-state » le plus abrupt.

3. Aire de fonctionnement du transistor

L'étude des lieux de claquage « on-state » et « off-state » a pour objectif d'identifier l'aire où le transistor peut fonctionner sans destruction.

En considérant les caractéristiques de claquage « on-state » du transistor, en fixant I_{ds} et en augmentant I_{gs} , la tension drain-grille augmente jusqu'à une valeur seuil à laquelle le transistor claque. Cette valeur seuil de V_{dg} définit la limite de l'aire de fonctionnement « on-state » du transistor [MAL06].

De même, en considérant les caractéristiques de claquage « off-state » du transistor, pour une valeur fixe de V_{gs} et en augmentant V_{ds} , la tension drain-grille augmente jusqu'à une valeur seuil à laquelle le transistor claque. Cette valeur seuil de V_{dg} définit la limite de l'aire de fonctionnement « off-state » du transistor.

Ainsi on peut définir le contour délimitant l'aire de fonctionnement du transistor en régime de fonctionnement « on-state » (Figure II-56) et « off-state » (Figure II-57).

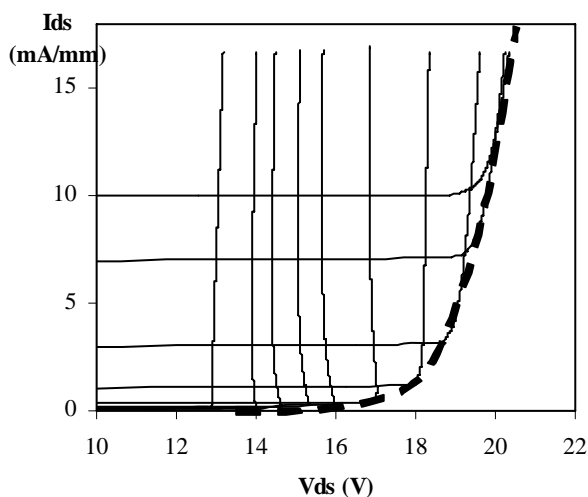


Figure II-56 : Le contour en pointillé délimite l'aire de fonctionnement en régime « on-state » du transistor.

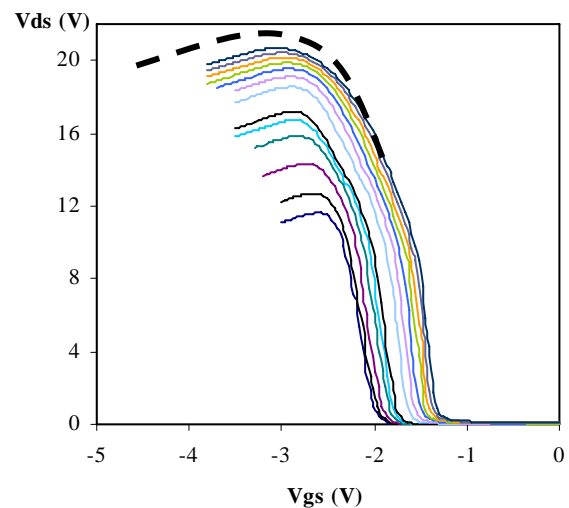


Figure II-57 : Le contour en pointillé délimite l'aire de fonctionnement en régime « off-state » du transistor.

III. Evolution des lieux de claquage du transistor en fonction de la température

En orbite, le satellite est soumis à des cycles thermiques rapides. La température peut varier de -170°C à $+150^{\circ}\text{C}$ et de telles amplitudes peuvent fragiliser certains matériaux et assemblages. A l'intérieur d'un équipement, les contraintes sont généralement moins prononcées et la gamme de température généralement spécifiée est de -15°C à $+65^{\circ}\text{C}$.

L'objectif de ce paragraphe est d'évaluer l'évolution des paramètres électriques du transistor en fonction de la température, tout en accordant de l'intérêt à l'évolution des lieux de claquage « on-state » et « off-state » des FET étudiés.

La caractérisation statique en fonction de la température a été menée sur les deux technologies PHEMT A et MESFET A.

1. Caractérisation statique de la technologie PHEMT A en fonction de la température

Les figures II-58, II-59 et II-60 présentent l'évolution des caractéristiques de claquage « on-state » en fonction de la température du PHEMT A pour les conditions de claquage $I_{gs} = -0,3, -1$ et $-1,5$ mA/mm, respectivement.

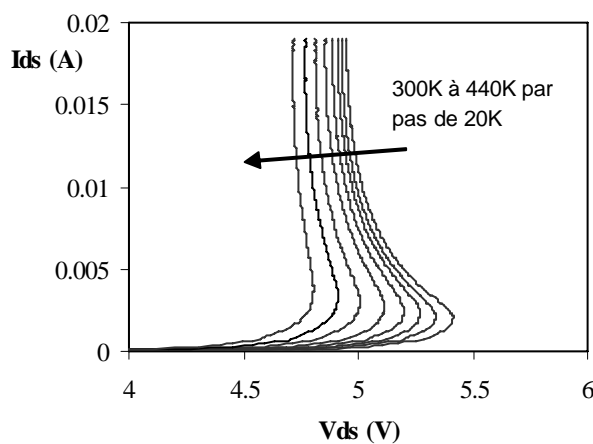


Figure II-58 : Caractéristique de claquage « on-state » en fonction de la température du PHEMT A pour la condition de claquage $I_{gs} = -0,3$ mA/mm.

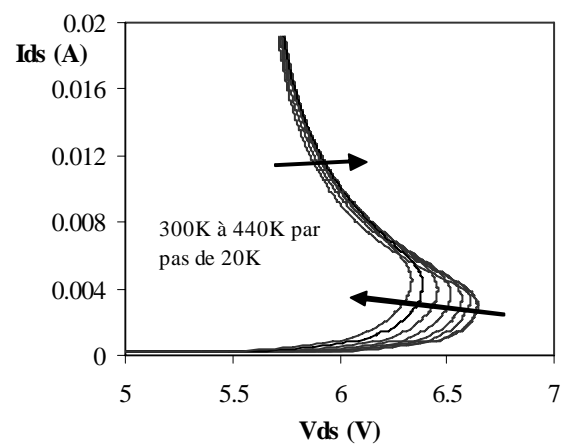


Figure II-59 : Caractéristique de claquage « on-state » en fonction de la température du PHEMT A pour la condition de claquage $I_{gs} = -1$ mA/mm.

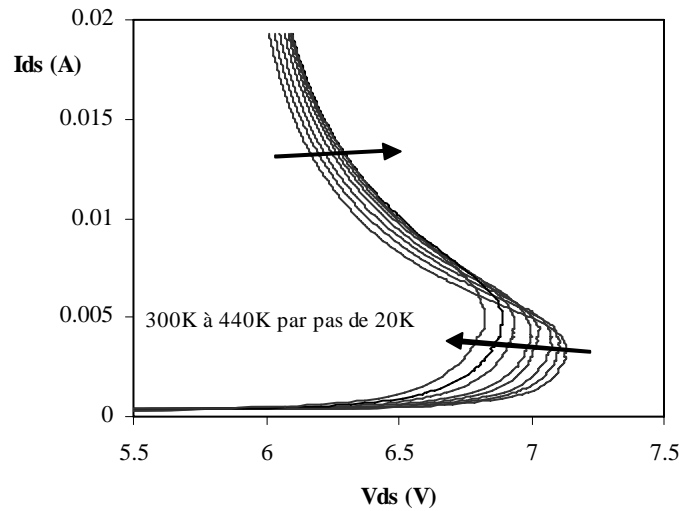


Figure II-60 : Caractéristiques de claquage « on-state » du PHEMT A en fonction de la température pour la condition de claquage $I_{gs} = -1,5$ mA/mm.

Pour les trois conditions de claquage, $I_{gs} = -0,3, -1$ et $-1,5$ mA/mm, la tension de claquage « on-state » décroît avec la température dans la zone exponentielle du lieu de claquage « on-state ». Ceci est corrélé avec l'augmentation du courant de fuite du transistor avec la température (Figure II-61).

Par contre, dans la zone hyperbolique du lieu de claquage « on-state », la tension de claquage diminue avec la température, pour $I_{gs} = -0,3$ mA/mm, et augmente avec la température, pour $I_{gs} = -1$ et $-1,5$ mA/mm. Cette évolution de la région hyperbolique du lieu de claquage « on-state » est corrélée avec, d'une part, l'augmentation de la valeur maximale de la courbe en cloche pour $I_{gs} = -0,3$ mA/mm (Figure II-61) et, d'autre part, sa diminution pour $I_{gs} = -1$ et $-1,5$ mA/mm (ce qui n'est pas visible sur la Figure II-61).

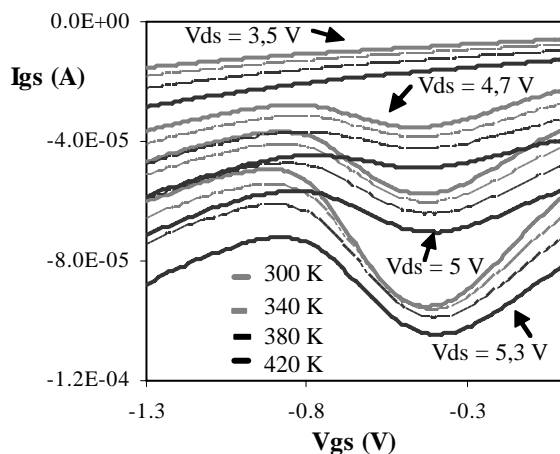


Figure II-61 : Evolution des caractéristiques I_{gs} - V_{gs} du PHEMT A, en régime d'ionisation par impact, en fonction de la température.

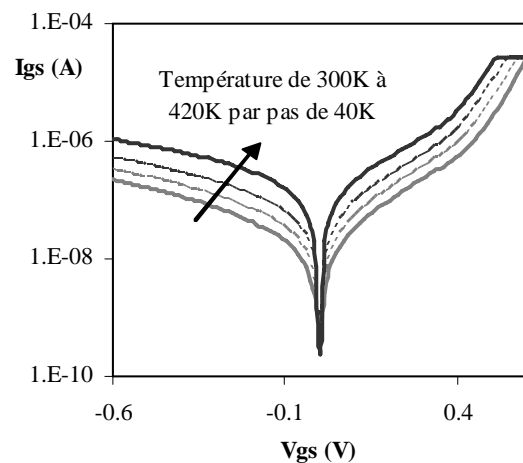


Figure II-62 : Caractéristique de la diode Schottky du PHEMT A en fonction de la température.

Le Tableau II-9 présente la corrélation entre l'évolution de la tension de claquage « on-state » et celle du courant de fuite en inverse du transistor et de la diode Schottky et de la valeur maximale de la courbe en cloche en fonction de la température. En effet, pour la gamme de température de 300K à 420K, la tension de claquage « on-state », pour $I_{gs} = -0,3$ mA/mm, présente une diminution de 9%, alors que le courant de fuite en inverse du transistor et la valeur maximale de la courbe en cloche présentent une augmentation de 50% et 10%, respectivement, et le courant de fuite en inverse de la diode Schottky se multiplie par 5.

Température (K)	300	340	380	420
$ I_{\max II} $ ($\mu\text{A}/\text{mm}$) à $V_{ds} = 5,3$ V	526	536	550	580
$ I_{g\text{fuite}} $ ($\mu\text{A}/\text{mm}$) à $V_{ds} = 5,3$ V, $V_{gs} = -1$ V	278	305	344	416
$I_{\text{fuite diode Schottky}}$ ($\mu\text{A}/\text{mm}$) à $V_{gs} = -0,6$ V	1,23	1,83	2,85	5,94
$BV_{ds\max}$ (V) à $I_{gs} = -0,3$ mA/mm	5,4	5,3	5,1	5,0

Tableau II-9 : Evolution de la valeur maximale de la courbe en cloche $|I_{\max II}|$, du courant de fuite en inverse $I_{g\text{fuite}}$ du transistor, du courant de fuite en inverse de la diode Schottky et de la tension de claquage « on-state » en fonction de la température du PHEMT A.

Le courant de fuite en inverse du transistor présente, en général, une composante liée au courant thermoionique assisté par le champ électrique et/ou à une composante associée au courant tunnel [NEN04] [SOM96]. L'augmentation du courant de fuite en inverse du transistor avec la température peut être due, d'une part, à l'augmentation du courant de fuite en inverse de la diode Schottky avec la température en raison de la diminution de la hauteur de barrière de la diode Schottky [CHI01] (Figure II-62) et, d'autre part, au phénomène d'émission thermique des trous par les pièges [NAR99]. L'augmentation de la valeur maximale de la courbe en cloche, en fonction de la température, peut être la conséquence de l'augmentation du courant de fuite en inverse du transistor puisque le courant de grille, correspondant à la courbe en cloche, est la somme d'une composante liée aux trous générés par ionisation par impact et d'une composante correspondant au courant de fuite de la grille. Supposons que le taux d'ionisation par impact diminue avec la température [GRO03], l'augmentation du courant de fuite du transistor avec la température [CHO01] peut compenser cette diminution et il en résulte une augmentation de la valeur maximale de la courbe en cloche du transistor.

La Figure II-63 présente l'évolution du lieu de claquage « off-state » en fonction de la température du PHEMT A pour la condition de claquage $I_{ds}=1 \text{ mA/mm}$.

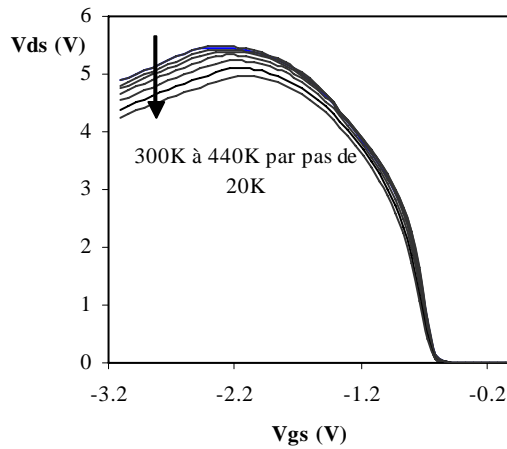


Figure II-63 : Caractéristique de claquage « off-state » en fonction de la température du PHEMT A pour la condition de claquage $I_{ds}=1 \text{ mA/mm}$.

Température (K)	300	340	380	420
BV_{ds}^g (V)	5,45	5,42	5,32	5,10

Tableau II-10 : Evolution de la tension de claquage « off-state » BV_{ds}^g en fonction de la température du PHEMT A.

L'évolution de BV_{ds}^g en fonction de la température (de 300K à 420K) est de -3 mV/K , ce qui correspond à une diminution de 6,5 % (Tableau II-10).

En se basant sur l'étude, établie dans ce chapitre, de corrélation entre le lieu de claquage « off-state » et le réseau I_{ds} - V_{ds} , on peut conclure que la diminution de la tension de claquage « off-state » avec la température est corrélée avec l'augmentation du courant de drain avec la température au pincement (figures II-64 et II-65).

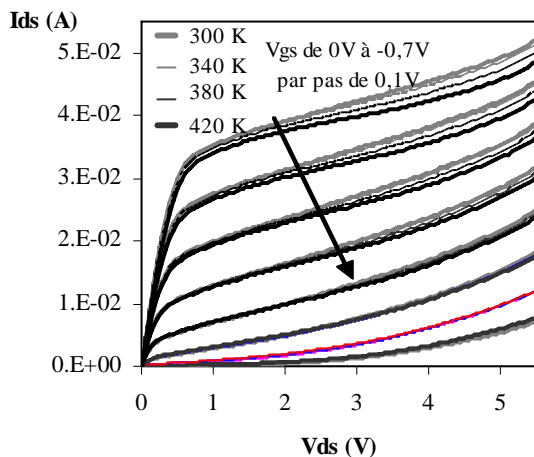


Figure II-64 : Caractéristiques I_{ds} - V_{ds} du PHEMT A en fonction de la température.

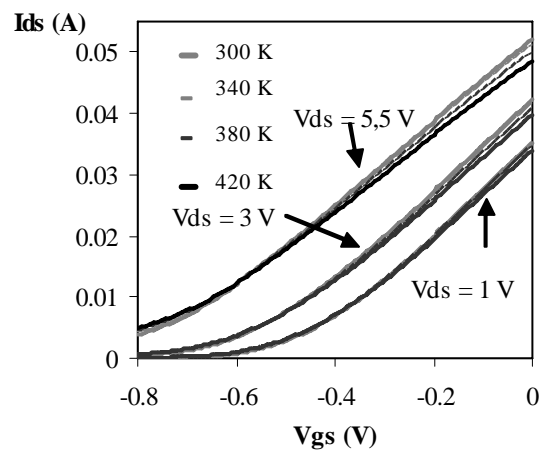


Figure II-65 : Caractéristiques I_{ds} - V_{gs} du PHEMT A en fonction de la température.

Au pincement, l'augmentation de I_{ds} avec la température peut être attribuée à l'augmentation du courant de grille en inverse [NAR99]. Par contre, pour des valeurs de V_{gs} correspondant à un état passant du transistor, l'augmentation de la température entraîne la diminution de I_{ds} . En effet, I_{ds} est proportionnel au produit de la concentration des porteurs dans le canal et de la vitesse des électrons. A l'état passant, l'évolution de I_{ds} avec la température est déterminée par celle de la vitesse des électrons, se déplaçant dans le canal [GOB94]. Par conséquent, une diminution de la vitesse des électrons avec la température explique la diminution de I_{ds} avec la température observée sur la Figure II-64 [WON99] [LIU-2 01] [SEL93].

2. Caractérisation statique du MESFET A en fonction de la température

Les figures II-66, II-67 et II-68 présentent l'évolution des caractéristiques de claquage « on-state » en fonction de la température du MESFET A pour les conditions de claquage : $I_{gs} = -0,3, -1$ et $-1,5$ mA/mm, respectivement. On remarque que, pour les trois conditions de claquage, la tension de claquage « on-state » diminue avec la température [LIU-1 01].

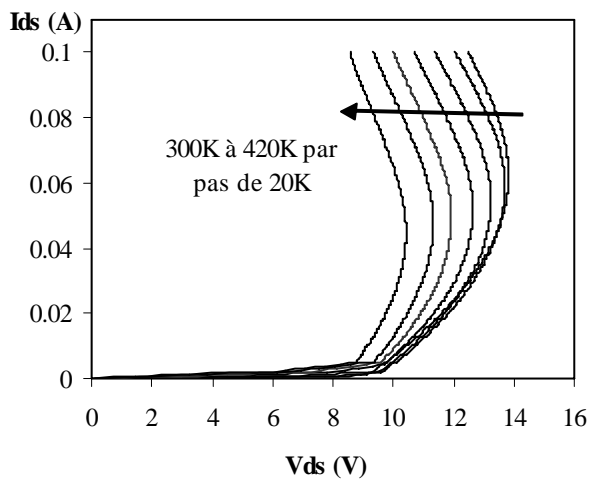


Figure II-66 : Caractéristique de claquage « on-state » en fonction de la température du MESFET A pour $I_{gs} = -0,3$ mA/mm.

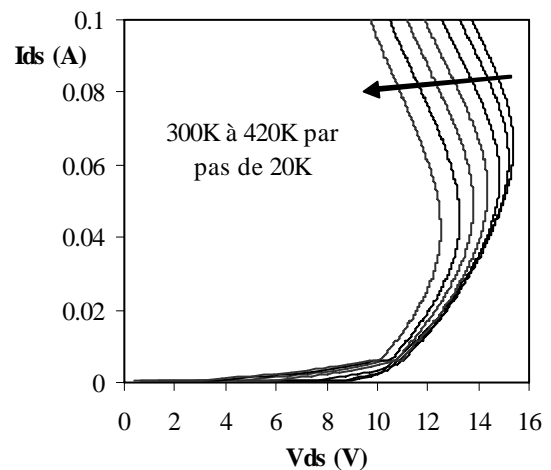


Figure II-67 : Caractéristique de claquage « on-state » en fonction de la température du MESFET A pour $I_{gs} = -1$ mA/mm.

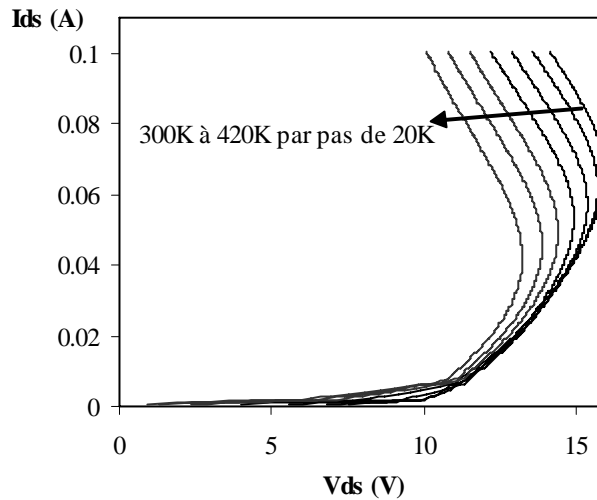


Figure II-68 : Caractéristiques de claquage « on-state » en fonction de la température du MESFET A pour $I_{gs} = -1,5$ mA/mm.

La diminution de la tension de claquage « on-state », lorsque la température augmente, est corrélée avec l'augmentation du courant de fuite dans la zone exponentielle et celle de la valeur maximale de la courbe en cloche dans la zone hyperbolique (Figure II-69). En effet, dans la gamme de température de 300K à 420K, la tension de claquage « on-state », pour $I_{gs} = -0,3$ mA/mm, présente une diminution de 24,5%, alors que le courant de fuite en inverse du transistor et la valeur maximale de la courbe en cloche présentent une multiplication par 7 et 20, respectivement (Tableau II-11).

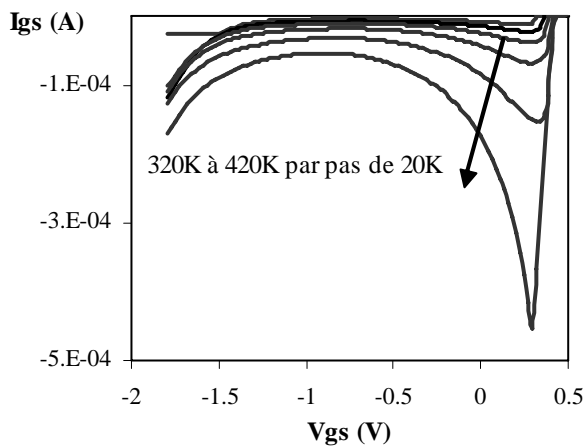


Figure II-69 : Caractéristique I_{gs} - V_{gs} en inverse en fonction de la température du MESFET A à $V_{ds} = 10$ V.

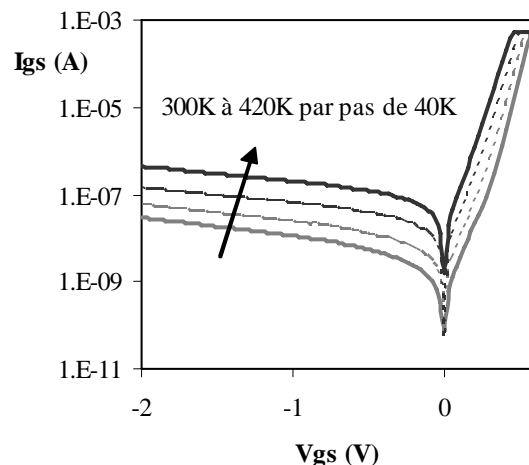


Figure II-70 : Caractéristique de la diode Schottky en fonction de la température du MESFET A.

L'augmentation du courant de fuite en inverse du transistor avec la température est essentiellement corrélée avec l'augmentation du courant thermoionique associé à la diode

Schottky avec la température (Figure II-70). La modification de la densité et/ou de la cinétique des états de surface peut sans doute contribuer à cette augmentation [LAM01].

Température (K)	340	380	420
$ I_{\max II} $ ($\mu\text{A}/\text{mm}$) à $V_{ds} = 10\text{ V}$	73	230	1510
$ I_{g\text{fuite}} $ ($\mu\text{A}/\text{mm}$) à $V_{ds} = 10\text{ V}$ et $V_{gs} = -1\text{ V}$	26	66	183
$BV_{ds\max}$ (V) à $I_{gs} = -0,3\text{ mA}/\text{mm}$	13,2	12	10,4

Tableau II-11 : Evolution de l'amplitude de la courbe en cloche $|I_{\max II}|$, du courant de fuite $I_{g\text{fuite}}$ du transistor et de la tension de claquage « on-state » en fonction de la température du MESFET A.

La Figure II-71 présente l'évolution du lieu de claquage « off-state » en fonction de la température du PHEMT A pour la condition de claquage $I_{ds} = 1\text{ mA}/\text{mm}$.

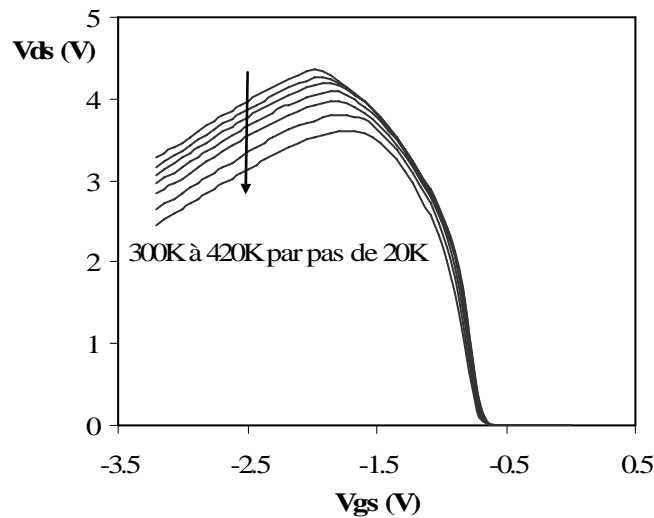


Figure II-71 : Lieu de claquage « off-state » du MESFET A, en fonction de la température, pour la condition de claquage : $I_{ds} = 0,3\text{ mA}/\text{mm}$.

Température (K)	300	340	380	420
BV_{ds}^g (V)	4,3	4,2	3,9	3,6

Tableau II-12 : Evolution de la tension de claquage « off-state » BV_{ds}^g du MESFET A, en fonction de la température, pour $I_{ds} = 0,3\text{ mA}/\text{mm}$.

Pour la condition de claquage $I_{ds} = 0,3\text{ mA}/\text{mm}$, l'évolution de BV_{ds}^g en fonction de la température (de 300 K jusqu'à 420 K) est de $-63\text{ mV}/\text{K}$, ce qui correspond à une diminution de 16 % (Tableau II-12).

La diminution de la tension de claquage « off-state » avec la température est corrélée avec l'augmentation du courant de drain avec la température au pincement (Figure II-72 et II-73). Cette augmentation du courant de drain peut être attribuée à l'augmentation du courant de fuite en inverse du transistor.

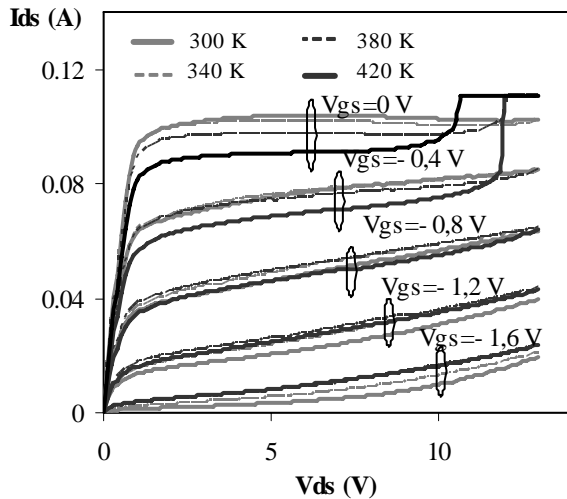


Figure II-72 : Caractéristiques I_{ds} _ V_{ds} du MESFET A en fonction de la température.

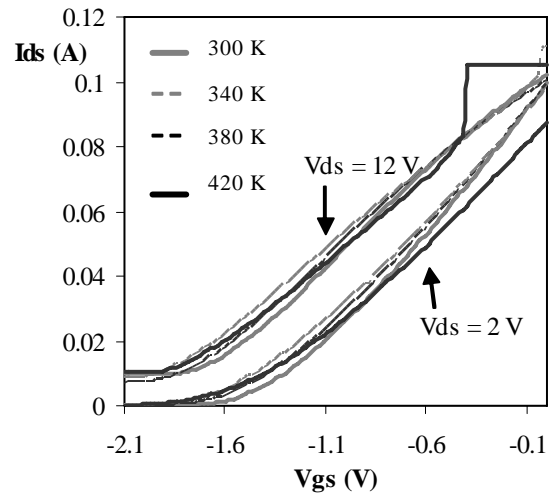


Figure II-73 : Caractéristiques I_{ds} _ V_{gs} du MESFET A en fonction de la température.

3. Analyse de l'évolution des paramètres électriques statiques du transistor avec la température

Paramètres électriques du transistor	MESFET A	PHEMT A
Variation de I_{dss}	- 0,33 mA/mm.K	- 16,66 mA/mm.K
$ I_{maxII} $ (μ A/mm)	12 μ A/mm.K ($V_{ds} = 10$ V)	0,45 μ A/mm.K ($V_{ds} = 5,3$ V)
$ I_{gfuite} $ (μ A/mm)	2 μ A/mm.K ($V_{ds} = 10$ V, $V_{gs} = -1$ V)	1,14 μ A/mm.K ($V_{ds} = 5,3$ V, $V_{gs} = -1$ V)
Variation de BV_{ds}^g « off-state » ($I_{ds}=0,3$ mA/mm)	- 11 mV/K	- 3 mV/K
Variation de $BV_{ds,max}$ « on state » ($I_{gs}=-1$ mA/mm)	- 24 mV/K	- 2 mV/K

Tableau II-13 : Comparaison des évolutions des paramètres électriques du MESFET A et du PHEMT A en fonction de la température.

On remarque que le PHEMT A présente une plus forte diminution de I_{dss} en fonction de la température que le MESFET A (Tableau II-13). Ceci est attribué à la plus forte

dégradation, en fonction de la température, de la mobilité des électrons dans un canal bidimensionnel que dans un canal de volume dopé [GOB94].

On remarque que l'évolution des valeurs maximales des tensions de claquage « on-state » et « off-state », avec la température, est directement corrélée avec celle du courant de fuite en inverse et de la valeur maximale de la courbe en cloche du transistor avec la température. En effet, une plus forte augmentation, avec la température, du courant de fuite en inverse du MESFET A, par rapport à celui du PHEMT A, a induit une plus forte diminution de la valeur maximale de la tension de claquage en régime de fonctionnement « off-state » pour le MESFET A. D'autre part, une plus forte augmentation, avec la température, de la valeur maximale de la courbe en cloche et du courant de fuite en inverse du MESFET A, par rapport à celle du PHEMT A, a induit une plus forte diminution de la valeur maximale de la tension de claquage en régime de fonctionnement « on-state » pour le MESFET A (Tableau II-13).

L'évolution des caractéristiques de claquage avec la température, en régime de fonctionnement on-state », dépend de la zone de fonctionnement du transistor. En effet, sur le lieu de claquage « on-state », une tension de claquage est définie à partir de la condition de claquage I_{gs} et du courant de drain I_{ds} . Pour la technologie PHEMT A, la tension de claquage diminue avec la température pour les faibles conditions de claquage ($I_{gs} = -0,3$ mA/mm) quelle que soit la valeur de I_{ds} . Par contre, pour les fortes conditions de claquage ($I_{gs} = -1$ et $-1,5$ mA/mm), la tension de claquage diminue avec la température, dans la zone exponentielle et augmente avec la température, dans la zone hyperbolique du lieu de claquage « on-state ».

Finalement, à partir de l'évolution des caractéristiques I_{gs} - V_{gs} en inverse avec la température, on peut estimer le sens de variation des lieux de claquage du transistor avec la température.

Conclusion

Les performances du transistor, pour un régime de fonctionnement en « overdrive » dépendent des caractéristiques des lieux de claquage « on-state » et « off-state » du transistor.

On a présenté une étude détaillée de la corrélation, d'une part, entre la caractéristique de claquage « off-state » et le réseau de sortie I_{ds} - V_{ds} et, d'autre part, entre la caractéristique de claquage « on-state » et la caractéristique I_{gs} - V_{gs} en inverse du transistor. Cette étude a permis une meilleure compréhension des mécanismes physiques associés à chaque région des lieux de claquage « off-state » et « on-state ».

La comparaison de la forme des lieux de claquage « off-state » des dispositifs sous test montre que la principale différence concerne la région corrélée avec le claquage du canal du transistor. En effet, pour les PHEMT, le régime de claquage du canal s'étend sur une large gamme de valeurs de V_{gs} , alors qu'il s'étend sur une faible gamme pour le MESFET A et le PPHEMT. On remarque que le claquage du canal est contrôlé par le mécanisme d'ionisation par impact pour les technologies PHEMT C et PPHEMT, alors que, pour les autres technologies, le claquage du canal est attribué aux fortes valeurs de V_{dg} et se manifeste par un fort courant de fuite en inverse du transistor.

La comparaison de la forme des lieux de claquage « on-state » des dispositifs sous test montre que la forme exponentielle du lieu de claquage « on-state » est prononcée pour les dispositifs dont le courant de fuite est élevé ou dont le maximum de la courbe en cloche est décalé vers les valeurs positives de V_{gs} . Les dispositifs, pour lesquels la forme des courbes en cloche est abrupte, présentent une forme hyperbolique du lieu de claquage « on-state » prononcée.

L'étude de l'évolution des caractéristiques électriques du transistor en fonction de la température a montré la corrélation entre la diminution des tensions de claquage « on-state » et « off-state » et l'augmentation du courant de fuite en inverse et de la valeur maximale de la courbe en cloche du transistor.

Ainsi la mesure des lieux de claquage pour différentes conditions de claquage a permis d'évaluer l'aire de fonctionnement du transistor sans destruction en régime « on-state » et « off-state ». Cette étude permettra par la suite, dans le troisième chapitre de ce manuscrit, de définir les séquences de vieillissement accéléré afin d'évaluer l'aire de sécurité de fonctionnement du transistor.

Références

- [BAH93] S. R. Bahl et al., “A new Drain-Current Injection Technique for the Measurement of Off-State Breakdown Voltage in FET’s”, IEEE Transactions on Electron Devices, Vol.40, N°8, pp. 1558-1560, August 1993.
- [CAN93] C. Canali et al., “Dependence of ionization current on gate bias in GaAs MESFETs”, IEEE Transactions on Electron Devices, Vol. 40, N°3, pp. 498-501, March 1993.
- [CHI01] H. C. Chiu et al., “AlGaAs/InGaAs Heterostructure Doped-Channel FET’s Exhibiting Good Electrical Performance at High Temperatures”, IEEE Transactions on Electron Devices, Vol. 48, N°10, pp. 2210-2215, October 2001.
- [CHO01] K.J. Choi et al., “Interpretation of Transconductance Dispersion in GaAs MESFET Using Deep Level Transient Spectroscopy”, IEEE Transactions on Electron Devices, Vol. 48, N°2, pp. 190-195, February 2001.
- [DIE00] D. Dieci et al., “Hot Electron Effects on Al_{0.25}Ga_{0.75}As/GaAs Power HFET’s Under Off-State and On-State Electrical Stress Conditions”, IEEE Transactions on Electron Devices, Vol. 47, N°2, pp. 261-268, February 2000.
- [GOB94] Y. Gobert et al., “Comparative Behavior and Performances of MESFET and HEMT as a Function of Temperature”, IEEE Transactions on Electron Devices, Vol. 41, N°3, pp. 299-305, March 1994
- [GRO03] C. Groves et al., “Temperature Dependence of Impact Ionization in GaAs”, IEEE Transactions on Electron Devices, Vol. 50, N°10, pp. 2027-2031, October 2003.
- [ISM-1 04] N. Ismail et al., “Methodology to compare on-state breakdown loci of GaAs FET’s”, IEEE International Conference on Microelectronics, Tunis, Tunisie, pp. 258-261, 6-8 December 2004.
- [ISM-2 04] N. Ismail et al., “Comparaison des lieux de claquage BV-on state des différentes technologies à substrat GaAs : MESFET, DCFET, PHEMT et PPHEMT”, Journées Nationales Microélectronique Optoélectronique, La Grande Motte, France, pp. 127-128, 8-11 Juin 2004.
- [ISM05] N. Ismail et al., “Off-State and On-state Breakdown of GaAs MESFET, PHEMT and PPHEMT”, The International Symposium on Compound Semiconductors (ISCS), septembre 2005, publié dans le journal Physica Status Solidi (c), Vol.3, Issue 3, pp. 499-503, March 2006.

- [ISM06] N. Ismail et al., “Off-State and On-state Breakdown of GaAs MESFET, PHEMT and PPHEMT”, *Physica Status Solidi (c)*, Vol. 3, Issue 3, pp. 499-503, March 2006.
- [LAM01] B. Lambert, “Etude de l’influence du mécanisme d’ionisation par impact sur les performances et la fiabilité des transistors à effet de champ sur substrat III-V”, Thèse soutenue le 19 Novembre 2001 à l’Université Bordeaux 1.
- [LIU-1 01] W. C. Liu et al., “Investigation of Temperature-Dependent Characteristics of an n+-InGaAs/n-GaAs Composite Doped Channel HFET”, *IEEE Transactions on Electron Devices*, Vol. 48, N°12, pp. 2677-2682, December 2001.
- [LIU-2 01] W. C. Liu et al., “Temperature-Dependence Investigation of a High-Performance Inverted Delta-Doped V-Shaped GaInP/In_xGa_{1-x}As/GaAs Pseudomorphic High Electron Mobility Transistor”, *IEEE Transactions on Electron Devices*, Vol. 48, N°7, pp. 1290-1295, July 2001.
- [ROH97] H. Rohdin et al., “Semi-analytical analysis for optimization of 0.1 μm InGaAs-channel MODFET’s with emphasis on on-state breakdown and reliability”, in *Proc. Int. Symp. Indium Phosphide Related Mat., IPRM97*, pp. 357-360, 1997.
- [SEL93] L. Selmi et al., “Modeling Temperature Effects in the DC I-V Characteristics of GaAs MESFET’s”, *IEEE Transactions on Electron Devices*, Vol. 40, N°2, pp. 273-277, February 1993.
- [SOM96] M.H. Somerville, et al., “A model for tunnelling-limited breakdown in high-power HEMTs”, in *IEEE IEDM tech. Dig.*, pp. 35-38, 1996.
- [SOM98] M.H. Somerville, et al., “A new gate current extraction technique for measurement of on-state breakdown voltage in HEMT’s”, *IEEE Transactions on Electron Devices*, Vol. 19, N°11, pp. 405-407, November 1998.
- [SOM99] M. H. Somerville et al., “On-State Breakdown in Power HEMT’s: Measurements and Modeling”, *IEEE Transactions on Electron Devices*, Vol. 46, N°6, pp. 1087-1092, June 1999.
- [TED93] C. Tedesco et al., “Impact ionization and light Emission in High-Power Pseudomorphic AlGaAs/InGaAs HEMT’s”, *IEEE Transactions on Electron Devices*, Vol. 40, N°7, pp. 1211-1214, July 1993.
- [MAL06] N. Malbert et al., “Safe operating area of GaAs MESFET for non linear applications”, *IEEE Transactions on Device and Materials Reliability*, Vol. 6, Issue 2, pp. 221-227, June 2006.

- [MAZ01] A. Mazzanti, et al., “Dependence of Impact Ionization and Kink on Surface-Deep Level Dynamics in AlGaAs/GaAs HFETs”, Proceedings EDMO,Vienna, pp. 137-142, 2001.
- [MEN99] G. Meneghesso et al., “DC and pulsed measurements of on-state breakdown voltage in GaAs MESFETs and InP-based HEMTs”, Microelectronics Reliability, Vol. 39, pp. 1759-1763, 1999.
- [MEN03] G. Meneghesso et al., “Pulsed Measurements and Circuit Modeling of Weak and Strong Avalanche Effects in GaAs MESFETs and HEMTs”, IEEE Transactions on Electron Devices, Vol. 50, N°2, pp. 324-332, February 2003.
- [MEN04] R. Menozzi, “Off-state Breakdown of GaAs PHEMTs: Review and New Data”, Transaction on Device and Materials Reliability, Vol. 4, N° 1, pp. 54-62, 2004.
- [NAR99] R. Narasimhan et al., “Enhancement of High-Temperature High-Frequency Performance of GaAs-Based FET’s by the High-Temperature Electronic Technique”, IEEE Transactions on Electron Devices, Vol. 46, N°1, pp. 24-30, January 1999.
- [WIN94] T. A. Winslow et al., “Principles of large-signal MESFET operation”, IEEE Transactions Microwave Theory Tech., Vol. 42, N°6, pp. 935-942, June 1994.
- [WON99] C. S. Won et al., “D.C. characteristic of MESFETs at High Temperatures”, Solid-State Electronics, Vol.43, pp. 537-542, 1999.

Chapitre III :

**Méthodologie d'évaluation de l'aire
de sécurité de fonctionnement des
transistors FET**

Introduction

La réduction des contraintes appliquées à un composant afin de garantir sa durée de vie ou celle de la fonction électronique considérée est un principe reconnu. Ce principe intuitif, suivant lequel la fiabilité d'un composant est d'autant meilleure si l'on diminue les contraintes appliquées, est normalisé et contractuel pour tout équipement embarqué, mais sujet à discussion. En effet, la définition des taux de contraintes applicables aux MMIC n'est pas clairement mentionnée. A titre d'exemple, une norme peut spécifier une limitation du courant de sortie des circuits sans définir de valeur maximale du courant du transistor. De plus, la superposition des marges préconisées d'une part par le fondeur et d'autre part par les normes standard prive le concepteur de la totalité du potentiel en performance de la technologie. Ces normes, issues pour la plupart du retour d'expérience des fonderies silicium, sont définies pour tout type de transistor et quel que soit leur mode de fonctionnement.

Le fonctionnement des MMICs en régime d'« overdrive » nécessite d'utiliser le transistor dans des zones de fonctionnement où l'excursion du point de fonctionnement peut atteindre de fortes valeurs de la tension grille-drain du transistor. Ce mode de fonctionnement n'est pas forcément compatible avec les règles de taux de charges définies par les normes standard. Le concepteur, afin de garantir un certain niveau de performance, est souvent obligé de dépasser la valeur maximale de la tension V_{dg} autorisée par le fondeur, alors que les normes préconisent de ne pas dépasser 75 % de la valeur de cette dernière [MUR97].

L'objectif de ce chapitre est de présenter une nouvelle méthode permettant d'évaluer l'aire de sécurité de fonctionnement du transistor ou SOA en régime non linéaire et de définir des valeurs maximales des paramètres électriques du transistor plus adaptées à un fonctionnement de l'amplificateur en régime d'« overdrive ». La nouvelle approche consiste à effectuer des essais de vieillissement DC par étapes dans les régions de claquage du transistor qui peuvent être atteintes par les excursions de V_{ds} et V_{gs} en fonctionnement fortement non linéaire.

Au début de ce chapitre, le banc de vieillissement accéléré sous contraintes statiques est décrit ainsi que les logiciels permettant de le piloter.

Ensuite, on présente la nouvelle méthodologie permettant d'évaluer l'aire de sécurité de fonctionnement des transistors FET à substrat GaAs. Les cas de fonctionnement du transistor en régime « on-state » et « off-state » sont étudiés. Cette méthodologie a été validée sur trois technologies : une technologie MESFET et deux technologies PHEMT pour lesquelles les

aires de sécurité de fonctionnement « on-state » et « off-state » sont données. Nous détaillerons également l'effet des tests de vieillissement accéléré DC, effectués en régime « on-state » et « off-state », sur les caractéristiques électriques statiques du transistor. Une discussion sur les mécanismes physiques, associés aux évolutions des paramètres électriques du transistor, est présentée.

L'objectif de la dernière partie de ce chapitre est de définir les valeurs maximales autorisées des paramètres électriques du transistor en se basant sur les résultats des vieillissements accélérés DC et RF.

I. Mise en oeuvre des essais de vieillissement accéléré DC

1. Banc de vieillissement sous contraintes statiques

Le dispositif expérimental utilisé pour les essais de vieillissement sous contraintes statiques est basé sur un système BILT fournissant des signaux électriques aux transistors placés sur le support de test. Ce banc de test est piloté par un P.C. via le logiciel « EASY STRESS » (Figure III-1).

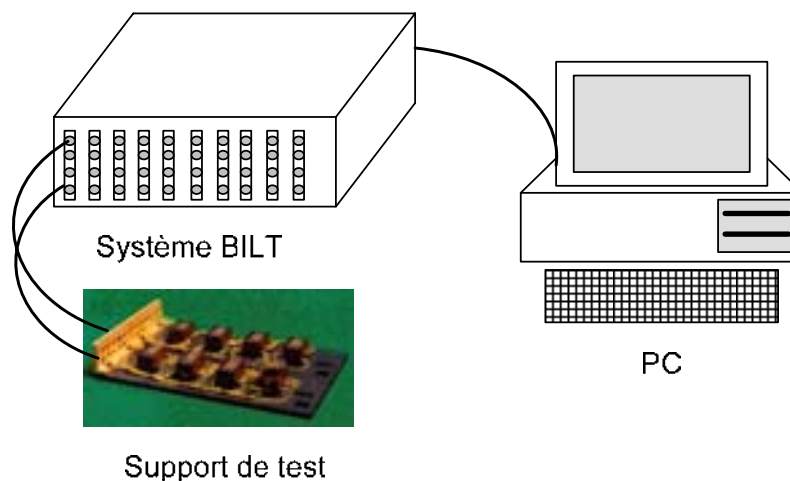


Figure III-1 : Banc de vieillissement sous contraintes statiques.

1.1. Système BILT

BILT est un système de test modulaire dont la première vocation est la génération de signaux d'alimentation programmables de qualité pour les bancs de test. Les principales caractéristiques de ce système sont :

- La production et la séquence des contraintes électriques.
- L'observation en temps réel des paramètres électriques.
- La mémorisation du déroulement du test.
- La précision des contraintes de polarisation appliquées. Le système BE510S possède 10 gammes de courant allant de $6,25\mu\text{A}$ à 4A et 4 gammes de tension allant de -20V à $+20\text{V}$.
- Les Sources-DC BILT qui proposent une protection programmable permettant de détecter et de protéger à la fois le système alimenté et l'alimentation contre toute réinjection de tension au delà des limites acceptables.

- L'arrêt automatique sur franchissement des seuils : Il est possible de programmer des seuils min et/ou max sur les mesures de courants ou de tensions. La surveillance de ces seuils est logicielle et leur franchissement provoquera l'arrêt du module.
- Un système de « survie » en cas de coupure secteur permettant à la partie contrôle de toutes les cartes de disposer de suffisamment d'autonomie pour garantir un arrêt propre.

La gestion du banc est assurée par différentes entités matérielles et logicielles (Figure III-2) :

- Le module est une carte électronique qui réalise une fonction de traitement analogique ou numérique du signal (alimentation programmable courant/tension ...). Un module permet de polariser la grille ou le drain du transistor.
- Le groupe est constitué d'un ensemble de modules. Il permet en général d'associer les modules utilisés pour produire ou traiter les signaux d'un seul et même composant (marche/arrêt, mémorisation, visualisation,...). Pour notre application, le groupe est constitué de deux modules dont l'un permet de polariser la grille et l'autre permet de polariser le drain du transistor. Par conséquent, chaque transistor sous test correspond à un groupe de modules.
- Le châssis est la plate-forme de base du système BILT. Il assure l'alimentation de dix modules. Ainsi le système BILT permet de polariser, au maximum, cinq transistors en même temps avec différentes conditions de polarisation.
- Le logiciel PC « EasyStress » permet de piloter le châssis BILT pour les tests de vieillissement.

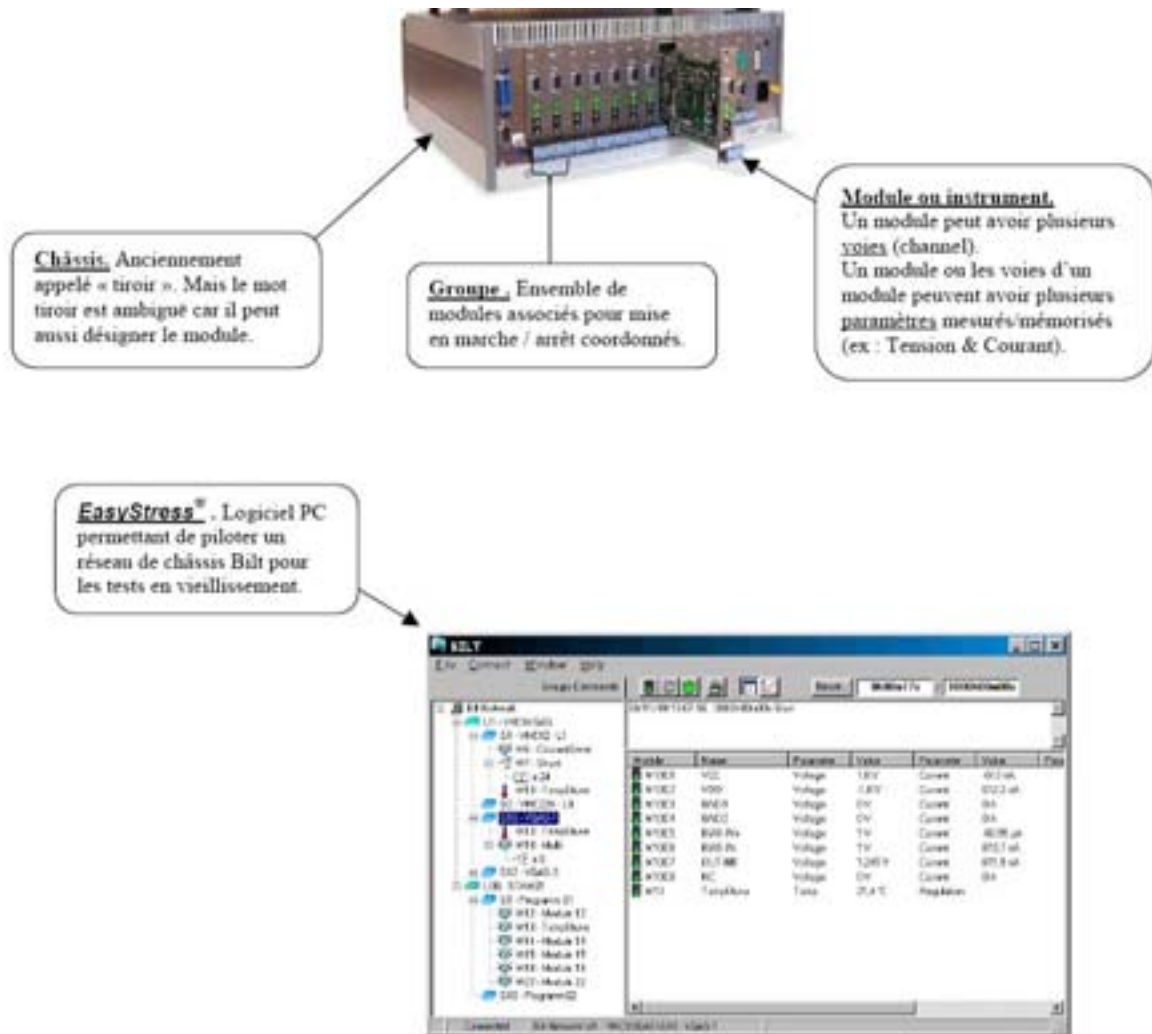


Figure III-2 : Description du Système BILT

1.2. Présentation du logiciel EasyStress

EasyStress est un logiciel permettant de piloter un réseau de châssis BILT pour réaliser des essais de vieillissement accéléré de composants électroniques en fonctionnement continu statique. Le logiciel permet de configurer chaque châssis en groupes de modules polarisant plusieurs composants. Une fois le test lancé, le châssis est autonome. Il gère pour chaque groupe un compteur de temps, les tracés des mesures, la surveillance des seuils sur les mesures...

Conçu comme un « explorateur » de base de données hiérarchisée suivant les clés « Session / Châssis / Groupes / modules », l'ergonomie d'EasyStress ressemble à celle de l'explorateur de Windows, ce qui rend son utilisation extrêmement simple (Figure III-3). Par exemple, dupliquer, sauver ou réorganiser une configuration de test revient à déplacer avec la souris des objets visuels dans un arbre, ou à appeler leur menu contextuel (clic de droite)...

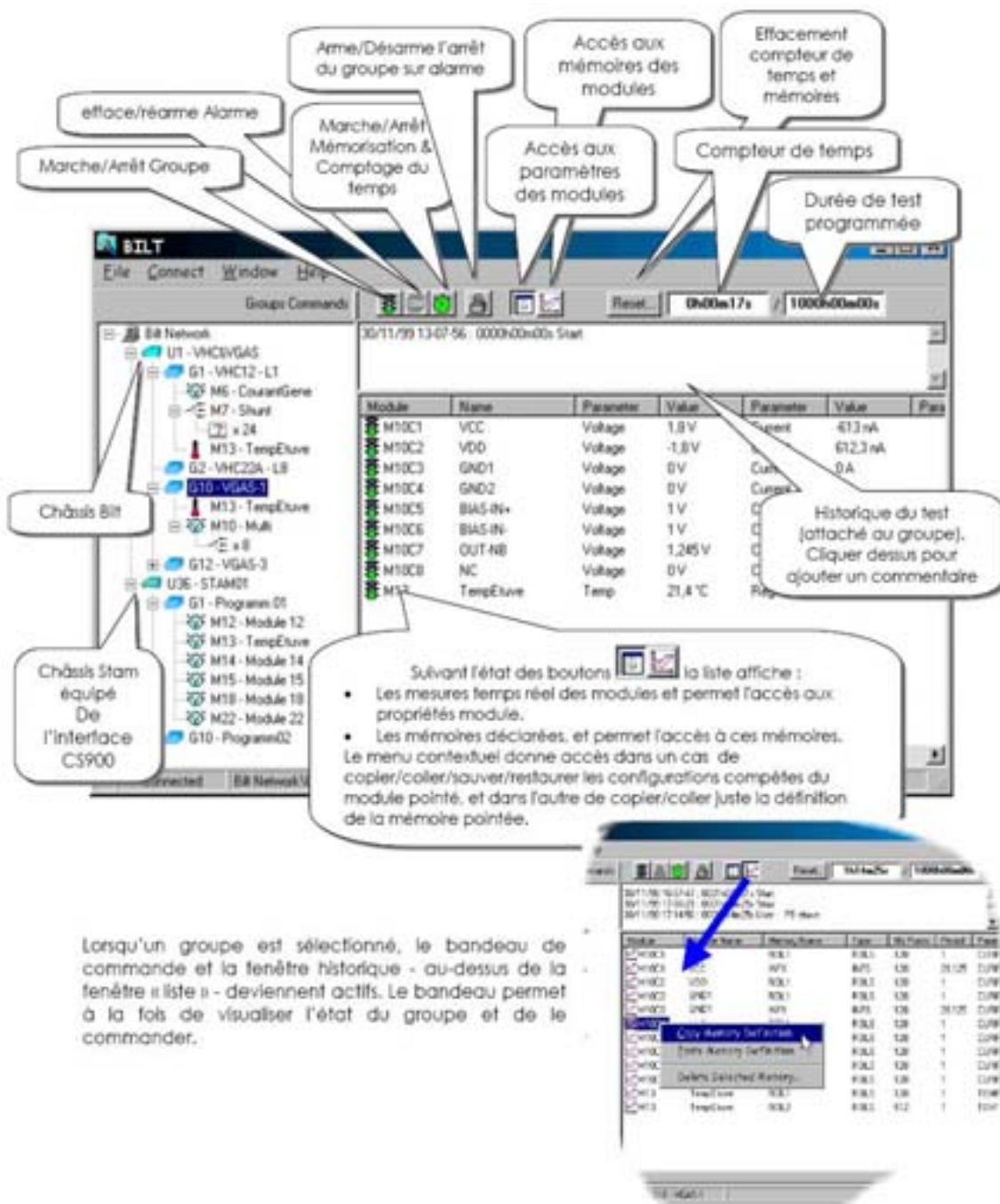


Figure III-3 : Présentation du logiciel « Easy Stress ».

II. Méthodologie d'évaluation de l'aire de sécurité de fonctionnement du transistor en régime d'« overdrive »

En régime de fonctionnement en « overdrive » d'un amplificateur, les excursions de V_{ds} et V_{gs} du transistor peuvent atteindre de fortes valeurs proches des tensions de claquage du transistor. Un exemple de simulation des formes d'ondes d'un amplificateur LLA, composé de deux étages comprenant chacun un transistor MESFET et correspondant à un fonctionnement en régime fortement non linéaire, montre que l'amplificateur peut fonctionner aussi bien en régime « on-state » qu'en régime « off-state » (Figure III-4). Par conséquent, la nouvelle approche, permettant d'évaluer la SOA du transistor lors d'un fonctionnement critique de l'amplificateur, consiste à effectuer des essais de vieillissement accéléré DC par étapes dans des régions situées sur les lieux de claquage « on-state » et « off-state » du transistor [ISM-1 05].

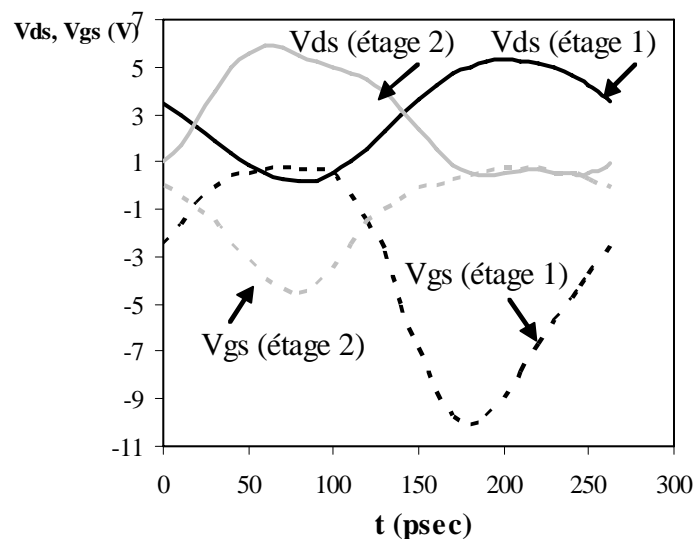


Figure III-4 : Simulation des formes d'onde V_{ds} et V_{gs} d'un amplificateur composé de deux étages, comprenant chacun un transistor MESFET, dans les conditions d'« overdrive » : $P_{in}=+18\text{dBm}@ 3,8\text{Ghz}$.

1. Méthodologie d'évaluation de l'aire de sécurité de fonctionnement du transistor en régime « on-state »

Dans une première approche, nous avons supposé que l'aire de sécurité de fonctionnement du transistor est délimitée par un lieu de claquage « on-state » correspondant à un courant de grille fixé [MENO99]. Un vieillissement accéléré sous polarisation à courant fixé a été effectué sur la technologie MESFET B, pendant 48 heures, pour le point de

polarisation A1 ($I_{ds}=1,16\text{mA/mm}$; $I_{gs}=-1\text{mA/mm}$) situé sur le lieu de claquage « on-state » et correspondant à la condition de claquage $I_{gs}=-1\text{mA/mm}$ (Figure III-5). Ce point de polarisation correspond à une forte valeur de la tension grille-drain d'environ 21,5V. Ce vieillissement a induit une forte dérive des valeurs de V_{ds} et V_{gs} correspondant au point de polarisation du vieillissement.

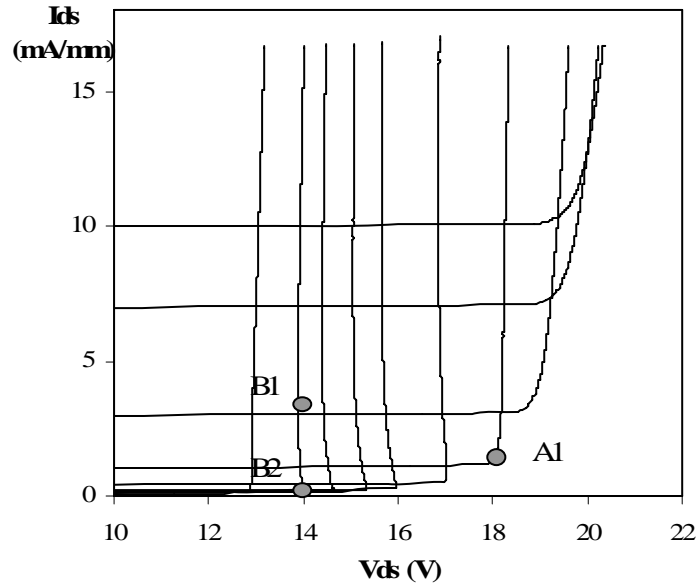


Figure III-5. Lieux de claquage « on-state » de la technologie MESFET pour différentes conditions de claquage : $I_{gs}=-0,01$; $-0,03$; $-0,05$; $-0,08$; $-0,16$; $-0,33$; $-0,66$; -1 ; $-1,33$; $-1,66$ et -2mA/mm de gauche à droite respectivement. Les points A1, B1 et B2 représentent les points de polarisation des tests de vieillissement accéléré effectués sous polarisation à courant fixé.

La forte dégradation, induite par le vieillissement effectué pour la condition de claquage « on-state » $I_{gs}=-1\text{mA/mm}$, nous a conduit à effectuer le vieillissement pour une condition de claquage plus faible. Deux vieillissements accélérés DC à courant fixé ont été effectués, pendant 48 heures, dans deux régions appartenant au même lieu de claquage « on-state » correspondant à la condition de claquage ($I_{gs}=-0,03\text{mA/mm}$). Le premier point de polarisation B1 ($I_{ds}=3,3\text{mA/mm}$; $I_{gs}=-0,03\text{mA/mm}$) correspond à la région du lieu de claquage corrélée avec l'ionisation par impact. Le deuxième point de polarisation B2 ($I_{ds}=0,3\text{mA/mm}$; $I_{gs}=-0,03\text{mA/mm}$) est proche de la région du lieu de claquage corrélée avec le claquage de la jonction grille-drain (Figure III-5). Après 48 heures de vieillissement accéléré, la dégradation de V_{ds} dépasse 10%, dans le second cas, alors qu'elle n'atteint pas 10% pour le premier point de polarisation.

On conclut de cette étude que l'aire de sécurité de fonctionnement du transistor en régime « on-state » n'est pas délimitée par un lieu de claquage « on-state » mais par un contour passant par plusieurs lieux de claquage « on-state ».

La méthodologie consiste à effectuer plusieurs séquences de vieillissement DC, sous polarisation en tension, dans la région de claquage « on-state » du transistor. Chaque séquence de vieillissement est définie par une valeur de I_{ds} . Une séquence de vieillissement est composée de plusieurs étapes de vieillissement DC de 48 heures chacune. Dans la Figure III-6, on a présenté deux séquences de vieillissement définies pour deux valeurs de I_{ds} (I_{ds1} et I_{ds2}). Prenons, par exemple, la séquence de vieillissement 2 effectuée avec I_{ds2} . Cette séquence comprend cinq étapes S1, S2, S3, S4 et S5. Les lieux de claquage « on-state » correspondent, de gauche vers la droite, à des valeurs croissantes de la condition de claquage $|I_{gs}|$. Par conséquent, chaque étape de vieillissement correspond à un couple (I_{ds} , I_{gs}). Pour chaque séquence de vieillissement, on ajuste les valeurs des tensions de polarisation V_{ds} et V_{gs} afin de maintenir I_{ds} constant et d'augmenter $|I_{gs}|$ à chaque étape. Par exemple, pour la séquence de vieillissement effectuée avec I_{ds2} , les étapes de vieillissement S1, S2, S3, S4 et S5 correspondent aux couples (I_{ds2} , I_{gs1}), (I_{ds2} , I_{gs2}), (I_{ds2} , I_{gs3}), (I_{ds2} , I_{gs4}) et (I_{ds2} , I_{gs5}), avec $|I_{gs1}| < |I_{gs2}| < |I_{gs3}| < |I_{gs4}| < |I_{gs5}|$, valeurs qui sont obtenues en appliquant (V_{ds1} , V_{gs1}), (V_{ds2} , V_{gs2}), (V_{ds3} , V_{gs3}), (V_{ds4} , V_{gs4}) et (V_{ds5} , V_{gs5}) respectivement. Le vieillissement en régime « on-state » est donc effectué sous polarisation en tension (V_{ds} , V_{gs}) et les paramètres mesurés au cours de vieillissement sont I_{ds} et I_{gs} .

Dans cette étude, on a choisi une durée de 48 heures pour chaque étape du vieillissement accéléré DC. En effet, en se basant sur les formes d'ondes des différents étages de l'amplificateur lors d'un fonctionnement non linéaire, on peut déterminer la durée pendant laquelle le fonctionnement en « overdrive » se produit dans une période. Par conséquent, une estimation du nombre total de périodes, durant la mission du satellite, permet de calculer la durée cumulative du vieillissement accéléré DC qui est dans notre cas de l'ordre de 48 heures.

Le critère de défaillance est de 10% de dérive des paramètres électriques statiques du transistor. On a attribué trois couleurs aux points de polarisation du vieillissement selon la valeur de la dérive des différents paramètres électriques du transistor :

- Le point est blanc si la dérive de I_{ds} et I_{gs} correspondant au point de polarisation du vieillissement ainsi que celle des paramètres fonctionnels du transistor (I_{dss} , V_t , G_m , paramètres de la diode Schottky,...) ne dépassent pas le critère de défaillance après 48 heures de vieillissement.
- Le point est gris si la dérive de I_{ds} ou I_{gs} correspondant au point de polarisation du vieillissement dépasse le critère de défaillance, alors que la dérive des paramètres fonctionnels du transistor ne dépasse pas le critère de défaillance après 48 heures de vieillissement.

- Le point est noir si la dérive de I_{ds} ou I_{gs} correspondant au point de polarisation du vieillissement ainsi que celle des paramètres fonctionnels du transistor dépassent le critère de défaillance après 48 heures de vieillissement.

Finalement, le contour délimitant l'aire de sécurité de fonctionnement du transistor en régime « on-state » est localisé entre les points blancs et gris (Figure III-6). Ce contour a été défini pour un critère de défaillance sévère soit 10% de dérive. Par conséquent, le choix d'un critère de défaillance moins sévère entraînera un décalage de ce contour vers les fortes valeurs de V_{ds} et donc un élargissement de l'aire de sécurité de fonctionnement.

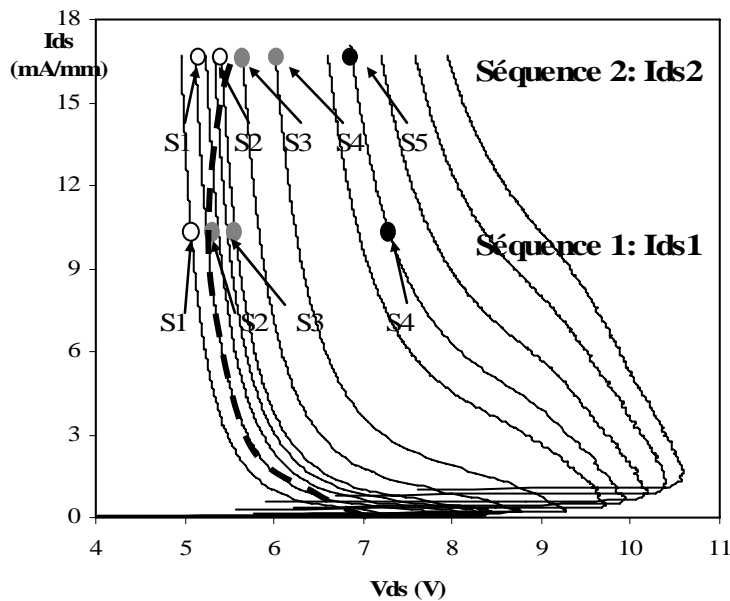


Figure III-6 : Séquences de test utilisées pour délimiter l'aire de sécurité de fonctionnement du transistor en régime « on-state ». La ligne noire en pointillés correspond au contour délimitant l'aire de sécurité de fonctionnement du transistor.

2. Méthodologie d'évaluation de l'aire de sécurité de fonctionnement du transistor en régime « off-state »

La méthodologie consiste à effectuer des séquences de vieillissement DC, sous polarisation en tension, dans la région de claquage « off-state » du transistor (Figure III-7). Chaque séquence de vieillissement est définie par une valeur de V_{gs} . Pour chaque séquence de vieillissement, les points de polarisation (V_{gs} , V_{ds}) sont définis de manière à maintenir V_{gs} constant et à augmenter V_{ds} à chaque étape de vieillissement. Par exemple, dans la Figure III-7, on a présenté deux séquences de vieillissement définies pour deux valeurs de V_{gs} : V_{gs1} et V_{gs2} . La séquence de vieillissement, définie par V_{gs1} , comprend trois étapes de vieillissement S1, S2 et S3, qui correspondent, respectivement, aux points de polarisation

(V_{gs1}, V_{ds1}) , (V_{gs1}, V_{ds2}) et (V_{gs1}, V_{ds3}) avec $V_{ds1} < V_{ds2} < V_{ds3}$. Le vieillissement « off-state » est effectué sous polarisation en tension (V_{ds} , V_{gs}) et les paramètres mesurés au cours du vieillissement accéléré sont I_{ds} et I_{gs} .

La durée de chaque étape du vieillissement est de 48 heures. Le critère de défaillance est de 10% de dérive des paramètres électriques du transistor. Comme dans le cas du vieillissement « on-state », on représente les points de polarisation du vieillissement en blanc, gris ou noir selon la valeur des dérives des différents paramètres électriques du transistor. En pratique, les points blancs n'existent pas, donc le vieillissement effectué en régime « off-state » est plus sévère que dans le cas d'un vieillissement effectué en régime « on-state ».

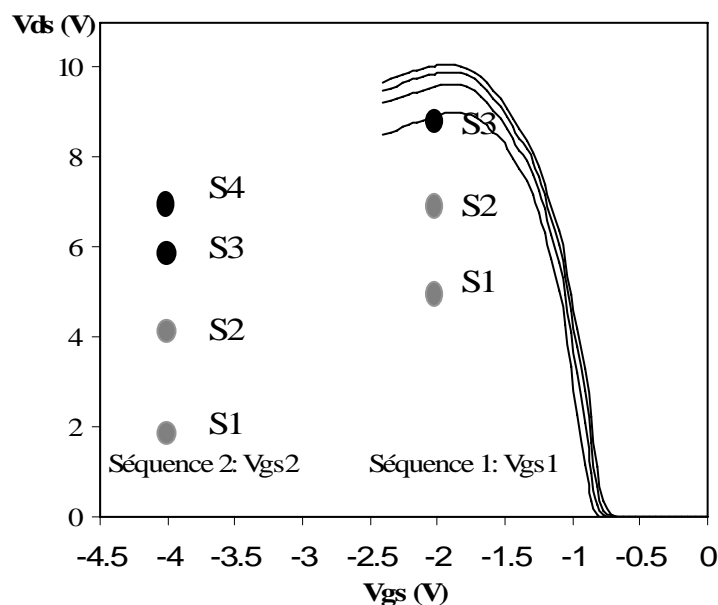


Figure III-7 : Séquences de test utilisées pour délimiter l'aire de sécurité de fonctionnement du transistor en régime « off-state ».

III. Aires de sécurité de fonctionnement des technologies étudiées

Les dispositifs étudiés sont MESFET B, ayant une longueur de grille de $0,5\mu\text{m}$ et une largeur de grille de $6 \times 50\mu\text{m}$, PHEMT A', ayant une longueur de grille de $0,2\mu\text{m}$ et une largeur de grille de $6 \times 30\mu\text{m}$ et PHEMT D, ayant une longueur de grille de $0,15\mu\text{m}$ et une largeur de grille de $4 \times 50\mu\text{m}$.

Une description détaillée de ces trois technologies a été présentée dans le deuxième chapitre de ce manuscrit.

1. Résultats expérimentaux : technologie MESFET B

1.1. Aire de sécurité de fonctionnement du MESFET B en régime « on-state »

La caractérisation électrique initiale du MESFET B a permis de définir l'aire de fonctionnement du transistor. Elle est délimitée par le contour gris en pointillés (Figure III-8) passant par les extrema des régions exponentielles de chaque lieu de claquage « on-state ».

Quatre séquences de vieillissement en régime « on-state », définies par les valeurs de I_{ds} de 0,33, 3,3, 10 et 16,6 mA/mm (Figure III-8), ont été effectuées. La ligne noire en pointillés correspond au contour délimitant l'aire de sécurité de fonctionnement du MESFET B à l'issue des tests de vieillissement [ISM-2 05] [ISM-3 05].

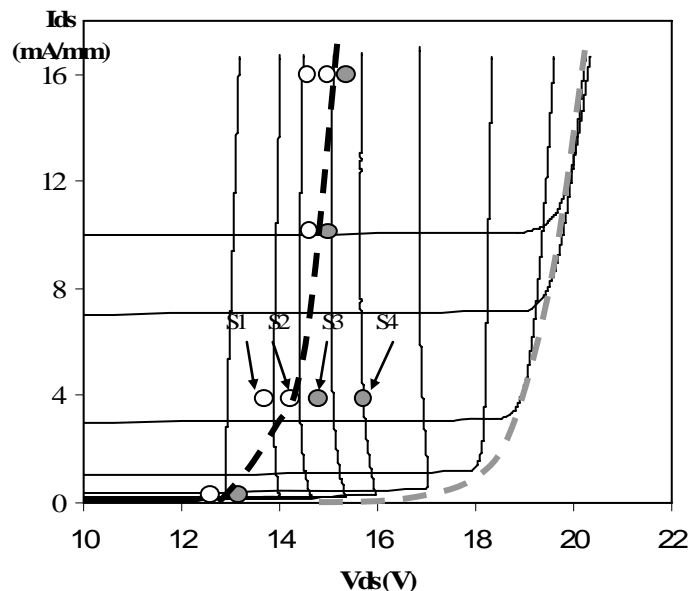


Figure III-8 : Lieux de claquage « on-state » de la technologie MESFET B pour différentes conditions de claquage : $I_{gs} = -0,016, -0,032, -0,05, -0,08, -0,13, -0,33, -1, -3, -7$ et -10 mA/mm de gauche à droite respectivement. La ligne grise en pointillés correspond au contour délimitant l'aire de fonctionnement du MESFET B avant vieillissement. La ligne noire en pointillés correspond au contour délimitant l'aire de sécurité de fonctionnement du MESFET B à l'issue des tests.

Le Tableau III-1 présente les points de polarisation correspondant aux points blancs et gris situés, respectivement, juste avant et après le contour délimitant l'aire de sécurité de fonctionnement « on-state » du MESFET B, pour les quatre séquences de vieillissement effectuées. On remarque que ce contour correspond à une valeur de V_{ds} de 17,5V.

(Ids; Igs) mA/mm	(0,33;- 0,01)	(0,33;- 0,02)	(3,3; - 0,04)	(3,3; - 0,08)	(10; - 0,05)	(10; - 0,08)	(16,6;- 0,08)	(16,6;- 0,12)
Points de polarisation (Vds; Vgs) V	(15; - 2,5)	(15,5; - 2,5)	(16; - 2,4)	(16,7; - 2,6)	(15,5; - 2,1)	(16; - 2,2)	(15,7;- 2,04)	(16,1;- 2,08)
Dégradation de (Ids; Igs) %	(+8; +13)	(+14; +15)	(+5; +4)	(+30; +53)	(+1; +0,3)	(+2; +20)	(+1 ; +8)	(+1 ; +26)

Tableau III-1 : Points de polarisation et dérives de Ids et Igs pour les points de polarisation situés juste avant et après le contour délimitant la SOA du MESFET B, pour les séquences de vieillissement en régime « on-state » définies par les valeurs de Ids de 0,33, 3,3, 10 et 16,6 mA/mm.

1.1.1. Evolution de Ids et Igs enregistrés au cours du vieillissement en régime « on-state »

La Figure III-9 présente l'évolution de Ids et Igs mesurés au cours de la séquence définie par Ids=3,3 mA/mm. On remarque une évolution linéaire de Ids et Igs en fonction du temps de vieillissement.

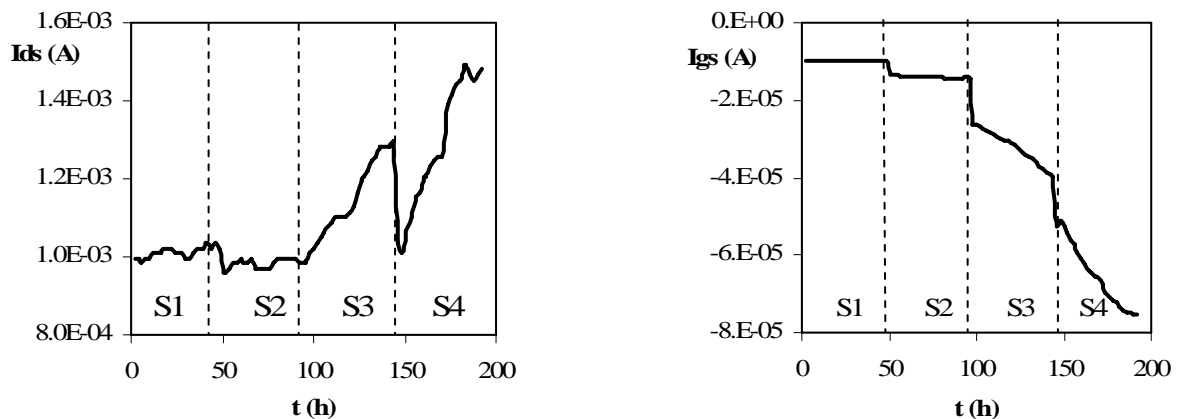


Figure III_9 : Evolution de Ids et Igs au cours de la séquence de vieillissement du MESFET B réalisée en régime « on-state » avec Ids=3,3 mA/mm.

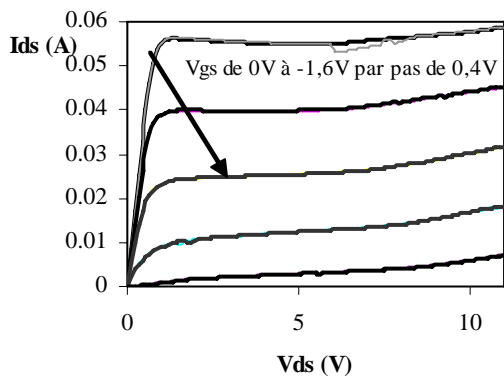
Le Tableau III-2 présente les points de polarisation et les dérives de Ids et Igs mesurées au cours de la séquence effectuée avec Ids = 3,3 mA/mm. On remarque que l'augmentation de l'amplitude de la dérive de Ids et Igs, pour les étapes successives de cette séquence, est corrélée avec l'augmentation de Vdg d'une étape à une autre.

Etapes de vieillissement	S1	S2	S3	S4
Ids, Igs (mA/mm)	3,3 ; -0,03	3,3 ; -0,04	3,3 ; -0,08	3,3 ; -0,16
Vds, Vgd (V)	15,6 ; -18	16 ; -18,4	16,7 ; -19,3	17 ; -19,7
Dérives de Ids, Igs	+4% ; +1%	+5% ; +4%	+30% ; +53%	+50% ; +52%

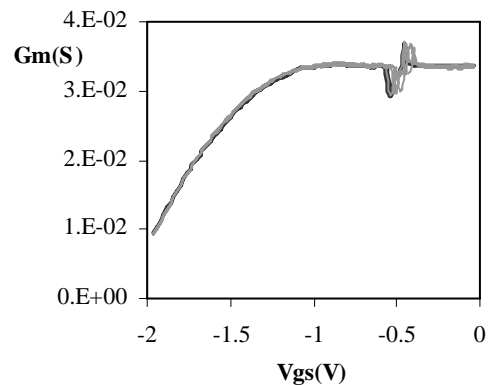
Tableau III-2 : Points de polarisation du MESFET B et dérives de Ids et Igs au cours de la séquence de vieillissement en régime « on-state » effectuée avec Ids = 3,3 mA/mm.

1.1.2. Evolution des paramètres électriques statiques mesurés au cours du vieillissement en régime « on-state »

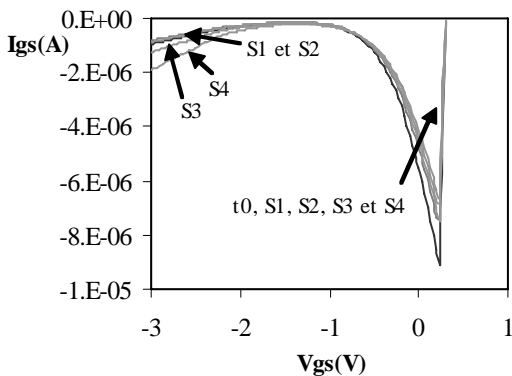
La Figure III-10 présente l'évolution du réseau Ids-Vds, de la transconductance Gm, de la courbe en cloche, de la caractéristique électrique de la diode Schottky et des lieux de claquage « on-state » et « off-state » du MESFET B après les étapes de la séquence de vieillissement effectuée avec Ids=3,3 mA/mm.



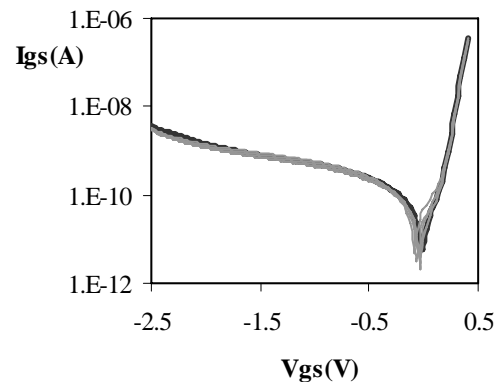
(a) : Réseau Ids-Vds.



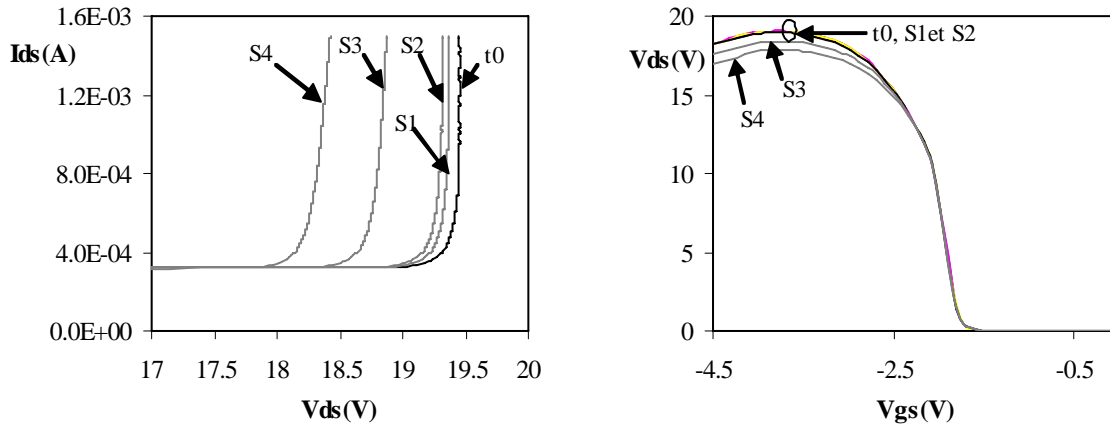
(b) : Caractéristique Gm-Vgs mesurée pour Vds=11V.



(c) : Caractéristique Igs-Vgs en inverse mesurée pour Vds=11V.



(d) : Caractéristique de la diode Schottky.



(e) : Lieu de claquage « on-state » mesuré pour $I_{gs} = -1 \text{ mA/mm}$.

(f) : Lieu de claquage « off-state » mesuré pour $I_{ds} = 1 \text{ mA/mm}$.

Figure III-10 : Evolution des caractéristiques électriques du MESFET B au cours de la séquence de vieillissement effectuée en régime « on-state » avec $I_{ds} = 3,3 \text{ mA/mm}$.

On remarque que le courant de saturation I_{dss} , la tension de seuil V_t , la transconductance G_m et la caractéristique de la diode Schottky restent pratiquement constants après les étapes de vieillissement en régime « on-state ». La faible diminution des tensions de claquage « off-state » et « on-state » est corrélée avec la faible augmentation du courant de fuite en inverse du transistor. L'amplitude de la courbe en cloche reste pratiquement constante.

Afin de valider l'aire de sécurité de fonctionnement « on-state » du MESFET B, un vieillissement accéléré, sous polarisation en tension, est effectué pendant 512 heures pour un point de polarisation ($I_{ds} = 10 \text{ mA/mm}$ et $I_{gs} = -0,04 \text{ mA/mm}$) inclus dans cette aire de sécurité de fonctionnement. On a remarqué une augmentation du courant $|I_{gs}|$, correspondant au point de polarisation, qui atteint 10% après environ 192 heures de vieillissement et 48% après 512 heures de vieillissement, alors que le courant I_{ds} , correspondant au point de polarisation, reste pratiquement constant au cours de vieillissement. On a enregistré une faible diminution des tensions de claquage « off-state » et « on-state » au cours de ce vieillissement. Par contre, le courant de saturation I_{dss} , la tension de seuil V_t , la transconductance G_m et la caractéristique de la diode Schottky restent pratiquement constants. On conclut que l'aire de sécurité de fonctionnement « on-state » du MESFET B est une zone sûre pour un fonctionnement en régime d'« overdrive » qui peut durer jusqu'à 192 heures.

Pour le transistor MESFET B, les points noirs n'apparaissent pas sur l'aire de fonctionnement « on-state » (Figure III-8). En effet, on n'a pas continué les tests de vieillissement, sous polarisation en tension, pour de fortes valeurs de V_{dg} . Par contre, un

vieillessement accéléré sous polarisation à courants fixés a été effectué sur un transistor MESFET B, pendant 48 heures, pour une forte condition de claquage ($I_{gs} = -1 \text{ mA/mm}$) (point A1 sur la Figure III-5). Ce point de polarisation correspond à une forte valeur de la tension drain-grille d'environ 21,5V. Ce vieillissement a induit une forte dérive des valeurs de V_{ds} et V_{gs} correspondant au point de polarisation du vieillissement (Figure III-11). Ce test de vieillissement a été poursuivi durant quatre autres étapes de 48 heures (S2, S3, S4 et S5) (Figure III-11). On remarque que les dérives de V_{ds} et V_{gs} deviennent de plus en plus faibles d'une étape de vieillissement à la suivante et se stabilisent au cours des étapes S4 et S5. Après les cinq étapes de vieillissement, le courant de saturation I_{dss} et la tension de seuil V_t ont faiblement évolué (Figure III-12 (a) et III-12 (b)), alors que la caractéristique de la diode Schottky, la caractéristique $I_{gs}-V_{gs}$ en inverse à fort V_{ds} et les lieux de claquage « on-state » et « off-state » du transistor présentent de fortes dégradations (Figure III-12 (c) à III-12 (f)).

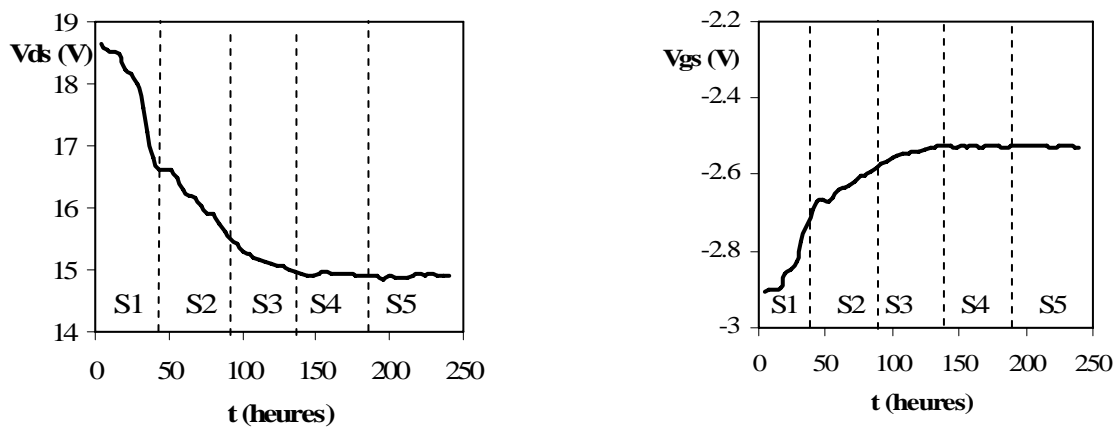
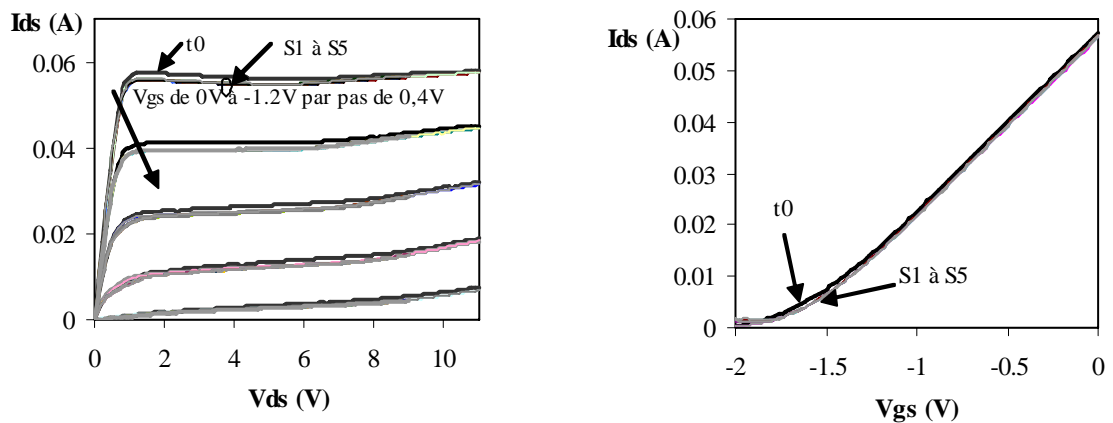
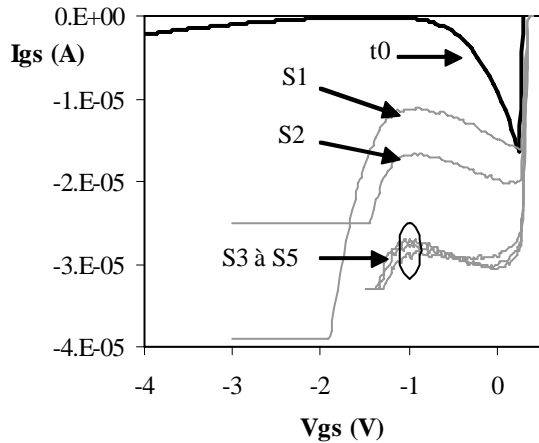


Figure III-11 : Dérives de V_{ds} et V_{gs} mesurées au cours de la séquence de vieillissement effectuée avec $I_{gs} = -1 \text{ mA/mm}$ pour $V_{dg} = +21,5 \text{ V}$.

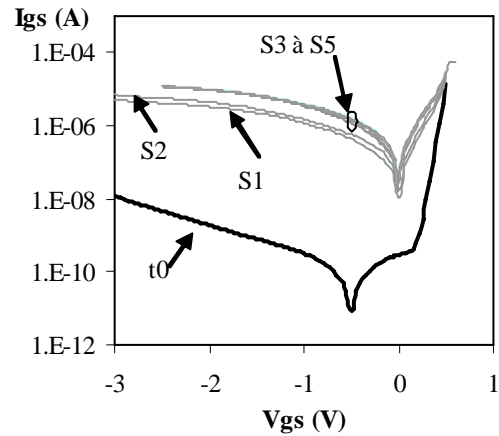


(a) : Réseau $I_{ds}-V_{ds}$.

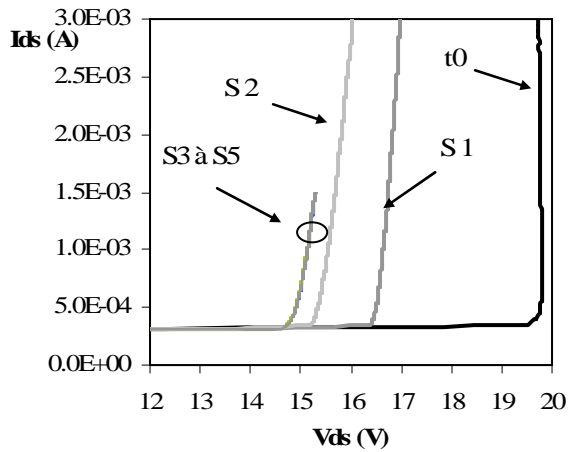
(b) : Caractéristique $I_{ds}-V_{gs}$ mesurée pour $V_{ds}=9 \text{ V}$.



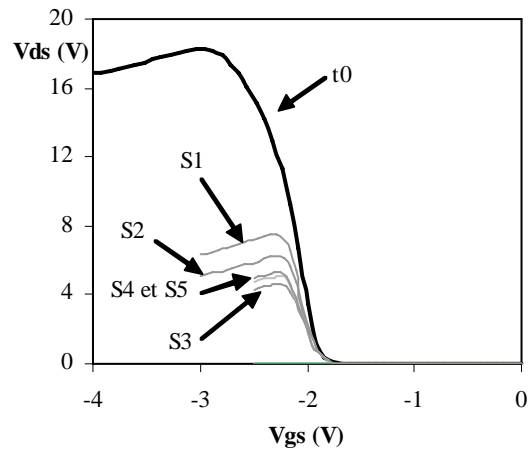
(c) : Caractéristique I_{gs} - V_{gs} en inverse mesurée pour $V_{ds}=11V$.



(d) : Caractéristique de la diode Schottky.



(e) : Lieu de claquage « on-state » mesuré pour $I_{gs}=-1mA/mm$.



(f) : Lieu de claquage « off-state » mesuré pour $I_{ds}=0,11mA/mm$.

Figure III-12 : Evolution des caractéristiques électriques du MESFET B au cours de la séquence de vieillissement effectuée en régime « on-state » avec $I_{gs}=-1 mA/mm$.

1.2. Aire de sécurité de fonctionnement du MESFET B en régime « off-state »

Trois séquences de vieillissement en régime « off-state », définies par les valeurs de V_{gs} de $-3V$, $-7V$ et $-10V$ (Figure III-13), ont été effectuées. Rappelons que les points de polarisation choisis sont inclus dans l'aire de fonctionnement « off-state » du MESFET B définie à l'issue de la caractérisation électrique initiale [ISM-4 05].

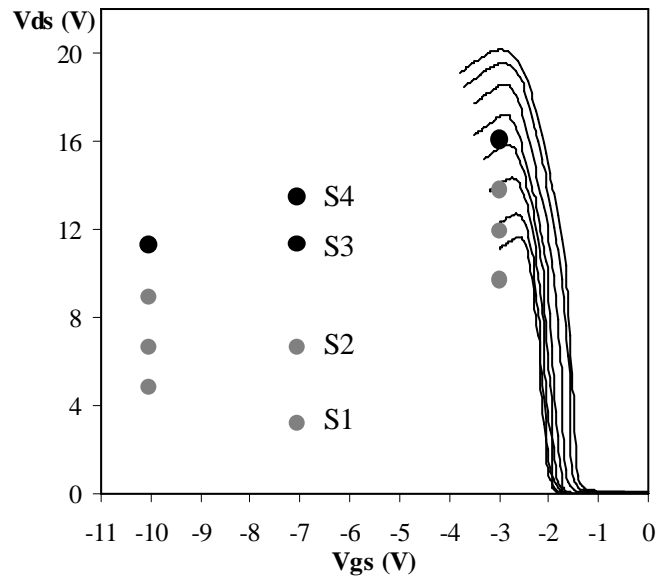


Figure III-13 : Lieux de claquage « off-state » de la technologie MESFET B pour différentes conditions de claquage : $I_{ds}=0,016, 0,03, 0,1, 0,3, 1, 4, 10, 16$ et 22 mA/mm du bas vers le haut respectivement. Présentation des différentes séquences de vieillissement effectuées.

On a reporté dans le Tableau III-3 les points de polarisation correspondant aux étapes des trois séquences de vieillissement « off-state » présentées sur la Figure III-13.

Etapes de vieillissement	S1	S2	S3	S4
Points de polarisation (Vgs, Vds) de la séquence définie pour $V_{gs}=-3V$	(-3V, 10V)	(-3V, 12V)	(-3V, 14V)	(-3V, 16V)
Points de polarisation (Vgs, Vds) de la séquence définie pour $V_{gs}=-7V$	(-7V, 3V)	(-7V, 7V)	(-7V, 11V)	(-7V, 13V)
Points de polarisation (Vgs, Vds) de la séquence définie pour $V_{gs}=-10V$	(-10V, 5V)	(-10V, 7V)	(-10V, 9V)	(-10V, 11V)

Tableau III-3 : Points de polarisation des séquences de vieillissement en régime « off-state ».

1.2.1. Evolution de I_{ds} et I_{gs} mesurés au cours du vieillissement en régime « off-state »

Pour les séquences de vieillissement en régime « off-state », on a identifié une valeur seuil de V_{dg} ($V_{dg_{th(off-state)}}=18V$) à partir de laquelle la loi d'évolution de I_{ds} et I_{gs} est modifiée et la dérive des paramètres électriques du transistor devient élevée. En effet, l'étude de la séquence de vieillissement en régime « off-state » effectuée avec $V_{gs} = -7V$ (Figure III-

14) montre qu'au cours des deux premières étapes de vieillissement, I_{ds} et I_{gs} diminuent (Tableau III-4). Par contre, au cours de l'étape S3, I_{ds} et I_{gs} diminuent pendant les premières heures de vieillissement puis augmentent (Figure III-15). Cette étape de transition correspond à la valeur seuil $V_{dgt_{h(off-state)}}$ de 18V. Au cours de l'étape S4, une forte augmentation de I_{ds} et I_{gs} est ensuite enregistrée. On a observé le même phénomène pour les trois séquences de vieillissement effectuées en régime « off-state ».

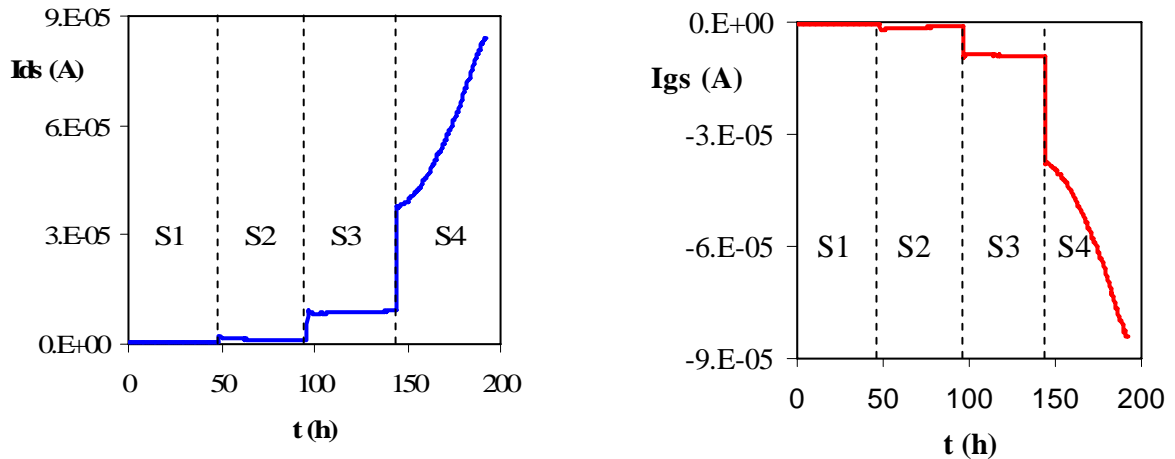


Figure III_14 : Evolution de I_{ds} et I_{gs} au cours de la séquence de vieillissement en régime « off-state » définie par $V_{gs}=-7V$ du MESFET B.

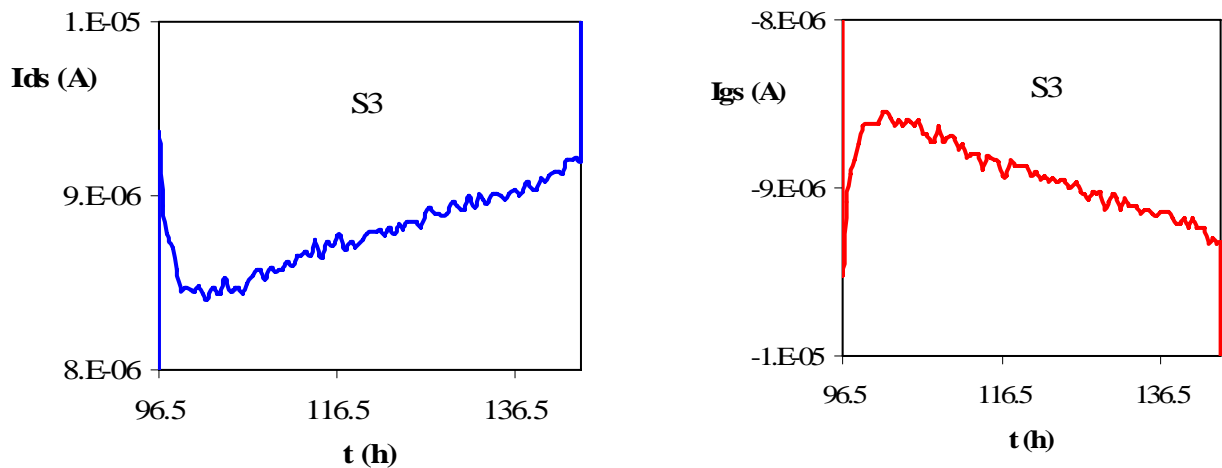


Figure III-15 : Evolution de I_{ds} et I_{gs} au cours de l'étape de vieillissement S3 de la séquence de vieillissement précédente.

Le Tableau III-4 regroupe les points de polarisation et les dérives de I_{ds} et I_{gs} observées au cours de la séquence de vieillissement effectuée avec $V_{gs}=-7V$.

Etapes de vieillissement	S1	S2	S3	S4
Points de polarisation (V_{gs} ; V_{ds}) de la séquence 2	(-7V; 3V)	(-7V; 7V)	(-7V; 11V)	(-7V; 13V)
Dérives de (I_{ds} , I_{gs}) %	(-11 ; -15)	(-100 ; -47)	(9 ; 8)	(x2 ; x2)

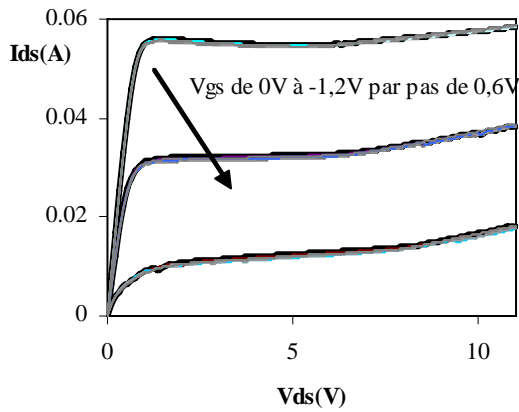
Tableau III-4 : Points de polarisation du MESFET B et dérives de I_{ds} et I_{gs} pour la séquence de vieillissement effectuée avec $V_{gs}=-7V$.

1.2.2. Evolution des paramètres électriques statiques mesurés au cours du vieillissement en régime « off-state »

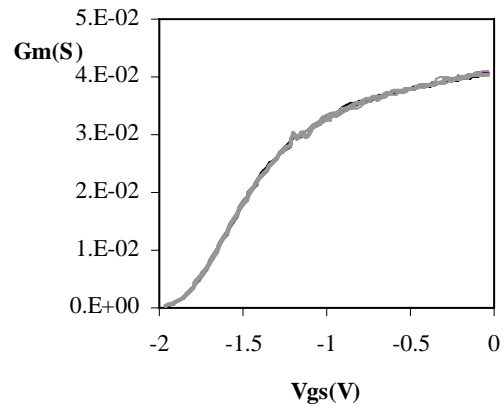
La Figure III-16 présente l'évolution du réseau I_{ds} - V_{ds} , de la transconductance G_m , de la courbe en cloche, de la caractéristique de la diode Schottky et des lieux de claquage « on-state » et « off-state » du MESFET B au cours de la séquence de vieillissement en régime « off-state » définie par $V_{gs}=-10V$.

On remarque que le courant de saturation I_{dss} , la tension de seuil V_t et la transconductance G_m restent pratiquement constants au cours du vieillissement en régime « off-state », alors que la diode Schottky, la courbe en cloche et les lieux de claquage « on-state » et « off-state » présentent une forte dégradation après l'étape de vieillissement S4 correspondant à une valeur de V_{dg} supérieure à la valeur seuil $V_{dg_{th(off-state)}}$.

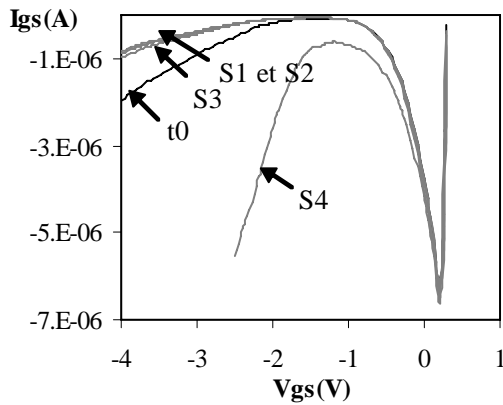
Après les étapes de vieillissement S1 et S2, les tensions de claquage « on-state » et « off-state » présentent une faible augmentation corrélée avec la faible diminution du courant de fuite du transistor. Après l'étape de vieillissement S4, les tensions de claquage « on-state » (mesurée pour $I_{gs}=-0,1$ mA/mm et $I_{ds}=3$ mA) et « off-state » (mesurée pour $I_{ds}=1$ mA/mm et $V_{gs}=-4V$) présentent une diminution significative de 11% et 7%, respectivement. Celle-ci est corrélée avec une multiplication par 5 du courant de fuite du transistor (mesuré pour $V_{gs}=-2V$ et $V_{ds}=11V$). L'amplitude de la courbe en cloche reste pratiquement constante après toutes les étapes de vieillissement « off-state ».



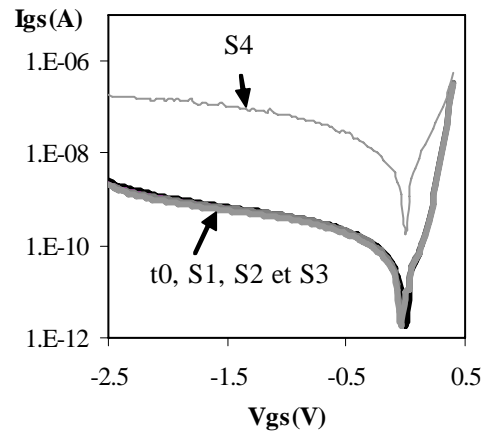
(a) : Réseau Ids-Vds.



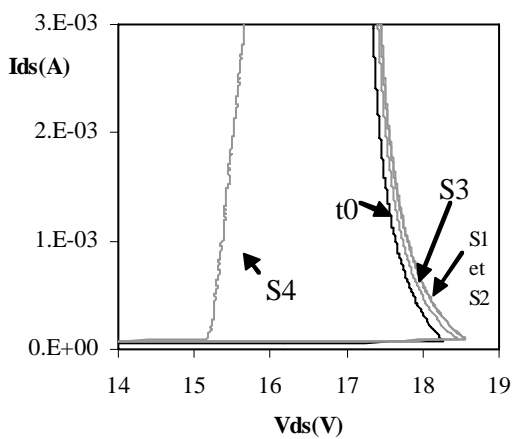
(b) : Caractéristique Gm-Vgs mesurée pour Vds=3V.



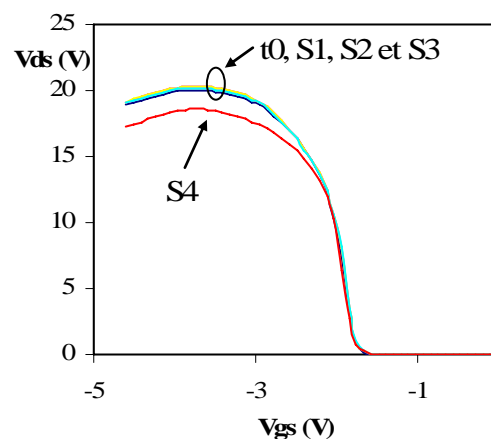
(c) : Caractéristique Igs-Vgs en inverse mesurée pour Vds=11V.



(d) : Caractéristique de la diode Schottky.



(e) : Lieu de claquage « on-state » mesuré pour Igs=-0,1mA/mm.



(f) : Lieu de claquage « off-state » mesuré pour Ids=1mA/mm.

Figure III-16 : Evolution des caractéristiques électriques du MESFET B au cours de la séquence de vieillissement effectuée en régime « off-state » avec Vgs=-10V.

2. Résultats expérimentaux : Technologie PHEMT A'

2.1. Aire de sécurité de fonctionnement du PHEMT A' en régime « on-state »

Deux séquences de vieillissement en régime « on-state », définies par les valeurs de I_{ds} de 10 et 16,6 mA/mm (Figure III-17), ont été effectuées dans l'aire de fonctionnement « on-state » du PHEMT A'.

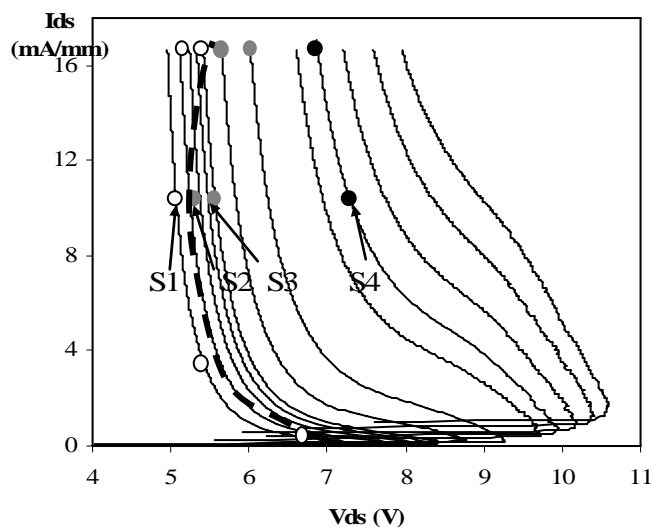


Figure III-17 : Lieux de claquage « on-state » du PHEMT A' sous test pour différents courants de grille : $I_{gs} = -0,011, -0,016, -0,022, -0,027, -0,03, -0,05, -0,11, -0,27, -0,38, -0,55, -0,77$ et -1 mA/mm de gauche à droite respectivement. La ligne noire en pointillés correspond au contour délimitant l'aire de sécurité de fonctionnement du PHEMT A' obtenue à l'issue des tests.

Le Tableau III-5 présente les points de polarisation correspondant aux points blancs et gris, respectivement, situés juste avant et après le contour délimitant l'aire de sécurité de fonctionnement « on-state » du PHEMT A'. On remarque que ce contour correspond à une valeur de V_{dg} de 6V.

($I_{ds}; I_{gs}$) mA/mm	(10; -0,01)	(10; -0,02)	(16,6; -0,03)	(16,6; -0,05)
Points de polarisation ($V_{ds}; V_{gs}$) V	(5,01; -0,85)	(5,01; -0,85)	(5,3; -0,86)	(5,56; -0,708)
Dégradation de ($I_{ds}; I_{gs}$) %	(-0,5; -0,005)	(-1; +10)	(+0,1 ; +7,4)	(-1 ; +10)

Tableau III-5 : Points de polarisation et dérives de I_{ds} et I_{gs} pour les points situés juste avant et après le contour délimitant la SOA du PHEMT A', pour les séquences de vieillissement en régime « on-state » avec $I_{ds} = 10$ et 16,6 mA/mm.

2.1.1. Evolution de I_{ds} et I_{gs} enregistrés au cours du vieillissement en régime « on-state »

A l'issue des séquences de vieillissement en régime « on-state », on a identifié une valeur seuil de V_{dg} ($V_{dg_{th(on-state)}}=8V$) à partir de laquelle la loi d'évolution de I_{ds} et I_{gs} est modifiée et la dérive des paramètres électriques du transistor devient élevée. En effet, à l'issue de la séquence de vieillissement en régime « on-state » effectuée avec $I_{ds} = 10mA/mm$, on observe au cours des trois premières étapes que I_{ds} présente une faible diminution linéaire et $|I_{gs}|$ une faible augmentation linéaire (Figure III-18). L'étape S4, correspondant à la valeur seuil de V_{dg} de 8V, induit une forte augmentation de I_{ds} et I_{gs} (Figure III-19). La quasi-stabilisation de I_{ds} et I_{gs} observée consécutivement s'explique par la limitation en courant fixée au début du vieillissement afin d'éviter la destruction du transistor (Figure III-19). On a observé le même mode de dégradation pour l'autre séquence de vieillissement en régime « on-state » effectuée avec $I_{ds} = 16,6mA/mm$.

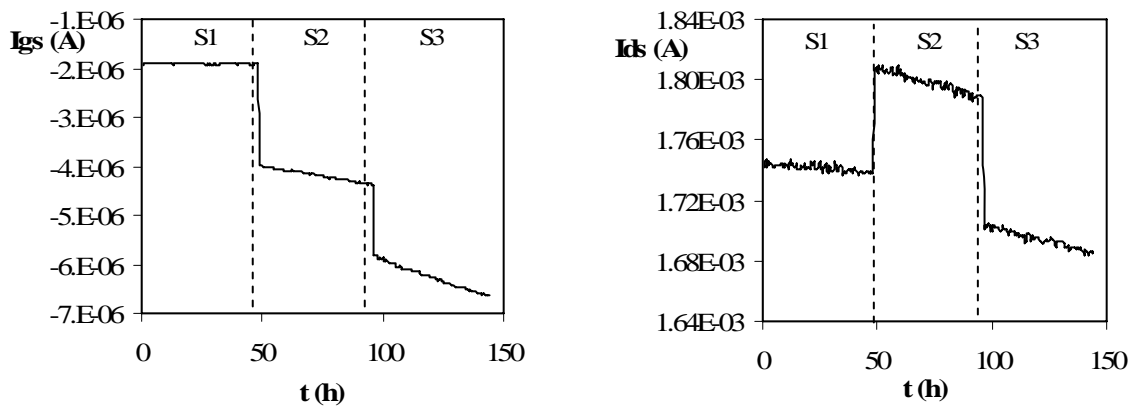


Figure III_18 : Evolution de I_{gs} et I_{ds} au cours de la séquence de vieillissement en régime « on-state » effectuée avec $I_{ds}=10$ mA/mm.

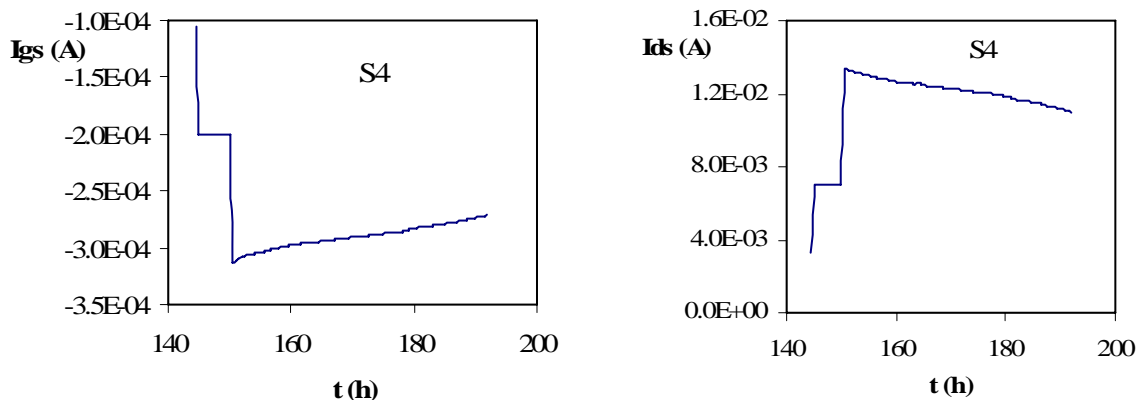


Figure III_19 : Evolution de I_{gs} et I_{ds} au cours de l'étape S4 de la séquence de vieillissement en régime « on-state » effectuée avec $I_{ds}=10$ mA/mm.

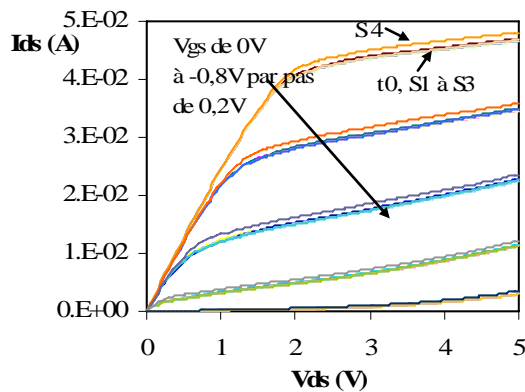
Le Tableau III-6 regroupe les points de polarisation et les dérives de I_{ds} et I_{gs} observées au cours de la séquence de vieillissement effectuée avec $I_{ds} = 10 \text{ mA/mm}$. On remarque que plus la valeur de V_{dg} est grande, plus les dérives de I_{ds} et I_{gs} sont importantes [MENE01].

Etapes du vieillissement	S1	S2	S3	S4
Points de polarisation ($V_{ds}; V_{gs}$) V	(5,02 ; -0,85)	(5,31 ; -0,86)	(5,46 ; -0,87)	(7,05 ; -1,04)
Dégradation de ($I_{ds}; I_{gs}$) %	(-0,2; -0,005)	(-0,2; +10)	(-1,2; +14,6)	(x3,5; x3)

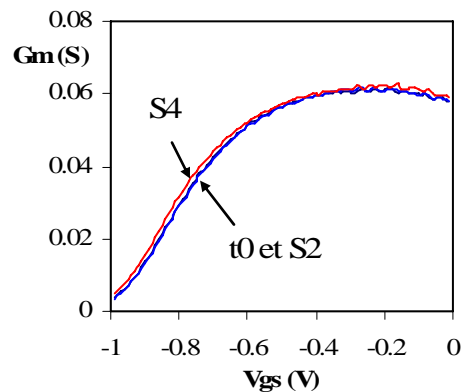
Tableau III-6 : Points de polarisation du PHEMT A' et dérives de I_{ds} et I_{gs} au cours de la séquence de vieillissement en régime « on-state » avec $I_{ds}=10 \text{ mA/mm}$.

2.1.2. Evolution des paramètres électriques statiques mesurés au cours du vieillissement en régime « on-state »

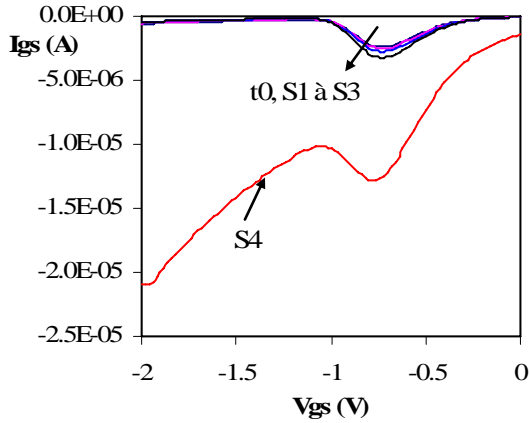
Ce paragraphe présente l'effet des vieillissements accélérés DC, effectués en régime « on-state », sur les caractéristiques électriques du PHEMT A'. La Figure III-20 montre l'évolution du réseau I_{ds} - V_{ds} , de la transconductance G_m , de la courbe en cloche, de la caractéristique I-V de la diode Schottky et des lieux de claquage « on-state » et « off-state » du PHEMT A' au cours de la séquence effectuée avec $I_{ds}=10 \text{ mA/mm}$.



(a) : Réseau I_{ds} - V_{ds} .



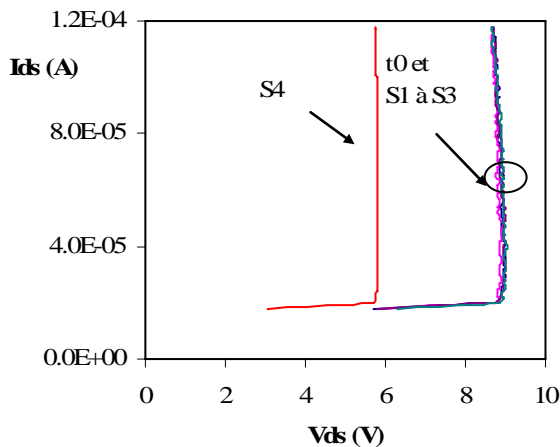
(b) : Caractéristique G_m - V_{gs} mesurée pour $V_{ds}=5 \text{ V}$.



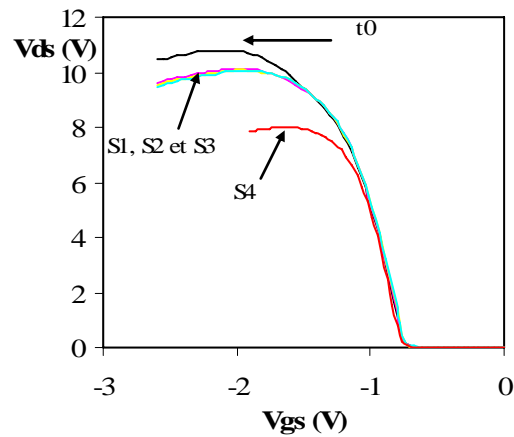
(c) : Caractéristique I_{gs} - V_{gs} en inverse mesurée pour $V_{ds}=5V$.



(d) : Caractéristique de la diode Schottky.



(e) : Lieu de claquage « on-state » mesuré pour $I_{gs}=-0,1mA/mm$.



(f) : Lieu de claquage « off-state » mesuré pour $I_{ds}=1mA/mm$.

Figure III-20 : Evolution des caractéristiques électriques du PHEMT A' au cours de la séquence de vieillissement effectuée en régime « on-state » avec $I_{ds}=10 mA/mm$.

On remarque que les paramètres électriques du transistor restent pratiquement constants après les trois premières étapes de vieillissement en régime « on-state ».

Après l'étape S4, le courant de saturation I_{ds} , la tension de seuil $|V_t|$ et la transconductance G_m présentent une faible augmentation. Le courant de fuite en inverse (mesuré pour $V_{gs}=-1,5V$) de la diode Schottky présente une forte augmentation (x16). La tension de claquage « on-state », mesurée pour $I_{gs}=-0,1 mA/mm$ et $I_{ds}=0,1mA$, et la tension de claquage « off-state », mesurée pour $I_{ds}=1 mA/mm$ et $V_{gs}=-1,9V$, présentent une diminution significative de 34% et 20%, respectivement. Cette dernière est corrélée avec la forte augmentation du courant de fuite du transistor (Figure III-20 (c)). L'amplitude de la

courbe en cloche reste pratiquement constante au cours du vieillissement en régime « on-state ».

En conclusion, les paramètres statiques du PHEMT A' évoluent en régime « on-state » de façon significative lorsque les tests de vieillissement sont effectués avec $V_{dg} \geq V_{dg_{th(on-state)}} \approx 8V$.

2.2. Aire de sécurité de fonctionnement du PHEMT A' en régime « off-state »

Deux séquences de vieillissement en régime « off-state » ont été effectuées, avec $V_{gs} = -2V$ et $-4V$, dans l'aire de fonctionnement « off-state » du PHEMT A' (Figure III-21).

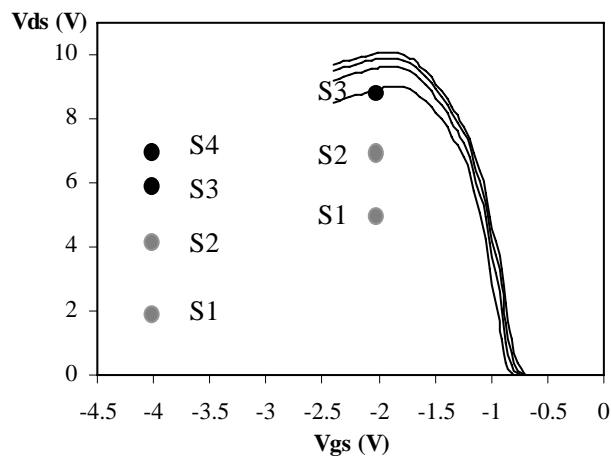


Figure III-21 Lieux de claquage « off-state » du PHEMT A' sous test pour différents courants de drain : $I_{ds}=0,1 ; 0,27 ; 0,55 ; 0,3$ et 1 mA/mm du bas vers le haut respectivement. Présentation des différentes séquences de vieillissement effectuées.

On a reporté dans le Tableau III-7 les points de polarisation des deux séquences de vieillissement présentées sur la Figure III-21.

Etapas de vieillissement	S1	S2	S3	S4
Points de polarisation (V_{gs} ; V_{ds}) de la séquence définie par $V_{gs}=-2V$	(-2V; 5V)	(-2V; 7V)	(-2V; 9V)	-
Points de polarisation (V_{gs} ; V_{ds}) de la séquence définie par $V_{gs}=-4V$	(-4V; 2V)	(-4V; 4V)	(-4V; 6V)	(-4V; 7V)

Tableau III-7 : Points de polarisation des séquences de vieillissement en régime « off-state » du PHEMT A'.

2.2.1. Evolution de I_{ds} et I_{gs} mesurés au cours du vieillissement en régime « off-state »

A l'issue des séquences de vieillissement en régime « off-state », on a identifié une valeur seuil de V_{dg} ($V_{dg_{th(off-state)}}=10V$) à partir de laquelle la loi d'évolution de I_{ds} et I_{gs} est modifiée et la dérive des paramètres électriques du transistor devient élevée. En effet, durant la séquence de vieillissement effectuée en régime « off-state » avec $V_{gs}=-4V$, on observe au cours des étapes S1 et S2 de vieillissement que I_{ds} et I_{gs} présentent une faible évolution en fonction du temps (Figure III-22). Celle-ci devient plus significative au cours de la troisième étape S3 effectuée avec $V_{dg}=10V$. L'étape S4 induit une forte augmentation de I_{ds} et I_{gs} (Figure III-23). On a limité le courant appliqué pendant la dernière étape de vieillissement afin d'éviter la destruction du transistor. Le même mode de dégradation a été observé pour l'autre séquence de vieillissement effectuée en régime « off-state » avec $V_{gs}=-2V$.

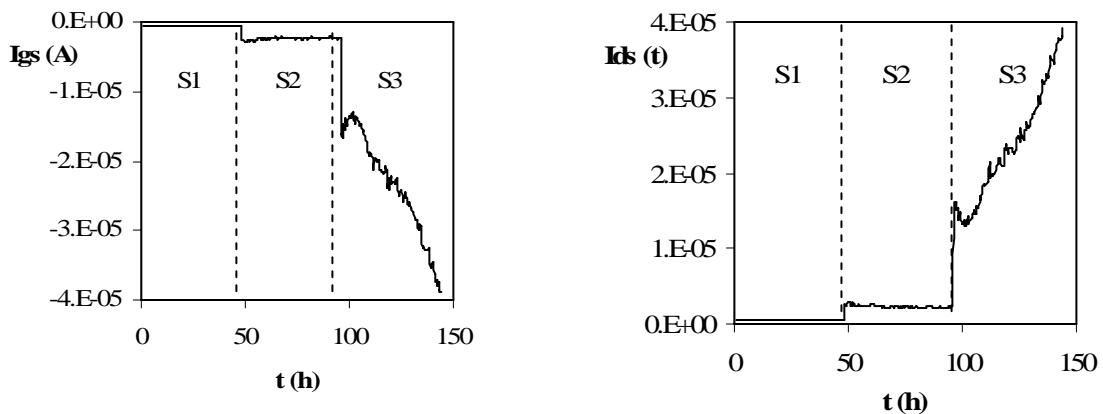


Figure III_22 : Evolution de I_{gs} et I_{ds} du PHEMT A' au cours des étapes S1, S2 et S3 de la séquence de vieillissement en régime « off-state » avec $V_{gs}=-4V$.

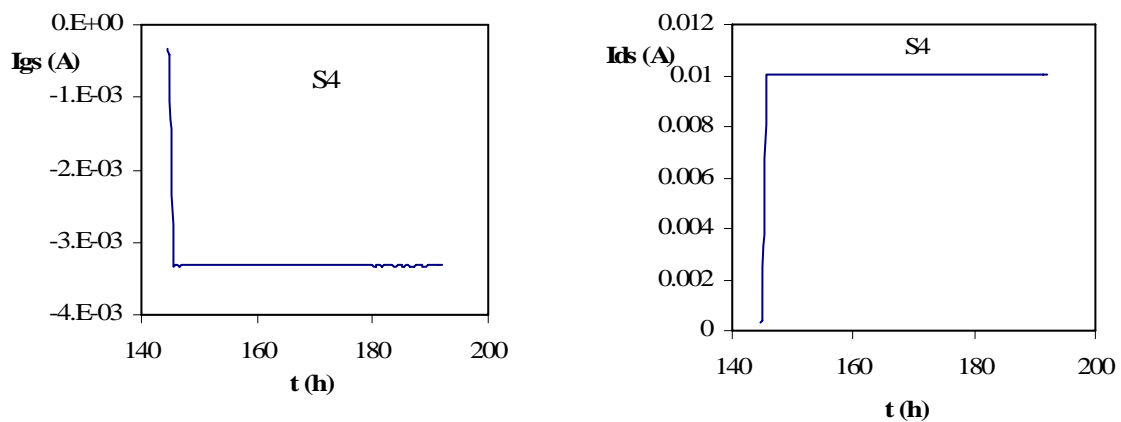


Figure III_23 : Evolution de I_{gs} et I_{ds} du PHEMT A' au cours des étapes S4 de la séquence de vieillissement en régime « off-state » avec $V_{gs}=-4V$.

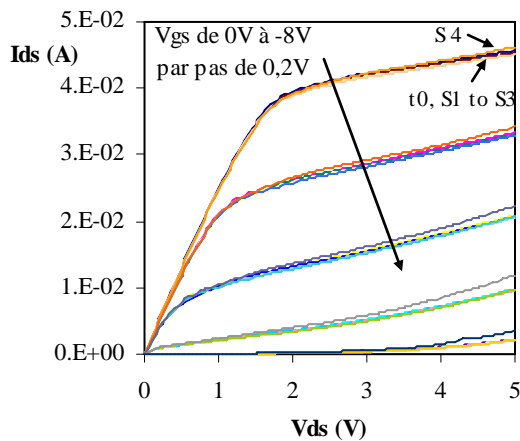
Le Tableau III-8 regroupe les points de polarisation et les dérives de I_{ds} et I_{gs} observées au cours de la séquence de vieillissement effectuée avec $V_{gs}=-4V$.

Etapes du vieillissement	S1	S2	S3	S4
Points de polarisation ($V_{gs}; V_{ds}$) V	(-4 ; 2)	(-4 ; 4)	(-4 ; 6)	(-4 ; 7)
Dérives de ($I_{ds}; I_{gs} $) %	(+20 ; +17)	(-15 ; -19)	(x1,6 ; x1,6)	Forte dérive

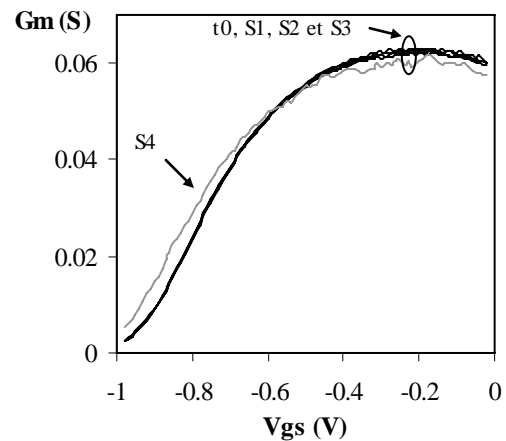
Tableau III-8 : Points de polarisation du PHEMT A' et dérives de I_{ds} et I_{gs} observées au cours de la séquence de vieillissement effectuée en régime « off-state » avec $V_{gs}=-4V$.

2.2.2. Evolution des paramètres électriques statiques mesurés au cours du vieillissement en régime « off-state »

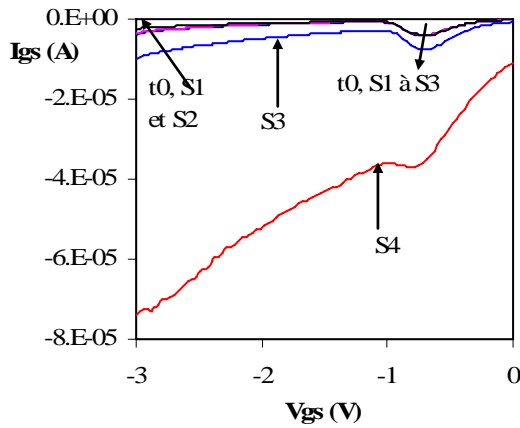
La Figure III-24 présente l'évolution du réseau I_{ds} - V_{ds} , de la transconductance G_m , de la courbe en cloche, de la caractéristique I-V de la diode Schottky et des lieux de claquage « on-state » et « off-state » du PHEMT A' au cours du vieillissement en régime « off-state » effectué avec $V_{gs}=-4V$.



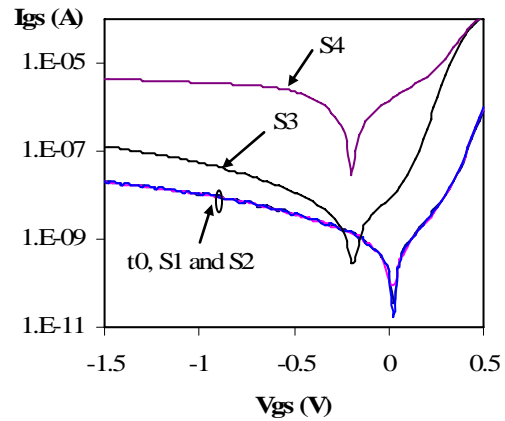
(a) : Réseau I_{ds} - V_{ds} .



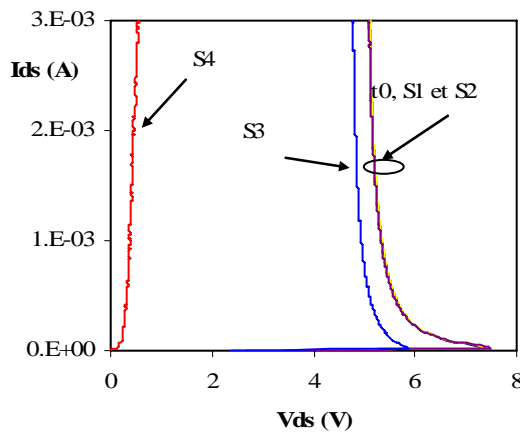
(b) : Caractéristique G_m - V_{gs} mesurée pour $V_{ds}=5V$.



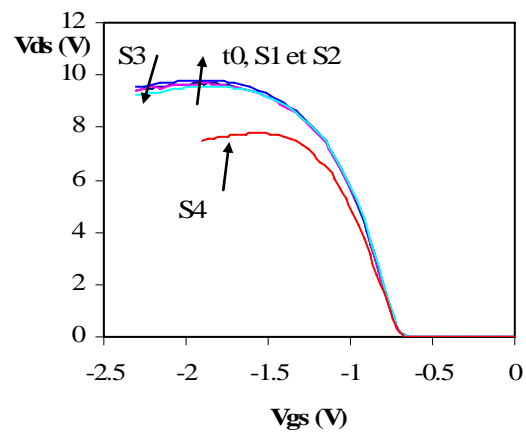
(c) : Caractéristique I_{gs} - V_{gs} en inverse mesurée pour $V_{ds}=5V$.



(d) : Caractéristique de la diode Schottky.



(e) : Lieu de claquage « on-state » mesuré pour $I_{gs}=-0,02$ mA/mm.



(f) : Lieu de claquage « off-state » mesuré pour $I_{ds}=1$ mA/mm.

Figure III-24 : Evolution des caractéristiques électriques du PHEMT A' au cours de la séquence de vieillissement effectuée en régime « off-state » avec $V_{gs}=-4V$.

On remarque que les paramètres électriques statiques du transistor restent pratiquement constants après les deux premières étapes de vieillissement en régime « off-state ».

A partir de l'étape S3, la dégradation de certains paramètres électriques du transistor commence à être importante et devient significative après l'étape S4. En effet, les étapes S3 et S4 sont effectuées avec des valeurs de V_{dg} encadrant la valeur seuil précédemment identifiée $V_{dg_{th(off-state)}}$ qui est de l'ordre de 10V. Le courant de fuite en inverse de la diode Schottky (mesuré pour $V_{gs}=-1,5V$) présente une faible augmentation (x6) après l'étape S3 et une forte augmentation (x220) après l'étape S4. Il en est de même pour le courant de fuite du transistor (à $V_{gs}=-3V$ et $V_{ds}=5V$) qui présente, respectivement, une faible (x3) et une forte variation (x19). Après l'étape S3, la tension de claquage « on-state », mesurée pour $I_{gs}=-0,02$ mA/mm et $I_{ds}=3$ mA, et la tension de claquage « off-state », mesurée pour $I_{ds}=1$ mA/mm et

$V_{gs} = -1,9V$, présentent une faible diminution de 6% et 1%, respectivement. Par contre, après l'étape S4, elles présentent une diminution significative de 89% et 22%, respectivement. Après l'étape S4, le courant de saturation I_{dss} et la tension de seuil $|V_t|$ présentent une faible augmentation. L'amplitude de la courbe en cloche reste pratiquement constante à l'issue de la séquence de vieillissement en régime « off-state ».

3. Résultats expérimentaux : Technologie PHEMT D

3.1. Aire de sécurité de fonctionnement du PHEMT D en régime « on-state »

Trois séquences de vieillissement en régime « on-state » ont été effectuées avec $I_{ds} = 3,3, 10$ et $16,6$ mA/mm (Figure III-25) avec des conditions situées dans l'aire de fonctionnement « on-state » du PHEMT D. La ligne noire en pointillés correspond au contour délimitant l'aire de sécurité de fonctionnement du PHEMT D [ISM-5 05].

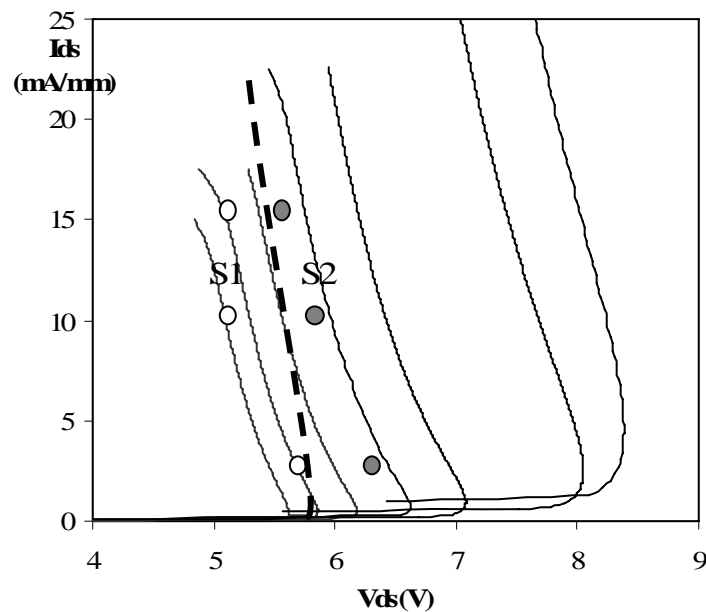


Figure III-25 : Lieux de claquage « on-state » du PHEMT D sous test pour différents courants de grille : $I_{gs} = -0,01 ; -0,015 ; -0,025 ; -0,05 ; -0,1 ; -0,5$ et -1 mA/mm de gauche à droite respectivement. La ligne noire en pointillés correspond au contour délimitant l'aire de sécurité de fonctionnement du PHEMT D.

Le Tableau III-9 présente les points de polarisation correspondant aux points blancs et gris situés, respectivement, juste avant et après le contour délimitant l'aire de sécurité de fonctionnement en régime « on-state » du PHEMT D. On remarque que ce contour correspond à une valeur de V_{dg} d'environ 7V.

(I_{ds} ; I_{gs}) mA/mm	(3,3 ; - 0,015)	(3,3 ; - 0,045)	(10 ; -0,01)	(10 ; - 0,046)	(16,6 ;- 0,017)	(16,6 ;- 0,034)
Points de polarisation (V_{gs} ; V_{ds}) V	(-1,4; 5,6)	(-1,6; 6,3)	(-0,8; 5,1)	(-1,1; 6)	(-0,6; 5,1)	(-0,7; 5,5)
Dégradation de (I_{ds} ; I_{gs}) %	(-3; -6)	(-11; -12)	(-5; -7)	(-10; -17)	(-3 ; 8)	(-6 ; -11)

Tableau III-9 : Points de polarisation du PHEMT D et dérivés de I_{ds} et I_{gs} pour les étapes situées juste avant et après le contour délimitant la SOA, pour les séquences de vieillissement en régime « on-state » effectuées avec I_{ds} =3,3, 10 et 16,6 mA/mm.

3.1.1. Evolution de I_{ds} et I_{gs} mesurés au cours du vieillissement en régime « on-state »

La figure III-26 présente l'évolution de I_{ds} et I_{gs} mesurés au cours de la séquence de vieillissement effectuée avec I_{ds} =10mA/mm. On observe une diminution de I_{ds} et I_{gs} en fonction du temps.

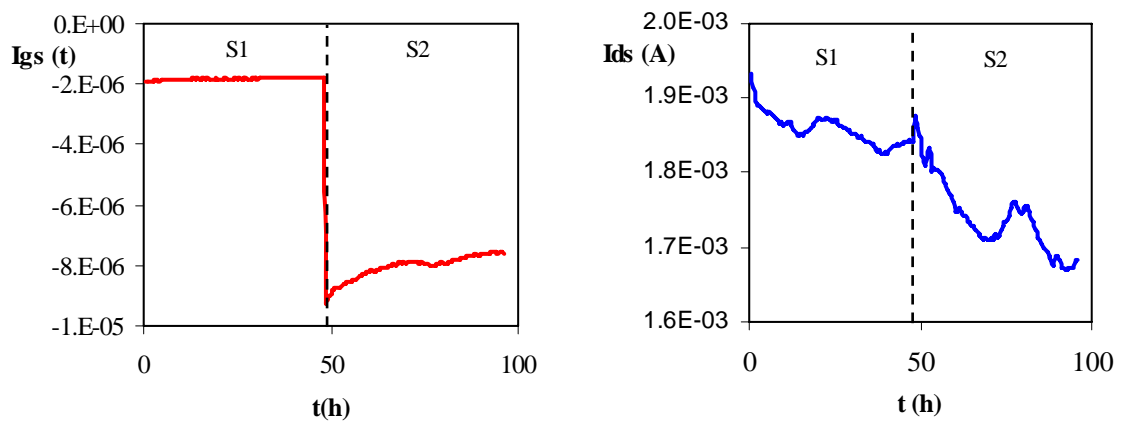
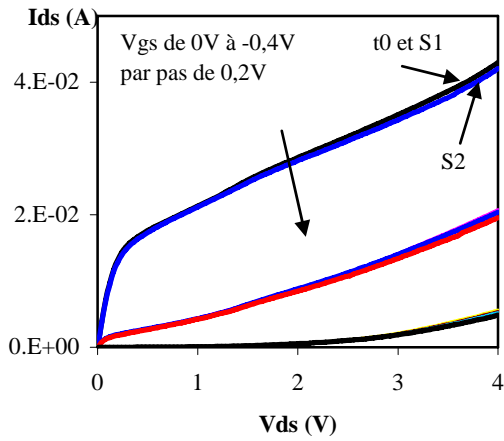


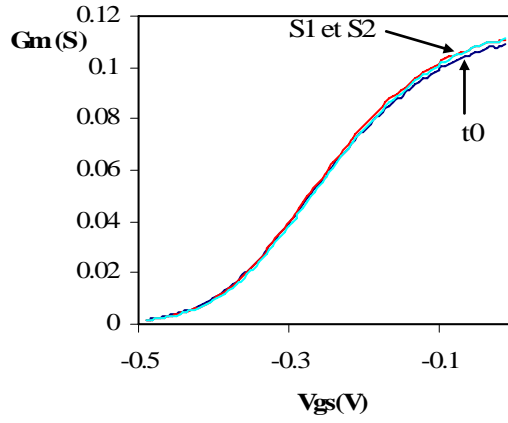
Figure III_26 : Evolution de I_{gs} et I_{ds} au cours des étapes S1 et S2 de la séquence de vieillissement en régime « on-state » effectuée avec I_{ds} =10 mA/mm. Les pics observés sur le courant I_{ds} sont liés aux variations de la température ambiante.

3.1.2. Evolution des paramètres électriques statiques mesurés au cours du vieillissement en régime « on-state »

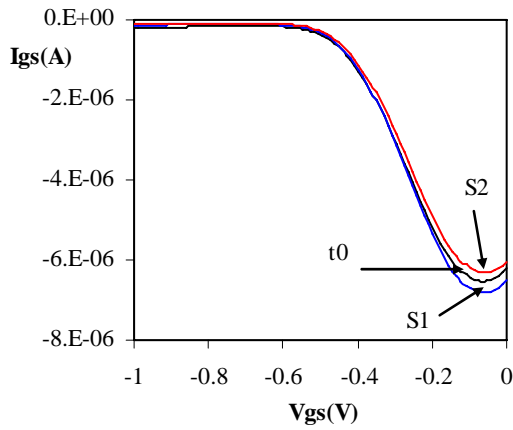
Ce paragraphe présente l'effet des tests de vieillissement accéléré DC, effectués en régime « on-state », sur les caractéristiques électriques statiques du PHEMT D. La Figure III-27 présente l'évolution du réseau I_{ds} - V_{ds} , de la transconductance G_m , de la courbe en cloche, de la caractéristique I-V de la diode Schottky et des lieux de claquage « on-state » et « off-state » du PHEMT D après les étapes de vieillissement « on-state » de la séquence définie par I_{ds} =10mA/mm.



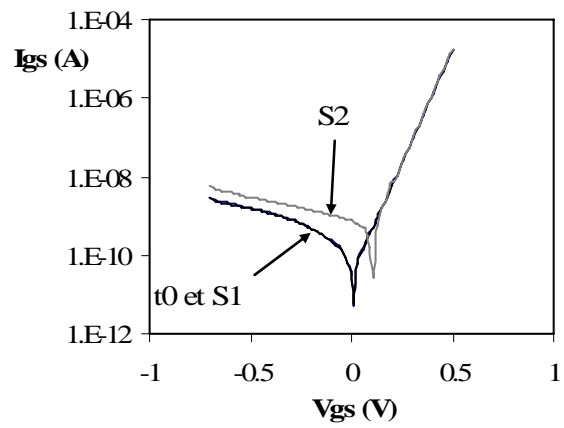
(a) : Réseau Ids-Vds.



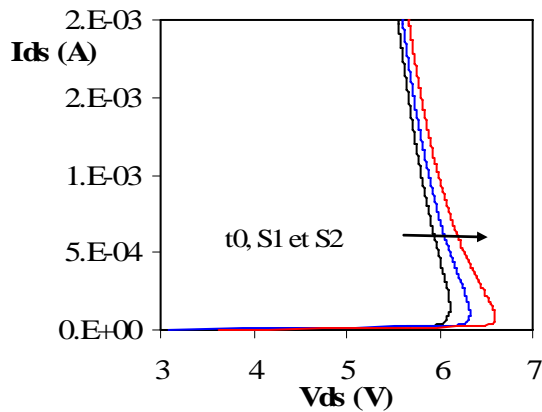
(b) : Caractéristique Gm-Vgs mesurée pour Vds=2V.



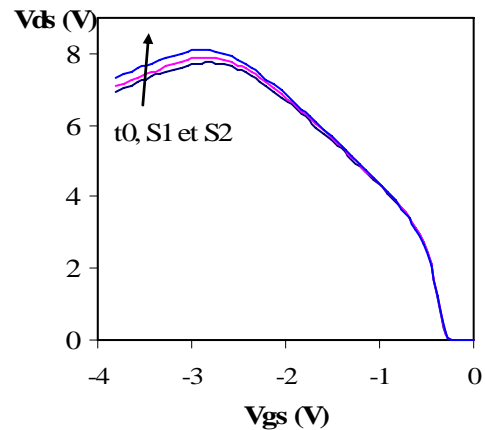
(c) : Caractéristique Igs-Vgs en inverse mesurée pour Vds=4V.



(d) : Caractéristique de la diode Schottky.



(e) : Lieu de claquage « on-state » mesuré pour Igs=-0,025 mA/mm.



(f) : Lieu de claquage « off-state » mesuré pour Ids=1 mA/mm.

Figure III-27 : Evolution des caractéristiques électriques du PHEMT D au cours de la séquence de vieillissement effectuée en régime « on-state » avec Ids=10 mA/mm.

On remarque que le courant de saturation I_{dss} présente une faible diminution. Le courant de fuite en inverse de la diode Schottky (mesuré pour $V_{gs}=-1,5V$) présente une faible augmentation (x1,9) et l'amplitude de la courbe en cloche présente une faible diminution. On observe une faible augmentation des tensions de claquage « on-state » et « off-state ».

3.2. Aire de sécurité de fonctionnement du PHEMT D en régime « off-state »

Deux séquences de vieillissement en régime « off-state » ont été effectuées avec $V_{gs}=-3,5V$ et $-4V$ (Figure III-28), donc dans des conditions situées dans l'aire de fonctionnement « off-state » du PHEMT D.

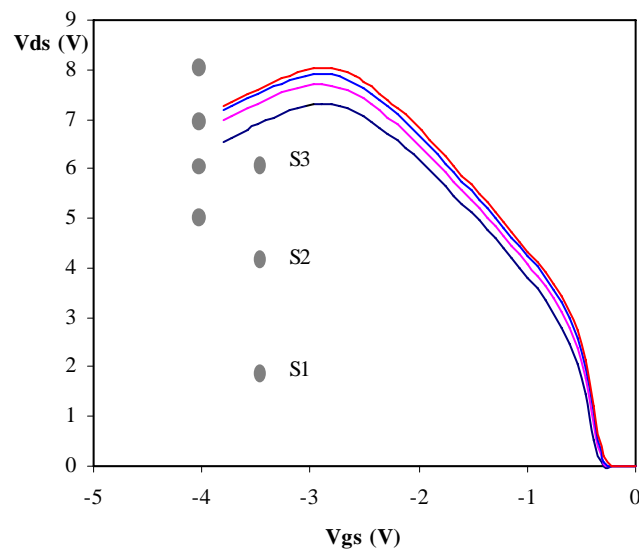


Figure III-28 : Lieux de claquage « off-state » du PHEMT D sous test pour différents courants de drain : $I_{ds}=0,25 ; 0,5 ; 0,75$ et 1 mA/mm du bas vers le haut respectivement. Présentation des différentes séquences de vieillissement effectuées.

On a reporté dans le Tableau III-10 les points de polarisation des deux séquences de vieillissement.

Etapas de vieillissement	S1	S2	S3	S4
Points de polarisation (V_{gs} ; V_{ds}) de la séquence définie par $V_{gs}=-3,5V$	$(-3,5 ; 2)$	$(-3,5 ; 4)$	$(-3,5 ; 6)$	-
Points de polarisation (V_{gs} ; V_{ds}) de la séquence définie par $V_{gs}=-4V$	$(-4V ; 5V)$	$(-4V ; 6V)$	$(-4V ; 7V)$	$(-4V ; 8V)$

Tableau III-10 : Points de polarisation du PHEMT D pour les séquences de vieillissement effectuées en régime « off-state ».

Contrairement au cas du PHEMT A', on n'a pas observé pour le PHEMT D de fortes dérives des paramètres fonctionnels associées à celles de I_{gs} et I_{ds} . En effet, le transistor passe directement de la phase correspondant aux points gris à la phase de destruction pour une valeur seuil de V_{dg} ($V_{dg_{th(off-state)}}$) de 12,5V. Il n'y a donc pas de conditions de vieillissement représentées par des points noirs pour cette technologie. Ce résultat a été confirmé pour les deux séquences de vieillissement effectuées en régime « off-state ».

3.2.1. Evolution de I_{ds} et I_{gs} mesurés au cours du vieillissement en régime « off-state »

La Figure III-29 présente l'évolution des courants I_{ds} et I_{gs} au cours des trois étapes de vieillissement de la séquence effectuée avec $V_{gs}=-3,5V$ pour le PHEMT D. Les dérives de I_{ds} et $|I_{gs}|$, correspondantes à chacune des étapes de vieillissement, sont reportées dans le Tableau III-11.

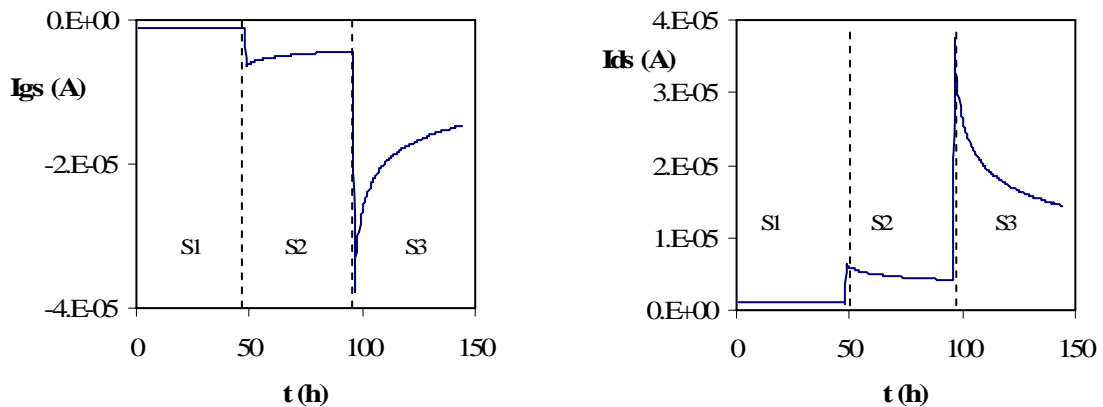


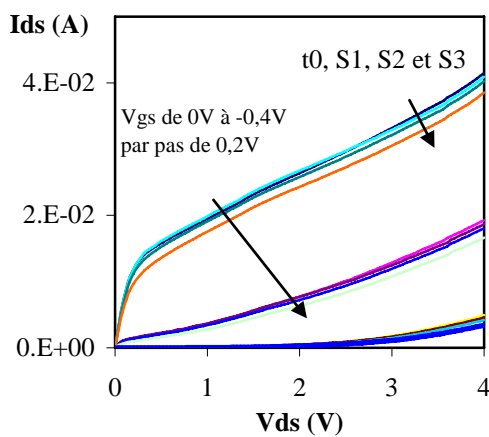
Figure III_29 : Evolution de I_{gs} et I_{ds} du PHEMT D au cours de la séquence de vieillissement en régime « off-state » effectuée avec $V_{gs}=-3,5V$.

Étapes du vieillissement	S1	S2	S3
Points de polarisation ($V_{gs}; V_{ds}$) V	(-3,5 ; 2)	(-3,5 ; 4)	(-3,5 ; 6)
Dérive de ($I_{ds}; I_{gs} $) %	(-7 ; -11)	(-32 ; -30)	(-59 ; -57)

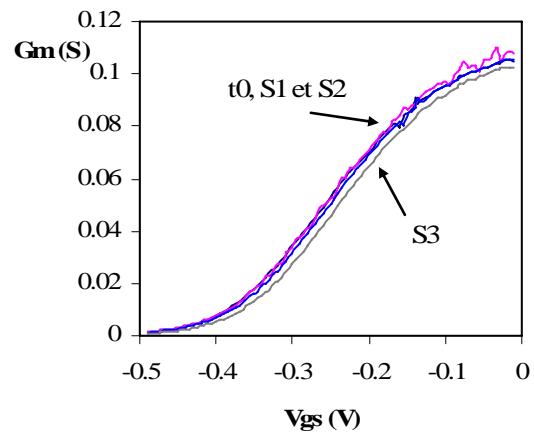
Tableau III-11 : Points de polarisation et dérives de I_{ds} et I_{gs} du PHEMT D au cours de la séquence de vieillissement effectuée en régime « off-state » avec $V_{gs}=-3,5V$.

3.2.2. Evolution des paramètres électriques statiques mesurés au cours du vieillissement en régime « off-state »

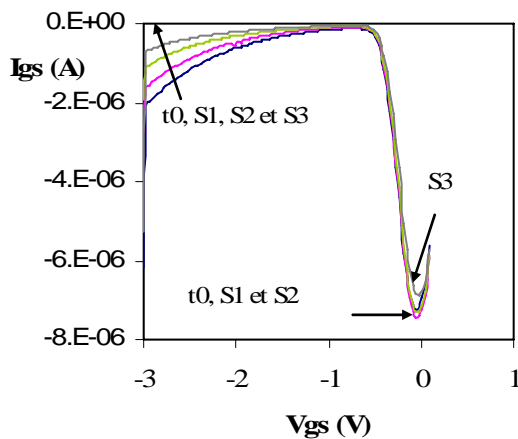
La Figure III-30 présente l'évolution du réseau I_{ds} - V_{ds} , de la transconductance G_m , de la courbe en cloche, de la caractéristique I-V de la diode Schottky et des lieux de claquage « on-state » et « off-state » du PHEMT D après le vieillissement en régime « off-state » avec $V_{gs}=-3,5V$.



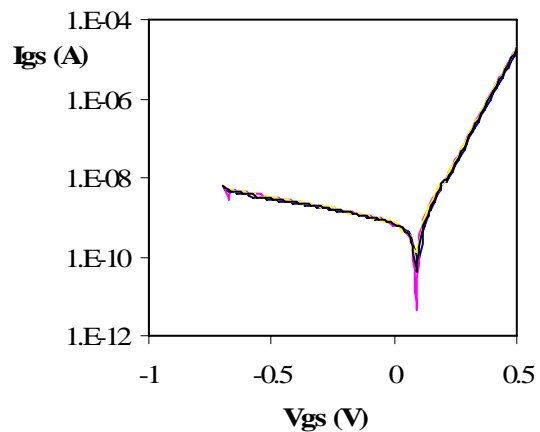
(a) : Réseau I_{ds} - V_{ds} .



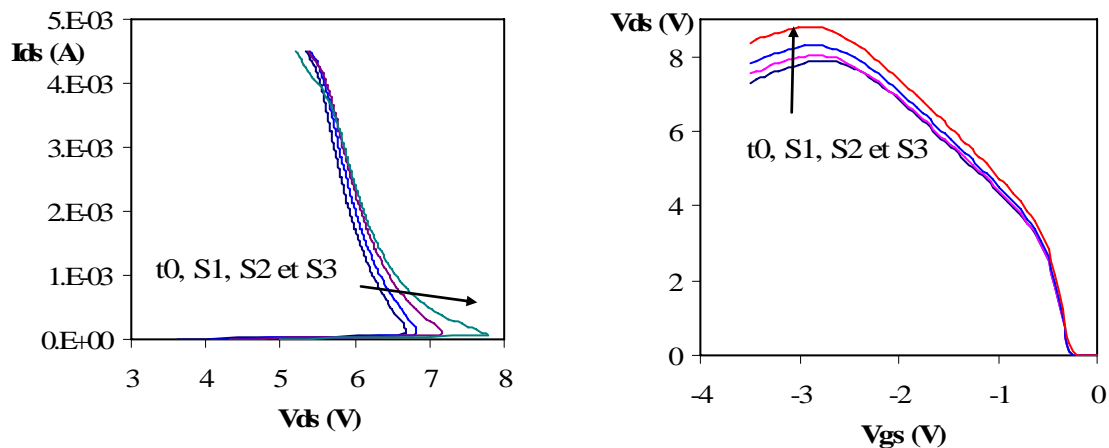
(b) : Caractéristique G_m - V_{gs} mesurée pour $V_{ds}=2V$.



(c) : Caractéristique I_{gs} - V_{gs} en inverse mesurée pour $V_{ds}=4V$.



(d) : Caractéristique de la diode Schottky.



(e) : Lieu de claquage « on-state » mesuré pour $I_{gs}=-0,05$ mA/mm.

(f) : Lieu de claquage « off-state » mesuré pour $I_{ds}=1$ mA/mm.

Figure III-30 : Evolution des caractéristiques électriques du PHEMT D au cours de la séquence de vieillissement effectuée en régime « off-state » avec $V_{gs}=-3,5$ V.

On remarque que le courant de saturation I_{dss} et la transconductance G_m présentent une faible diminution après vieillissement. Par contre, la caractéristique I-V de la diode Schottky reste pratiquement constante. Le courant de fuite en inverse ainsi que l'amplitude de la courbe en cloche du transistor présentent une faible diminution. Comme dans le cas du vieillissement en régime « on-state », on observe une augmentation des tensions de claquage « on-state » et « off-state ».

4. Analyse des mécanismes physiques relatifs aux dégradations observées

Ce paragraphe vise à analyser l'effet des vieillissements accélérés DC, effectués en régime « on-state » et « off-state », sur les caractéristiques électriques statiques des technologies sous test ainsi que les mécanismes physiques associés.

En se basant sur les différents modes de dégradation, décrits dans le paragraphe précédent, on remarque que l'on a pu identifier deux niveaux de dégradation :

- Le premier niveau correspond aux faibles variations des caractéristiques électriques du transistor et peut être associé aux effets des pièges.
- Le deuxième niveau correspond aux fortes dérives des paramètres électriques du transistor et il est corrélé avec la dégradation de la caractéristique I-V de la diode Schottky.

4.1. Effet des pièges

Le premier niveau de dégradation inclut les zones de fonctionnement du transistor où la dérive des paramètres fonctionnels du transistor (I_{dss} , V_t ,...) n'a pas dépassé 10% après les tests de vieillissement en régime « on-state » et « off-state ». Ce niveau de dégradation est identifié par des points blancs et gris dans les séquences de vieillissement « on-state » et « off-state » et correspond à des valeurs de V_{dg} inférieures aux valeurs seuil $V_{dg_{th(on-state)}}$ et $V_{dg_{th(off-state)}}$.

En se basant sur la caractéristique en inverse I_{gs} - V_{gs} , des trois technologies sous test, on remarque que, pour le PHEMT A', les points de polarisation des vieillissements en régime « on-state » et « off-state » correspondent aux régimes d'ionisation par impact et de claquage de la diode grille-drain, respectivement, alors que, pour le MESFET B et le PHEMT D, l'ensemble des conditions appliquées lors des tests de vieillissement conduit les composants à fonctionner uniquement en régime de claquage de la diode grille-drain.

Les faibles variations des caractéristiques statiques du transistor peuvent être attribuées aux effets des pièges localisés entre la grille et le drain. En effet, dans le cas d'un vieillissement en régime d'ionisation par impact, la création de pièges ou le changement de leur taux d'occupation peut être attribué aux électrons ou aux trous générés par ionisation par impact [SOZ02] [KAP02]. Par contre, dans le cas d'un vieillissement en régime de claquage de la diode grille-drain (canal pincé), les électrons du canal, qui ne sont pas nombreux mais fortement énergétiques [DIE00], peuvent franchir la barrière de potentiel du canal et être piégés entre la grille et le drain [MEN-1 97] [MEN-2 97]. Il est généralement admis qu'un vieillissement du transistor, sous forte polarisation, induit le piégeage des électrons chauds par les défauts localisés dans la passivation ou à l'interface entre le semiconducteur et la passivation [LEO99] [MEN99] [MEN-1 98]. Les électrons chauds peuvent eux-même créer des pièges [HWA95] [COV02] [BOR98] [CAN95].

Dans le cas du MESFET, en général, l'accumulation de charges négatives, entre la grille et le drain, élargit la zone de déplétion, augmente la résistance d'accès de drain et induit la diminution du courant de saturation, de la tension de seuil $|V_t|$ et de la transconductance. Ce mécanisme est généralement accompagné par le phénomène de « Breakdown Walkout » [MEN96] [MENO99] qui se manifeste par une augmentation des tensions de claquage du transistor due à la relaxation du champ électrique entre grille et drain. Ce phénomène est généralement associé à une diminution du taux d'ionisation par impact [CAN95]. Dans notre cas, pour le MESFET B sous test, les paramètres électriques statiques du transistor restent

pratiquement constants après toutes les étapes de vieillissement « off-state ». Après les étapes de vieillissement « on-state », on remarque que le courant de saturation I_{dss} , la tension de seuil V_t , la transconductance G_m ainsi que la caractéristique I-V de la diode Schottky du MESFET B restent pratiquement constants, alors qu'on observe une diminution des tensions de claquage « on-state » et « off-state ». On conclut que le vieillissement en régime « on-state » ne dégrade pas les caractéristiques électriques statiques du MESFET B en fonctionnement normal aux faibles valeurs de V_{dg} , par contre il influe sur les paramètres électriques statiques du transistor en fonctionnement en régime d'« overdrive » aux fortes valeurs de V_{dg} . En effet, le champ électrique entre le drain et la grille est proportionnel à la tension V_{dg} [SOZ02]. Pour de faibles valeurs de V_{dg} , correspondant à un fonctionnement normal du transistor, le champ électrique entre le drain et la grille est assez faible de telle façon qu'il n'induit pas une variation significative du taux d'occupation des pièges. Par conséquent, les paramètres électriques du transistor mesurés dans les conditions de fonctionnement normal du composant, tels que I_{dss} , V_t , G_m et la caractéristique I-V de la diode Schottky, présentent une faible évolution. Par contre, l'application d'une forte tension de polarisation entre le drain et la grille peut modifier d'une façon significative le taux d'occupation des pièges par émission de porteurs libres par les pièges [DIE00]. Ceci induit une diminution de la zone de charge d'espace entre la grille et le drain. Par conséquent, le champ électrique dans cette région augmente et la tension de claquage diminue.

Dans le cas du PHEMT A' sous test, on remarque que les caractéristiques électriques statiques du transistor restent pratiquement constantes après les étapes de vieillissement en régime « on-state » et « off-state » réalisées avec des valeurs de V_{dg} inférieures aux valeurs seuil $V_{dg_{th(on-state)}}$ et $V_{dg_{th(off-state)}}$, respectivement. Par contre, pour le PHEMT D sous test, on remarque, pour les deux modes de vieillissement, une diminution du courant de saturation I_{dss} qui est corrélée avec l'augmentation de la tension de seuil. En effet, le piégeage des électrons chauds sous la grille entraîne un changement de la charge locale dans cette région, ce qui augmente la tension de commande du gaz d'électrons bidimensionnel [CAN95]. Par conséquent, le courant de saturation I_{dss} et la tension de seuil $|V_t|$ du transistor diminuent. La diminution de l'amplitude de la courbe en cloche peut être attribuée à la diminution du pic de champ électrique dans le canal suite au piégeage d'électrons chauds dans la passivation ou à l'interface passivation/semiconducteur entre la grille et le drain [BOR01]. L'augmentation des tensions de claquage « on-state » et « off-state » (Breakdown Walkout) est la conséquence de la relaxation du champ électrique dans le canal [TKA99] [COV97].

Les différences observées entre le PHEMT A' et PHEMT D peuvent être liées aux différences des caractéristiques technologiques de ces composants, comme le niveau de dopage des couches du transistor, la densité des pièges, la distance entre la grille et le drain,...etc. Par exemple, la technologie pour laquelle la densité de pièges est importante, présente, généralement, une variation significative des paramètres électriques du transistor.

Pour les dispositifs sous test, la faible dérive des caractéristiques électriques statiques du transistor peut être expliquée par un faible changement de l'état des pièges du transistor après vieillissement. Cette hypothèse est confirmée par les mesures de DCTS (Drain Current Transient Spectroscopy) [LAB97] [LO94] effectuées sur les transistors MESFET B et PHEMT D en commutation de tension de grille (Figure III-31 et III-32). Cette technique consiste à appliquer une impulsion de tension sur la grille, tout en polarisant le transistor en régime de saturation, et à mesurer la réponse en courant de drain I_{ds} .

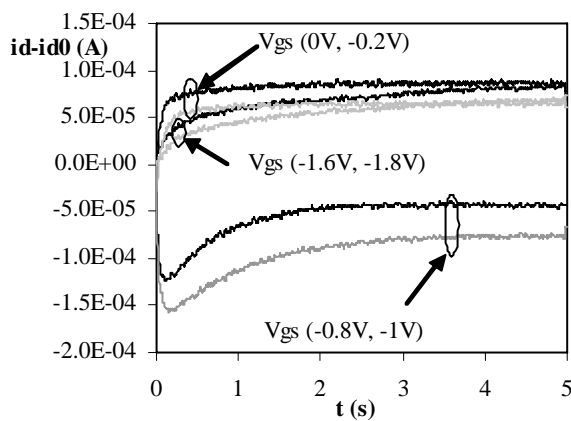


Figure III-31 : Mesures de transitoires de courant drain en commutation de grille à $V_{ds}=6V$ du MESFET B : avant (courbe en noir) et après (courbe en gris) l'étape de vieillissement « on-state » S4 définie par $I_{ds}=3,3$ mA/mm.

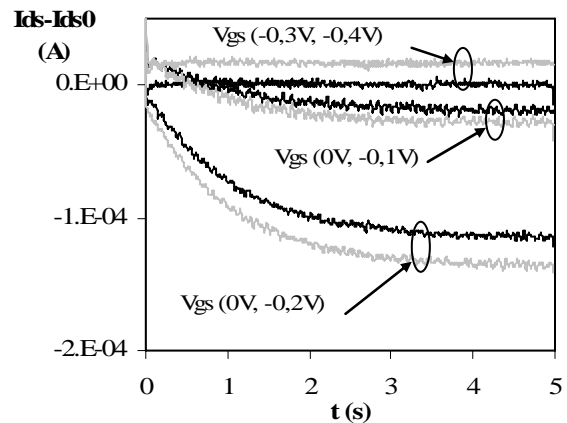


Figure III-32 : Mesures de transitoires de courant drain en commutation de grille à $V_{ds}=2V$ du PHEMT D : avant (courbe en noir) et après (courbe en gris) l'étape de vieillissement « on-state » S2 définie par $I_{ds}=10$ mA/mm.

On remarque, d'une part, qu'après le vieillissement la forme des transitoires de courant de drain n'a pas changé, ce qui signifie que le vieillissement n'a pas entraîné la création de nouveaux types de pièges. D'autre part, la faible variation de l'amplitude des transitoires de courant de drain signifie que le taux d'occupation des pièges a faiblement évolué après le vieillissement.

4.2. Dégradation de la diode Schottky

Le deuxième niveau de dégradation correspond aux zones de fonctionnement du transistor où la dérive des paramètres fonctionnels du transistor a dépassé 10% après les étapes de vieillissement « on-state » et « off-state ». Les dégradations observées ont été induites par des tests de vieillissement à des conditions de fonctionnement repérées par des points noirs dans les séquences de vieillissement « on-state » et « off-state ». Donc, les valeurs de V_{dg} sont supérieures aux valeurs seuil $V_{dg_{th(on-state)}}$ et $V_{dg_{th(off-state)}}$, précédemment identifiées.

La dérive significative de certains paramètres électriques statiques du transistor peut être attribuée à la dégradation de la diode Schottky. En effet, l'application des fortes valeurs de V_{dg} pendant le vieillissement se traduit par une importante dissipation thermique. Par conséquent, la dégradation de la diode Schottky peut être attribuée à une diffusion latérale, activée thermiquement, du métal de grille, pour le MESFET B, et à une diffusion, activée thermiquement, de l'aluminium de la couche AlGaAs dans la région du sillon de grille dans le cas du PHEMT A' [KAY99]. Afin de confirmer la dégradation de la diode Schottky, on a calculé la hauteur de barrière Φ_B de la diode avant vieillissement et à l'issue de l'étape de vieillissement S4 en régime « off-state » du PHEMT A' (Figure III-24 (d)).

La formule utilisée pour calculer Φ_B est la suivante (Equation III-4) [LAB90]:

$$\Phi_B = kT \ln \left(\frac{S^* A^* T^2}{I_{sat}} \right) \quad (\text{Equation III-4})$$

Où :

Φ_B : Hauteur de barrière de la diode.

k : Constante de Boltzmann $\approx 1,38 \cdot 10^{-23} \text{ J.K}^{-1}$.

T : Température.

S^* : Section de la diode.

A^* : Constante de Richardson de l'Arséniure de Gallium ($A^*=8,16 \text{ A.cm}^{-2}\text{K}^{-2}$).

I_{sat} : Courant de saturation de la diode Schottky. Ce paramètre est déterminé graphiquement (Figure III-33).

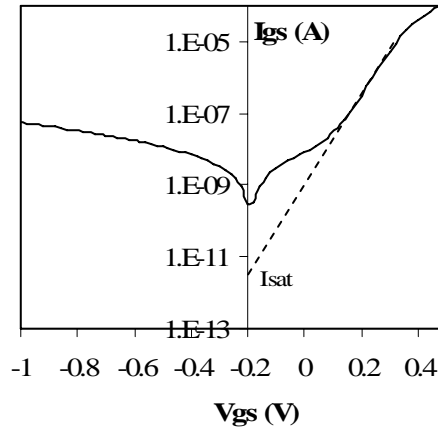


Figure III-33 : Caractéristique I-V de la diode Schottky en coordonnées semi-logarithmiques :
Extraction du paramètre I_{sat} de la jonction Schottky.

La hauteur de barrière Φ_B de la diode avant vieillissement est de 0,9 eV, tandis qu'elle est évaluée à 0,4 eV après l'étape de vieillissement S4. Par conséquent, la diminution de la hauteur de barrière de la diode Schottky peut contribuer à l'augmentation significative du courant de fuite de la diode Schottky du MESFET B et PHEMT A' après vieillissement [MEN-2 98]. La diminution significative des tensions de claquage « on-state » et « off-state » est attribuée à l'augmentation importante du courant de fuite en inverse du transistor. Notons que les dégradations observées ne sont pas attribuées au mécanisme de « gate sinking » [MEN-2 98] [MUN98]. En effet, en général pour un MESFET, ce mécanisme induit une diminution de I_{dss} et de $|V_t|$ en raison de la diffusion du métal de grille dans le canal du transistor, alors que, pour le MESFET B, le courant de saturation I_{dss} , la tension de seuil V_t et la transconductance G_m restent pratiquement constants après vieillissement. La diffusion de l'aluminium dans la région du sillon de grille du PHEMT A' peut augmenter la discontinuité de la bande de conduction et par conséquent améliore le confinement des électrons dans le canal [KAY99]. Ceci expliquerait l'augmentation du courant de saturation I_{dss} et de la tension de seuil $|V_t|$ du PHEMT A' au cours du deuxième niveau de dégradation.

On remarque que, pour le PHEMT A' nous avons identifié, après les séquences de vieillissement effectuées en régime « on-state » et « off-state », des valeurs seuils différentes de V_{dg} ($V_{dg_{th(on-state)}}=8V$ et $V_{dg_{th(off-state)}}=10V$). En effet, les polarisations en régime « on-state » ou « off-state » correspondent à des répartitions différentes des lignes de champ électrique entre la grille et le drain du transistor. Cette interprétation est renforcée par les résultats présentés dans la référence [SOZ02], pour un HFET, où il a été démontré que la valeur de champ électrique longitudinal dans le canal GaAs est une fonction linéaire de V_{dg}

en régime de fonctionnement « off-state ». Par contre, cette fonction n'est plus linéaire en régime de fonctionnement « on-state ».

4.3. Les zones de fonctionnement du transistor

A partir de l'analyse des résultats des tests de vieillissement, on peut définir trois zones de fonctionnement, en régime « on-state » (Figure III-34) et « off-state » (Figure III-35), ne comportant pas le même risque quant à l'apparition d'une dégradation [ISM-6 05] :

- Une zone de fonctionnement sûr du transistor où la dérive des courants drain-source et grille-source du point de polarisation ainsi que la dérive des paramètres fonctionnels du transistor ne dépasse pas le critère de défaillance soit 10% après 48 heures de vieillissement. Il s'agit dans ce cas de l'aire de sécurité de fonctionnement définie par les points blancs.
- Une zone de fonctionnement permis du transistor où la dérive des courants drain-source et grille-source du point de polarisation dépasse le critère de défaillance tandis que la dérive des paramètres fonctionnels du transistor ne dépasse pas le critère de défaillance après 48 heures de vieillissement. Il s'agit dans ce cas de l'aire de fonctionnement définie par les points gris. L'utilisation des composants dans cette zone doit être validée en terme de fiabilité vis à vis des contraintes électriques opérationnelles par un vieillissement RF.
- Une zone de fonctionnement interdit du transistor où la dérive des courants drain-source et grille-source du point de polarisation ainsi que la dérive des paramètres fonctionnels du transistor dépassent le critère de défaillance après 48 heures de vieillissement. Cette zone correspond à l'aire de fonctionnement définie par les points noirs. Dans ce cas, l'utilisateur ne doit pas faire fonctionner le composant dans cette zone.

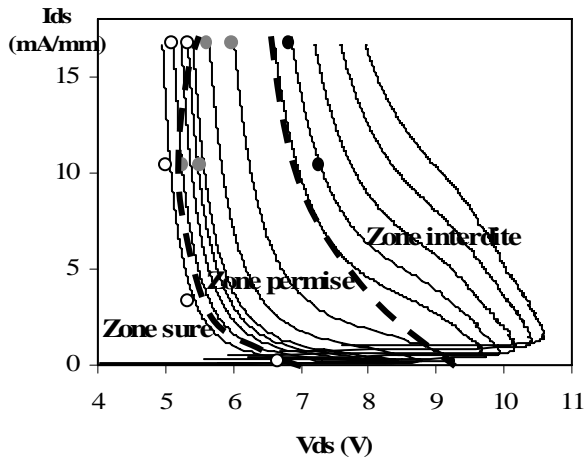


Figure III-34 : Lieux de claquage « on-state » du PHEMT A' pour différents courants de grille. Trois zones de fonctionnement « on-state » sont définies : zone sûre, zone permise et zone interdite.

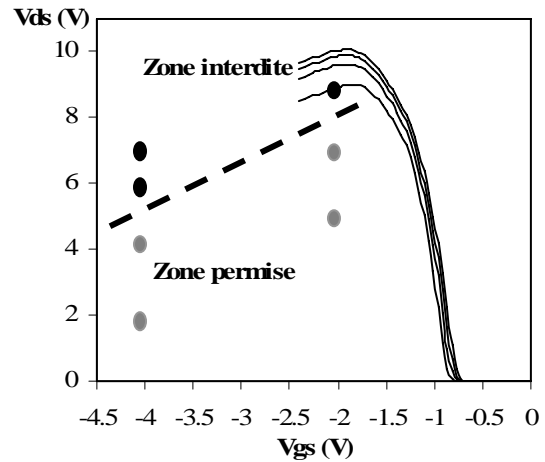


Figure III-35 : Lieux de claquage « off-state » du PHEMT A' pour différents courants de drain. Deux zones de fonctionnement « off-state » sont définies : zone permise et zone interdite.

IV. Validation de l'aire de sécurité de fonctionnement du transistor

Les résultats des vieillissements DC ont permis de définir trois zones de fonctionnement du transistor : sûr, permis et interdit. Par conséquent, l'évaluation des valeurs maximales autorisées des paramètres électriques du transistor dépend de la validation de la zone permise mais marginale par des vieillissements accélérés RF en régime non linéaire.

1. Vieillissement accéléré RF effectué en régime d'« overdrive »

Il s'agit dans ce paragraphe de valider l'aire de sécurité de fonctionnement des technologies sous test, définie à partir des vieillissements accélérés DC, en effectuant un vieillissement sous contraintes dynamiques correspondant à un fonctionnement réel de l'amplificateur dans un régime fortement non linéaire.

Les tests de vieillissement accéléré RF, en régime d'« overdrive » correspondant à un fonctionnement opérationnel, ont été effectués à Alcatel Alenia Space à Toulouse sur les technologies MESFET B et PHEMT A'.

1.1. Synthèse des résultats : Technologie MESFET B

Un vieillissement accéléré sous contraintes dynamiques avec un taux de compression de gain de 15dB@4Ghz a été effectué, pendant 6000 heures, sur un amplificateur composé de

deux étages, comprenant chacun un MESFET B (Figure III-36). Ce vieillissement correspond à une utilisation fortement non linéaire de l'amplificateur en régime d'« overdrive ». La Figure III-37 présente les formes d'onde V_{gs} et V_{ds} des étages 1 et 2 de l'amplificateur simulées pour ces conditions de vieillissement RF. On remarque que les excursions de V_{ds} varient entre 0V et 6V et les excursions de V_{gs} entre 0,8V et -10V.

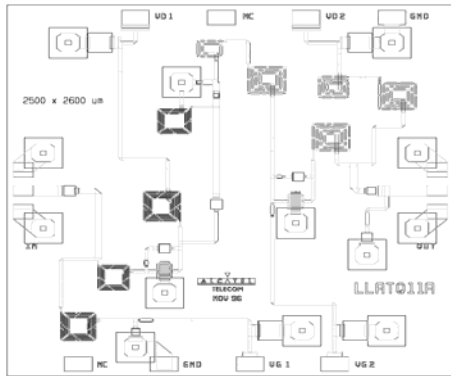


Figure III-36 : Amplificateur à 2 étages bas niveau LLA fonctionnant en bande C (4GHz à 8GHz)

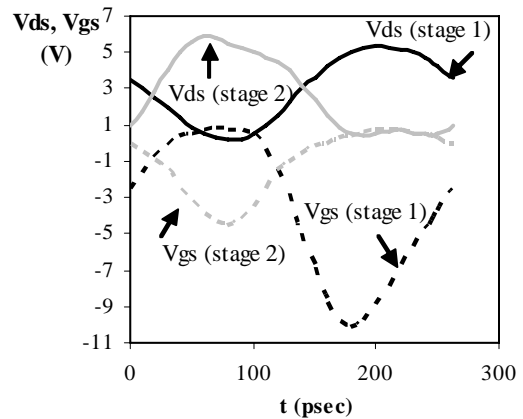


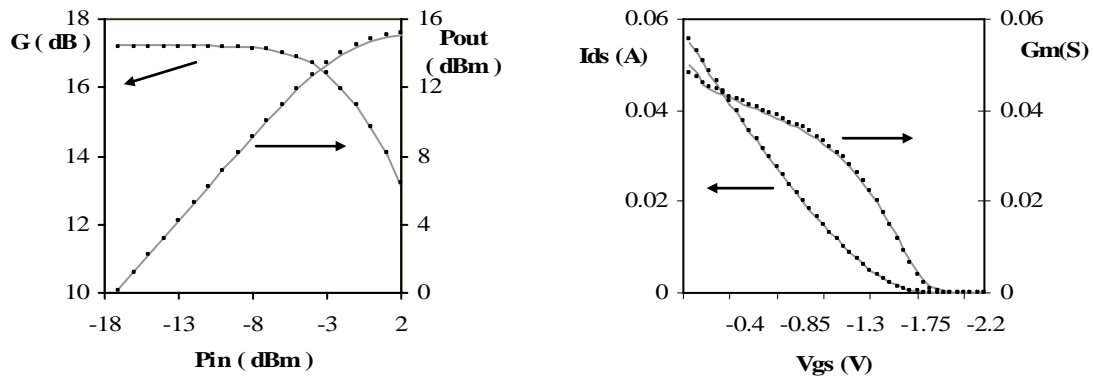
Figure III-37 : Simulation des formes d'ondes V_{ds} et V_{gs} de l'amplificateur LLA composé de deux étages, comprenant chacun un MESFET B, dans les conditions d'« overdrive » : $P_{in}=+18\text{dBm}@ 3,8\text{Ghz}$.

En considérant l'étage 1, qui correspond aux excursions de V_{ds} et V_{gs} les plus critiques, on distingue deux régimes de fonctionnement.

Le premier régime correspond à des valeurs de V_{gs} supérieures à -2V et à des valeurs de V_{ds} comprises entre 0V et 3V. Ce régime de fonctionnement est inclus dans l'aire de sécurité de fonctionnement « on-state » définie à partir des essais de vieillissement DC.

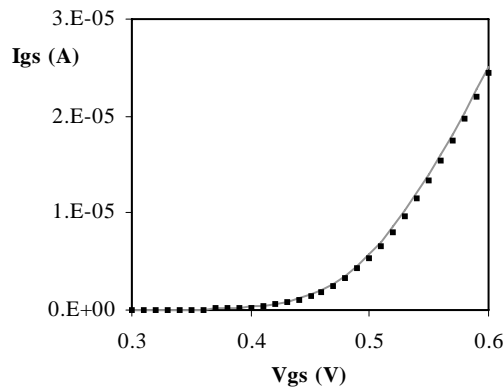
Le deuxième régime correspond à des valeurs de V_{gs} comprises entre -2V et -10V et à des valeurs de V_{ds} comprises entre 2V et 6V. Ce régime de fonctionnement est inclus dans la zone marginale de l'aire de fonctionnement « off-state » définie à partir des essais de vieillissement DC.

Aucune variation notable des paramètres dynamiques (Figure III-38 (a)) et statiques (Figure III-38 (b) et (c)) de l'amplificateur n'a été observée après le vieillissement RF.



(a): Puissance de sortie et gain de l'amplificateur en fonction de la puissance d'entrée.

(b) : Evolution de Ids et Gm en fonction de Vgs.



(c) : Evolution de Igs en fonction de Vgs.

Figure III-38: Caractéristiques électriques du MESFET B et de l'amplificateur avant (courbes en noir) et après (courbes en gris) 6000 heures de vieillissement RF à 4 GHz et un taux de compression de 15dB.

1.2. Synthèse des résultats : Technologie PHEMT A'

Un vieillissement accéléré sous contraintes dynamiques à $P_{in}=2\text{dBm}@8,15\text{GHz}$ a été effectué, pendant 2000 heures, sur un amplificateur faible bruit à trois étages comprenant chacun un PHEMT A' (Figure III-39). Ce vieillissement correspond à une utilisation fortement non linéaire de l'amplificateur. La Figure III-40 présente les formes d'onde V_{gs} , V_{gd} et V_{ds} du troisième étage de l'amplificateur simulées pour ces conditions de vieillissement RF car c'est l'étage le plus critique. On remarque que les excursions de V_{ds} varient entre 0V et 6V, les excursions de V_{gs} entre 1V et -6,5V et les excursions de V_{gd} entre 1V et -10V. En considérant les formes d'ondes du troisième étage, on distingue deux régimes de fonctionnement.

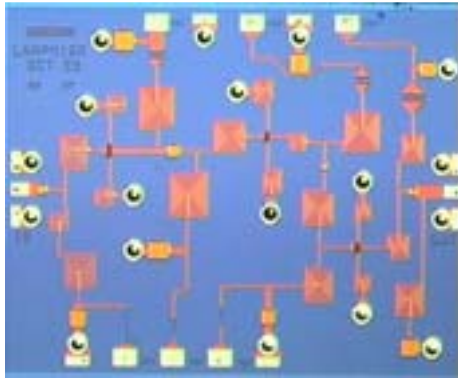


Figure III-39 : Amplificateur faible bruit LNA à 3 étages, comprenant chacun un PHEMT, fonctionnant entre 10,7GHz à 12,75GHz.

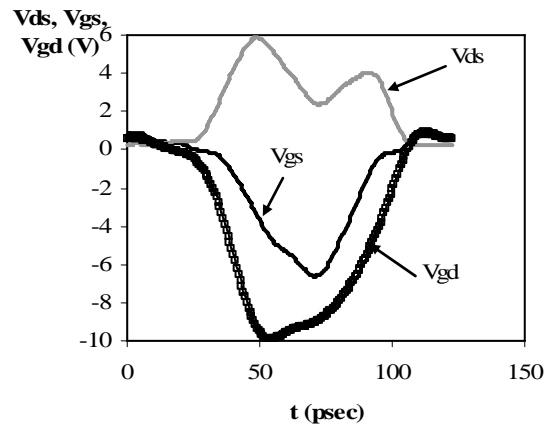
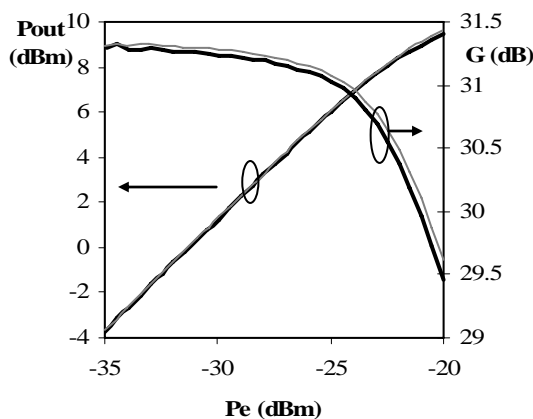


Figure III-40 : Simulation des formes d'onde V_{ds} , V_{gd} et V_{gs} du troisième étage de l'amplificateur LNA dans les conditions d'« overdrive » : $P_{in}=+2dBm@ 8,15GHz$.

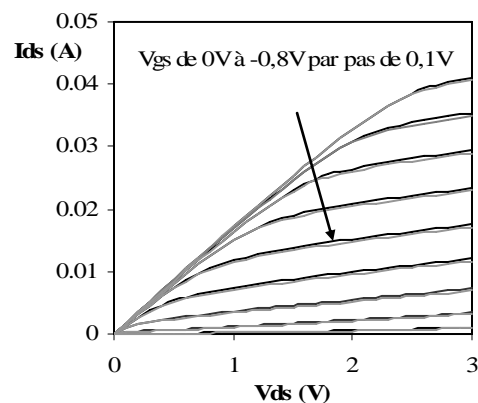
Le premier régime correspond à des valeurs de V_{gs} supérieures à -0,7V et à des valeurs de V_{ds} comprises entre 0V et 4V. Ce régime de fonctionnement est inclus dans l'aire de sécurité de fonctionnement « on-state » définie à partir des essais de vieillissement DC.

Le deuxième régime correspond à des valeurs de V_{gs} comprises entre -0,7V et -6,5V et à des valeurs de V_{ds} comprises entre 2,5V et 6V. Ce régime de fonctionnement est inclus dans la zone marginale de l'aire de fonctionnement « off-state » définie à partir des essais de vieillissement DC.

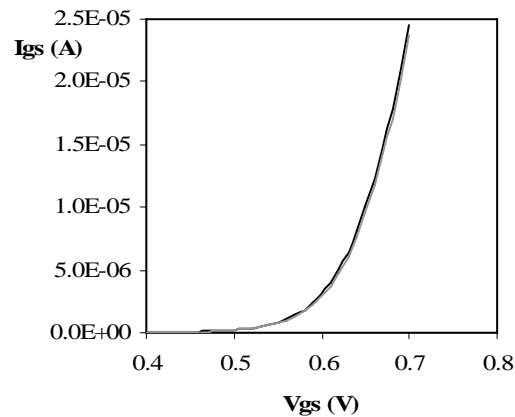
Les paramètres dynamiques (Figure III-41 (a)) et statiques (Figure III-41 (b) et (c)) de l'amplificateur restent pratiquement constants après le vieillissement RF.



(a): Puissance de sortie et gain de l'amplificateur en fonction de la puissance d'entrée.



(b) : Evolution du réseau I_{ds} - V_{ds} .



(c) : Evolution de la caractéristique de la diode.

Figure III-41: Caractéristiques électriques du PHEMT A' et de l'amplificateur avant (courbes en noir) et après (courbes en gris) 2000 heures de vieillissement RF à $P_{in}=2\text{dBm}@8,15\text{ GHz}$.

2. Spécification des valeurs maximales des paramètres électriques du transistor

Les résultats des vieillissements DC et RF permettent d'évaluer les valeurs maximales autorisées en fonctionnement pour les paramètres électriques du transistor [ISM-7 05]. En effet, les séquences de vieillissement DC ont permis de définir trois zones en régime de fonctionnement « on-state » : une zone sûre, une zone marginale et une zone interdite et deux zones en régime de fonctionnement « off-state » : une zone marginale et une zone interdite. Les formes d'ondes des vieillissements RF, effectuées sur des amplificateurs basés sur les technologies MESFET B et PHEMT A', correspondent à une partie de la zone sûre en régime de fonctionnement « on-state » et une partie de la zone marginale en régime de fonctionnement « off-state » définies à partir des vieillissements DC. La faible dégradation, induite par les vieillissements RF, valide ces deux régions et, par conséquent, autorise l'utilisateur à faire fonctionner le transistor dans ces zones.

D'une part, sachant que le vieillissement RF effectué dans la zone marginale « off-state » a induit une faible dégradation des paramètres électriques du transistor, on peut estimer qu'un vieillissement RF effectué dans la zone marginale « on-state » peut induire le même résultat puisque, en général, un vieillissement en régime « off-state » est plus contraignant que celui en régime « on-state » [DIE00] [MEN99]. D'autre part, il est généralement admis qu'un vieillissement RF est moins « sévère » qu'un vieillissement DC [TKA94]. En effet, pendant un vieillissement DC, une forte valeur continue de V_{dg} est appliquée entre la grille et le drain du transistor, alors que, pendant un vieillissement RF, le cycle de charge atteint des valeurs

pics de V_{dg} pendant une très courte durée dans une période de fonctionnement RF du transistor. Ceci empêche les pièges de changer d'état puisque le temps d'application des fortes valeurs de V_{dg} est très faible par rapport aux temps d'émission ou de capture de porteurs par les pièges. Ainsi, on peut s'attendre à des dégradations significatives obtenues pour des valeurs seuils de V_{dg} plus grandes pour un vieillissement RF que pour un vieillissement DC. Les valeurs maximales autorisées des paramètres électriques du transistor sont donc définies comme les valeurs seuils de V_{dg} correspondant à la transition de la zone marginale à la zone interdite, définies à partir des vieillissements accélérés DC, en régime de fonctionnement « on-state » et « off-state » (Tableau III-12). Notons que pour le MESFET B et le PHEMT D, on n'a pas poursuivi les tests de vieillissement « on-state » jusqu'à la zone interdite. Par conséquent, la valeur maximale de V_{dg} est supérieure à la valeur de V_{dg} correspondant au contour délimitant la zone sûre « on-state », soit $V_{dg}=18V$ pour le MESFET B et $V_{dg}=7V$ pour le PHEMT D.

Technologies	Valeurs maximales des paramètres électriques du transistor (méthodologie)	Valeurs maximales des paramètres électriques du transistor (fondeur)
MESFET B	$V_{dg} > 18V$ (régime "on-state") $V_{dg}=18V$ (régime "off-state")	$V_{dg}=14V @ I_g=-1mA/mm$
PHEMT A'	$V_{dg}=8V$ (régime "on-state") $V_{dg}=10V$ (régime "off-state")	$V_{ds}=4V$ $-5V < V_{gs} < +0,9V$ $V_{dg}=5V$
PHEMT D	$V_{dg} > 7V$ (régime "on-state") $V_{dg}=12,5V$ (régime "off-state")	$V_{dg}=4V$ $V_{gs}=-4V$

Tableau III-12 : Comparaison des valeurs maximales autorisées des paramètres électriques du transistor données par le fondeur avec celles définies à l'issue de nos travaux.

On remarque que, pour les technologies sous test, les valeurs maximales des paramètres électriques du transistor, données par le fondeur, sont plus faibles que celles définies à l'issue de nos travaux (Tableau III-12). On voit donc bien l'intérêt de la méthodologie, décrite dans ce manuscrit, qui a permis de définir des valeurs maximales réalistes des paramètres électriques du composant compatibles avec un fonctionnement de l'amplificateur en régime fortement non linéaire.

Conclusion

Une nouvelle méthodologie, permettant d'évaluer l'aire de sécurité de fonctionnement des transistors FET en régime d'« overdrive », a été définie à partir des essais de vieillissement accéléré DC. L'aire de sécurité en fonctionnement « on-state » est évaluée à partir des séquences de vieillissement DC effectuées dans la zone des lieux de claquage « on-state » du transistor. L'aire de sécurité en fonctionnement « off-state » est évaluée à partir des séquences de vieillissement DC effectuées dans la zone des lieux de claquage « off-state » du transistor. Cette méthodologie a été validée sur trois technologies à substrat GaAs : MESFET B, PHEMT A' et PHEMT D.

Les essais de vieillissement effectués sur les dispositifs sous test ont montré l'existence d'une valeur seuil de la tension de polarisation V_{dg} pour laquelle le mode de dégradation des paramètres électriques du transistor change. En effet, les tests de vieillissement accéléré, effectués pour des valeurs de V_{dg} inférieures à cette valeur seuil, ont montré une faible variation des caractéristiques électriques du transistor qui peut être attribuée au mécanisme de piégeage des électrons chauds. Par contre, pour des valeurs de polarisation V_{dg} supérieures à la valeur seuil, on a observé une forte dérive de certains paramètres électriques du transistor qui est probablement liée à la dégradation de la diode Schottky.

Pour un fonctionnement correspondant à des valeurs de V_{dg} inférieures à la valeur seuil $V_{dg_{th(on-state)}}$ ou $V_{dg_{th(off-state)}}$, les modes de dégradation sont différents selon les technologies étudiées. Cependant, les paramètres électriques statiques évoluant peu au cours des tests de vieillissement, la fiabilité du circuit n'est pas affectée.

Pour un fonctionnement correspondant à des valeurs de V_{dg} supérieures à la valeur seuil $V_{dg_{th(on-state)}}$ ou $V_{dg_{th(off-state)}}$, le MESFET B et le PHEMT A' présentent pratiquement le même mode de dégradation. En effet, le courant de saturation I_{dss} , la tension de seuil V_t et la transconductance G_m du transistor restent pratiquement constants, alors que les courants de fuite en inverse de la diode Schottky et du transistor augmentent et les tensions de claquage « on-state » et « off-state » diminuent significativement. Pour le PHEMT D, ces fortes dégradations n'apparaissent pas au cours des séquences de vieillissement « off-state ». En effet, le transistor passe directement du premier cas à la phase de destruction. On conclut que ce régime de fonctionnement affecte la fiabilité du transistor et la durée de vie du circuit sera sans doute inférieure à la durée de la mission.

Des tests de vieillissement accéléré sous contraintes dynamiques ont été effectués à Alcatel Alenia Space sur un amplificateur faible bruit LNA à trois étages comprenant chacun un transistor PHEMT A' et sur un amplificateur bas niveau LLA à deux étages comprenant chacun un MESFET B. Ces vieillissements, correspondant à une utilisation fortement non linéaire de l'amplificateur en régime d'« overdrive », ont induit une faible dérive des paramètres électriques statiques et dynamiques des amplificateurs. L'ensemble des tests de vieillissement accéléré DC et RF ont permis de garantir le fonctionnement des amplificateurs dans la zone de fonctionnement sûr du transistor, en régime « on-state », et la zone de fonctionnement permis du transistor, en régime « off-state », de MESFET B et PHEMT A'.

Les résultats des vieillissements DC et RF ont permis d'évaluer les valeurs maximales autorisées des paramètres électriques des transistors MESFET B et PHEMT A' (les valeurs maximales du PHEMT D ont été définies à partir des résultats des vieillissements DC seulement puisqu' aucun vieillissement RF n'était disponible pour cette technologie). On a trouvé que les valeurs maximales, définies à l'issue de nos travaux, sont plus élevées que celles données par le fondeur.

Références

- [BOR01] M. Borgarino et al., "Reliability physics of compound semiconductor transistors for microwave applications", *Microelectronics Reliability*, Vol. 41, pp. 21-30, 2001.
- [BOR98] M. Borgarino et al., "Hot Electron Degradation of the DC and RF Characteristics of AlGaAs/InGaAs/GaAs PHEMT's", *IEEE Transactions on Electron Devices*, Vol. 45, N° 2, pp. 366-372, 1998.
- [CAN95] C. Canali et al., "Enhancement and degradation of drain current in pseudomorphic AlGaAs/InGaAs HEMT's induced by hot-electrons", *Reliability Physics Symposium, Las Vegas, USA, 33rd Annual Proceedings*, pp. 205 – 211, April 1995.
- [COV02] P. Cova et al., "High-field step-stress and long term stability of PHEMTs with different gate and recess lengths", *Microelectronics Reliability*, Vol. 42, pp. 1587-1592, 2002.
- [COV97] P. Cova et al., "A study of hot-electron degradation effects in pseudomorphic HEMTs", *Microelectronics Reliability*, Vol. 37, pp. 1131-1135, 1997.
- [DIE00] D. Dieci et al., "Hot electron effects on Al_{0.25}Ga_{0.75}As/GaAs power HFET's under off-state and on-state electrical stress conditions", *IEEE Transactions on Electron Devices*, Vol. 47, N° 2, pp. 261-268, 2000.
- [HWA95] J. C. M. Hwang, "Gradual Degradation under RF Overdrive of MESFETs and PHEMTs", *GaAs IC Symposium*, pp. 81-84, 1995.
- [KAY99] S. Kayali, "Reliability of compound semiconductor devices for space applications", *Microelectronics Reliability*, Vol. 39, pp. 1723-1736, 1999.
- [ISM-1 05] N. Ismail et al., "Safe operating area of GaAs MESFET and PHEMT for amplification in overdrive operating conditions", *Microelectronics Reliability*, Vol. 45, Issues 9-11, pp. 1611-1616, 2005.
- [ISM-2 05] N. Ismail et al., "A methodology to delimit the on-state safe operating area of GaAs MESFET for non linear applications", *IEEE 12th International Symposium on Physical and Failure Analysis of ICs (IPFA)*, Shangri-La's Rasa Sentosa Resort Singapore, pp. 141-145, June 2005.
- [ISM-3 05] N. Ismail et al., "Méthodologie pour la définition d'une aire de sécurité de fonctionnement statique de la technologie MESFET sur substrat GaAs", *Journées Nationales du Réseau Doctoral de Microélectronique*, Paris, France, pp. 170-172, Mai 2005.

- [ISM-4 05] N. Ismail et al., "On-state safe operating area of GaAs MESFET defined for non linear applications", IEEE 13th Gallium Arsenide and other Compound Semiconductors Application Symposium (GAAS®), Paris, France, pp. 281-284, October 2005.
- [ISM-5 05] N. Ismail et al., "Safe operating area of GaAs MESFET and PHEMT for amplification in overdrive operating conditions", IEEE 16th European Symposium Reliability of Electron Devices, Failure Physics and Analysis (ESREF), Bordeaux, France, pp. 1611-1616, October, 2005.
- [ISM-6 05] N. Ismail et al., "Méthodologie pour la définition d'une Aire de sécurité de fonctionnement non linéaire des transistors FET's", Journées Nationales Microondes, Nantes, France, Mai 2005.
- [ISM-7 05] N. Ismail et al., "Fiabilité opérationnelle de MESFET et HEMT sur GaAs-Aire de sécurité de fonctionnement non linéaire", Journées Nano-Micro Electronique et Optoélectronique, Aussois, France, pp. 283-284, Avril 2006.
- [KAP02] V. Kaper et al., "A power law model for assessment of hot electron reliability in GaAs MESFETs and AlGaAs/InGaAs PHEMTs", GaAs MANTECH conference, 2002 (www.gaasmantech.org/Digests/2002/index.htm).
- [LAB90] N. Labat, "Analyse technologique et électrique des dispositifs basés sur le transistor à effet de champ à grille Schottky sur Arséniure de Gallium", Thèse soutenue le 5 Juin 1990 à l'université Bordeaux 1.
- [LAB97] N. Labat et al., "Analysis of hot electron degradation in pseudomorphic HEMTs by DCTS and LF noise characterization", Microelectronics Reliability, Vol. 37, pp. 1675-1678, 1997.
- [LEO99] R. E. Leoni et al., "Mechanisms for output power expansion and degradation of PHEMT's during high-efficiency operation", IEEE Transactions on Electron Devices, Vol. 46, N°8, pp. 1608-1613, August 1999.
- [LO94] S. H. Lo et al., "Analysis of Surface State Effect on Gate Lag Phenomena in GaAs MESFET's ", IEEE Transactions on Electron Devices, Vol. 41, N°9, pp. 1504-1511, 1994.
- [MEN96] R. Menozzi et al., "Breakdown Walkout in Pseudomorphic HEMT's", IEEE Transactions on Electron Devices, Vol. 43, N°4, pp. 543-546, 1996.
- [MEN-1 97] G. Meneghesso et al., "Development of "kink" in the output I-V characteristics of pseudomorphic HEMTs after hot-electron accelerated testing", Microelectronics Reliability, Vol. 37, N°10/11, pp. 1679-1682, 1997.

- [MEN-2 97] G. Meneghesso et al., "Failure mechanisms of AlGaAs/InGaAs pseudomorphic HEMT's: Effects due to hot electrons and modulation of trapped charge", *Microelectronics Reliability*, Vol. 37, N°7, pp. 1121-1129, 1997.
- [MEN-1 98] G. Meneghesso et al., "Drain current DLTS analysis of recoverable and permanent degradation effects in AlGaAs/GaAs and AlGaAs/InGaAs HEMT's", *Microelectronics Reliability*, Vol. 36, N°11/12, pp. 1895-1898, 1996.
- [MEN-2 98] G. Meneghesso et al., "Failure mechanisms of Schottky gate contact degradation and deep traps creation in AlGaAs/InGaAs PM-HEMTs submitted to accelerated life tests", *Microelectronics Reliability*, Vol. 38, pp. 1227-1232, 1998.
- [MEN99] R. Menozzi, "High-field phenomena and reliability issues in microwave heterojunction FET's", *EDMO*, pp. 75-80, 1999.
- [MENO99] R. Menozzi et al., "Bias point dependence of the hot electron degradation of AlGaAs/GaAs Power HFETs", *GaAs IC*, pp. 171-174, 1999.
- [MENE01] G. Meneghesso et al. "Long term stability of InGaAs/AlInAs/GaAs Metamorphic HEMTs", *Microelectronics Reliability*, Vol. 41, pp. 1579-1584, 2001.
- [MUN98] J. K. Mun et al., "Degradation mechanism of GaAs MESFETs", *Microelectronics Reliability*, Vol. 38, pp. 171-177, 1998.
- [MUR97] J. L. Muraro et al., "GaAs power MMIC: A design methodology for reliability", *Microelectronics Reliability*, Vol. 37, N°10/11, pp.1651-1654, 1997.
- [SOZ02] G. Sozzi et al., "High-electric-field effects and degradation of AlGaAs/GaAs power HFETs: a numerical study", *Microelectronics Reliability*, Vol. 42, pp. 53-59, 2002.
- [TKA99] Y. Tkachenko et al., "Comparative study of hot-electron reliability of PHEMT vs. MESFET for high efficiency power amplifiers", *IEEE MTT-S Digest*, pp. 799-802, 1999.
- [TKA94] Y.A. Tkachenko et al., "Hot-electron-induced degradation of metal-semiconductor field-effect transistors", *GaAs IC Symposium*, pp. 259-262, 1994.

Conclusion générale

Le fonctionnement des FET sur GaAs en régime d'« overdrive » pousse le cycle de charge du transistor vers des fortes valeurs de V_{dg} correspondant au régime de claquage du dispositif, ce qui présente des conditions de fonctionnement critiques pour les applications spatiales. Ces conditions extrêmes et l'absence de possibilité de réparation induisent une exigence sévère sur la fiabilité des composants. De plus, le caractère commercial des projets spatiaux impose une forte obligation de réussite. Il en résulte que la détermination de l'aire de sécurité de fonctionnement du transistor est essentielle afin d'assurer la fiabilité des FET en régime de fonctionnement en « overdrive ».

Le fonctionnement des FET sur GaAs en régime d'« overdrive » induit, en général, des dégradations attribuées aux électrons chauds. Parmi ces mécanismes on peut citer :

- Le « Power Drift » : Il correspond à une dégradation temporaire de la réponse transitoire du courant de drain mesuré à la suite d'une impulsion appliquée sur la grille du transistor, ce qui rend difficile le contrôle de la puissance de sortie. Il est attribué aux charges de la passivation.
- Le « Power Slump » : Il correspond à une dégradation permanente du courant de drain du transistor, ce qui a pour effet la diminution de la durée de vie du transistor. Il est attribué, comme le « Power Drift », aux charges de la passivation.
- Le retard à la commutation de grille ou « Gate Lag » : Lors d'une commutation en tension sur la grille du transistor, la réponse du courant de drain présente un effet transitoire. Ce phénomène affecte le fonctionnement RF du dispositif et dégrade considérablement la vitesse de commutation du transistor. Il est attribué aux pièges de surface.
- Le retard à la commutation de drain ou « Drain Lag » : Ce phénomène se manifeste par une réponse transitoire du courant de drain suite à une impulsion appliquée sur le drain pour une tension de grille V_{gs} constante. Ce phénomène est attribué aux pièges situés à l'interface couche active-substrat.
- La dispersion fréquentielle de la transconductance : Ce phénomène se traduit par une diminution de la transconductance G_m en fonction de la fréquence. Il est lié à la cinétique d'émission et de capture des porteurs par les états de surface.
- La dispersion fréquentielle de la conductance : Ce phénomène est attribué au mécanisme de piégeage-dépiégeage des électrons par les pièges du substrat.

- Le décalage de la tension de seuil et la variation de la tension de claquage du transistor : Ces mécanismes de dégradation sont attribués à la variation de la zone de charge d'espace entre grille et drain du transistor suite au piégeage des électrons chauds dans cette région.

En régime d'« overdrive », les excursions de V_{gs} et V_{ds} peuvent atteindre les zones de claquage « off-state » et « on-state » du transistor.

L'étude de la corrélation entre la caractéristique de claquage « off-state » et le réseau de sortie I_{ds} - V_{ds} a montré l'existence de quatre régions sur le lieu de claquage « off-state » :

- La région où V_{ds} croît lentement et linéairement avec V_{gs} correspond à la zone de conduction ohmique du transistor.
- La région où V_{ds} augmente rapidement correspond à la zone de pincement du transistor.
- La région où la pente de la caractéristique de claquage « off-state » diminue correspond à la zone de claquage du canal du transistor.
- La région où V_{ds} diminue avec V_{gs} correspond à la zone de claquage de la diode grille-drain.

L'étude de la corrélation entre la caractéristique de claquage « on-state » et la caractéristique I_{gs} - V_{gs} en inverse du transistor a montré l'existence de quatre régions sur le lieu de claquage « on-state » :

- La région où V_{ds} croît linéairement et de façon abrupte avec I_{ds} correspond à la transition du claquage « off-state » au claquage « on-state » du transistor.
- La région où V_{ds} croît de façon exponentielle avec I_{ds} correspond au régime dominé par le courant de fuite en inverse du transistor.
- La région où V_{ds} diminue de façon hyperbolique avec I_{ds} . Cette région correspond à la première moitié de la courbe en cloche contrôlée par l'ionisation par impact sur la caractéristique I_{gs} - V_{gs} en inverse du transistor.
- La région où V_{ds} augmente avec I_{ds} . Cette région correspond à la deuxième moitié de la courbe en cloche contrôlée par l'ionisation par impact sur la caractéristique I_{gs} - V_{gs} en inverse du transistor.

La comparaison des lieux de claquage des dispositifs sous test montre que :

- La tension de claquage est plus grande pour les technologies à canal GaAs que pour les technologies à canal InGaAs.
- Les composants qui présentent la plus faible valeur du courant de fuite disposent d'une plus grande valeur des tensions de claquage « off-state » et « on-state ».
- Les composants qui présentent la plus faible valeur maximale de la courbe en cloche, présentent également la plus grande valeur de la tension de claquage « on-state ».
- Les dispositifs, pour lesquels le maximum de la courbe en cloche est décalé vers les valeurs positives de V_{gs} ou pour lesquels le courant de fuite est élevé, présentent une forme exponentielle du lieu de claquage « on-state » plus prononcée.
- Les dispositifs, pour lesquels la forme des courbes en cloche est le plus abrupte, présentent une forme hyperbolique du lieu de claquage « on-state » la plus prononcée.
- La tension de claquage est plus grande pour les technologies à double sillon de grille que pour les technologies à simple sillon de grille.

L'aire de fonctionnement du transistor, avant vieillissement, a été définie à partir des mesures des lieux de claquage du transistor. Afin d'évaluer l'aire de sécurité de fonctionnement du transistor, après vieillissement, une nouvelle méthodologie a été définie à partir des essais de vieillissement accéléré DC par étapes. L'aire de sécurité en fonctionnement « on-state » est évaluée à partir des séquences de vieillissement DC effectuées dans la zone des lieux de claquage « on-state » du transistor, alors que l'aire de sécurité en fonctionnement « off-state » est évaluée à partir des séquences de vieillissement DC effectuées dans la zone des lieux de claquage « off-state » du transistor. Cette méthodologie a été validée sur trois technologies à substrat GaAs : MESFET B, PHEMT A' et PHEMT D.

L'analyse de l'évolution des caractéristiques électriques statiques des technologies sous test, après les deux types de vieillissement « on-state » et « off-state », a permis de définir deux niveaux de dégradation :

- Le premier niveau correspond aux faibles dérives des caractéristiques électriques du transistor lié à des mécanismes de piégeage des électrons chauds sous la grille ou dans la passivation ou à l'interface passivation/semiconducteur entre la grille et le drain du transistor.
- Le deuxième niveau apparaît pour des valeurs de tension de polarisation V_{dg} supérieures aux valeurs seuils : $V_{dg_{th(on-state)}}$ et $V_{dg_{th(off-state)}}$. En effet, à partir de ces valeurs seuils de V_{dg} , on remarque une forte dérive de la caractéristique I_{gs} - V_{gs} en

inverse et des lieux de claquage « on-state » et « off-state » du transistor. Cette forte dérive peut être attribuée à une dégradation de la diode Schottky. On a remarqué une faible évolution du courant de saturation I_{dss} et de la tension de seuil V_t du transistor au cours de ce deuxième niveau de dégradation.

Les résultats des tests de vieillissement ont permis de définir trois zones de fonctionnement :

- Une zone de fonctionnement sûr du transistor où la dérive des courants drain-source et grille-source du point de polarisation ainsi que la dérive des paramètres fonctionnels du transistor ne dépasse pas le critère de défaillance soit 10% après 48 heures de vieillissement.
- Une zone de fonctionnement permis du transistor où la dérive des courants drain-source et grille-source du point de polarisation dépasse le critère de défaillance tandis que la dérive des paramètres fonctionnels du transistor ne dépasse pas le critère de défaillance après 48 heures de vieillissement. L'utilisation des composants dans cette zone doit être validée en terme de fiabilité vis à vis des contraintes électriques opérationnelles par un vieillissement RF.
- Une zone de fonctionnement interdit du transistor où la dérive des courants drain-source et grille-source du point de polarisation ainsi que la dérive des paramètres fonctionnels du transistor dépassent le critère de défaillance après 48 heures de vieillissement. Dans ce cas, l'utilisateur ne doit pas faire fonctionner le composant dans cette zone.

Des tests de vieillissement accéléré RF, effectués dans les conditions de fonctionnement en régime d'« overdrive » à Alcatel Alenia Space, ont permis de valider la zone de fonctionnement sûr du transistor, en régime « on-state », et la zone de fonctionnement permis du transistor, en régime « off-state », de MESFET B et PHEMT A'.

En fin, l'association des résultats de vieillissement DC, effectué à IXL, et des résultats de vieillissement RF, effectué à Alcatel Alenia Space, ont permis d'évaluer les valeurs maximales des paramètres électriques du transistor. On a trouvé que les valeurs maximales des tensions V_{dg}/V_{ds} , définies à partir de la méthodologie, sont plus grandes que celles données par le fondeur.

Perspectives :

Les perspectives des travaux de recherche abordés dans ce mémoire sont les suivantes :

- Dans ce mémoire, la mesure des lieux de claquages « on-state » et « off-state » a été effectuée en mode statique. On propose de caractériser ces lieux de claquage en mode pulsé ce qui est plus représentatif du fonctionnement réel RF du transistor.
- Les vieillissements RF, effectués en régime d'« overdrive », ont permis de valider la zone marginale « off-state » et la zone de fonctionnement sûr « on-state » du transistor définies à partir des vieillissements accélérés DC. La perspective de ce travail consiste à effectuer des vieillissements RF dans la zone marginale « on-state » afin de valider cette région.
- Les vieillissements accélérés DC ont permis de mettre en évidence un seuil de la tension de polarisation V_{dg} pour lequel le mode de dégradation du transistor change. De plus, cette valeur seuil dépend du mode de vieillissement « on-state » ou « off-state ». La perspective de ce travail consiste à trouver un modèle électrique qui tient compte de cette tension seuil.
- La méthodologie, décrite dans ce manuscrit, permettant d'évaluer l'aire de sécurité de fonctionnement du transistor a été validée sur des technologies à substrat GaAs. On propose de la valider sur d'autres technologies tels que les transistors GaN, quand ceux-ci auront atteint une maturité technologique suffisante.
- La méthodologie d'évaluation de l'aire de sécurité de fonctionnement a été définie au niveau transistor. On propose de définir une méthodologie permettant d'évaluer l'aire de sécurité de fonctionnement au niveau circuit.

Liste des symboles

- A^* : Constante de Richardson de l'Arséniure de Gallium
- a_1, a_2 : Paramètre de maille cristalline
- $BV_{ds_{max}}$: Tension de claquage « on-state » drain-source maximale
- BV_{ds}^{ch} : Tension de claquage « off-state » du canal
- BV_{ds}^g : Tension de claquage « off-state » drain-source maximale
- BV_{ds} : Tension de claquage drain-source
- BV_{dg} : Tension de claquage drain-grille
- d : Profondeur du canal
- D : Drain du transistor
- \vec{E} : Champ électrique
- E_c : Energie de la bande de conduction
- E_v : Energie de la bande de valence
- E_f : Energie du niveau de Fermi
- E_{fm} : Energie du niveau de Fermi du métal
- E : Energie
- E_g : Energie de bande interdite
- ΔE_c : Discontinuité de la bande de conduction
- ΔE_v : Discontinuité de la bande de valence
- G : Gain
- G_{m0} : Transconductance avant l'apparition de l'effet de coude
- G : Grille du transistor
- G_m : Transconductance
- $G_{m_{max}}$: Transconductance maximale
- G_d : Conductance
- $G_{d_{RF}}$: Conductance mesurée en haute fréquence
- $G_{d_{DC}}$: Conductance mesurée en basse fréquence
- I_{sat} : Courant de saturation en inverse de la diode Schottky
- I_{rou} : Courant de trous créé par ionisation par impact dans le canal
- I_{dss} : Courant de saturation du transistor
- I_{ds} : Courant de drain

I_{gs} : Courant de grille

$I_{g_{fuite}}$: Courant de fuite en inverse du transistor

I_{gII} : Courant de grille attribué à l'ionisation par impact

I_{maxII} : Valeur maximale de la courbe en cloche

$I_{fuite\ diode\ Schottky}$: Courant de fuite en inverse de la diode Schottky

k : Constante de Boltzmann

k_1, k_2, k_3, k_i : Vecteurs d'onde

L : Longueur de grille

l : Longueur du canal

n : Concentration en électron

N_D : Concentration de dopage dans la couche semiconductrice

P_{in} : Puissance d'entrée

P_{out} : Puissance de sortie

R : Résistance

S : Source du transistor

S^* : Section de la diode

t : temps

T : Température

V_t : Tension de seuil du transistor

V_{Kink} : Augmentation de potentiel du canal liée à l'effet de coude

V_{ds} : Tension de drain

V_{gs} : Tension de grille

V_{gd} : Tension grille-drain

V_{dg} : Tension drain-grille

$V_{g_{th}}$: Valeur seuil de V_{gs} déclenchant le claquage « off-state » de la diode grille-drain

$V_{gs_{max}}$: Valeur maximale de V_{gs}

$V_{gs_{min}}$: Valeur minimale de V_{gs}

$V_{dg_{th(off-state)}}$: valeur seuil de V_{dg} à partir de laquelle la dégradation, en régime de vieillissement « off-state », devient significative

$V_{dg_{th(on-state)}}$: valeur seuil de V_{dg} à partir de laquelle la dégradation, en régime de vieillissement « on-state », devient significative

v_{sat} : Vitesse de saturation

W : Largeur de grille

x : Fraction molaire

μ_n : Mobilité électronique

α : Taux d'ionisation par impact initié par un électron

β : Taux d'ionisation par impact initié par un trou

Φ_B : Hauteur de la barrière du contact métal-semiconducteur

Φ_{bi} : Hauteur de la barrière de diffusion à l'interface métal-semiconducteur

Liste des publications

Publications dans des revues internationales avec comité de lecture

[1] N. Ismail, N. Malbert, N. Labat, A. Touboul, J-L Muraro, F. Brasseur et D. Langrez, “Safe operating area of GaAs MESFET and PHEMT for amplification in overdrive operating conditions”, **Microelectronics Reliability**, Vol. 45, Issues 9-11, pp. 1611-1616, September-November 2005.

[2] N. Ismail, N. Malbert, N. Labat, A. Touboul and J-L Muraro, “Off-State and On-state Breakdown of GaAs MESFET, PHEMT and PPHEMT”, **Physica Status Solidi (c)**, Vol. 3, Issue 3, pp. 499-503, March 2006.

[3] N. Malbert, N. Labat, N. Ismail, A. Touboul, J-L Muraro, F. Brasseur et D. Langrez, “Safe operating area of GaAs MESFET for non linear applications”, **IEEE Transactions on Device and Materials Reliability**, Vol. 6, Issue 2, pp. 221-227, June 2006.

Communications dans des congrès internationaux avec comité de lecture

[4] N. Ismail, N. Malbert, N. Labat, A. Touboul and J-L Muraro, “Methodology to compare on-state breakdown loci of GaAs FET’s”, **International Conference on Microelectronics (ICM)**, Tunis Tunisia, pp. 258-261, December 2004.

[5] N. Ismail, N. Malbert, N. Labat, A. Touboul and J-L Muraro, “A methodology to delimit the on-state safe operating area of GaAs MESFET for nonlinear applications”, **12th International Symposium on Physical and Failure Analysis of ICs (IPFA)**, Shangri-La's Rasa Sentosa Resort Singapore, pp. 141-145, June 2005.

[6] N. Ismail, N. Malbert, N. Labat, A. Touboul and J-L Muraro, “Off-State and On-state Breakdown of GaAs MESFET, PHEMT and PPHEMT”, **The International Symposium on Compound Semiconductors (ISCS)**, Rust, Germany, September 2005, published in *Physica Status Solidi (c)*, Vol. 3, Issue 3, pp. 499-503, March 2006.

[7] N. Ismail, N. Malbert, N. Labat, A. Touboul, J-L Muraro, F. Brasseur and D. Langrez, “On-state safe operating area of GaAs MESFET defined for nonlinear applications”, **13th**

Gallium Arsenide and other Compound Semiconductors Application Symposium (GAAS®), Paris France, pp. 281-284, 3–4 October 2005.

[8] N. Ismail, N. Malbert, N. Labat, A. Touboul, J-L Muraro, F. Brasseur and D. Langrez, “Safe operating area of GaAs MESFET and PHEMT for amplification in overdrive operating conditions”, Proceeding of **16th European Symposium Reliability of Electron Devices, Failure Physics and Analysis (ESREF)**, Bordeaux France, pp. 1611-1616, 3–4 October 2005.

Communications dans des congrès nationaux

[9] N. Ismail, N. Malbert, N. Labat, A. Touboul, B. Lambert et J-L. Muraro, “Comparaison des lieux de claquage BV-on state des différentes technologies à substrat GaAs : MESFET, DCFET, PHEMT et PPHEMT”, **Journées Nationales Microélectronique Optoélectronique**, pp. 127-128, La Grande Motte France, 8-11 juin 2004.

[10] N. Ismail, N. Malbert, N. Labat, A. Touboul, et J-L. Muraro, “Méthodologie pour la définition d’une Aire de sécurité de fonctionnement statique de la technologie MESFET sur substrat GaAs”, **Journées Nationales du Réseau Doctoral de Microélectronique**, Paris, France, pp. 170-172, 10-12 Mai 2005.

[11] N. Ismail, N. Malbert, N. Labat, A. Touboul, J-L. Muraro, F. Brasseur et D. Langrez, “Méthodologie pour la définition d’une Aire de sécurité de fonctionnement non linéaire des transistors FET’S”, **Journées Nationales Microondes**, Nantes, France, 11-13 Mai 2005.

[12] N. Ismail, N. Malbert, N. Labat, A. Touboul et J-L. Muraro, “Fiabilité opérationnelle de MESFET et HEMT sur GaAs-Aire de sécurité de fonctionnement non linéaire”, **Journées Nano-Micro Electronique et Optoélectronique**, pp. 283-284, Aussois, France, 4-7 avril 2006.

Titre de la thèse : Etude des limites de fonctionnement des transistors hyperfréquences

Résumé :

L'objectif du premier chapitre est de présenter la fiabilité dans le domaine spatial et, plus précisément, d'identifier les mécanismes susceptibles de se produire au cours d'une utilisation des FET sur GaAs en régime fortement non linéaire (« overdrive ») correspondant au régime d'électrons chauds.

Le deuxième chapitre présente une étude détaillée de la corrélation, d'une part, entre la caractéristique de claquage « off-state » et le réseau de sortie I_{ds} - V_{ds} et, d'autre part, entre la caractéristique de claquage « on-state » et la caractéristique I_{gs} - V_{gs} en inverse du transistor. Cette étude a permis une meilleure compréhension des formes des lieux de claquage du transistor ainsi que les mécanismes physiques associés à chaque région des lieux de claquage « off-state » et « on-state ». La mesure des lieux de claquage du transistor a permis de définir l'aire de fonctionnement du transistor avant vieillissement.

Le troisième chapitre propose une nouvelle méthodologie permettant d'évaluer l'aire de sécurité de fonctionnement des FET sur GaAs en régime d'« overdrive » (fortement non linéaire). Cette méthodologie a été définie à partir des essais de vieillissement accéléré DC par étapes effectué dans les régions de claquage « on-state » et « off-state » du transistor. Cette méthodologie a été validée sur une technologie MESFET et deux technologies PHEMT.

A partir de ce travail, on a pu définir trois zones de fonctionnement du transistor : Sûr, permis et interdit.

Mots clés :

Transistor à effet de champ sur GaAs, Electrons chauds, Fiabilité, Lieux de claquage « on-state » et « off-state », Vieillissement DC, Aire de sécurité de fonctionnement du transistor.

Title : Study of the operating limits of microwave transistors

Abstract :

This work deals with the evaluation the safe operating area of GaAs FET for non linear applications.

The first section concerns the reliability for space applications. We present a review of the main degradation mechanisms induced by hot electrons in GaAs FET.

The aim of the second section is to present a detailed investigation of the correlation, for the one hand, between the off-state breakdown locus and the transistor I_{ds} - V_{ds} characteristics and, for the other hand, between the on-state breakdown locus and the reverse transistor I_{gs} - V_{gs} characteristics. This study has resulted in a good understanding of the breakdown locus shape and of the physical mechanisms related to each breakdown locus region. The measurement of the breakdown loci has allowed defining the transistor operating area before stress.

The third section presents a new methodology to evaluate the safe operating area of GaAs FET in overdrive conditions (non linear regime). The methodology is based on accelerated DC step stresses performed in the transistor breakdown regions. This methodology is validated on GaAs MESFET and PHEMT technologies.

This work has allowed defining three operating area for the transistor: Safe, allowed and prohibited zones.

Key words:

GaAs Field Effect Transistor, Hot electrons, Reliability, On-state and off-state breakdown loci, DC stress, Safe operating area.
