

THESE

PRESENTEE A

L'UNIVERSITE DE BORDEAUX 1

ECOLE DOCTORALE DES SCIENCES PHYSIQUES ET DE L'INGENIEUR

Par Vincent DOUENCE

POUR OBTENIR LE GRADE DE

DOCTEUR

SPECIALITE : Electronique

CIRCUITS ET SYSTEMES DE MODELISATION ANALOGIQUE DE NEURONES BIOLOGIQUES

Soutenue le : **18 décembre 2000**

Après avis de :

MM.	A. DESTEXHE	<i>Directeur de Recherches</i>	<i>CNRS UPR-2191 – Gif sur Yvette</i>
	M. ROBERT	<i>Professeur</i>	<i>LIRMM - Montpellier</i>

Devant la commission d'examen formée de :

MM.	A. DESTEXHE	<i>Directeur de Recherches</i>	<i>CNRS UPR-2191 – Gif sur Yvette</i>
	P. FOUILLAT	<i>Professeur</i>	<i>ENSEIRB - Bordeaux</i>
	G. LE MASSON	<i>Chargé de Recherche</i>	<i>INSERM E.9914 - Bordeaux</i>
	P. MARCHEGAY	<i>Professeur</i>	<i>ENSEIRB - Bordeaux</i>
Me.	S. RENAUD-LE MASSON	<i>Maître de Conférences</i>	<i>ENSEIRB - Bordeaux</i>
MM.	M. ROBERT	<i>Professeur</i>	<i>LIRMM - Montpellier</i>
	P. SIARRY	<i>Professeur</i>	<i>Université Paris XII</i>
	A. TOUBOUL	<i>Professeur</i>	<i>Université Bordeaux I</i>

TABLE DES MATIERES

INTRODUCTION GÉNÉRALE	7
CHAPITRE I : ELEMENTS DE NEUROBIOLOGIE ET DE MODÉLISATION	11
1. Introduction.	13
2. Anatomie du neurone.	13
3. Principes établis de la conduction nerveuse.	15
3.1. Le neurone, conducteur électrique.	15
3.2. Mécanisme membranaire actif : potentiel d'action.	18
3.3. Connexions et réseaux, fonctionnement des synapses.	20
3.4. Propriétés émergentes des réseaux.	22
4. Modélisation et simulation des mécanismes nerveux.	22
4.1. Propriétés statiques de l'arborescence dendritique : équation de propagation.	24
4.2. Modélisation des mécanismes membranaires actifs.	24
4.2.1. Formalisme de Hodgkin et Huxley.	25
4.2.2. Simplifications du formalisme de Hodgkin et Huxley.	28
4.2.3. Modèles stochastiques, chaînes de Markov.	29
4.3. A propos des méthodes d'extraction des paramètres de modèles.	30
4.3.1. Voltage imposé ("voltage-clamp").	31
4.3.2. "Patch-clamp" et enregistrement d'un canal unique.	32
4.4. Simulation numérique.	34
5. Conclusions.	35
CHAPITRE II : CIRCUITS ANALOGIQUES ELEMENTAIRES.	37
1. Introduction.	39
2. Outils et technologie utilisés.	41
2.1. Principes de la microélectronique.	41
2.2. Technologies disponibles.	42
2.3. Outils logiciels et modèles de simulations.	46

2.3.1. Suite logiciel Cadence	46
2.3.2. A propos du choix des modèles, illustration du transistor MOS sous le seuil.	46
3. Opérateurs et fonctions de base	49
3.1. Convertisseurs tension-courant et courant-tension.....	51
3.2. Additionneur.....	54
3.3. Multiplieurs.	54
3.3.1. Multiplieur "beta-immune".	55
3.3.2. Multiplieur log-antilog.	57
3.4. Fonction sigmoïdale.	58
3.5. Intégrateur.....	61
3.6. Mémoire analogique intégrée.....	64
3.6.1. Méthode dynamique : échantillonneur-bloqueur.....	65
3.6.2. Méthode non-volatile : mémoire à grille flottante.....	68
3.6.2.1. Mise en conduction de l'isolant par un faisceau UV.....	70
3.6.2.2. Injection de porteurs chauds.	71
3.6.2.3. Effet tunnel.	73
3.7. Réglage de la topologie.	76
4. Synthèse des différentes conductances ioniques.....	77
4.1. Structure générale.....	77
4.2. Détails des différentes conductances ioniques implémentées.....	79
4.2.1. Sodium Na et potassium K.....	79
4.2.2. Courants de fuite, stimulation et compensation.	79
4.2.3. Calcium Ca et potassium calcium dépendant K(Ca).....	80
4.2.4. Synapse.....	81
4.3. Relations d'étalonnage pour les différents paramètres.	81
5. Avantages comparés de la résolution analogique.	84
CHAPITRE III : CIRCUITS INTÉGRÉS RÉALISÉS.....	89
1. Introduction.....	91
2. Circuits "susie" et "calvin" : valorisation des travaux de l'équipe neurone.	92
2.1. Circuit "susie".....	92
2.2. Circuit "calvin".....	93

2.3. Principe de fonctionnement et relations d'étalonnage.....	94
2.3.1. Synthèse de la sigmoïde.....	95
2.3.2. Résolution de l'équation différentielle - intégrateur.....	96
2.3.3. Puissances.....	97
2.3.4. Multiplieurs de sorties.....	97
2.3.5. Amplificateur de sortie et conductance de fuite.....	98
2.3.6. Courant de stimulation et de compensation.....	99
2.3.7. Calcium-dépendance.....	99
2.4. Méthode de test des circuits.....	99
3. Circuit "babar" : mémoires à grille flottante.....	100
3.1. Bibliographie et choix technologiques.....	100
3.1.1. Mécanisme d'injection.....	100
3.1.2. Dispositif tunnel.....	101
3.1.3. Méthode de programmation.....	101
3.1.4. Dispositif de lecture et organisation des cellules.....	104
3.2. Description et fonctionnement du circuit.....	105
3.2.1. Organisation du circuit.....	105
3.2.2. Organisation de la matrice de mémoires.....	106
3.2.3. Etages haute tension.....	108
3.2.4. Dessins des différents injecteurs tunnel.....	110
3.3. Résultats et perspectives.....	110
3.3.1. Cycles de programmation.....	110
3.3.2. Comparaison détaillée de l'efficacité d'injection.....	113
3.3.3. Conclusions.....	114
4. Circuit "annie" : mémorisation par échantillonneur-bloqueur.....	115
4.1. Cahier des charges.....	115
4.2. Description du circuit.....	116
4.2.1. Cellule mémoire.....	116
4.2.2. Partie logique.....	117
4.3. Mesures.....	119
5. Circuit "fpca-r" : Field Programmable Conductance Array.....	123
5.1. Cahier des charges.....	123

5.2. Conception des échantillonneurs-bloqueurs et des multiplexeurs.	127
5.2.1. Echantillonneurs-bloqueurs.....	127
5.2.2. Multiplexeurs analogiques.	129
5.3. Description de la logique.....	131
5.3.1. Schémas d'application.	133
5.3.2. Gestion du compteur externe.....	135
5.3.3. Gestion de la SRAM.	135
5.4. Remarques sur la réalisation pratique.	136
CHAPITRE IV : MISE EN ŒUVRE ET APPLICATIONS	139
1. Introduction.....	141
2. "Vortex" : banc de simulation analogique.	141
2.1. Principe.....	142
2.1.1. La carte mère.	142
2.1.2. Carte fille "ernest".	144
2.1.3. Logiciel.....	145
2.2. Premier exemple : modélisation de la boucle thalamique TC-nRt.....	146
2.2.1. Fonction de la boucle thalamique.....	147
2.2.2. Modélisation et simulation de la boucle.....	148
2.3. Deuxième exemple : augmentation de la vitesse de calcul.	152
3. Méthode des réseaux hybrides.	156
3.1. Principe et historique.....	156
3.2. Interface artificiel-biologique.....	158
3.2.1. Méthodes classiques : microélectrodes intra et extracellulaire simples.	159
3.2.2. Matrice de microélectrodes.	161
3.2.3. Microélectrode active implantable.	162
3.2.4. Lien bidirectionnel au niveau du silicium.	163
3.3. Premier exemple : étude in vitro de la boucle thalamique.	164
3.4. 2 nd exemple : étude des capacités de réorganisation du réseau cortical in vivo.	168
4. "Microneurone", outil didactique.....	170
4.1. Choix et principe de fonctionnement.	171
4.1.1. Mise en route.	173

4.1.2. Mode de fonctionnement	173
4.1.2.1. Mode normal	173
4.1.2.2. Mode esclave.....	174
4.1.2.3. Logiciel.....	175
4.2. Utilisation de "microneurone" pour le test de l'ASIC "susie"	176
4.3. Exemples de modèles.....	179
4.4. "Microneurone" version 2.0.....	180
5. Futur calculateur analogique programmable.....	181
5.1. Conception du futur banc de simulation analogique.....	181
5.1.1. Description du simulateur.....	182
5.1.2. Organisation du bus analogique.....	184
5.2. Prototype utilisant deux circuits "fpca-r".....	186
5.3. Mesures électriques.....	187
5.3.1. Sigmoïde.....	187
5.3.2. Paire entrecroisée et multiplieur "beta-immune".....	188
5.3.3. Constante de temps des intégrateurs.....	189
5.3.4. Temps de maintien des mémoires analogiques.....	190
5.4. Exemples de modèles.....	191
5.4.1. Un neurone à deux conductances.....	191
5.4.2. Un neurone à trois conductances.....	192
5.4.3. Réalisation de synapses avec les deux circuits.....	192
CONCLUSIONS ET PERSPECTIVES.....	195
REFERENCES BIBLIOGRAPHIQUES	197
ANNEXES	209
Annexe A : procédé de fabrication de la technologie AMS BiCMOS 0,8 μm	211
Annexe B : organisation de la RAM de données pour le circuit fpca-r.....	213
Annexe C : brochages des différents ASICS réalisés.....	215
Annexe D : brochages des connecteurs du banc de simulation analogique.....	217
Annexe E : carte ERNEST.....	219

INTRODUCTION GENERALE.

Modélisation et simulation sont devenues des outils classiques et indispensables de la microélectronique. Son essor, que nous pouvons constater tous les jours, n'a en effet été possible que grâce à ces techniques qui servent quotidiennement pour la conception des "puces" électroniques. Il nous faut cependant garder à l'esprit que c'est là le résultat d'une longue évolution et que la modélisation des composants microélectroniques reste un outil vivant et en perpétuelle amélioration.

En revanche, dans le domaine de la neurophysiologie, c'est encore l'approche expérimentale qui prédomine. La modélisation de l'activité neuronale et la mise en œuvre des modèles qui en sont issus, c'est-à-dire la simulation, y sont des instruments de recherche destinés à aider à la compréhension des phénomènes observés. Une technique expérimentale originale utilisant ces outils est intitulée "technique des réseaux hybrides". Elle consiste à faire interagir des neurones artificiels, calculés à partir de modèles mathématiques, avec des neurones vivants. La partie artificielle est contrôlée par l'expérimentateur qui dispose ainsi d'une puissante méthode d'étude. Une des difficultés majeure de mise en œuvre tient dans la nécessité de résoudre en temps réel les équations constituant la partie artificielle. La voie que nous avons choisie pour la réalisation de cette tâche est de concevoir et d'utiliser des calculateurs analogiques. C'est l'objet du travail présenté dans ce manuscrit.

Cette démarche constitue l'axe de recherche "Neurones Artificiels sur Silicium" développé au laboratoire de microélectronique IXL. Actuellement, deux laboratoires de neurobiologie participent également à ce projet, l'unité INSERM E.9914 "Physiopathologie des Réseaux Neuronaux Médullaires" de l'institut de neurosciences François MAGENDIE à Bordeaux et l'unité UPR CNRS 2191 "neurosciences intégratives et computationnelles" de l'institut Alfred FESSARD à Gif sur Yvette.

Nous sommes dans la continuité d'un thème de recherche et deux thèses ont déjà été présentées sur ce sujet [DUPEYRON 98], [LAFLAQUIERE 98]. Denis Dupeyron a démontré la faisabilité du projet et réalisé un premier démonstrateur opérationnel. Arnaud Laflaquière a mis au point et construit un système complet, ouvrant les portes aux premières expériences

hybrides. Notre contribution est double, elle porte, d'une part, sur l'exploitation des résultats antérieurs du groupe et, d'autre part, sur la conception de nouveaux circuits visant à encore améliorer les performances et la flexibilité de nos neurones artificiels. Conséquence de cette double orientation, l'articulation logique que nous avons choisie pour présenter nos travaux, et que nous allons maintenant détailler, ne correspond pas tout à fait à la chronologie de réalisation.

Le premier chapitre traite des notions de neurobiologie indispensables à la compréhension de ce manuscrit. C'est logiquement notre point de départ puisque nous y abordons différents modèles mathématiques de l'activité neuronale parmi lesquels nous choisissons celui que nous allons utiliser, le formalisme de Hodgkin Huxley. Nous citons aussi dans ce chapitre quelques logiciels de simulation numérique qui servent à la résolution de ces formalismes.

Malgré l'existence de ces logiciels spécifiques, nous avons opté pour une approche différente, le calcul analogique. Nos simulateurs sont donc des circuits intégrés analogiques et sont réalisés par implémentation directe des équations qui constituent le formalisme choisi. Nous avons opté pour une approche modulaire, chaque opérateur nécessaire à la résolution est conçu comme un élément d'une bibliothèque de calcul analogique dans laquelle nous puiserons pour assembler le circuit complet. La conception de ces opérateurs fait l'objet du chapitre II et nous permet de faire apparaître clairement les avantages de la résolution analogique que nous comparons à des méthodes numériques, mais aussi de justifier notre approche.

Le chapitre III a pour but de présenter les circuits intégrés réalisés. Une première catégorie est conçue à partir de la bibliothèque analogique conçue par A. Laflaquière et à ce titre constitue une exploitation des travaux du groupe. Une deuxième catégorie représente des circuits de tests destinés à la validation de "mémoires analogiques", éléments de la nouvelle bibliothèque présentée au chapitre II. Elle est pleinement exploitée par le dernier circuit présenté qui constitue un calculateur analogique programmable et reconfigurable destiné à apporter une amélioration de la souplesse d'utilisation par rapport aux versions précédentes.

Enfinement nous terminons ce document au chapitre IV par la description des systèmes de simulation conçus autour de ces circuits ainsi que des exemples de mise en œuvre. Deux simulateurs utilisent les circuits de l'ancienne bibliothèque, le premier étant particulièrement destiné à la réalisation des réseaux hybrides et le second, plus simple, à des applications pédagogiques. Des protocoles de manipulations et des résultats expérimentaux obtenus dans les laboratoires de neurobiologie associés illustrent ce chapitre. Enfin, un troisième système est conçu pour évaluer les nouveaux circuits et constitue les prémisses d'un futur banc de simulation analogique dont nous proposons une description.

CHAPITRE I

ELEMENTS DE NEUROBIOLOGIE ET DE MODELISATION NEUROPHYSIOLOGIQUE.

1. Introduction.....	13
2. Anatomie du neurone.....	13
3. Principes établis de la conduction nerveuse.....	15
3.1. Le neurone, conducteur électrique.....	15
3.2. Mécanisme membranaire actif : potentiel d'action.....	18
3.3. Connexions et réseaux, fonctionnement des synapses.....	20
3.4. Propriétés émergentes des réseaux.....	22
4. Modélisation et simulation des mécanismes nerveux.....	22
4.1. Propriétés statiques de l'arborescence dendritique : équation de propagation.....	24
4.2. Modélisation des mécanismes membranaires actifs.....	24
4.2.1. Formalisme de Hodgkin et Huxley.....	25
4.2.2. Simplifications du formalisme de Hodgkin et Huxley.....	28
4.2.3. Modèles stochastiques, chaînes de Markov.....	29
4.3. A propos des méthodes d'extraction des paramètres de modèles.....	30
4.3.1. Voltage imposé ("voltage-clamp").....	31
4.3.2. "Patch-clamp" et enregistrement d'un canal unique.....	32
4.4. Simulation numérique.....	34
5. Conclusions.....	35

1. INTRODUCTION.

Les neurones sont directement à l'origine du traitement et du transport de l'information nerveuse. Ils intègrent les informations qu'ils reçoivent et les transmettent sous forme de signaux électriques. Cette activité électrophysiologique est due à des protéines laissant passer sélectivement certains ions au travers de la membrane plasmique de la cellule.

Les neurones sont donc des cellules spécialisées que l'on retrouve dans tous les organismes animaux évolués. Ainsi notre cerveau en comporte plus de 100 milliards, et, par exemple, le système nerveux du ver *Caenorhabditis Elegans* seulement 300. Avec si peu de neurones, *C. Elegans* reste néanmoins une espèce animale au comportement fort complexe [EDGLEY].

Malgré la grande disparité de l'organisation nerveuse des différentes espèces animales, les neurones qui la constituent présentent de grandes similitudes dans leurs structures et leurs fonctionnements individuels. Véritables briques élémentaires de la vie évoluée, leur étude est indispensable à la compréhension des mécanismes du cerveau humain.

Nous allons présenter ici quelques éléments de base des propriétés des neurones ainsi que les principaux modèles de leur activité électrophysiologique. Ces informations seront nécessaires à la compréhension du travail présenté dans le reste du manuscrit et préciseront la terminologie que nous employons.

2. ANATOMIE DU NEURONE.

Le neurone est une cellule spécialisée qui comprend toutes les caractéristiques d'une cellule classique. Son corps cellulaire, ou soma, comporte les mêmes organites et éléments cytoplasmiques que les autres cellules de l'organisme. Ils sont indispensables à "l'usine" cellulaire : par exemple le noyau contenant l'ADN, des mitochondries sources d'énergie, etc...

Ces capacités de transport et de traitement de l'information proviennent de sa structure et de ses interconnexions, de ses propriétés électriques et sécrétrices. Ce sont ces caractéristiques spécifiques qui nous intéressent plus particulièrement.

La figure 1-1 illustre la grande diversité de l'anatomie des neurones entre différentes espèces ou au sein d'un individu pour une espèce donnée. Bien que la morphologie des neurones soit variable, des caractéristiques communes se dégagent : du corps cellulaire partent deux types de prolongements, les dendrites et l'axone.

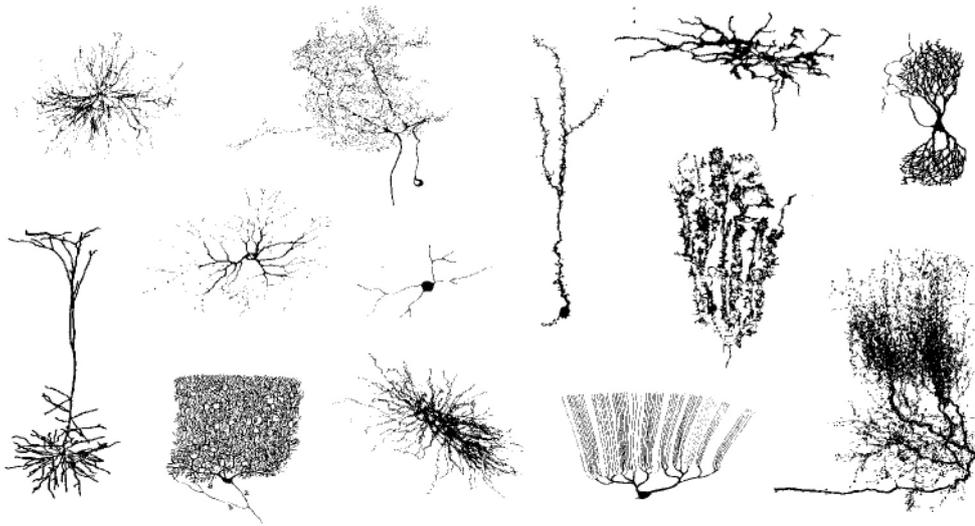


Figure 1-1 : illustration de la diversité des cellules nerveuses, échelles variées [KOCH 99].

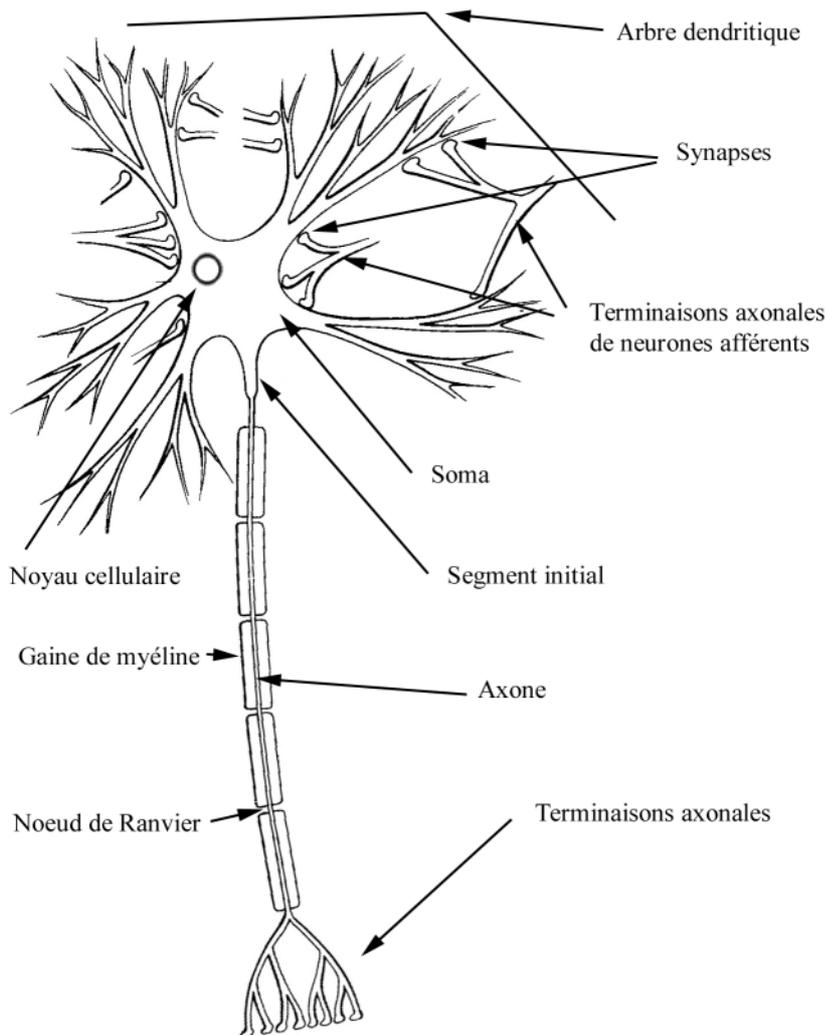


Figure 1-2 : vue schématique d'un neurone.

Les dendrites forment une structure arborescente dense qui prend naissance sur le soma. A l'opposé l'axone se projette en un cylindre régulier de longueur variable, se divisant le plus souvent à son extrémité terminale (figure 1-2).

Classiquement, il est considéré que l'arbre dendritique collecte les informations provenant des neurones afférents, les points de contact étant appelés synapses, et qu'elles sont traitées au niveau du corps cellulaire, plus particulièrement dans le segment initial, puis transmises par l'axone aux neurones suivants. Les terminaisons synaptiques de l'axone sont ainsi en contact avec les arbres dendritiques, voir même le soma, de nombreuses cellules cibles [HAMMOND 90].

C'est cette anatomie arborescente du neurone qui autorise l'organisation en réseaux denses et complexes où se propage l'information. Voyons maintenant la nature et l'origine des signaux nerveux.

3. PRINCIPES ETABLIS DE LA CONDUCTION NERVEUSE.

3.1. Le neurone, conducteur électrique.

La membrane plasmique qui délimite le neurone est composée d'une bicouche lipidique. Elle assure la rigidité cellulaire, mais forme aussi un isolant électrique qui sépare le milieu intracellulaire du reste de l'organisme. En raison de sa composition en particules chargées, principalement les ions sodium Na^+ et potassium K^+ mais aussi calcium Ca^{2+} et chlorure Cl^- , le milieu intracellulaire est conducteur. Les fibres nerveuses forment donc des fils électriques au sens où on l'entend habituellement, un conducteur entouré d'un isolant.

Le milieu externe est lui aussi conducteur et de ce fait la membrane forme le diélectrique d'un condensateur dont les deux armatures sont les milieux intra et extracellulaire.

La membrane ne constitue cependant pas un isolant parfait et il existe un courant de fuite qui la traverse. Il est dû à la présence de protéines spécifiques incrustées au travers de la membrane, elles forment des canaux qui permettent la diffusion des différentes espèces ioniques.

Une seconde catégorie de protéines maintient une différence de concentrations ioniques entre le milieu intra et extracellulaire. Ce transport actif est un véritable pompage qui se fait au prix

d'une dépense énergétique, mais le gradient ionique qui en résulte permet la diffusion passive au travers des protéines canal (voir figure 1-3) [HAMMOND 90].

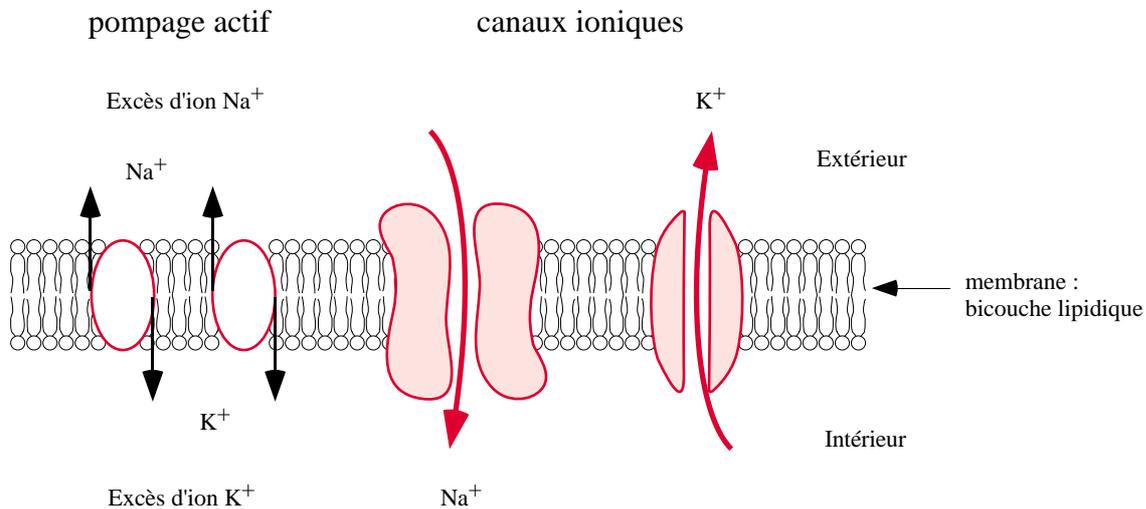


Figure 1-3 : vue schématique de la membrane plasmique neuronale. Le pompage actif maintient une différence de concentration des espèces ioniques de part et d'autre de la membrane permettant un transport passif par diffusion au travers des canaux ioniques.

A l'équilibre du système et dans l'hypothèse d'une imperméabilité totale de la membrane aux différentes espèces ioniques, leurs concentrations de part et d'autre de cette barrière sont soumises à deux contraintes :

- Electroneutralité, dans les deux milieux les charges positives et négatives sont égales.
- Equilibre osmotique, les concentrations totales de particules intra et extracellulaire sont identiques.

Dans ces conditions et malgré la différence de concentrations ioniques maintenue constante par le transport actif, la tension transmembranaire (différence entre les potentiels intra et extracellulaire) est nulle.

Supposons maintenant que la membrane soit perméable à un seul type d'ion. Cette fois, l'équilibre entre la diffusion et le transport électrostatique se traduit par un potentiel transmembranaire non nul dont la valeur est donnée par la loi de Nernst-Planck :

$$E_{\text{ion}} = \frac{R T}{Z F} \ln \left(\frac{[\text{ion}]_e}{[\text{ion}]_i} \right) \quad (1.1)$$

avec - R constante des gaz parfait,
 - T température absolue,

- Z valence de l'ion,
- F constante de Faraday,
- $[ion]_e$ et $[ion]_i$ concentrations interne et externe de l'ion.

Pour la membrane réelle, en raison de la présence de différentes espèces ioniques et de canaux ioniques plus ou moins spécifiques à ces ions, la tension transmembranaire s'établit au repos à une valeur qui est la moyenne des potentiels d'équilibre de chaque ion, pondérée par la résistivité qui leur est associée.

Les milieux intra et extracellulaire restent globalement neutres en volume, le potentiel d'équilibre non-nul se traduisant par une accumulation de charges surfaciques sur les deux armatures du "condensateur biologique" que forme la membrane.

Finalement un segment de fibre nerveuse apparaît comme un réseau RC distribué (Figure 1-4) capable de transmettre un signal électrique [KOCH 99].

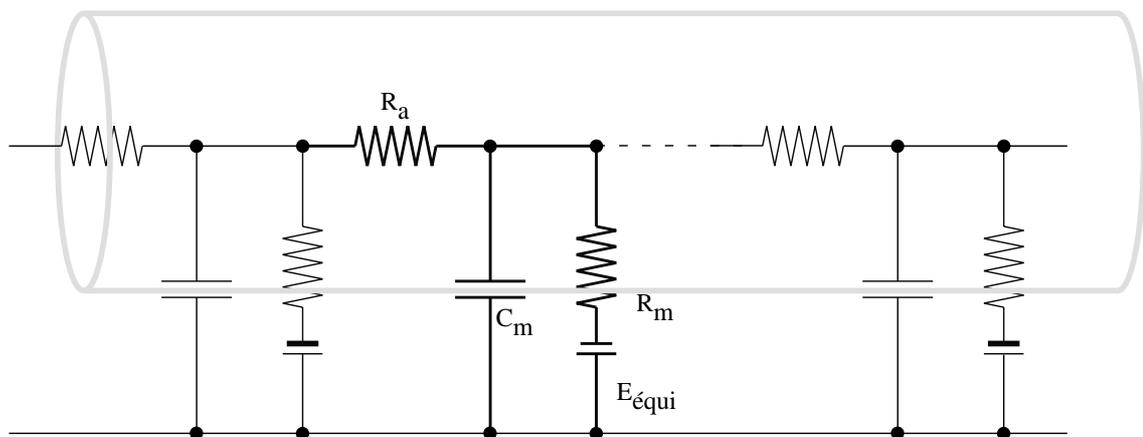


Figure 1-4 : équivalent électrique distribué d'une fibre nerveuse passive. Le milieu intracellulaire est modélisé par une résistance R_a , la membrane par un condensateur imparfait constitué d'une capacité C_m en parallèle avec une résistance de fuite R_m et une source de tension $E_{équi}$.

La forte atténuation de signal qu'engendre un tel système est cependant incompatible avec les mesures faites ailleurs que dans l'arborisation dendritique. De fait, il existe un autre mécanisme membranaire, que l'on retrouve principalement au niveau du soma et de l'axone.

3.2.Mécanisme membranaire actif : potentiel d'action.

Ce mécanisme permet l'amplification et la régénération des signaux électriques véhiculés par le neurone, il provient des propriétés de canaux ioniques spécifiques et sélectifs principalement présents dans le segment initial et l'axone. Ces canaux sont perméables à une seule catégorie d'ion et cette perméabilité dépend de la tension transmembranaire au niveau de la protéine. Ces canaux sont dits voltage dépendants. Notons que la présence de ce type de canaux a aussi été mise en évidence sur des dendrites [MAGEE 98].

Il convient donc, pour ces parties du neurones, de compléter notre représentation électrique locale de la membrane active (figure 1-5). Pour chaque famille ionique il nous faut ajouter une résistance non linéaire modélisant leur diffusion au travers de leurs canaux spécifiques en série avec un générateur de tension dû à leur potentiel d'équilibre (équation 1.1).

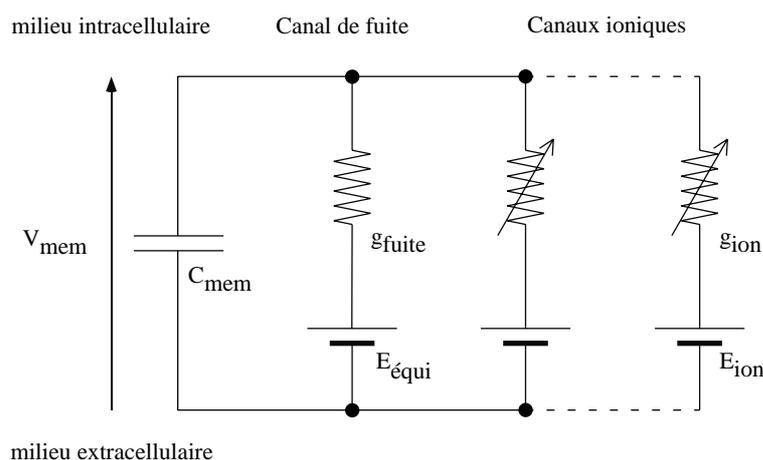


Figure 1-5 : équivalent électrique de la membrane plasmique active.

Ces nouvelles protéines et leurs propriétés donnent naissance à un phénomène électrique se propageant sans atténuation le long de l'axone : le potentiel d'action. Son mécanisme est illustré par la figure 1-6 et correspond aux phases suivantes :

- Phase ascendante, dépolarisation :

la membrane est dans son état de repos à un potentiel négatif de l'ordre de -65 mV dû aux différences de concentrations ioniques de part et d'autre de la membrane. Si une stimulation induit la dépolarisation de la membrane (A) elle déclenche l'ouverture rapide des canaux Na^+ . L'entrée d'ions Na^+ continue de dépolariser la membrane même après l'arrêt de la stimulation qui n'a servi qu'à franchir le seuil de déclenchement, forçant la

membrane hors de son état d'équilibre (B). Le potentiel ne croît cependant pas jusqu'au potentiel d'équilibre du sodium, car très vite les processus mis en jeu lors de la redescente du potentiel d'action entrent en action.

- Phase descendante, repolarisation :

deux facteurs jouent dans la repolarisation de la membrane, l'inactivation des canaux Na^+ et l'ouverture retardée des canaux K^+ .

La dépendance au potentiel membranaire induit pour la valeur atteinte le blocage des canaux sodiques. Le courant de fuite commence alors à repolariser la membrane (C). D'autre part, toujours grâce au potentiel atteint, les canaux potassiques s'ouvrent avec un certain délai et induisent un courant K^+ sortant accélérant le phénomène (C').

- Hyperpolarisation transitoire :

le délai de changement d'état des canaux potassique se retrouve à leur fermeture et provoque une hyperpolarisation de la membrane, jusqu'à ce que la fermeture complète de ces canaux se traduise par un retour à la valeur initiale (D).

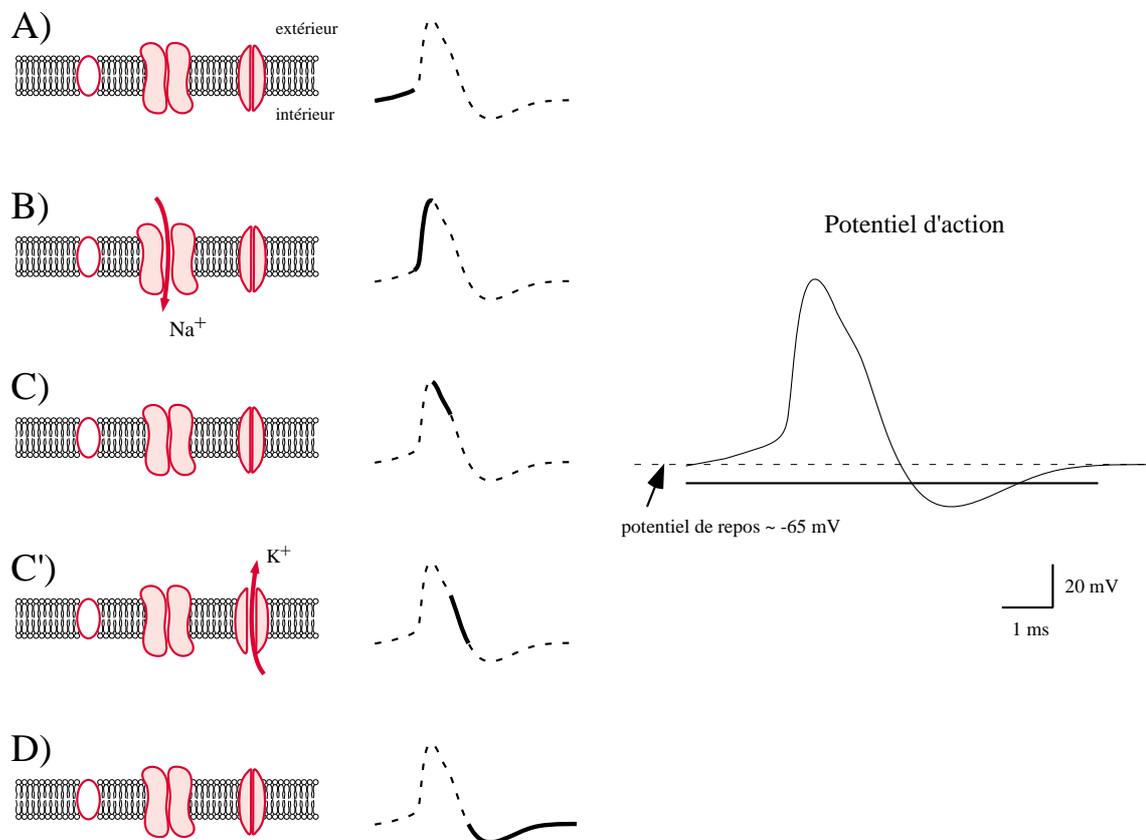


Figure 1-6 : mécanismes à l'origine du potentiel d'action.

Si les courants provenant de l'arbre dendritique dépolarisent la membrane au niveau du segment initial jusqu'à franchir le seuil de déclenchement, des potentiels d'action y prennent naissance et se propagent le long de l'axone sans atténuation.

Deux espèces ioniques, Na^+ et K^+ , sont suffisantes pour expliquer la génération et la propagation des potentiels d'action tel que nous les avons décrits. Cependant, suivant les cellules, d'autres espèces associées à leurs canaux spécifiques viennent moduler cette activité et il est possible d'observer des variations de tension membranaire de formes bien plus complexes que la répétition périodique de potentiels d'action [LLINAS 88]. Nous en verrons des exemples au chapitre IV.

3.3. Connexions et réseaux, fonctionnement des synapses.

Les neurones "calculent" : par leurs morphologies et leurs propriétés membranaires, ils traitent et transfèrent les informations provenant de cellules sensibles et en retour contrôlent, par exemple, une activité musculaire. Dans notre description nous avons, jusqu'à présent, tout juste mentionné l'élément primordial à la constitution des réseaux ainsi constitués : les synapses.

Points de liaison entre les terminaisons axonales du neurone afférent et les cellules cibles au niveau de leur arbre dendritique ou de leur soma (voir figure 1-2), ce sont elles qui assurent le transfert de l'information entre neurones.

Dans certaines conditions de proximité, l'échange peut se faire par le biais de canaux situés en vis-à-vis dans chaque membrane pré et postsynaptique. La différence de potentiel entre les milieux intracellulaires des deux cellules se traduit par un courant ionique proportionnel qui passe par ces canaux. La synapse apparaît comme une simple conductance constante entre les deux neurones et elle est alors qualifiée d'électrique.

La communication entre neurones est cependant le plus souvent due à un phénomène électrochimique complexe qu'illustre la figure 1-7.

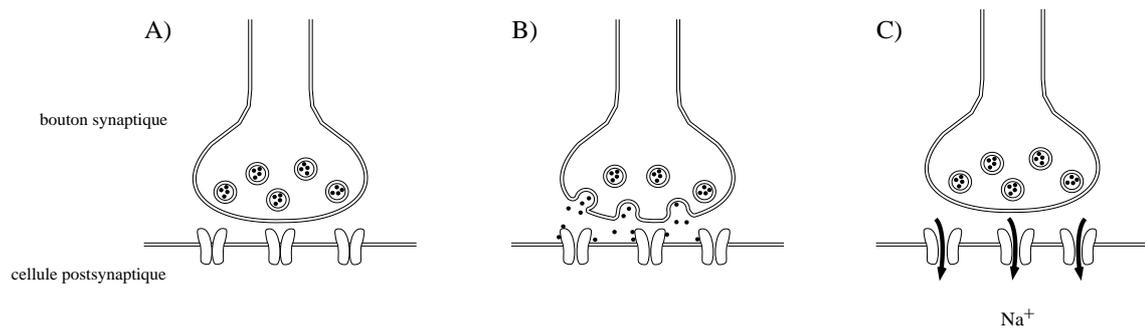


Figure 1-7 : synapse électrochimique. A) un potentiel d'action arrive à un bouton terminal de l'axone de la cellule présynaptique. B) il provoque la libération d'un neurotransmetteur dans la fente synaptique par exocytose des vésicules contenues dans le bouton. C) Le neurotransmetteur provoque, par exemple, l'ouverture de canaux sodiques et donc une dépolarisation de la cellule postsynaptique.

L'activité électrique dans la cellule présynaptique agit sur des vésicules situées dans la terminaison et provoque la libération dans la fente synaptique des molécules qu'elles contiennent. Cette substance, dite neurotransmetteur, va agir, directement ou indirectement, sur les canaux ioniques de la cellule postsynaptique et y provoquer une injection de courant. L'action est directe quand le canal est sensible au neurotransmetteur, indirecte quand il est sensible à une seconde substance libérée dans la cellule postsynaptique par l'action du neurotransmetteur.

Des mécanismes biochimiques complexes sont impliqués dans ce phénomène et un grand nombre de neurotransmetteurs ont été identifiés. Suivant la nature des canaux influencés, le courant induit peut être entrant ou sortant et la membrane postsynaptique dépolarisée ou, au contraire, hyperpolarisée. En fonction de son neurotransmetteur et des récepteurs-canaux associés, une synapse chimique peut donc être excitatrice ou inhibitrice. Citons quelques exemples de neurotransmetteurs :

- Excitateurs (entraînant une dépolarisation) :
acétylcholine ACh, les acides aminés Glutamate et aspartate.
- Inhibiteurs (entraînant une hyperpolarisation) :
acides aminés GABA et glycine.

Enfin les monoamines adrénaline, noradrénaline, dopamine, sérotonine et histamine ainsi qu'une longue liste de peptides agissent en modulant la conductance des récepteurs-canaux et leur présence est souvent associée à celle des neurotransmetteurs excitateurs ou inhibiteurs.

L'efficacité d'une synapse est fortement impliquée dans la façon dont le réseau traite l'information. Sa capacité à changer cette efficacité au cours du temps, souvent qualifiée de plasticité synaptique, est sans doute à l'origine de nombre des propriétés du réseau dans son ensemble [ITO 94].

3.4. Propriétés émergentes des réseaux.

Les mécanismes que nous venons d'effleurer ne sont que les supports physiques de l'information qui circule dans un réseau de neurone, et leurs liens avec les propriétés du réseau ne sont pas toujours évidents. Mais quelles sont ces propriétés ?

Le cerveau humain calcule, il résout en permanence, consciemment ou non, les problèmes que pose l'afflux d'informations provenant de nos innombrables "capteurs" pour fournir une réponse appropriée à la situation.

La première question est, quel est le code de cette information ? Si un tel code existe, il devrait nous permettre, par exemple, à la lecture de l'activité cellulaire d'une cellule sensible de reconstruire son excitation [RIEKE 96], [MAAS 99].

Le calcul implique souvent la comparaison avec des informations de référence, et donc la mémorisation, comment se fait-elle et à quel niveau du réseau ?

Les mécanismes de mémorisation sont intimement liés à l'apprentissage, à notre capacité à nous adapter à notre environnement.

Codage, mémorisation, apprentissage, voilà quelques-unes des questions auxquelles tente de répondre la recherche en neurosciences. Mais il en est bien d'autres comme, par exemple, comment se forme un tel réseau à partir de cellules embryonnaires indifférenciées ? Le "plan de câblage" est-il inscrit dans nos gènes ? Le cerveau humain peut-il s'étudier lui-même ?

En espérant une réponse positive à cette dernière question métaphysique, plusieurs approches sont imaginables pour aborder cette tâche immense. L'idée que de l'étude du comportement individuel d'un neurone et de ses connexions jaillira la lumière sur le fonctionnement de l'ensemble d'un réseau est dite stratégie ascendante. Elle implique la modélisation et souvent la simulation des propriétés électrochimiques du neurone.

4. MODELISATION ET SIMULATION DES MECANISMES NERVEUX.

Modélisation et simulation sont étroitement liées à l'histoire des sciences. L'astronomie, sans doute la première activité scientifique de l'Homme, en est le parfait exemple. Depuis que

l'homme observe les astres, il cherche à quantifier leurs trajectoires et se sert de ces résultats pour faire toutes sorte de découvertes et de prédictions [KOESTLER 59].

Les sciences et techniques modernes en font un usage permanent, par exemple, l'essor de la microélectronique est indissociable de la simulation informatique.

Dans ces cas, la simulation est devenue un outil de conception, mais qu'en est-il en neurobiologie où il n'est pas (encore) question de concevoir un cerveau artificiel mais tout juste de comprendre son fonctionnement. A la question de l'intérêt de la modélisation pour les neurosciences, G. Le Masson [LE MASSON 98a] répond en présentant trois grandes classes (non exhaustives) de problèmes qu'elle est susceptible d'aborder :

- La validation de la cohérence logique d'une hypothèse :

"Dans ce type de problème, on cherche à vérifier le plus systématiquement possible, la cohérence logique d'une hypothèse complexe. Le plus souvent, un ensemble de résultats expérimentaux suggère à l'expérimentateur un modèle "mental" permettant d'expliquer les résultats. La formalisation mathématique de ce modèle et son application informatique vont permettre une "reconstruction" du système étudié et une reproduction des résultats selon une procédure formelle et systématique qui valide la "logique interne" du modèle développé. (...) Un second aspect, qui sans être un danger est toutefois une faiblesse, est qu'il s'agit souvent d'une modélisation peu imaginative car, par construction, enfermée dans les hypothèses initiales. Il est rare qu'un modèle théorique démasque une incohérence qu'une réflexion profonde à la lumière de données expérimentales consistantes n'ait trouvée. Cependant, plus les systèmes étudiés auront une dynamique complexe, plus les conséquences des différentes hypothèses seront difficiles à voir par la seule réflexion, et plus la modélisation pourra et devra jouer ce rôle de validation logique."

- Réalisation de prédictions expérimentales :

"Cet objectif de prédiction est la suite logique de la validation. En effet, après avoir reproduit un résultat déjà obtenu par l'expérience, on cherche à étudier les conséquences non connues de nos hypothèses. La capacité de prédiction est un objectif fondamental de toute théorie des Neurosciences. Le seul impératif de ces prédictions est l'absolue nécessité de la validation expérimentale de ces prédictions. Le corollaire de cette nécessité est que la prédiction doit

être dans sa formulation de même nature, c'est-à-dire intéressant les mêmes paramètres que les données expérimentales. Plus simplement, une prédiction doit être testable par l'expérience."

- La modélisation comme générateur d'hypothèses :

"Il est possible de réaliser par des méthodes théoriques un cheminement logique inverse en partant d'un résultat expérimental donné pour générer en retour des hypothèses compatibles avec ce résultat."

4.1. Propriétés statiques de l'arborescence dendritique : équation de propagation.

La modélisation des propriétés passives de l'arborescence dendritique est présentée à la figure 1-4.

Cette structure est identique à celle d'un câble électrique et l'évolution de V_{mem} en fonction du temps t et de la position x le long de la fibre dendritique est décrite par les mêmes équations que celles utilisées pour les câbles télégraphiques :

$$\lambda^2 \frac{\partial^2 V_{\text{mem}}(x, t)}{\partial x^2} = \tau_m \frac{\partial V_{\text{mem}}(x, t)}{\partial t} + (V_{\text{mem}}(x, t) - E_{\text{équi}}) - R_m I_{\text{inj}}(x, t) \quad (1.2)$$

avec : $\lambda = \sqrt{\frac{R_m}{R_a}}$,

$$\tau_m = R_m C_m.$$

$I_{\text{inj}}(x, t)$ représente l'expression générale d'un courant injecté dans la fibre, il peut provenir d'une autre branche de l'arbre dendritique ou encore d'une jonction synaptique [KOCH 99].

4.2. Modélisation des mécanismes membranaires actifs.

Nous avons montré comment la présence de canaux ioniques à l'activité voltage-dépendante donne de nouvelles propriétés à la membrane. Nous allons décrire mathématiquement les propriétés de ces canaux.

4.2.1. Formalisme de Hodgkin et Huxley.

La première description est celle proposée par Hodgkin et Huxley [HODGKIN 52a]. Ces auteurs ont proposé un modèle expérimental pour décrire le comportement des canaux ioniques sodique et potassique dans le cas d'axones géants de calmar.

Le modèle électrique est celui présenté à la figure 1-5 avec trois courants membranaires, la conductance de fuite est constante et les conductances sodique et potassique sont non-linéaires. La variation de la tension membranaire est alors obtenue par l'intégration de ces courants par la capacité membranaire :

$$C_{\text{mem}} \frac{dV_{\text{mem}}}{dt} + I_{\text{Na}} + I_{\text{K}} + g_{\text{fuite}} (V_{\text{mem}} - E_{\text{fuite}}) = 0 \quad (1.3)$$

Les courants ioniques étant modélisés de la façon suivante :

$$I_{\text{Na}} = \bar{g}_{\text{Na}} \cdot m^3 \cdot h \cdot (V_{\text{mem}} - E_{\text{Na}}) \quad (1.4)$$

$$I_{\text{K}} = \bar{g}_{\text{K}} \cdot n^4 \cdot (V_{\text{mem}} - E_{\text{K}}) \quad (1.5)$$

Avec m , n fonctions d'activation et h fonction d'inactivation qui modélisent la dépendance à la tension membranaire V_{mem} de ces deux courants. Ces fonctions tendent vers une valeur asymptotique en suivant une équation différentielle du premier ordre du type :

$$\tau(V_{\text{mem}}) \frac{df(t)}{dt} = f_{\infty}(V_{\text{mem}}) - f(t) \quad (1.6)$$

Les fonctions asymptotiques f_{∞} suivent une expression dite sigmoïdale :

$$f_{\infty}(V_{\text{mem}}) = \frac{1}{1 + \exp\left(\pm \frac{V_{\text{mem}} - V_{\text{seuil}}}{\text{Pente}}\right)} \quad (1.7)$$

Le signe de l'argument dans l'exponentielle est positif pour les activations m et n , négatif pour l'inactivation h . V_{seuil} et Pente sont des paramètres spécifiques à chaque fonction.

Les constantes de temps sont aussi dépendantes de la tension membranaire selon des équations plus complexes.

A partir des données originales de Hodgkin et Huxley nous avons retracé ces fonctions en inversant la polarité de V_{mem} et en décalant les potentiels pour aligner le potentiel de repos à -65 mV pour se conformer aux conventions actuelles (figure 1-8).

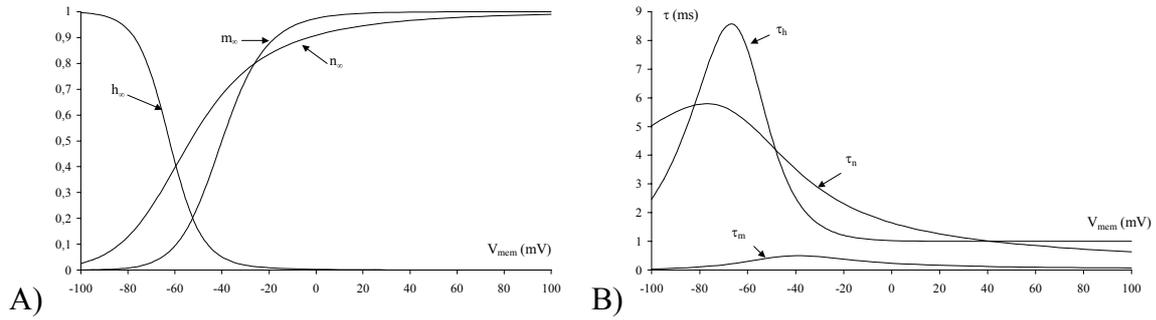


Figure 1-8 : A) dépendance à la tension membranaire des formes asymptotiques des fonctions d'activations et B) des constantes de temps. D'après [HODGKIN 52a].

Les autres paramètres (normalisés par rapport à la surface de l'axone) du modèle sont :

- Membrane :

$$C_{mem} = 1 \mu\text{F}/\text{cm}^2$$

- Canal sodium :

$$\bar{g}_{Na} = 120 \text{ mS}/\text{cm}^2, E_{Na} = 50 \text{ mV}$$

$$m_\infty = \frac{1}{1 + \exp\left(\frac{V_{mem} + 30}{9,5}\right)}, \tau_{m \max} = 0,5 \text{ ms}, h_\infty = \frac{1}{1 + \exp\left(-\frac{V_{mem} + 57}{7}\right)}, \tau_{h \max} = 8,5 \text{ ms}$$

- Canal potassium :

$$\bar{g}_K = 36 \text{ mS}/\text{cm}^2, E_K = -77 \text{ mV}$$

$$n_\infty = \frac{1}{1 + \exp\left(\frac{V_{mem} + 68}{17}\right)}, \tau_{n \max} = 5,8 \text{ ms}$$

- Canal de fuite (principalement dû aux ions chlorure) :

$$g_{fuite} = 0.3 \text{ mS}/\text{cm}^2, E_{fuite} = -54,3 \text{ mV}$$

Pour le modèle original de Hodgkin Huxley nous avons tracé l'évolution calculée de V_{mem} à partir de l'équation 1.3 ainsi que des courants sodique et potassique lors de l'injection d'un courant dépolarisant constant de $0,01 \text{ nA}/\text{cm}^2$ (figure 1-9).

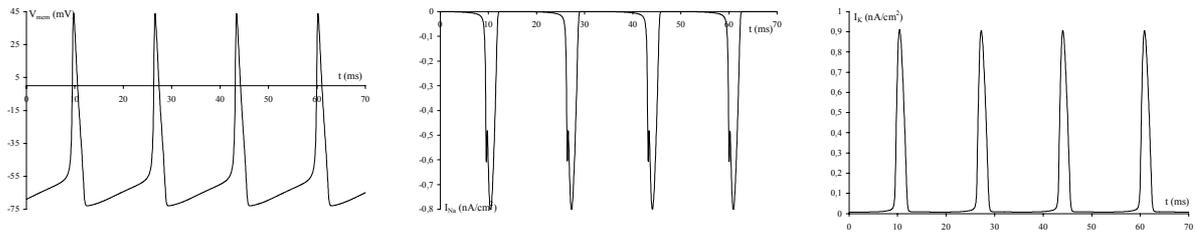


Figure 1-9 : activité tonique du modèle original de Hodgkin Huxley pour un courant dépolarisant constant de $0,01 \text{ nA/cm}^2$. Donnée obtenue avec le simulateur "neuron".

A l'origine, ce modèle empirique décrit donc l'activité d'axone géant de calmar, cependant d'autres espèces ioniques peuvent être décrites avec des équations de même type, et l'on parle alors du formalisme de Hodgkin Huxley. Il a été utilisé avec succès pour décrire un grand nombre de cellules différentes.

Ces équations peuvent être introduites dans une structure distribuée du type de la figure 1-4, mais les équations complètes deviennent alors très complexes.

Une approche plus simple pour utiliser ce formalisme consiste à considérer l'ensemble de la structure du neurone comme un compartiment isopotentiel. Le neurone a alors une représentation ponctuelle constitué d'une unique capacité membranaire en parallèle avec autant de canaux ioniques que nécessaire. Cette modélisation est dite mono-compartimentale.

Si le neurone comporte des zones où les propriétés membranaires sont trop différenciées, il est aussi possible de modéliser chacune d'entre elles avec ses paramètres propres puis de les relier par des résistances de valeurs constantes modélisant les conductances axiales des différentes parties : cette approche est qualifiée de multi-compartimentale.

Pour finir, notons que les synapses chimiques peuvent aussi être modélisées par ce formalisme. Dans ce cas le courant postsynaptique s'écrit :

$$I_{\text{syn}} = \bar{g}_{\text{syn}} \cdot m(V_{\text{mempré}}) \cdot (V_{\text{mempost}} - E_{\text{syn}}) \quad (1.8)$$

La variable d'activation m étant identique à celle décrite par (1.6) et (1.7), à la seule différence que sa valeur asymptotique m_{∞} est une fonction du potentiel membranaire de la cellule présynaptique, $V_{\text{mempré}}$, modélisant ainsi la libération voltage-dépendante des neurotransmetteurs. Le courant est ensuite calculé comme pour les autres conductances par le produit de la conductance maximale modulée par n et de la différence $(V_{\text{mempost}} - E_{\text{syn}})$, où V_{mempost} représente le potentiel transmembranaire de la cellule postsynaptique [DESTEXHE 94].

4.2.2. Simplifications du formalisme de Hodgkin et Huxley.

Le modèle original de Hodgkin Huxley est constitué d'un système couplé d'équations différentielles non linéaires comportant quatre variables : $V_{mem}(t)$, $m(t)$, $h(t)$, et $n(t)$. L'ensemble forme donc un objet mathématique très complexe qui est quasiment inexploitable en dehors d'une résolution numérique. Jusqu'à présent, aucune étude mathématique systématique n'a été réalisée [KOCH 99], [CRONIN 87].

Afin d'ouvrir les portes à ce type d'analyse, et donc à une approche qualitative, plusieurs auteurs ont proposé des réductions du formalisme de Hodgkin Huxley. Le principe général de ces modélisations est basé sur l'observation des variables définies par Hodgkin et Huxley : l'activation $m(t)$ et le potentiel $V_{mem}(t)$ évoluent de façon similaire, de même que $n(t)$ et $h(t)$ mais à une échelle plus lente. Il est donc possible de réduire à deux le nombre de variables.

Grâce à ces deux variables dynamiques, ces modèles se prêtent bien à l'analyse en espace de phases, où l'on peut représenter leur évolution dans un plan et ainsi obtenir des informations qualitatives générales sur le comportement du modèle [CRONIN 87].

Parmi ces modèles à deux dimensions nous en présentons deux exemples, mais il en existe d'autres, voir par exemple [MEUNIER 92] ou [HINDMARSH 82].

- Modèle de FitzHugh et Naguno [CRONIN 87].

$$\begin{aligned} \frac{dV}{dt} &= V - \frac{V^3}{3} - W + I \\ \frac{dW}{dt} &= \Phi(V + a - bW) \end{aligned} \quad (1.9)$$

- avec
- a , b et Φ constantes positives,
 - I courant de stimulation quelconque,
 - V potentiel de membrane,
 - W variable de repolarisation.

- Modèle de Morris et Lecar [LE MASSON 98a].

Tout comme le modèle de Hodgkin et Huxley, il possède trois canaux : un courant entrant calcique I_{Ca} , un courant sortant potassique I_K et un courant de fuite I_l :

$$\begin{aligned} I_l &= 0,5 \cdot (V + 50) \\ I_{Ca} &= \bar{g}_{Ca} \cdot \sigma\left(\frac{V+1}{7,5}\right) \cdot (V - E_{Ca}) \end{aligned}$$

$$I_K = \bar{g}_K \cdot n \cdot (V - E_K) \quad (1.10)$$

avec :

$$\frac{3}{\cos\left(\frac{V-10}{29}\right)} \frac{dn}{dt} = \sigma\left(\frac{V-10}{7,25}\right) - n$$

$$\text{et } \sigma(x) = \frac{1}{1 + \exp(-x)} \quad (1.11)$$

Il comporte donc aussi deux variables, $V(t)$ et $n(t)$.

4.2.3. Modèles stochastiques, chaînes de Markov.

Les équations que nous avons présentées jusqu'à présent supposent une activité déterministe du comportement macroscopique de la membrane. Ils modélisent les flux ioniques au travers de populations de canaux qui sont des protéines microscopiques. Or il est démontré que comme beaucoup de phénomènes naturels, et n'en déplaise à Albert Einstein, les changements de conformation qui provoquent l'ouverture de ces protéines suivent un processus aléatoire.

Ce comportement individuel du canal peut être modélisé en utilisant la théorie classique des modèles cinétiques [KOCH 88], [DESTEXHE 94], [QUB]. La protéine possède plusieurs conformations notées S_i , l'une d'entre elles correspondant à l'état ouvert qui autorise la diffusion ionique. Le passage des états S_i à S_j est réversible et se fait avec des taux r_{ij} et r_{ji} :



La proportion de canaux dans l'état S_i , notée s_i , vérifie la relation suivante :

$$\frac{ds_i}{dt} = \sum_j s_j r_{ji} - \sum_j s_i r_{ij} \quad (1.13)$$

Le passage d'un état à l'autre r_{ji} suit une statistique de Boltzmann et s'écrit :

$$r_{ij}(V_{\text{mem}}) = \exp\left(\frac{-U_{ij}(V_{\text{mem}})}{RT}\right) \quad (1.14)$$

avec : - R constante des gaz parfaits,

- T température absolue,

- $U_{ij}(V_{\text{mem}})$ barrière d'énergie entre l'état S_i et l'état S_j . Une expression linéaire de V_{mem} est le plus souvent utilisée.

Dans ces conditions les vecteurs des taux $r_{ij}(t)$ forment des objets mathématiques appelés chaînes de Markov et de ce fait ce type de modèle est souvent qualifié de markovien.

Nous pouvons revenir un instant sur le formalisme de Hodgkin et Huxley tel que nous l'avons présenté au paragraphe 4.2.1. En effet ces auteurs avaient utilisé un modèle qui apparaît comme une sous-classe des chaînes de Markov pour donner une justification physique à leur modèle. Ils n'avaient cependant à l'époque aucune preuve de l'existence des canaux ioniques et raisonnaient en terme de variation de conductivité de la membrane. La description qui suit est donc fondamentalement différente du mécanisme stochastique que nous venons de présenter en ce qu'elle s'applique au courant macroscopique et a été utilisée comme une hypothèse destinée à justifier des résultats expérimentaux.

Les fonctions m , h et n peuvent être interprétées comme des probabilités d'ouverture des familles de canaux. Pour une de ces variables, n par exemple, la transition d'un état passant à un état bloqué se fait avec les probabilités α_n et β_n :



L'évolution de n correspond à une équation du premier ordre :

$$\frac{dn}{dt} = \alpha_n (V_{mem}) \cdot (1-n) - \beta_n (V_{mem}) \cdot n \quad (1.16)$$

En réorganisant les termes de la façon suivante :

$$\tau_n = \frac{1}{\alpha_n + \beta_n}$$

$$n_\infty = \frac{\alpha_n}{\alpha_n + \beta_n} \quad (1.17)$$

Et en donnant à α_n et β_n des expressions exponentielles du type de (1.14) nous retrouvons les équations du formalisme de Hodgkin Huxley dans la forme que nous avons présentée au paragraphe 4.2.1.

4.3.A propos des méthodes d'extraction des paramètres de modèles.

Nous décrivons maintenant les méthodes expérimentales qui ont permis le développement des modèles que nous avons décrits et servent maintenant à l'extraction de paramètres pour ces modèles appliqués à de nouvelles cellules.

4.3.1. Voltage imposé ("voltage-clamp").

C'est la mise au point de cette technique par l'Américain K. C. Cole qui est à l'origine des travaux de Hodgkin et Huxley. Son principe est illustré par la figure 1-10.

Une première microélectrode intracellulaire mesure le potentiel de membrane V_{mem} . Un amplificateur injecte, par le biais d'une seconde microélectrode, un courant proportionnel à la différence entre la tension mesurée V_{mem} et la tension de référence choisie V_{ref} . Ce courant est égal au courant total qui traverse la membrane, c'est-à-dire à la somme des courants de chaque population de canaux ioniques.

Pour plus de détails sur le principe de fonctionnement des microélectrodes, on pourra se reporter au paragraphe 3.2 du chapitre IV.

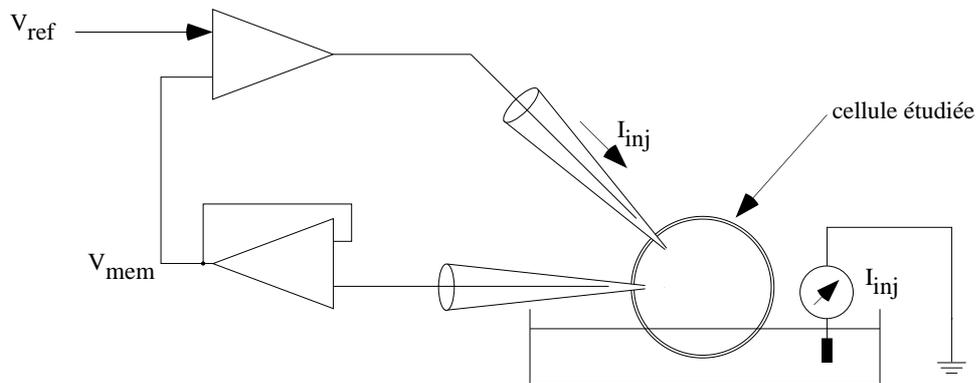


Figure 1-10 : principe de mesure en voltage imposé ("voltage-clamp").

Si l'expérimentateur applique un saut de potentiel à V_{ref} , passant du potentiel de repos E_{ion} à une valeur plus élevée, il observe la réponse des canaux ioniques au travers du courant transitoire mesuré.

L'utilisation de drogues bloquant spécifiquement certains canaux ou la suppression d'espèces ioniques du milieu extracellulaire permettent de discriminer les différentes composantes de ce courant global et il est ainsi possible d'extraire les paramètres du formalisme de Hodgkin et Huxley pour une cellule donnée (voir [HAMMOND 90]).

Exemple de protocoles couramment utilisés :

- Courants sodiques : la tetrodotoxine (TTX) isolée du poisson tétodon, bloque la plupart des types de courants sodiques.

On peut également remplacer les ions sodium par la choline qui est une molécule imperméante.

- Courants potassiques : avec une moins bonne efficacité, certaines substances sont spécifiques des courants potassiques, par exemple le tétraéthylammonium (TEA) ou la 4-aminopyridine (4 AP).

Dans le milieu extracellulaire, le sodium peut remplacer le potassium faiblement concentré, le césium est couramment utilisé dans le milieu intracellulaire.

- Courants chlores : le plus simple est de les remplacer par des ions imperméants comme les sulfates, les méthylsulfonates ou les isothionates. En effet, les inhibiteurs connus ne sont pas très spécifiques.

La technique s'applique aussi à la mesure du courant postsynaptique et donc à la caractérisation de synapses.

Beaucoup de cellules n'ont pas une taille suffisante pour que deux électrodes soient introduites à l'intérieur du corps cellulaire. Dans ce cas, il est possible de réaliser des expériences de voltage imposé avec une seule microélectrode. L'amplificateur de mesure utilise la même électrode pour mesurer V_{mem} et injecter du courant en alternant ces deux modes à une fréquence relativement élevée (3 à 20 kHz). Cette méthode reste moins précise que la technique à deux électrodes.

4.3.2. "Patch-clamp" et enregistrement d'un canal unique.

Cette technique a été mise au point par deux neurobiologistes allemands B. Sakmann et E. Neher et leur valut d'obtenir le prix Nobel de médecine en 1991.

Dérivée de la technique de voltage imposé, son principe est le suivant : la pointe d'une micropipette polie par la chaleur et d'un diamètre d'environ 1 μm est approchée au contact de la membrane d'un neurone. Une légère succion exercée à l'intérieur de la pipette entraîne la formation d'un scellement hermétique entre la membrane et la pointe de la pipette. A partir de ce moment quatre configurations sont possibles (voir figure 1-11).

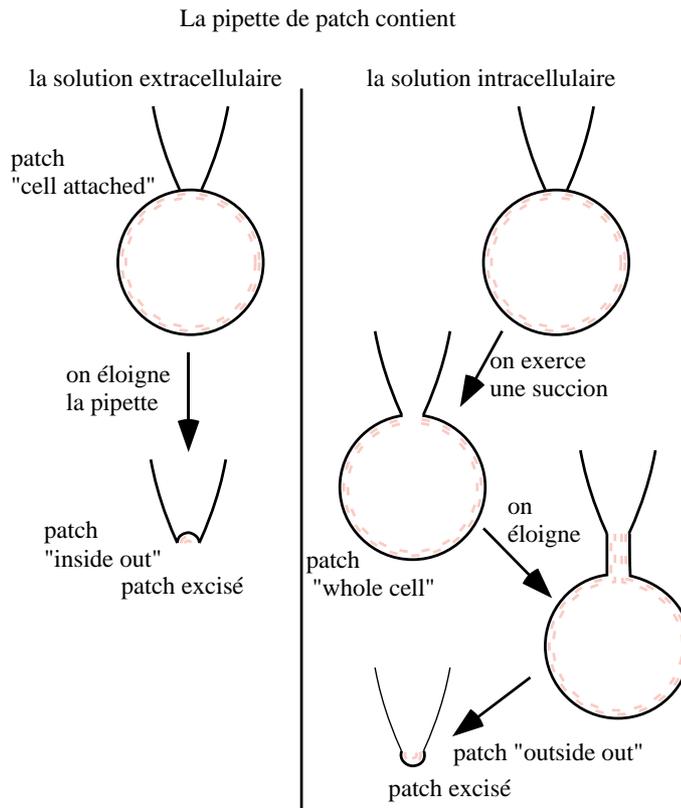


Figure 1-11 : différentes configurations de "patch-clamp" d'après [HAMMOND 90].

Parmi les avantages de cette technique, notons qu'elle autorise :

- la mesure de cellules de petite taille ne pouvant pas être empalées par une électrode de voltage imposé,
- le contrôle de la composition du milieu intracellulaire dans la plupart des configurations,
- la mesure de courants très faibles grâce à l'excellente isolation entre les milieux intérieur et extérieur de la membrane,
- la mesure du courant au travers d'un canal unique.

Ce dernier point est particulièrement intéressant, si une seule protéine canal se trouve sur l'échantillon prélevé, il est possible d'en mesurer le courant. C'est ce type de mesures qui a permis de prouver la nature statistique de l'ouverture et la fermeture des canaux. La répétition de cette expérience et l'intégration des courants unitaires mesurés permet d'évaluer le courant macroscopique d'une population de canaux.

4.4.Simulation numérique.

Tous ces modèles et leurs paramètres ouvrent la porte à la simulation qui n'est rien d'autre que la résolution des équations qui les composent. L'approche la plus simple est la résolution numérique à l'aide d'outils informatiques.

Il est sans doute impossible de dénombrer tous les logiciels conçus pour cette tâche, car il en existe probablement autant que de groupes de recherche travaillant sur le sujet. En effet, souvent confronté à des problèmes spécifiques, le chercheur est amené à mettre au point sa propre application. Ainsi les solutions proposées sont très variées ne serait-ce que par le type de machine et d'outils de développement utilisés. Cette grande diversité forme un obstacle à la diffusion et l'échange de résultats scientifiques. Quelques groupes universitaires ont donc développé des logiciels distribués gratuitement dont une des particularités est qu'ils sont totalement ouverts afin de pouvoir répondre aux impératifs de chaque équipe mais avec des outils communs.

Citons trois de ces logiciels, parmi les plus populaires :

- *Genesis.*
Mis au point au California Institute of Technology (Caltech), il fournit un cadre général pour la simulation de neurones, sans avoir à réécrire tous les algorithmes nécessaires à la résolution des différentes équations, à l'affichage graphique des résultats, etc.. Il possède aussi une version multiprocesseur permettant d'augmenter la puissance de calcul lors de l'étude de réseaux importants[GENESIS].
- *Neuron.*
Il est développé et distribué depuis plusieurs années conjointement par le centre médical de l'université de Duke et l'université de Yale. Il est conçu pour résoudre les équations de propagation et les mécanismes membranaires non-linéaires, mais son architecture utilise un langage "scripté" permet d'adjoindre aisément de nouveaux formalismes. Le code source est disponible et il a été compilé pour différents types de plateforme informatique : windows, MacOS, unix [NEURON].
- *QuB.*
Ce logiciel est lui aussi d'origine universitaire (Université de Buffalo, New York). Il est spécifiquement destiné à l'étude des modèles de markov et propose un ensemble d'outils informatiques permettant le traitement de données expérimentales en vue de l'extraction des paramètres de modèle [QUB].

5. CONCLUSIONS.

Comme nous l'avons précisé en introduction, nous avons besoin de réaliser une simulation en temps réel pour reconstruire des réseaux de neurones hybrides biologique/artificiel. Cette technique sera présentée plus en détail au chapitre IV.

Le modèle utilisé doit présenter une activité aussi réaliste et précise que possible des mécanismes biochimiques que nous avons survolés dans ce chapitre. Pour ces applications, c'est la modélisation de Hodgkin Huxley qui a été retenue. Ses réductions sont des outils intéressants pour mener une étude mathématique, mais sacrifient souvent à la précision de l'activité membranaire modélisée et ne nous conviennent donc pas.

Le niveau de description des courants membranaires macroscopique semble être un juste milieu entre la complexité des modèles stochastiques et le degré d'abstraction supérieur, non abordé dans ce manuscrit, qui ne considère plus les mécanismes membranaire mais l'activité globale du neurone, générateur de potentiel d'action. Le premier s'applique à l'étude du fonctionnement de la membrane d'un seul neurone, le second à des effets qui apparaissent dans des populations très importantes de neurones.

Maintenant que le niveau de modèle est identifié, il nous faut concevoir un simulateur répondant à notre exigence de temps réel. Nous présentons la solution que nous avons retenue au chapitre suivant.

CHAPITRE II**CIRCUITS ANALOGIQUES ELEMENTAIRES.**

1. Introduction.....	39
2. Outils et technologie utilisés.....	41
2.1. Principes de la microélectronique.....	41
2.2. Technologies disponibles.....	42
2.3. Outils logiciels et modèles de simulations.....	46
2.3.1. Suite logiciel Cadence.....	46
2.3.2. A propos du choix des modèles, illustration du transistor MOS sous le seuil.....	46
3. Opérateurs et fonctions de base.....	49
3.1. Convertisseurs tension-courant et courant-tension.....	51
3.2. Additionneur.....	54
3.3. Multiplieurs.....	54
3.3.1. Multiplieur "beta-immune".....	55
3.3.2. Multiplieur log-antilog.....	57
3.4. Fonction sigmoïdale.....	58
3.5. Intégrateur.....	61
3.6. Mémoire analogique intégrée.....	64
3.6.1. Méthode dynamique : échantillonneur-bloqueur.....	65
3.6.2. Méthode non-volatile : mémoire à grille flottante.....	68
3.6.2.1. Mise en conduction de l'isolant par un faisceau UV.....	70
3.6.2.2. Injection de porteurs chauds.....	71
3.6.2.3. Effet tunnel.....	73
3.7. Réglage de la topologie.....	76
4. Synthèse des différentes conductances ioniques.....	77
4.1. Structure générale.....	77
4.2. Détails des différentes conductances ioniques implémentées.....	79
4.2.1. Sodium Na et potassium K.....	79
4.2.2. Courants de fuite, stimulation et compensation.....	79
4.2.3. Calcium Ca et potassium calcium dépendant K(Ca).....	80

4.2.4. Synapse.....	81
4.3. Relations d'étalonnage pour les différents paramètres.	81
5. Avantages comparés de la résolution analogique.....	84

1. INTRODUCTION.

Au chapitre précédent, nous avons présenté l'anatomie du neurone et étudié les principaux formalismes mathématiques qui tentent d'en modéliser l'activité à un niveau membranaire. Pour nos travaux, nous utilisons le formalisme décrit par Hodgkin et Huxley et notre objectif est maintenant de résoudre les équations qui le composent afin de simuler en temps réel le fonctionnement de cellules nerveuses et de réseaux de neurones. Pour ce faire, nous avons choisi de concevoir un calculateur analogique à base de circuits intégrés (ASIC : Application Specific Integrated Circuit). Les variables y sont représentées par des grandeurs électriques, charge, courant ou tension, que des circuits électroniques "manipulent" de façon continue conformément à notre formalisme.

L'idée de réaliser un simulateur analogique intégré pour modéliser l'activité de neurones biologiques de façon réaliste peut être attribuée aux équipes de l'université Caltech (California institute of technology) [MAHER 89], [MAHOWALD 91], [DOUGLAS 95]. Ces auteurs présentent "des circuits intégrés analogiques qui ont des caractéristiques fonctionnelles de neurones réels", la description étant faite au niveau du courant ionique en suivant une approche inspirée du formalisme de Hodgkin et Huxley. Ils ont été les premiers à utiliser pour ces circuits le terme "silicon neuron" et c'est de leurs travaux que notre groupe s'est initialement inspiré.

Nous pouvons aussi citer quelques autres cas d'intégration de modèles simplifiés de type FitzHugh-Nagumo [LINARES-BARRANCO 91] ou Morris-Lecar [PATEL 97], mais il semble que ces travaux soient ponctuels et ne s'inscrivent pas dans un axe de recherche spécifique.

Il existe encore un grand nombre de travaux associés aux mots clefs "réseau de neurone", mais dans ce cas les neurones utilisés ne sont que des cousins très éloignés de ceux qui nous intéressent. Souvent qualifiés de neurones formels, ils forment en fait des éléments non-linéaires connectés en réseaux qui permettent de résoudre des problèmes de traitement de données. Leur fonctionnement n'a finalement que peu de ressemblance avec la physiologie de neurones biologiques.

A mi-chemin entre ces deux approches nous trouvons les systèmes dits bio-inspirés. Il s'agit cette fois de reproduire de façon artificielle des fonctions évoluées comme la vision,

l'audition, la marche, etc... Ces systèmes sont librement inspirés des structures biologiques (voir par exemple [MEAD 89]). Mais, là encore, même si l'approche prend la forme d'un réseau de neurones, ceux-ci sont souvent excessivement simplifiés et ne peuvent plus être considérés comme des simulations de neurones biologiques, en tout cas pas au niveau d'abstraction que nous avons choisi d'utiliser, c'est-à-dire au niveau macroscopique des courants ioniques.

Ces deux dernières catégories de réseaux de neurones représentent néanmoins un intérêt pour nous. En effet, même si les buts recherchés et les équations à résoudre sont assez différents des nôtres, les circuits analogiques élémentaires utilisés se recoupent et la littérature qui s'y rapporte représente une source de documentation potentielle.

Quant au laboratoire IXL, il s'y conçoit des simulateurs analogiques de neurones biologiques depuis plusieurs années, deux thèses ont déjà été présentées sur ce sujet [DUPEYRON 98], [LAFLAQUIERE 98]. Denis Dupeyron a démontré la faisabilité du projet et réalisé un premier démonstrateur opérationnel. Arnaud Laflaquière a mis au point et construit un système complet, ouvrant les portes aux premières expériences hybrides qui interconnectent neurones biologiques et neurones électroniques. Notre contribution est double, elle porte, d'une part, sur l'exploitation des travaux d'Arnaud Laflaquière et, d'autre part, sur la conception de nouveaux ASICs visant à encore améliorer les performances et la flexibilité de nos neurones artificiels.

Malgré les évolutions, le principe général de résolution de nos circuits a peu changé : le calculateur est constitué de différents opérateurs élémentaires analogiques assemblés pour résoudre les équations du formalisme de Hodgkin et Huxley.

Après la présentation des technologies et outils qui sont à notre disposition au laboratoire IXL, nous détaillons les implémentations électroniques des différents opérateurs que nous avons utilisés. Nous justifions dans ce chapitre les apports et évolutions par rapport aux travaux précédents du groupe, mais ils apparaîtront encore plus clairement au chapitre III lors de la présentation des différents circuits réalisés.

Cette présentation nous conduit à conclure ce chapitre par une discussion sur les avantages et inconvénients du calcul analogique par comparaison à une solution numérique.

2. OUTILS ET TECHNOLOGIE UTILISES.

Nous avons choisi de traiter dès ce paragraphe des outils et technologies de la microélectronique alors que nous n'en sommes qu'à l'étape de la description théorique des circuits. Cet ordre est cependant justifié par le fait que nos choix et décisions en matière de conception électronique sont forcément guidés par les moyens dont nous disposons.

D'autre part ce paragraphe sera l'occasion de présenter quelques points relatifs à la conception en microélectronique à destination des lecteurs qui ne sont pas forcément familiers avec ce domaine.

2.1.Principes de la microélectronique.

La fabrication d'un circuit intégré consiste à "graver" les composants électroniques (transistors, résistances, condensateurs...) et les interconnexions qui le constituent sur des tranches généralement en silicium (il existe maintenant d'autres substrats). Ces opérations sont réalisées par des procédés photolithographiques. La fabrication se fait dans des salles dites "blanches" à atmosphère contrôlée pour éliminer tout risque de contamination par des poussières. En effet, pour les technologies récentes, la taille minimale des motifs gravés étant inférieure au micromètre, la moindre particule pourrait provoquer un défaut entraînant la défaillance du circuit. Les photos ci-dessous illustrent ces dimensions.

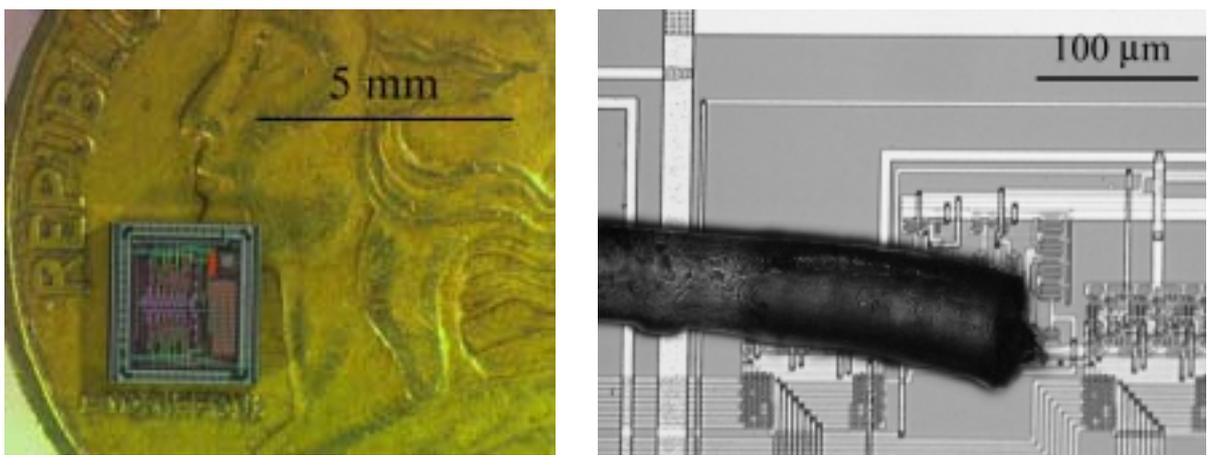


Figure 2-1 : le circuit intégré posé sur la pièce de 5 centimes comporte 10000 transistors. Une vue rapprochée montre un cheveu posé sur cette "puce", son diamètre est d'environ 60 µm, soit 75 fois plus grand qu'un transistor de taille minimale 0,8 µm.

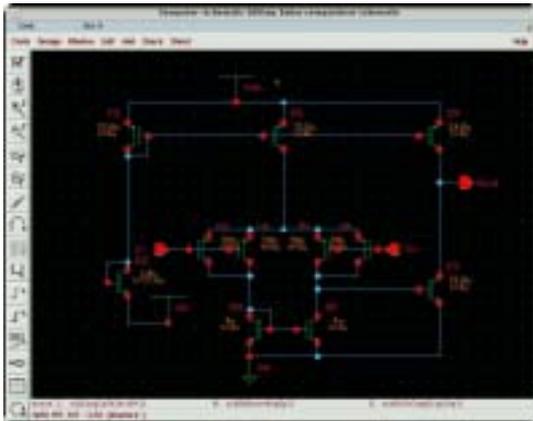
Le concepteur de circuit intégré doit livrer au fabricant (le fondeur) un "plan" pour les différents niveaux à graver. Il servira à la fabrication des masques de photogravure. Une technologie moderne comporte un grand nombre de ces masques, par exemple le procédé BiCMOS 0,8 μm de la société Austria Mikro Systeme [AMS] en utilise au minimum 16 (voir annexe A).

Le fondeur doit fournir les paramètres technologiques de son procédé de fabrication : les modèles électriques des composants qu'il sait fabriquer et les limites de résolution de son procédé de fabrication dues aux contraintes technologiques. Ces dernières informations prennent la forme de règles de dessin que le concepteur doit respecter pour les différentes couches.

La quantité d'informations à traiter implique l'utilisation de moyens logiciels lourds. Nous avons illustré (figure 2-2) les principales étapes du travail de conception en présentant des saisies d'écran de différents modules logiciels de l'ensemble de développement de la société Cadence [CADENCE].

2.2. Technologies disponibles.

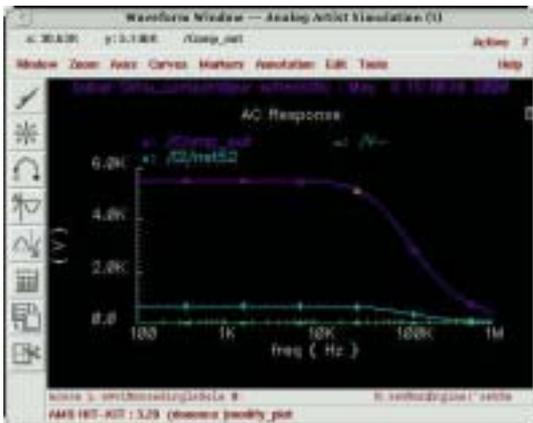
La lourdeur du procédé de fabrication d'un circuit intégré laisse entrevoir les investissements industriels qu'il représente. Permettre l'accès à ces ressources pour un organisme de recherche universitaire n'est possible que grâce au partage des coûts fixes. C'est un des buts développés depuis près de 20 ans par le CNFM (Comité National de Formation en Microélectronique [CNFM]) dont le laboratoire IXL fait partie. Cette institution assure la coordination de l'enseignement de la microélectronique en France et une de ses missions est d'organiser, par l'intermédiaire de ces différents pôles, le choix, l'achat et la maintenance des outils indispensables à la microélectronique : stations de travail, logiciels de CAO, testeurs... Il assure aussi l'accès à la fabrication de petites séries par le biais du CMP (Circuit Multi Projet [CMP]). Les circuits de plusieurs utilisateurs sont regroupés et ainsi un jeu de masque commun est fabriqué. Le CMP se charge de rassembler les projets et reste l'unique interlocuteur du fondeur. La tarification se fait en fonction de la surface utilisée. Cette approche ouvre les portes au prototypage universitaire, mais les technologies accessibles, bien que représentatives et modernes, restent en nombre limité. Le tableau 2-1 énumère les technologies disponibles au 1 janvier 2000 par l'intermédiaire du CMP.



← Saisie de schéma : le concepteur doit définir le schéma électrique pour le circuit à concevoir.

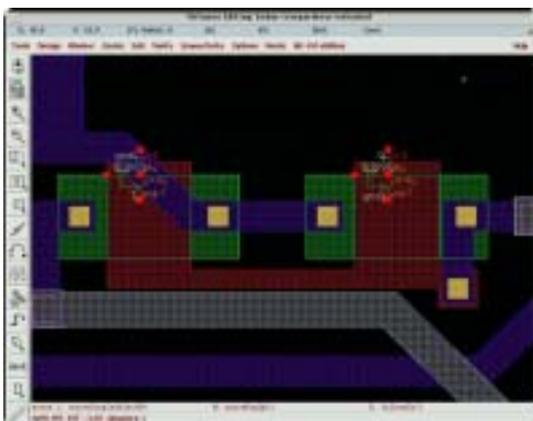
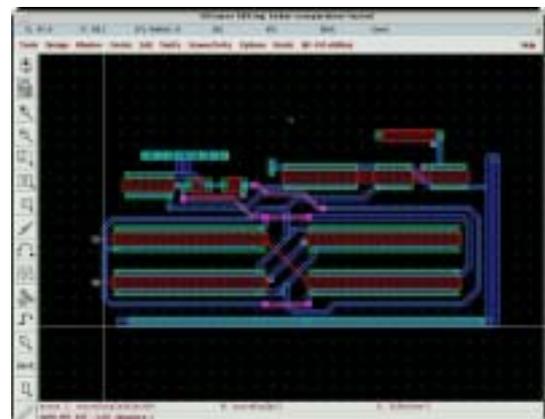


Simulation : le simulateur peut-être numérique, analogique ou mixte, les paramètres des modèles de simulation sont fournis par le fondeur. →



← En fonction des résultats de simulation, le schéma et les paramètres de ses composants sont modifiés. Ce processus itératif est renouvelé jusqu'à obtention des performances souhaitées.

Layout et DRC : c'est la description physique des composants et interconnexions. Les masques de fabrication seront générés à partir de ces fichiers. Le logiciel permet de vérifier (DRC : Design Rule Checker) le respect des règles de dessin fournies par le fondeur. →



← Extraction et LVS : le logiciel extrait un schéma électrique du dessin qui est comparé au schéma initial (LVS : Layout Versus Schematic) pour vérification.

Il est aussi possible d'extraire des composants parasites et de re-simuler le schéma ainsi complété afin de s'assurer qu'il reste conforme aux spécifications initiales.

Figure 2-2 : saisies d'écran de différents modules logiciels de la suite Cadence.

Le choix d'une technologie la plus standard possible sera le gage d'un faible coût et de la reproductibilité de nos travaux. Cependant, l'usage de transistors bipolaires simplifiant grandement notre conception, nous n'avons pas retenu un procédé CMOS et c'est finalement le procédé AMS BiCMOS 0,8 μm que nous avons sélectionné pour tous les circuits présentés dans ce manuscrit. Les technologies SiGe et GaAs, quant à elles, sont plutôt destinées à des applications hautes fréquences et ne répondent pas du tout à nos critères de standardisation et de coût.

type de technologie	nom et société
CMOS 0,8 μm 2P/2M	CYE société AMS
BiCMOS 0,8 μm 2P/2M	BYQ société AMS
SiGe 0,8 μm	BYR société AMS
CMOS 0,6 μm 2P/3M	CUP société AMS
CMOS 0,35 μm 2P/3M(4M)	CSI société AMS
CMOS 0,25 μm 6M	HCMOS7 société ST microelectronics
CMOS 0,18 μm 6M	HCMOS8 société ST microelectronics
GaAs HEMT 0,2 μm	ED02AH société Philips

Tableau 2-1 : technologies disponibles par l'intermédiaire du CMP au 1 janvier 2000. (xP et xM , nombre de niveaux de polysilicium et de métal).

La technologie BiCMOS est dérivée du procédé CMOS 0,8 μm numérique de la société AMS. La modification a consisté à ajouter un certain nombre d'étapes technologiques permettant la réalisation d'éléments nécessaires à certains circuits de l'électronique analogique : transistors bipolaires et condensateurs linéaires à armatures en polysilicium. Les transistors MOS restent identiques à ceux développés pour la technologie CMOS, et les bibliothèques numériques CMOS sont directement réutilisables. La technologie comporte deux niveaux de métal et deux niveaux de polysilicium. Les différents composants disponibles et leurs caractéristiques sont les suivants :

- Condensateur : la faible épaisseur d'oxyde entre les deux couches de polysilicium permet d'obtenir des condensateurs de valeur intéressante. A l'inverse des capacités de jonctions ou des capacités MOS, celles des condensateurs poly1/poly2 sont indépendantes des tensions appliquées au composant.

Capacité par unité de surface : 1,77 fF / μm^2

Capacité par unité de longueur : 0,20 fF / μm

- Résistance : trois types de résistances sont disponibles.

Type de résistance	largeur min (μm)	valeur (Ω/\square)	Coefficient de température ($10^{-3}/\text{K}$)
Polysilicium 1	0,8	21	1,0
Polysilicium 2	1,6	67	-0,3
Rnwell	5,0	3600	6,6

Tableau 2-2 : paramètres typiques des résistances du procédé AMS BiCMOS 0,8 μm .

- Transistors MOS : NMOS et PMOS à grille en polysilicium, longueur de grille minimale de 0,8 μm .

Paramètres	NMOS	PMOS	Unité
épaisseur d'oxyde T_{ox}	16	16	nm
tension de seuil V_{TH}	0,72	-0,77	V
facteur de transconductance K_{p}	100	36	$\mu\text{A} / \text{V}^2$
mobilité effective μ	463	162	$\text{cm}^2 / \text{V s}$
tension de claquage 0,8 μm BV_{DS0}	13	-12	V
longueur de canal effective 0,8 μm	0,66	0,75	μm
dopage effectif du substrat N_{sub}	$7,6 \cdot 10^{16}$	$2,8 \cdot 10^{16}$	cm^{-3}
courant de saturation 0,8 μm I_{DS0}	400	-200	$\mu\text{A} / \mu\text{m}$
courant du substrat 0,8 μm I_{sub}	0,8	-	$\mu\text{A} / \mu\text{m}$

Tableau 2-3 : paramètres typiques des transistors MOS de 20 $\mu\text{m} \times 0,8 \mu\text{m}$ du procédé AMS BiCMOS 0,8 μm .

- Transistors bipolaires : npn vertical et pnp latéral.

Paramètres	nnp	pnp latéral	unité
courant de saturation	$1,2 \cdot 10^{-18}$	$0,39 \cdot 10^{-18}$	$\text{A} / \mu\text{m}$
gain en courant	100	200	
tension d'Early	32	10	V
tension de claquage BV_{EB0}	5	-	V
tension de claquage BV_{CB0}	16	-	V
tension de claquage BV_{CE0}	7	-	V
fréquence de transition f_{T}	12	0,06	GHz
Surface d'émetteur SE	3 x 0,8	3,6 x 3,6	μm^2
surface totale S_{BJT}	11,8 x 9	-	μm^2

Tableau 2-4 : paramètres typiques des transistors bipolaires NPN et PNP latéral

2.3. Outils logiciels et modèles de simulations.

2.3.1. Suite logiciel Cadence.

Nous l'avons dit, en microélectronique un environnement logiciel puissant est indispensable. Le laboratoire IXL est équipé de la suite fabriquée par la société californienne Cadence [CADENCE].

Pour information nous citons les modules suivants :

- Simulateurs analogiques : *spectreS*, simulateur standard de Cadence, compatible *spice*. Nous disposons aussi des simulateurs *hspice* et *eldo*. AMS fournit les paramètres de modèles pour chacun de ces simulateurs.
- Simulateur numérique : *verilog*, AMS fournit des bibliothèques numériques CMOS et BiCMOS avec des paramètres *verilog* pour des alimentations 5V ou 3,3V. L'environnement Cadence permet aussi de partitionner un schéma et de faire des simulations mixtes *spectreS-verilog*.

D'autres outils ont été utilisés ponctuellement, par exemple pour la synthèse numérique et le routage automatique des séquenceurs et autres circuits numériques inclus dans certains de nos projets.

2.3.2. A propos du choix des modèles, illustration du transistor MOS sous le seuil.

La simulation de circuits intégrés analogiques implique l'utilisation de modèles adaptés. Comme la technologie que nous utilisons est spécifiquement destinée à la conception analogique, AMS fournit les paramètres pour ce type de modèles. La modélisation en microélectronique est cependant un travail toujours en cours et la compréhension des modèles et de leurs paramètres reste de première importance.

Les transistors bipolaires sont peu concernés par ces changements, ils sont modélisés par leurs équations théoriques classiques de Gummel-Poon et les nouveaux modèles (comme par exemple le *VBIC*) sont plutôt destinés à améliorer les performances pour les applications haute fréquence. Comme nous travaillons à des fréquences inférieures à 100 kHz, ces apports ne nous concernent pas.

En comparaison, les modèles de transistors MOS ont bénéficiés de changements beaucoup plus importants. La tendance à la diminution des dimensions des MOS et la baisse des

tensions d'alimentations ont fait apparaître des effets physiques au niveau du composant qui étaient négligeables jusqu'alors. La prise en compte de ces nouveaux phénomènes est essentielle pour les concepteurs qui utilisent de plus en plus de transistors MOS dans leurs circuits analogiques [VITTOZ 85], [TSIVIDIS 94].

Daniel FOTY [FOTY 96] classe les différents modèles *spice* en trois générations successives :

- *Level1*, *level2* et *level3* forment la première génération. Ces modèles utilisent des équations physiques relativement simples pour décrire le transistor.
- La deuxième génération, composée des modèles *BSIM1*, *HSPICE level28* et *BSIM2*, introduit un grand nombre de paramètres empiriques et une utilisation extensive de fonctions mathématiques destinées à améliorer le comportement du simulateur.
- Enfin, la troisième génération, *BSIM3*, *MOS Model 9* de Philips et *EKV* répond à deux buts principaux : la modélisation à destination de la conception analogique et le retour à des paramètres ayant un sens plus physique.

Nous disposons de deux types de modèles *MOS53 (BSIM3V3)* et *MOS15 (level2 modifié par AMS pour rendre continue l'expression du courant et de sa dérivée lors des changements de mode de fonctionnement)*. Le modèle *BSIM3V3* est le plus adapté à nos travaux, c'est celui que nous utilisons.

Un régime de fonctionnement du transistor MOS, la polarisation sous le seuil, présente un intérêt particulier pour notre groupe. Il nous permettrait en effet d'utiliser une technologie CMOS et d'éviter ainsi l'utilisation de la technologie BiCMOS un peu plus complexe et plus onéreuse (voir paragraphe 2.2). La prise en compte de ce mode de fonctionnement est cependant problématique et représente un exemple typique des limites de la modélisation du transistor MOS.

Pour une tension grille-source V_{GS} inférieure au seuil V_{th} , le courant de canal devient très faible mais non-nul. Il ne suit néanmoins plus l'expression quadratique classique, mais dépend exponentiellement de la tension de commande V_{GS} :

$$I_D = k_x \cdot \frac{W}{L} \cdot \exp\left(\frac{V_{GS}}{nU_T}\right) \left(1 - \exp\left(-\frac{V_{DS}}{U_T}\right)\right) \quad (2.1)$$

avec : $-k_x(V_{BS})$ paramètre dépendant de la technologie et de V_{BS} ,

- $n(V_{BS})$ paramètre de pente, dépendant de la technologie et de V_{BS} ,
- $U_T = \frac{kT}{q}$,
- W, L dimensions du transistor.

Cette expression [TSIVIDIS 99] est, à V_{BS} donné, similaire à la caractéristique de transfert exponentielle d'un transistor bipolaire. La figure 2-3 illustre les deux domaines de fonctionnement du transistor MOS, l'expression du courant de drain est quadratique au dessus du seuil, exponentielle en dessous. Elle ouvre donc les portes à l'implémentation en technologie CMOS de topologies de circuits qui jusqu'alors impliquaient l'utilisation des transistors bipolaires [VITTOZ 77]. De plus les faibles courants et tensions mis en jeu sont particulièrement adaptés à la conception faible consommation.

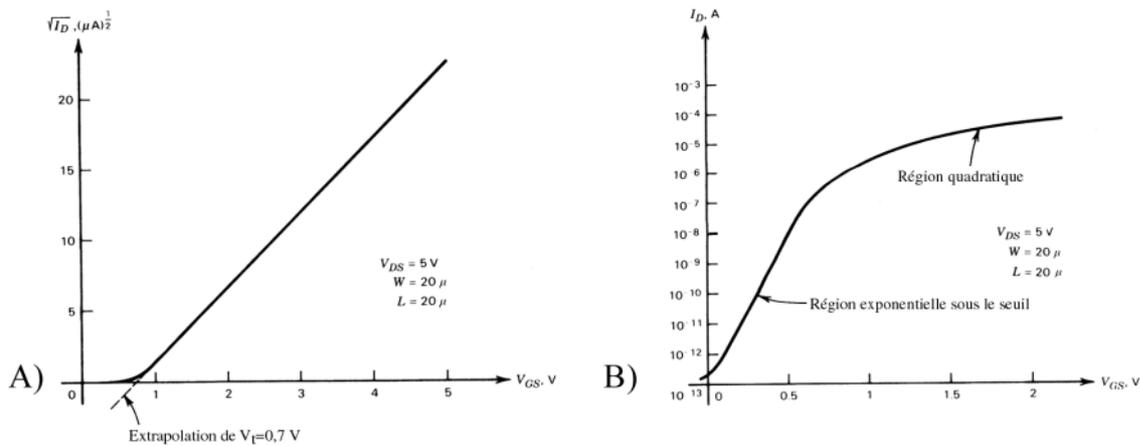


Figure 2-3 : caractéristique $I_D(V_{GS})$ d'un transistor MOS $20 \mu m \times 20 \mu m$ à $V_{DS}=5V$. A) tracé de $\sqrt{I_D}$ faisant apparaître l'expression quadratique du courant. B) tracé avec une échelle logarithmique faisant apparaître la caractéristique exponentielle sous le seuil V_T . (courbes provenant de [GRAY 95]).

Ce mode de fonctionnement semble être une alternative intéressante à l'utilisation d'une technologie BiCMOS, cependant pour pouvoir l'utiliser il est nécessaire que les modèles de MOS le prennent en compte correctement.

La première génération de modèles ne modélisait pas, ou très mal, le régime sous le seuil. La deuxième a inclus des équations plus précises, mais la transition du régime de faible inversion au régime de forte inversion était incorrecte. Il a donc fallu attendre la génération actuelle de modèles pour bénéficier d'outils de modélisation corrects.

Reste encore un problème, la disponibilité du modèle étant nécessaire mais pas suffisante. Il est en effet tout aussi indispensable que le fondeur ait réalisé les mesures servant à l'extraction des paramètres de la conduction sous le seuil et qu'il les ait fournis pour que le modèle soit utilisable !

Notons enfin la très forte dispersion dont souffrent les paramètres spécifiques de la conduction sous le seuil, c'est-à-dire, dans l'expression (2.1), l'équivalent du courant de saturation $k_x \cdot \frac{W}{L}$ et le paramètre de pente n [FORTI 94], [PAVASOVIC 94], [CHEN 96]. L'origine de ces dispersions est encore mal comprise et elles ne sont donc pas contrôlées par les fondeurs. A cela rajoutons la modulation du courant par le potentiel de substrat qu'il faudra impérativement prendre en compte, par exemple en utilisant des transistors dans des puits isolés.

Cet état de fait implique des mesures très conservatrices lors de la conception de circuits, notamment par l'emploi de MOS de grande dimension ou l'usage systématique de circuits utilisant des rapports de courant [VITTOZ 77].

En conclusion la substitution de transistors MOS polarisés sous le seuil aux transistors bipolaires permet l'utilisation d'une technologie CMOS standard et autorise une conception très faible consommation. Il faudra cependant bien évaluer les modèles et paramètres disponibles, éventuellement en faisant des mesures comparatives avec des structures de tests, et ne pas oublier que l'emploi indispensable de transistors de taille non-minimale se traduit par une augmentation pénalisante de la surface de silicium.

Nous n'avons pas retenu ce principe pour les travaux que nous présentons dans ce manuscrit, mais notre groupe l'a néanmoins évalué. L'étude a été réalisée par Ludovic Alvado dans le cadre de son stage de DEA [ALVADO 99] et ses résultats sont en cours d'exploitation cette fois dans le cadre de ses travaux de thèse de doctorat.

3. OPERATEURS ET FONCTIONS DE BASE.

Le formalisme de Hodgkin et Huxley tel que nous l'avons décrit au chapitre précédent (équations 1.3 à 1.7) comporte un certain nombre d'opérations élémentaires communes à chaque conductance ionique. Nous pouvons détailler :

- Addition et multiplication : elles apparaissent à plusieurs reprises. Les termes de type "puissance" sont aussi des multiplications.

- Sigmoide : les formes asymptotiques des variables d'états, activation et inactivation, ont une dépendance sigmoïdale à la tension membranaire qu'il nous faudra synthétiser.
- Intégrateur : les équations différentielles du premier ordre sont résolues en utilisant un bloc intégrateur.

Les différentes implémentations des opérateurs ayant des entrées/sorties en courant ou en tension, il nous faudra aussi concevoir des étages d'interface, c'est-à-dire des convertisseurs tension/courant et courant/tension.

D'autre part, nous souhaitons obtenir des circuits reconfigurables, où l'utilisateur pourra programmer les paramètres des modèles de neurones et la topologie du réseau qu'ils constituent. Pour ce faire il nous faut choisir un dispositif de mémorisation analogique et concevoir un système de multiplexage programmable assurant les connexions entre conductances ioniques.

Pour chaque opérateur il existe une grande variété de schémas plus ou moins classiques, chaque concepteur revendiquant à chaque fois l'amélioration de telle ou telle caractéristique. Pour nos travaux, la simplicité, au sens du nombre de transistors, sera le maître mot. Il est en effet nécessaire d'assurer une surface minimale au calculateur pour permettre l'intégration d'un grand nombre de neurones.

Les premiers circuits réalisés par notre groupe utilisaient une technologie qui autorisait une alimentation sous 10V. Cette tension étant supérieure à la limite maximale de 7 V de la technologie BiCMOS 0,8 μm , nous utilisons maintenant une tension de 5V.

Enfin, biologiquement, les tensions de membrane évoluent entre environ -70 mV et +100 mV, cependant afin d'optimiser le rapport signal sur bruit nous utilisons un rapport 10 sur ces tensions pour nos circuits électroniques. L'excursion de $\pm 1\text{V}$ qui en résulte est assez importante par rapport à la tension d'alimentation de 5 V, il faut tenir compte de cette contrainte lors de la conception de nos opérateurs.

Nous choisissons une approche modulaire, chaque opérateur est conçu de façon indépendante en respectant les critères précédents et ils constituent ainsi une bibliothèque réutilisable. Les conductances ioniques sont ensuite composées d'un assemblage de ces briques élémentaires que nous allons maintenant détailler.

3.1. Convertisseurs tension-courant et courant-tension.

Dans le sens tension-courant, nous avons besoin d'un convertisseur à entrée différentielle et doté d'une large plage d'entrée. Il existe un très grand nombre de circuits réalisant cette fonction, mais la technique la plus simple est d'utiliser une paire différentielle CMOS. L'analyse en grands signaux montre cependant un plage linéaire assez étroite, et pour l'élargir sans trop augmenter la complexité nous avons choisi d'utiliser une paire entrecroisée [DUPUIE 90].

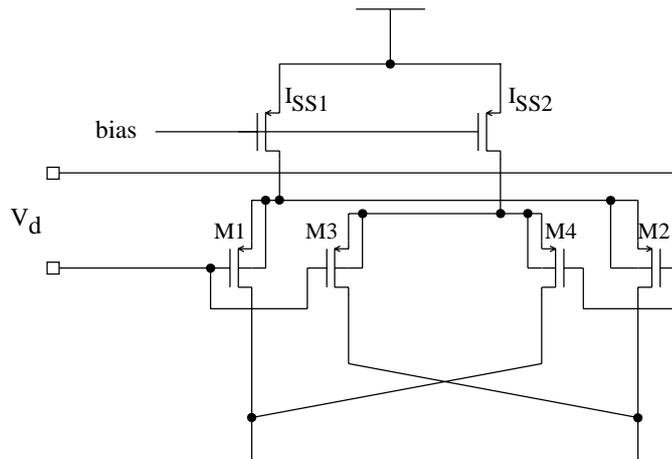


Figure 2-4 : linéarisation de la fonction de transfert d'une paire différentielle MOS. M_1, M_2 de dimensions $(W/L)_1$ et M_3, M_4 dimensions $(W/L)_2$.

Le courant différentiel d'une paire CMOS simple s'exprime classiquement par :

$$I_0 = I_{D1} - I_{D2} = \begin{cases} \sqrt{2I_{SS}K} \cdot V_d \cdot \sqrt{1 - \frac{K}{2I_{SS}} V_d^2}, & |V_d| \leq \sqrt{\frac{I_{SS}}{K}} \\ I_{SS} \cdot \text{sgn}(V_d), & |V_d| \geq \sqrt{\frac{I_{SS}}{K}} \end{cases} \quad (2.2)$$

Avec V_d entrée différentielle, I_{SS} courant de polarisation de la paire différentielle et

$$K = \frac{1}{2} \mu C_{ox} \frac{W}{L}.$$

Si nous effectuons un développement en série de l'expression du courant différentiel dans la zone non saturée :

$$I_0 = \sqrt{2I_{SS}K} V_d + 0 - \frac{1}{2\sqrt{2}} \frac{K^{\frac{3}{2}}}{\sqrt{I_{SS}}} V_d^3 + 0 - \dots \quad (2.3)$$

nous remarquons que le premier terme non linéaire est d'ordre trois et qu'il peut être annulé en soustrayant les courants de deux paires différentielles convenablement dimensionnées. Les paramètres sont les courants de polarisation I_{SS} des paires et les dimensions $K = \frac{1}{2} \mu C_{ox} \frac{W}{L}$ des transistors, pour le schéma de la figure 2-4 la condition d'annulation de ce terme s'écrit :

$$\left[\frac{(W/L)_1}{(W/L)_2} \right]^{\frac{3}{2}} = \left[\frac{I_{SS1}}{I_{SS2}} \right]^{\frac{1}{2}} \quad (2.4)$$

et la transconductance de l'ensemble vaut :

$$g_{\text{méquivalent}} = \sqrt{2I_{SS1}K_1} - \sqrt{2I_{SS2}K_2} \quad (2.5)$$

En choisissant $I_{SS1} = 2I_{SS2}$ pour garder un courant de sortie suffisant, l'annulation du terme non-linéaire du troisième ordre est obtenue pour $(W/L)_1 = \sqrt[3]{2}(W/L)_2$. C'est l'approche que nous avons choisie.

Ci-dessous nous traçons les erreurs de non-linéarité relative comparées d'une paire simple et de la paire entrecroisée de la figure 2-4 obtenues par simulation.

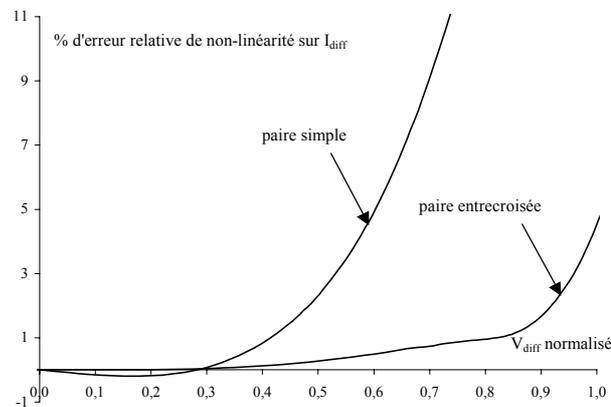


Figure 2-5 : simulation de l'erreur de non-linéarité relative d'une paire simple et de la paire entrecroisée de la figure 2-4. La paire simple est dimensionnée pour avoir la même transconductance et le même courant de saturation que la paire entrecroisée.

Pour la paire simple :

- L'abscisse est normalisée en divisant par la valeur de saturation, $x = \frac{V_{diff}}{\sqrt{I_{SS}/K}}$.

- L'erreur est donnée par rapport à la valeur maximale théorique :

$$I_{\max} = g_m \cdot \sqrt{\frac{I_{SS}}{K}} = \sqrt{2I_{SS}K} \cdot \sqrt{\frac{I_{SS}}{K}} = \sqrt{2} \cdot I_{SS}$$

Pour la paire double :

- L'abscisse est normalisée en divisant par la valeur de saturation, $x = \frac{V_{\text{diff}}}{\sqrt{\frac{I_{SS2}}{K_2}}}$.

- L'erreur est donnée par rapport à la valeur maximale théorique :

$$I_{\max} = g_m \cdot \sqrt{\frac{I_{SS2}}{K_2}} = \left(\sqrt{4I_{SS2}K_1} - \sqrt{2I_{SS2}K_2} \right) \sqrt{\frac{I_{SS2}}{K_2}}$$

Ce montage nous permet donc d'améliorer la plage de linéarité de façon significative sans perte excessive de surface. Pour une erreur de linéarité inférieure à 1%, nous avons élargi la plage d'entrée de 40% à 80% de la plage maximale.

Les conversions inverses courant-tension sont réalisées simplement en utilisant des résistances. L'inconvénient de cette technique provient de la mauvaise précision des résistances intégrées. L'appariement des résistances étant bien meilleur, une amélioration peut être obtenue si l'on introduit un rapport de résistance dans l'expression totale de la fonction de transfert. Pour obtenir ce résultat, nous avons utilisé un autre type de convertisseur tension-courant dépendant d'une résistance. Le montage est conçu autour d'un convoyeur de courant implémenté en CMOS comme proposé par ses inventeurs, Adel SEDRA et K C SMITH [SEDRA 90].

Le convoyeur de courant de seconde génération (CCII) est un bloc analogique à trois terminaux (voir figure 2-6) dont les propriétés idéales sont les suivantes :

$$\begin{cases} V_X = V_Y \\ I_Y = 0 \\ I_Z = I_X \end{cases} \quad (2.6)$$

Un grand nombre d'applications analogiques peuvent être réalisées avec ce montage. Pour notre part nous obtenons une conversion tension-courant linéaire en introduisant une résistance R sur le terminal X. La tension d'entrée est appliquée sur Y et donc copiée sur X

et la résistance, le courant $I_X = \frac{V_X}{R} = \frac{V_Y}{R}$ se retrouve en sortie Z puisque $I_Z = I_X$. Nous

avons bien réalisé une conversion tension-courant de gain constant $\frac{1}{R}$.

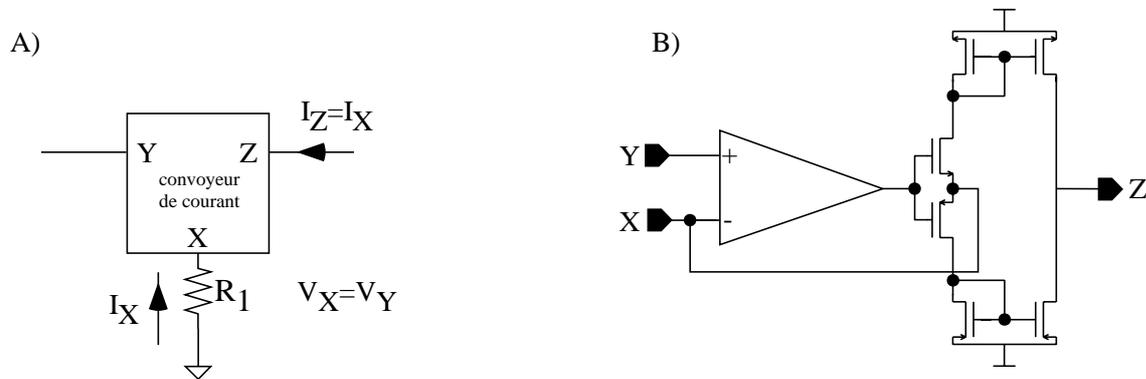


Figure 2-6 : A) principe de la conversion tension-courant à base de convoyeur de courant. B) réalisation d'un convoyeur de courant avec un amplificateur opérationnel.

Une réalisation pratique du CCII est illustrée par la figure 2-6-B, les entrées hautes impédances d'un amplificateur opérationnel CMOS servent à la réalisation des terminaux X et Y et permettent d'obtenir les deux premières conditions des équations (2.6). Le double miroir de l'étage de sortie assure la réalisation de la dernière condition en recopiant le courant entrant I_X sur la sortie Z.

3.2. Additionneur.

La réalisation de cette opération est très simple en mode courant puisqu'il suffit de connecter entre elles les sorties des générateurs de courant pour les additionner.

La seule contrainte pour la réalisation pratique est de concevoir des étages de sorties qui se comportent vraiment comme des sources de courants, leur impédance de sortie étant aussi grande que possible, en tout cas par rapport à l'impédance d'entrée de l'étage suivant.

Cette simplicité est un avantage majeur par rapport à la sommation de tensions qui réclamerait une circuiterie plus complexe, par exemple à base d'amplificateur opérationnels.

3.3. Multiplieurs.

C'est le premier élément pour lequel nous utilisons des transistors bipolaires. Il existe en effet une littérature importante consacrée à la réalisation de multiplieur en technologie MOS, mais les circuits proposés restent toujours de surface importante. Un bon point de départ pour

l'étude des différentes possibilités est, par exemple, l'article de synthèse de G. HAN [HAN 98] qui les classe en huit types distincts et énumère un grand nombre de références. Un des problèmes majeurs de ces implémentations reste la déviation de la relation quadratique idéale $I_D=f(V_{GS})$ du transistor MOS de faible taille en comparaison à l'extrême précision de la relation exponentielle $I_c=f(V_{be})$ du transistor bipolaire.

A l'emploi de transistor MOS, nous avons donc préféré l'utilisation des boucles translinéaires bipolaires plus précises [GILBERT 90]. Nous utilisons deux types de multiplieurs décrits par cet auteur.

3.3.1. Multiplieur "beta-immune".

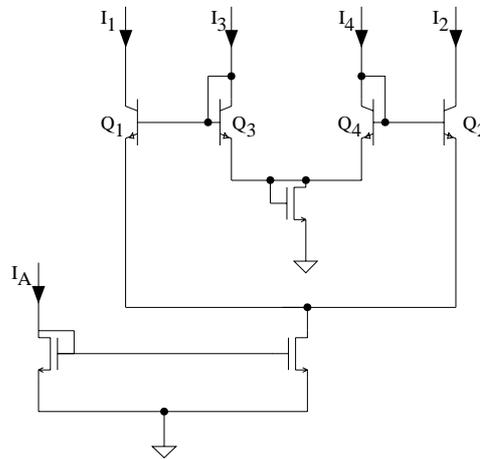


Figure 2-7 : multiplieur de type "beta-immune" [TOUMAZOU 90].

Les transistors Q_1 à Q_4 forment une boucle translinéaire, la somme de leurs tensions V_{BE} est nulle :

$$V_{BE1} - V_{BE3} + V_{BE4} - V_{BE2} = 0 \quad (2.7)$$

La caractéristique d'un transistor bipolaire npn exprimant le courant de collecteur I_c en fonction de la tension de commande V_{BE} est :

$$I = I_C = I_{sat} \exp\left(\frac{V_{BE}}{U_T}\right)$$

$$\Leftrightarrow V_{BE} = U_T \ln\left(\frac{I}{I_{sat}}\right) \quad (2.8)$$

d'après (2.7) et (2.8) et en supposant que les quatre transistors soient identiques (même I_{sat}) :

$$U_T \ln\left(\frac{I_1}{I_{\text{sat}}}\right) + U_T \ln\left(\frac{I_4}{I_{\text{sat}}}\right) = U_T \ln\left(\frac{I_3}{I_{\text{sat}}}\right) + U_T \ln\left(\frac{I_2}{I_{\text{sat}}}\right)$$

$$\Rightarrow I_1 I_4 = I_3 I_2 \quad (2.9)$$

La paire différentielle Q_1 Q_2 polarisée par le courant I_A implique que les courants I_1 et I_2 soient différentiels équilibrés, ils peuvent s'écrire sous la forme :

$$\begin{cases} I_1 = (1 + Y) \frac{I_A}{2} \\ I_2 = (1 - Y) \frac{I_A}{2} \end{cases} \quad (2.10)$$

Si nous appliquons sur Q_3 , Q_4 un signal différentiel équilibré (provenant par exemple du convertisseur entrecroisé du paragraphe 3.1), il s'écrit aussi sous la forme :

$$\begin{cases} I_3 = (1 + X) \frac{I_x}{2} \\ I_4 = (1 - X) \frac{I_x}{2} \end{cases} \quad (2.11)$$

L'équation (2.9) implique alors :

$$(1 + Y)I_A (1 - X) \frac{I_x}{2} = (1 - Y)I_A (1 + X) \frac{I_x}{2}$$

$$\Rightarrow X = Y \quad (2.12)$$

Les courants dans les deux paires différentielles sont identiques, à un facteur d'échelle près :

$$I_1 - I_2 = Y \cdot I_A = \frac{I_A}{I_x} \cdot (I_3 - I_4) \quad (2.13)$$

Nous avons donc réalisé un multiplieur deux quadrants, une entrée étant unipolaire I_A et l'autre bipolaire I_3 - I_4 .

3.3.2. Multiplieur log-antilog.

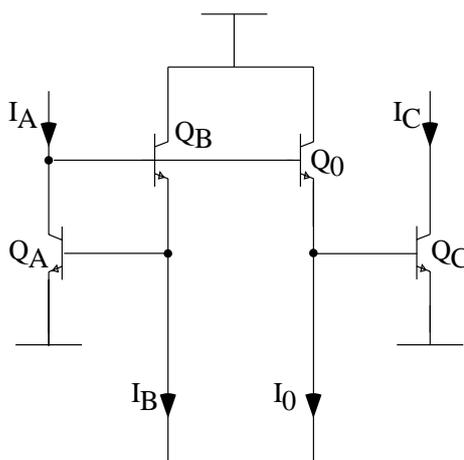


Figure 2-8 : multiplieur log-antilog [TOUMAZOU 90].

Les transistors Q_A , Q_B , Q_C et Q_0 forment de nouveau une boucle translinéaire qui permet d'obtenir la relation :

$$I_A I_B = I_C I_0 \quad (2.14)$$

Si nous considérons I_C comme étant la sortie, nous obtenons cette fois un multiplieur simple quadrant dont les entrées sont I_A et I_B unipolaires, I_0 servant de facteur de normalisation.

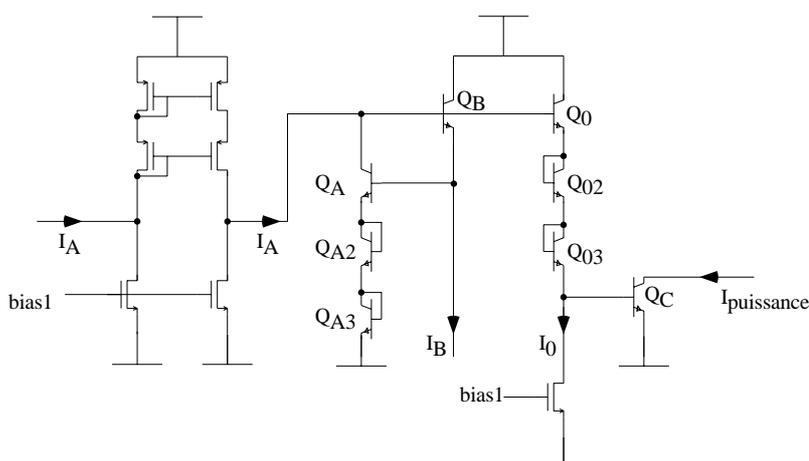


Figure 2-9 : utilisation du principe du multiplieur log-antilog pour effectuer une élévation à puissance.

Nous avons besoin d'un opérateur effectuant une élévation à la puissance trois d'un des termes. Nous reprenons le même principe mais en introduisant des transistors supplémentaires dans la

boucle. Pour la figure 2-9 le principe translinéaire s'écrit :

$$I_A^3 I_B = I_C I_0^3$$

$$\Leftrightarrow I_{\text{puissance}} = I_C = \frac{I_B \cdot I_A^3}{I_0^3} \quad (2.15)$$

Le schéma montre aussi un miroir de courant en entrée servant à l'adaptation de mode commun avec l'étage précédent.

3.4.Fonction sigmoïdale.

Pour les variables d'activation et d'inactivation, nous avons besoin de synthétiser une fonction sigmoïdale dont nous rappelons l'expression :

$$f(V_{\text{mem}}) = \frac{1}{1 + \exp\left(\pm \frac{V_{\text{mem}} - V_{\text{seuil}}}{\text{Pente}}\right)} \quad (2.16)$$

La relation exponentielle de la caractéristique du transistor bipolaire (2.8) se montre là encore indispensable. Comme l'illustre la figure 2-10, la synthèse proprement dite est relativement simple puisque le courant dans une des branches d'une paire différentielle bipolaire présente la caractéristique souhaitée :

$$I_{C2} = f(V_2) = \frac{I_0}{1 + \exp\left(\frac{V_2}{U_T}\right)} \quad (2.17)$$

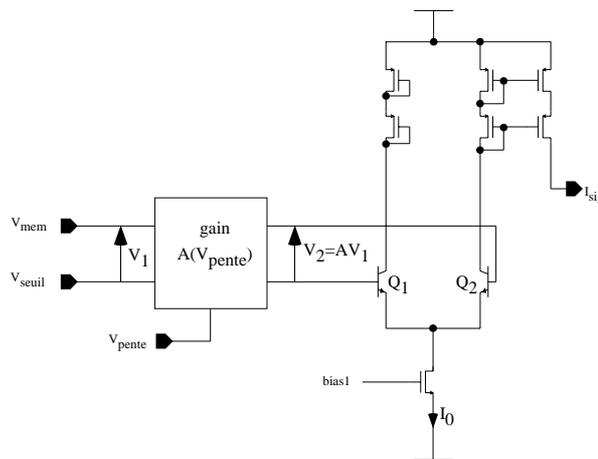


Figure 2-10 : schéma de principe de la synthèse d'une fonction sigmoïdale à l'aide d'une paire différentielle bipolaire.

Il suffit de rajouter un étage de gain en tension commandé pour introduire la possibilité d'ajustement du paramètre *Pente* :

$$I_{\text{sig}} = \frac{I_0}{1 + \exp\left(\frac{V_{\text{mem}} - V_{\text{seuil}}}{U_T/A}\right)} \quad (2.18)$$

L'implémentation complète est présentée par le schéma de la figure 2-11.

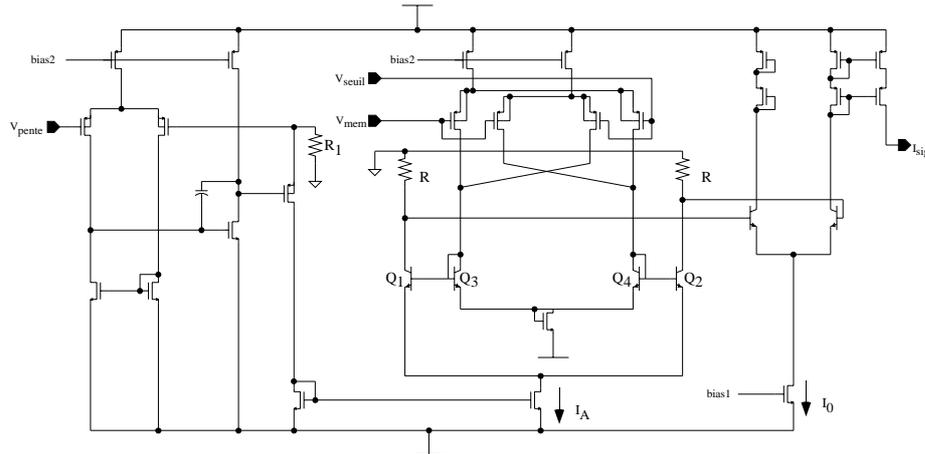


Figure 2-11 : schéma complet du circuit réalisant la synthèse d'une fonction sigmoïdale.

L'étage de gain est réalisé autour du multiplieur beta-immune constitué par Q_1 , Q_2 , Q_3 et Q_4 . Ses entrées sont les suivantes :

- l'entrée différentielle provient de la conversion tension-courant à paire entrecroisée (paragraphe 3.1) du signal $V_{\text{mem}} - V_{\text{seuil}}$:

$$I_3 - I_4 = g_{\text{méquivalent}} (V_{\text{mem}} - V_{\text{seuil}}) \quad (2.19)$$

- l'entrée unipolaire est fourni par un second convertisseur réalisé cette fois par un convoyeur de courant et la résistance R_1 . Le convoyeur est conforme au principe présenté figure 2-6, mais, comme nous n'avons besoin que d'un courant unipolaire, seule une branche du miroir de courant est implantée :

$$I_A = \frac{V_{\text{pente}}}{R_1}, V_{\text{pente}} \leq 0 \quad (2.20)$$

La sortie du multiplieur est ensuite convertie en tension par une paire de résistances R , pour être appliquée à l'entrée de la paire différentielle bipolaire qui fournit un courant sigmoïdal. Le

gain global de cet étage s'exprime par :

$$V_2 = R(I_2 - I_1) = R \frac{I_A}{I_X} (I_3 - I_4) \quad (2.21)$$

et, en substituant (2.19) et (2.20) :

$$\begin{aligned} V_2 &= AV_1 = R \frac{V_{\text{pente}}}{R_1} g_{\text{méquivalent}} (V_{\text{mem}} - V_{\text{seuil}}) \\ \Rightarrow A &= R \frac{V_{\text{pente}}}{R_1} g_{\text{méquivalent}} \end{aligned} \quad (2.22)$$

en choisissant $R=R_1$ et en combinant (2.16) et (2.22) nous obtenons :

$$\begin{aligned} f(V_{\text{mem}}) &= \frac{I_0}{1 + \exp\left(\frac{V_{\text{mem}} - V_{\text{seuil}}}{\text{Pente}}\right)} \\ \text{avec Pente} &= \frac{U_T}{g_{\text{méquivalent}} V_{\text{pente}}} \end{aligned} \quad (2.23)$$

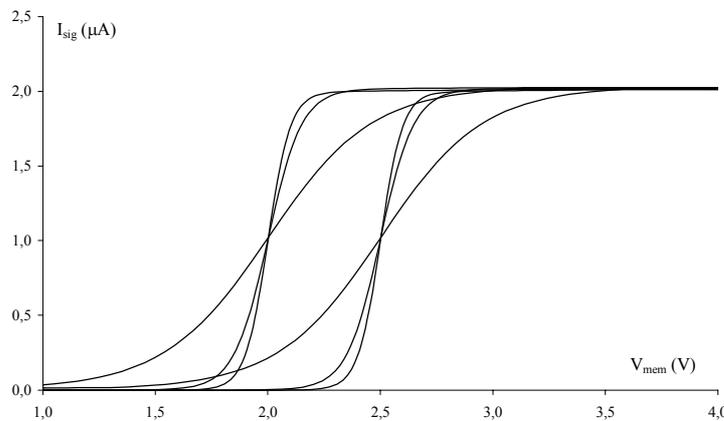


Figure 2-12 : simulation du circuit de synthèse de sigmoïde pour différentes valeurs des paramètres V_{pente} et V_{seuil} .

La fonction sigmoïdale obtenue comporte deux paramètres ajustables, la pente à la demi-activation et le seuil qui correspond au point de demi-activation. Le choix du type de variable, activation ou inactivation, se fait en inversant les deux entrées V_{mem} et V_{seuil} .

Enfin notons que théoriquement ces fonctions sont comprises entre 0 et 1 mais qu'électroniquement elles sont représentées par un courant variant entre 0 et I_0 . Il est donc nécessaire de normaliser tout produit de fonction d'activation en divisant par ce courant constant I_0 .

L'ensemble du circuit a été dimensionné pour pouvoir faire varier le paramètre Pente entre 70 et 500 mV.

3.5.Intégrateur.

Les fonctions sigmoïdales que nous venons de décrire sont les valeurs asymptotiques des variables d'états du formalisme d'Hodgkin et Huxley. En effet activation et inactivation tendent vers ces fonctions en suivant une équation différentielle du premier ordre :

$$\tau \frac{dn(t)}{dt} = n_{\infty}(V_{mem}) - n(t) \quad (2.24)$$

Nous résolvons ces équations en utilisant un circuit structuré selon la boucle représentée par la figure suivante :

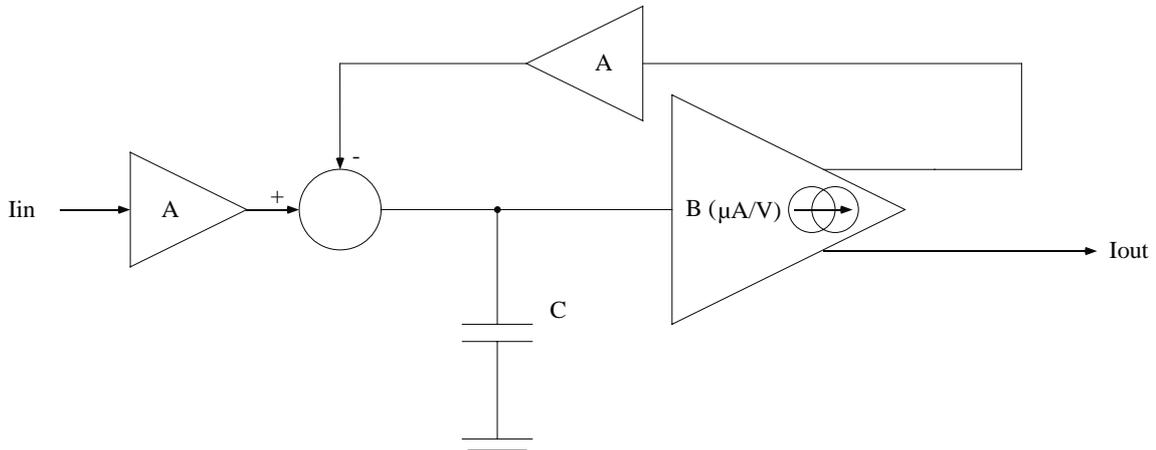


Figure 2-13 : schéma de principe retenu pour la résolution des équations différentielles du premier ordre. Les atténuateurs A sont placés avant la différentiation pour ne pas avoir à manipuler un courant bipolaire.

Si l'on écrit la tension aux bornes du condensateur C :

$$V_C = \frac{1}{C} \int I dt = \frac{A}{C} \int (I_{in} - I_{out}) dt \quad (2.25)$$

Sachant d'autre part que :

$$I_{out} = B.V_C \quad (2.26)$$

Nous obtenons :

$$\begin{aligned} \frac{I_{out}}{B} &= \frac{A}{C} \int (I_{in} - I_{out}) dt \\ \Leftrightarrow \frac{C}{AB} \frac{dI_{out}}{dt} &= I_{in} - I_{out} \end{aligned} \quad (2.27)$$

Ce qui correspond bien à l'équation à résoudre (2.24) avec comme constante de temps

$$\tau = \frac{C}{AB}.$$

L'intégration de constantes de temps élevées qui nous est nécessaire est un problème qui se pose pour la réalisation de filtre à très basse fréquence de coupure [DEGUELLE 98], [STEYAERT 91], [WIEGERINK 89]. Dans ces trois cas les auteurs utilisent un schéma de principe similaire à celui de la figure 2-13 avec des facteurs d'atténuation A élevés pour limiter C à une valeur intégrable.

Nous devons réaliser des constantes de temps variant entre 10 ms et 1 s. L'intégration d'une constante de temps de 1 s en utilisant un condensateur de 1 pF impliquerait une transconductance totale AB de 1 pA/V, et même avec une transconductance B faible le facteur d'atténuation A serait encore très important.

Nous avons donc préféré garder un condensateur externe, au détriment du nombre de broches, et utiliser un atténuateur commandé permettant de régler électriquement la valeur de la constante de temps [VAN DER SPIEGEL 92]. Il est représenté à la figure ci-dessous.

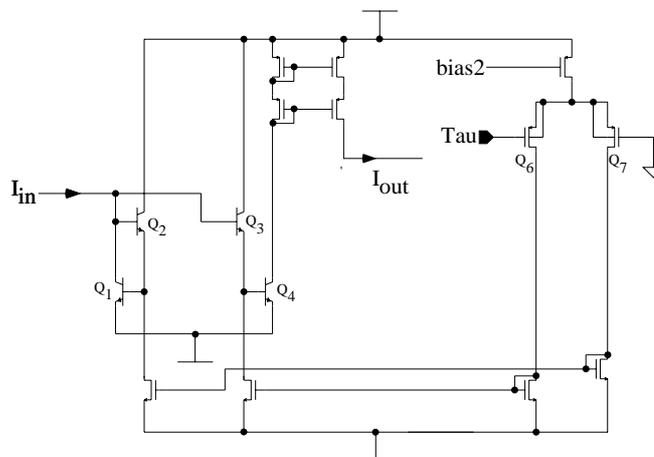


Figure 2-14 : atténuateur commandé.

L'atténuateur est réalisé autour d'un multiplicateur log-antilog formé par Q_1 , Q_2 , Q_3 et Q_4 qui vérifie la relation suivante :

$$I_{\text{out}} = I_4 = I_1 \cdot \frac{I_2}{I_3} = I_{\text{in}} \cdot \frac{I_2}{I_3} \quad (2.28)$$

L'atténuation est donc égale au rapport entre les deux courants I_2 et I_3 qui proviennent d'une paire différentielles MOS simple dont une des entrées est fixée au point milieu des alimentations.

Finalement le schéma complet est présenté à la figure 2-15. L'amplificateur à transconductance B est aussi une simple paire différentielle. Ces dimensions ont été choisies pour limiter l'excursion de V_c , tension aux bornes du condensateur d'intégration C, à environ 250 mV et ainsi garantir la linéarité de la conversion sur cette plage.

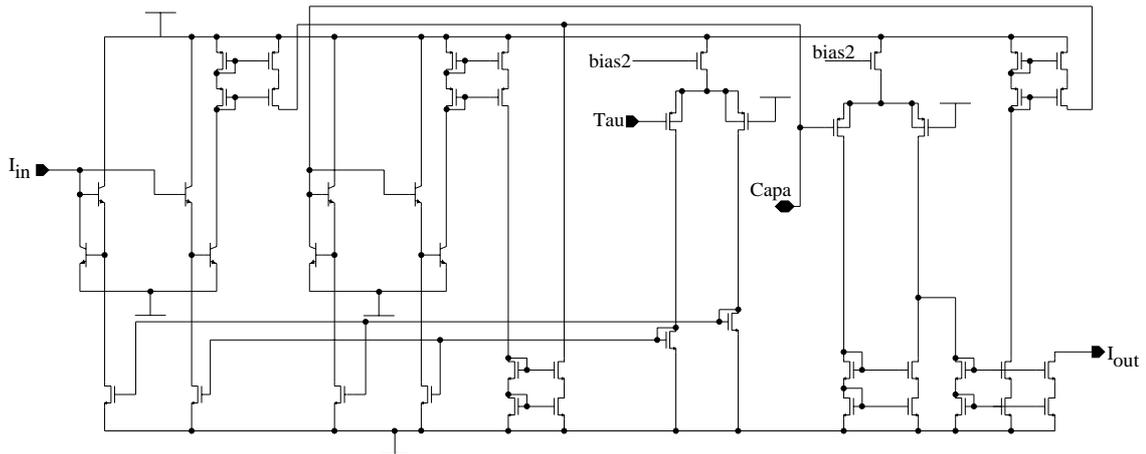


Figure 2-15 : schéma complet du circuit de résolution de l'équation différentielle du premier ordre.

Un double miroir permet d'obtenir la sortie et le courant rebouclé vers un des atténuateurs. Nous avons utilisé deux atténuateurs situés avant la différentiation plutôt qu'un seul après, car la différence de courant obtenue y devient bipolaire.

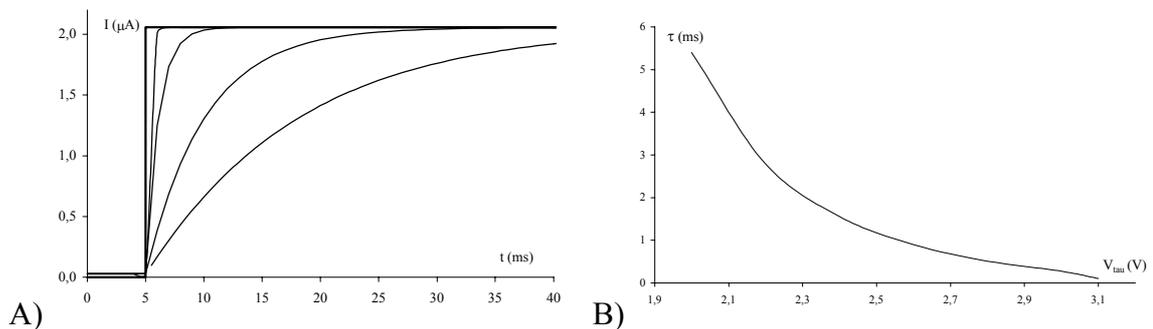


Figure 2-16 : simulation avec un condensateur C de 10 nF A) de la réponse impulsionnelle du circuit de la figure 2-15 pour différentes valeurs d'atténuation. B) de la constante de temps en fonction de la tension de commande de l'atténuateur.

Avec un condensateur externe d'une valeur de 10 nF, les simulations de ce circuit permettent d'observer une constante de temps variant sur un peu plus d'une décade entre 0,1 ms et 5 ms.

3.6.Mémoire analogique intégrée.

Des mémoires analogiques intégrées sont utilisées pour mémoriser la calibration d'un capteur, les dispersions d'un circuit analogique (par exemple l'offset d'une paire différentielle) ou, comme c'est notre cas ici, les paramètres d'un circuit neuronal programmable.

Pour nos ASICs les paramètres sont principalement des tensions analogiques appliquées aux entrées des opérateurs arithmétiques déjà décrits. Lors des phases de test, pour obtenir ces tensions, nous avons utilisé des diviseurs potentiométriques externes nécessitant un réglage manuel, puis, pour plus de souplesse, nous les avons remplacés par des convertisseurs numérique-analogique (CNA). L'usage de CNA programmés par un ordinateur nous a permis de systématiser nos tests et de stocker dans des fichiers les jeux de paramètres des différents modèles étudiés. C'est cette méthode que nous avons retenue pour certaines de nos applications (Voir chapitre IV). L'inconvénient majeur de cette solution est le grand nombre de broches nécessaires (un neurone à deux conductances comporte déjà 14 paramètres et donc autant de broches). L'intégration d'une grande quantité de neurones n'est alors plus limitée par la surface de silicium occupée par la partie active du circuit mais par ce nombre de broches.

Il est donc nécessaire de mettre au point un dispositif de mémorisation intégré comportant le moins d'entrées/sorties possible.

Murray et Woodburn [MURRAY 99] discutent des différentes possibilités de mémorisation des poids synaptiques pour circuits de neurones formels analogiques. Bien que nos applications nécessitent de mémoriser une plus grande variété de paramètres, les approches utilisables sont similaires. C'est donc, là encore, dans cette littérature des réseaux de neurones formels que nous avons trouvé la plupart de nos exemples.

Une méthode directe consisterait à intégrer mémoire numérique et convertisseurs numérique-analogique. Par exemple, Rosseto a intégré des convertisseurs 4 bits à son "système neuromimétique" décrit dans [ROSSETO 91]. Pour un grand nombre de paramètres et au delà de quelques bits de précision cette technique n'est plus envisageable en raison de la surface de silicium qu'elle occuperait. De plus, si le nombre de bits du convertisseur est trop faible, la discrétisation de la plage de conversion fait qu'il devient difficile de parler de grandeur analogique (au sens continûment variable). La précision et la quantité de paramètres requis par nos circuits ne sont pas compatibles avec cette approche et nous avons préféré en retenir deux autres.

3.6.1. Méthode dynamique : échantillonneur-bloqueur.

Le principe est d'utiliser un condensateur pour stocker une charge représentant la valeur analogique à mémoriser. La valeur désirée est appliquée par l'intermédiaire d'un interrupteur analogique. Le circuit réalisé est en fait un élément classique de la microélectronique : c'est un échantillonneur-bloqueur.

Le schéma le plus simple pour réaliser ce sous-bloc utilise un transistor MOS comme interrupteur. Malheureusement deux phénomènes induisent une perturbation de la valeur de tension mémorisée sur le condensateur par injection de charge lors du blocage du transistor [WEGMANN 87], [WILSON 85].

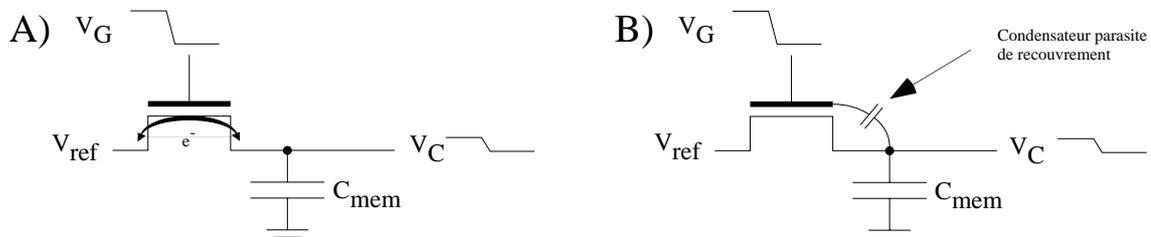


Figure 2-17 : injections de charges dues au transistor MOS de dimensions W , L . A) réarrangement des charges formant le canal lors du blocage du transistor. B) Couplage capacitif du signal de commande.

Ces perturbations sont illustrées par la figure précédente :

- Réarrangement des charges du canal.

Les charges formant le canal du transistor pendant la conduction sont redistribuées vers ses source et drain. Dans le cas d'un NMOS ces charges sont négatives, elles produisent donc une variation de tension négative sur le condensateur de mémorisation C_{mem} .

La répartition de ces charges de part et d'autre du canal, et donc la partie injectée dans le condensateur C_{mem} , dépend du rapport entre les capacités situées de chaque côté de l'interrupteur et d'un facteur intermédiaire B défini de la façon suivante :

$$B = (V_{DD} - V_{Te}) \sqrt{\frac{\mu_0 C_{ox} W/L}{a C_{mem}}} \quad (2.29)$$

- avec :
- V_{DD} niveau logique haut,
 - V_{Te} seuil effectif qui dépend linéairement de V_{ref} en raison de l'effet substrat,
 - a valeur absolue de la pente de V_G pendant la commutation.

La charge totale q_{tot} qui est redistribuée vaut :

$$q_{tot} = C_{ox} \cdot WL \cdot (V_{DD} - V_{Te}) \quad (2.30)$$

Le graphe suivant montre la valeur calculée de la proportion de charge injectée en fonction de ces paramètres [VITTOZ 85].

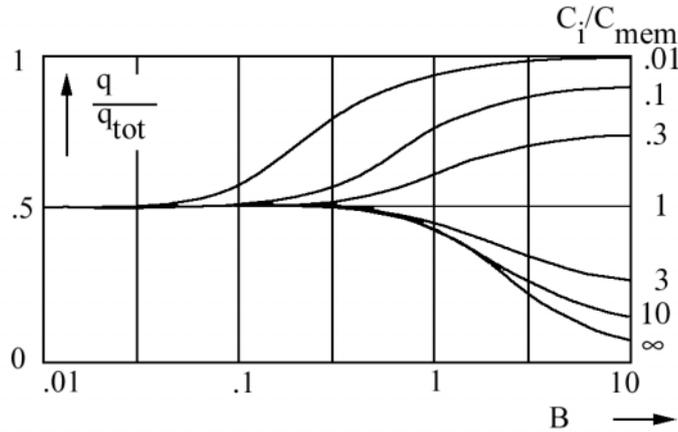


Figure 2-18 : simulation de la fraction q de la charge totale q_{tot} injectée dans le condensateur C_{mem} en fonction de la valeur du condensateur d'entrée C_i et du paramètre B , d'après [VITTOZ 85].

Au regard de ces courbes, plusieurs approches sont possibles pour limiter l'injection en jouant sur les différents paramètres. D'autre part, il existe de nombreux circuits visant à compenser cette injection [LIM 91], [JOHANSSON 98], mais ces approches nécessitent une surface de silicium trop importante pour notre application.

L'un des problèmes majeurs reste la dépendance à la tension d'entrée de la charge injectée qui provient de V_{Te} dans (2.30). Cette dépendance induit un décalage non-constant sur la valeur mémorisée.

- Couplage capacitif :

le condensateur de recouvrement grille/drain forme avec C_{mem} un diviseur capacitif qui couple les fronts du signal de commande V_G du transistor.

$$\Delta V_{mem} = \frac{C_{rec}}{C_{rec} + C_{mem}} \Delta V_G \quad (2.31)$$

avec $C_{rec} = WL_{rec} C_{ox}$ valeur du condensateur de recouvrement.

L'erreur est cette fois un simple décalage indépendant du signal à mémoriser V_{ref} et provoque une erreur systématique moins préjudiciable que la précédente.

Outres ces erreurs de décalage, d'autres éléments doivent être considérés :

- Plage de conduction :
le transistor canal N reste bloqué pour un signal d'entrée V_{ref} d'amplitude supérieure à $V_{DD}-V_{Tn}$, la plage de tension mémorisable sur le condensateur est donc $[0, V_{DD}-V_{Tn}]$. Symétriquement si l'on utilise un transistor canal P, la plage est de $[V_{Tp}, V_{DD}]$.
- Fréquence de fonctionnement :
en considérant en première approximation l'interrupteur fermé comme une résistance, le circuit se comporte comme un réseau RC dont le temps d'établissement limite la fréquence maximale de fonctionnement.
Si le transistor sort de sa zone de fonctionnement ohmique, il apparaît alors comme un générateur de courant constant et la vitesse de charge de C_{mem} , donc la fréquence de fonctionnement, est de nouveau limitée.
- Temps de maintien :
quand le transistor est bloqué, interrupteur ouvert, la valeur de la résistance équivalente qu'il présente au condensateur C_{mem} est très élevée ($> G\Omega$). En fait le condensateur se décharge en raison du courant de fuite de la jonction bipolaire polarisée en inverse du drain. Cette décharge et la valeur du condensateur fixent la limite maximale du temps de maintien pour une précision donnée. Avec des courants de fuites typiques de l'ordre de 1 pA, la décharge d'un condensateur de 1 pF est de 1 $\mu V/\mu s$. Ces courants impliquent l'utilisation d'un mécanisme de "rafraîchissement" qui vient régulièrement recharger le condensateur.

La conception d'un échantillonneur-bloqueur doit prendre en compte ces différents paramètres, mais pour l'utiliser comme mémoire analogique, nous devons avant tout choisir un schéma électrique pour son implémentation ainsi qu'une stratégie de rafraîchissement.

Le nombre important de mémoires dont nous avons besoin nous contraint à utiliser un schéma minimal sans dispositif de compensation complexe de l'injection de charge.

Nous avons relevé plusieurs approches pour la méthode de rafraîchissement :

- Les valeurs sont rafraîchies en boucle à l'aide d'une mémoire numérique et d'un convertisseur numérique-analogique [SATYANARAYANA 92].

- Les condensateurs sont chargés de façon incrémentale par une boucle de rétroaction dont la fonction de transfert implémente en fait l'algorithme d'apprentissage. La valeur absolue mémorisée reste inconnue [MONTALVO 97].
- A mi-chemin entre ces deux méthodes, une valeur initiale est fournie par un convertisseur numérique-analogique, puis un dispositif échantillonne en boucle les valeurs mémorisées pour les rafraîchir à la valeur discrète la plus proche. Avec cette technique la mémoire numérique devient inutile et les mémoires analogiques gardent un accès en lecture et en écriture sous forme numérique [MANN 88], [CAUWENBERGHS 96], [MURRAY 89].

Nous présenterons l'approche que nous avons choisie de suivre au chapitre suivant.

3.6.2. Méthode non-volatile : mémoire à grille flottante.

Le principe utilisé est simple, là encore la valeur à mémoriser est stockée sous forme de charges électriques mais, pour supprimer tout courant de fuite, l'armature qui porte ces charges est entièrement noyée dans un isolant. Elle constitue la grille d'un transistor MOS qui servira à la "lecture" de la mémoire en mesurant la charge stockée, d'où l'appellation de "grille flottante". La charge piégée ne pouvant normalement pas varier, même lors d'une coupure d'alimentation électrique, elle peut servir à mémoriser une information de façon permanente : la mémorisation est dite non-volatile et le rafraîchissement devient inutile.

Initialement, ce principe a été utilisé pour la fabrication de mémoires numériques. La première description d'un tel dispositif est attribuée à Kahng et Sze en 1967 [KAHNG 67]. Les premières EPROM (Electrically Programmable Read Only Memory) sont commercialisées depuis 1971 par la société Intel : seule l'écriture est réalisée électriquement, l'effacement se fait par exposition à un faisceau ultraviolet (UV). Il faut attendre 1977 pour voir apparaître des mémoires effaçables électriquement. Actuellement les produits de ce type sont omniprésents au sein de nos appareils ménagers.

D'autres dispositifs non-volatils existent, nous ne les avons pas considérés car, à l'inverse des mémoires à grille flottante, ils ne sont pas réalisables avec des technologies standard. Par exemple les mémoires MNOS (Metal-Nitride-Oxide) stockent les charges dans les pièges qui apparaissent à l'interface entre deux isolants. Pour une description et un historique complet le lecteur pourra consulter l'ouvrage *Semiconductor memories – 2nd edition* [PRINCE 91] ou l'article de synthèse [MURRAY 98].

Nous n'avons, jusqu'à présent, parlé que de mémoire numérique. Dans tous ces dispositifs, la charge stockée sur la grille flottante est mesurée et comparée à un seuil pour discriminer deux niveaux logiques, 0 ou 1. Pour augmenter la densité d'intégration des mémoires flash, les fabricants ont conçu des points mémoires multiniveaux. Au lieu de stocker un bit par cellule ils en stockent deux ou trois, en discriminant, respectivement, quatre ou huit niveaux.

La discrétisation réelle de l'information mémorisée sur la grille flottante est imposée par la charge élémentaire de l'électron. Nous pouvons considérer cette mémorisation comme continûment variable et elle peut donc servir à représenter un paramètre analogique à condition de remplacer les comparateurs de sortie par de simples dispositifs amplificateurs.

Cette idée est utilisée depuis une dizaine d'années par quelques groupes de recherche universitaire, principalement pour des applications de compensation des dispersions de circuits analogiques et pour le stockage des paramètres de circuits neuronaux programmables [MANN 90].

Quel que soit le dispositif de lecture permettant de mesurer la charge stockée, les mécanismes d'écriture restent identiques. La grille flottante, l'isolant et le canal du MOS de lecture, ou une seconde grille, constituent un condensateur. La mise en conduction de celui-ci est généralement obtenue par l'utilisation d'un des trois procédés suivants :

- création de porteurs par illumination UV,
- injection de porteurs chauds,
- injection ou retrait par effet tunnel.

L'interface conducteur-isolant induit une barrière de potentiel dont la hauteur est caractéristique des matériaux la constituant. Elle provient de la différence entre les affinités électroniques pour une jonction semiconducteur-isolant ou du travail de sortie et de l'affinité électronique pour une jonction métal-isolant (figure 2-19). C'est cette barrière qui s'oppose à la pénétration des électrons libres du conducteur dans l'isolant. Les trois mécanismes physiques que nous allons décrire permettent à ces porteurs de surmonter cette barrière et de pénétrer dans l'isolant avec une énergie suffisante pour se trouver dans sa bande de conduction. Les charges finissent alors de traverser l'isolant par conduction en présence d'un champ électrique adéquat appliqué au condensateur.

Pour l'interface $\text{SiO}_2\text{-Si}$ la barrière est plus élevée pour les trous que pour les électrons, c'est donc cette dernière catégorie de porteurs qui produit la conduction.

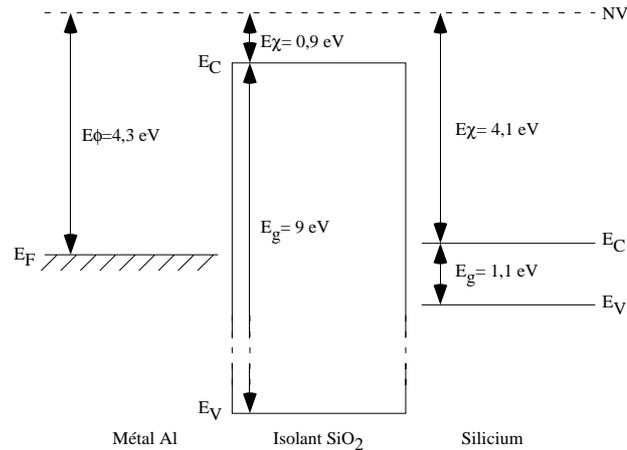


Figure 2-19 : grandeurs caractéristiques des hétérojonctions Al-SiO₂ et SiO₂-Si. La barrière de potentiel à l'interface SiO₂-Si vaut : $E_{\chi Si} - E_{\chi SiO_2} = 4,1 - 0,9 = 3,2 \text{ eV}$ pour les électrons et $E_{gSiO_2} + E_{\chi SiO_2} - (E_{gSi} + E_{\chi Si}) = 9 + 0,9 - 4,1 - 1,1 = 4,7 \text{ eV}$ pour les trous.

3.6.2.1. Mise en conduction de l'isolant par un faisceau UV.

Cette première méthode n'est citée que par souci d'exhaustivité. Elle consiste à apporter suffisamment d'énergie aux porteurs par excitation photoélectrique pour qu'ils puissent surmonter la barrière de potentiel que leur oppose l'isolant. Dans ces conditions, l'isolant se comporte comme un conducteur dont la conductivité est pratiquement constante en fonction de la tension appliquée mais reste de très faible valeur.

La nécessité d'utiliser une source lumineuse externe n'est pas compatible avec nos contraintes. Rappelons que nous souhaitons concevoir un dispositif intégré. Le lecteur intéressé pourra se reporter à [ABUSLAND 93] et [KERNS 91].

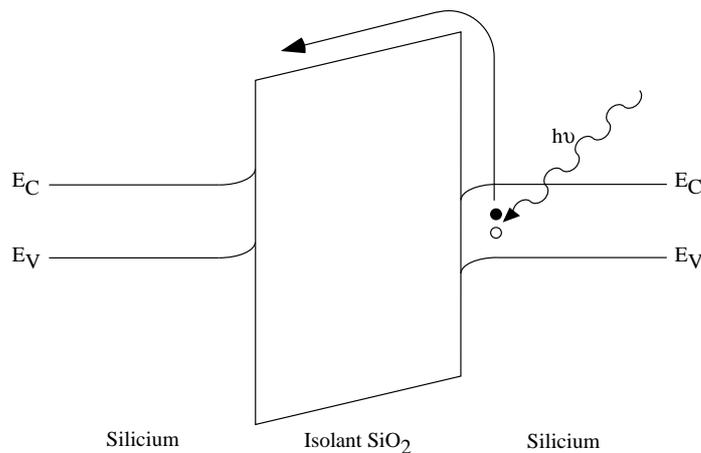


Figure 2-20 : mise en conduction par excitation photoélectrique, l'énergie $h\nu$ du faisceau crée des paires électron-trou, les électrons ont une énergie suffisante pour surmonter la barrière de la jonction.

3.6.2.2. Injection de porteurs chauds.

Cette fois l'énergie nécessaire pour surmonter la barrière est apportée électriquement : dans certaines conditions les porteurs d'un transistor MOS acquièrent une énergie cinétique suffisante pour surmonter la barrière. Il existe en fait deux mécanismes qui permettent aux porteurs d'obtenir cette énergie cinétique :

- Accélération des porteurs assurant la conduction d'un transistor MOS saturé par le champ électrique de forte intensité à proximité du drain.

"Les porteurs ne sont plus en équilibre thermodynamique avec le réseau, mais leurs fortes interactions mutuelles leur permettent de se mettre en équilibre entre eux. Il s'agit alors d'un pseudo-équilibre thermodynamique, leur distribution énergétique est toujours régie par une fonction de distribution mais avec une température effective propre au gaz de porteurs, différente de celle du réseau. On qualifie ces porteurs de porteurs chauds."

[MATHIEU 90]

- Multiplication des porteurs chauds par avalanche de la jonction pn drain-canal polarisée en inverse.

Ce mécanisme est lié au précédent, les porteurs chauds génèrent des paires électron-trou par choc sur les atomes du cristal provoquant leur ionisation. Ces paires sont à leur tour accélérées et peuvent créer d'autres paires, c'est le phénomène d'avalanche.

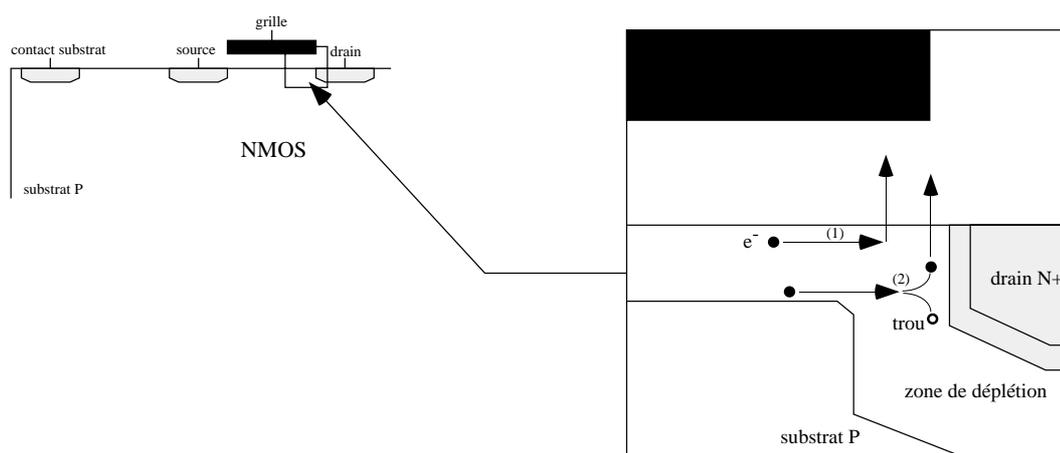


Figure 2-21 : injection d'électrons chauds dans la grille d'un transistor NMOS. (1) les électrons acquièrent l'énergie cinétique nécessaire pour surmonter la barrière de potentiel de l'interface Si-SiO₂. (2) les électrons chaud créent des paires électrons-trous, les électrons secondaires sont à leur tour accélérés et peuvent créer d'autres paires.

En fait la création de porteurs chauds n'est pas suffisante pour produire l'injection, il faut aussi que leurs trajectoires interceptent l'interface. Deux éléments concourent à cet effet :

- la tension grille/drain non nulle qui implique que le champ électrique n'est pas confiné dans le plan du canal,
- la dispersion omni-directionnelle des porteurs secondaires créés lors de l'avalanche.

Hasler propose une modélisation complète de l'injection d'électrons chauds et de l'ionisation par impact dans un transistor NMOS [HASLER].

Notons que la création de porteurs chauds est aussi possible dans un transistor PMOS, l'avalanche étant déclenchée par des trous [HASLER 96], [KRUGER 96].

Finalement le courant injecté est proportionnel au courant dans le transistor et fonction de la tension grille-drain, DIORIO propose une équation empirique [DIORIO 96] :

$$I_g = \eta I_s e^{-\frac{V_\alpha}{V_{gc}} \left(\frac{V_\beta}{V_{dc} + V_\eta} \right)^2} \quad (2.32)$$

- avec :
- I_g courant au travers de l'oxyde,
 - I_s le courant dans le canal,
 - V_{gc} la tension grille-canal,
 - V_{dc} la tension grille-drain,
 - η , V_η , V_β et V_α sont des constantes.

L'efficacité d'injection (rapport entre le courant du transistor et le courant injecté dans la grille flottante) indiquée par ces auteurs reste très faible ($\frac{I_g}{I_s} < 10^{-7}$), la puissance dissipée par ce dispositif peut être importante.

Pour améliorer l'efficacité d'injection, deux méthodes sont utilisées :

- Réalisations du transistor NMOS dans une zone P+ (par exemple l'implantation de base d'une technologie BiCMOS) pour augmenter la tension de seuil V_{T0} . Le transistor conduit un courant faible grâce à un fonctionnement sous le seuil même polarisé par des tensions de grille et de drain élevées favorables à l'injection [HASLER 95], [DIORIO 95], [DIORIO 96], [SARPESHKAR 96], [HARRISON 98].
- Extension de la grille au-dessus du drain afin d'augmenter la surface de collection des porteurs de la zone de déplétion drain/canal [DIORIO 96].

3.6.2.3. Effet tunnel.

L'effet tunnel est un mécanisme purement quantique, si la physique classique prédit qu'une particule ne peut traverser un mur de potentiel dont la hauteur est supérieure à son énergie, la physique quantique montre que cet évènement est possible mais avec une probabilité très faible. Elle est inversement proportionnelle à l'épaisseur de la barrière. Dans un condensateur polarisé la courbure des bandes de l'isolant réduit cette épaisseur et accroît le nombre de charges transportées dans la bande de conduction de l'isolant, elles finissent de le traverser par conduction.

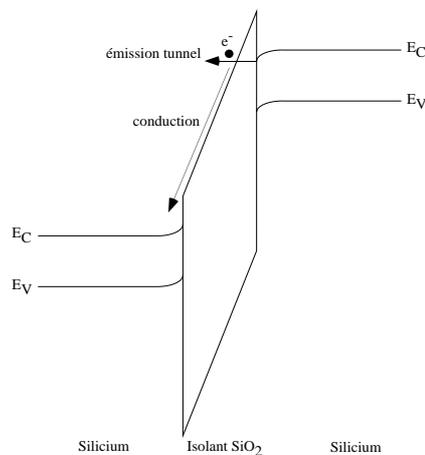


Figure 2-22 : schéma de bande d'un condensateur Si-SiO₂-Si polarisé par une tension élevée. La symétrie de la structure permet un transport bidirectionnel en inversant la polarité de la tension appliquée.

La densité de courant tunnel au travers d'un oxyde SiO₂ est modélisée par l'équation (2.33), établie par Fowler et Nordheim [LENZLINGER 69], [SZE 81].

$$J = \left(\frac{q^3 E^2}{8\pi h \Phi} \right) \exp \left(\frac{4(2m^*)^{\frac{1}{2}} \Phi^{\frac{3}{2}}}{3h q E} \right) \quad (2.33)$$

- avec :
- q charge de l'électron,
 - E champ électrique dans l'isolant,
 - h constante de Planck,
 - Φ hauteur de la barrière de potentiel,
 - m^* masse effective de l'électron dans SiO₂.

Le courant est donc proportionnel au champ dans l'oxyde. Si nous considérons les armatures du condensateur d'injection comme des conducteurs idéaux (ce qui n'est qu'une approximation pour du polysilicium dégénéré) le champ dans l'oxyde est égal au potentiel appliqué au condensateur divisé par l'épaisseur de l'oxyde. Le diagramme ci-dessous illustre les tensions nécessaires à l'obtention d'un courant tunnel de densité donnée.

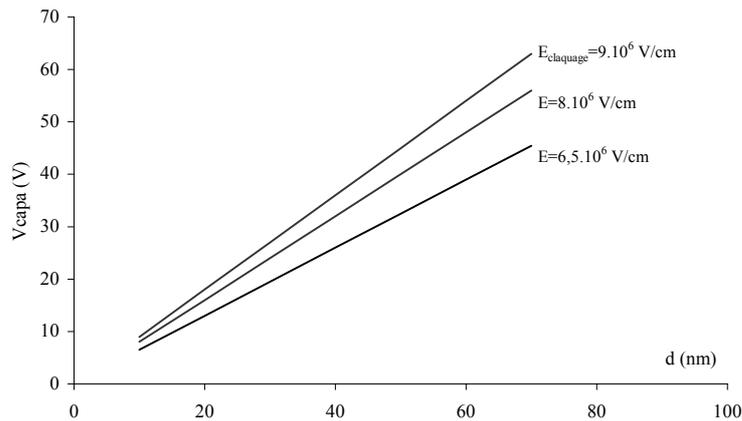


Figure 2-23 : tensions aux bornes d'un condensateur Si-SiO₂-Si pour obtenir un champ donné en fonction de l'épaisseur d de l'isolant. $E_{\text{claquage}} = 9.10^6$ V/cm est la limite basse de claquage pour une épaisseur de SiO₂ inférieure à 100 nm [SZE 81]. Les champs 8.10^6 V/cm et $6,5.10^6$ V/cm correspondent, respectivement, à des densités de courant tunnel de $\sim 10^{-10}$ A/cm² et $\sim 10^{-7}$ A/cm² [LENZLINGER 69].

Nous constatons que pour éviter des tensions de programmation élevées (supérieures à la tension d'alimentation ou à celle que l'on peut obtenir avec un dispositif à pompe de charge) il est nécessaire d'utiliser des épaisseurs d'oxyde faibles. C'est une des approches des procédés spéciaux développés pour la réalisation de mémoires EEPROM. Une étape supplémentaire pendant la fabrication permet de fabriquer un oxyde ultrafin servant à la réalisation des injecteurs tunnels. Comme nous utilisons des technologies standard cette solution n'est pas directement envisageable. En fait, le but est de renforcer le champ électrique à l'interface qui est une des variables principales dont dépend le courant tunnel (équation 2.33). Nous avons à notre disposition d'autres techniques permettant d'obtenir ce résultat :

- tout d'abord l'utilisation de la réduction d'épaisseur d'oxyde qui survient dans des zones spécifiques des structures standard, par exemple au recouvrement poly1/poly2 ou niveau d'un contact métal/poly [LANDE 96]. Plusieurs auteurs (par exemple [CHAI 96]) pensaient que des angles aigus dans la grille flottante provoquaient aussi un renforcement local du champ. Les procédés photolithographiques ayant tendance à détruire ces angles, il

paraît acquis que l'augmentation du courant observée provient plutôt des diminutions d'oxydes qu'induisaient leurs structures [DIORIO 95].

- d'autre part, il est démontré que l'interface polysilicium/oxyde présente un grand nombre d'aspérités qui renforce le champ et permet d'obtenir un courant tunnel à des tensions plus faibles que ne le prédit la théorie. La formation de ces aspérités est provoquée pour les procédés spécifiques, mais elle est naturellement présente pour les procédés standard [ELLIS 82], [ANDERSON 97]. Nous bénéficions de ce phénomène, mais comme il est produit par la croissance thermique de SiO₂ il n'apparaît que d'un côté de l'oxyde et produit une dissymétrie de l'effet tunnel.

Bien que l'effet tunnel soit par nature bidirectionnel, l'utilisation de cette propriété s'avère délicate. Pour arracher des électrons à l'armature flottante, il suffit d'appliquer une tension positive sur la seconde armature. Par contre pour injecter des électrons sur la grille flottante il faut soit appliquer une tension négative sur cette même seconde armature (figure 2-24-A), soit forcer une tension positive sur la grille flottante elle-même (figure 2-24-B).

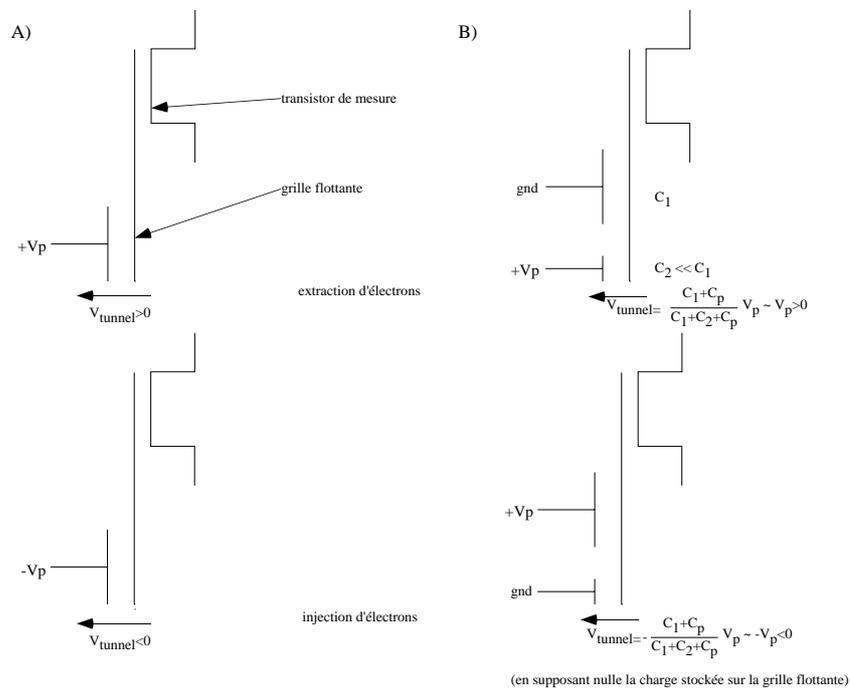


Figure 2-24 : inversion de la polarité aux bornes de l'injecteur tunnel. A) par application d'une tension de programmation bipolaire. B) par couplage capacitif sur la grille flottante.

L'étude des solutions que nous proposons sera développée lors de la présentation du circuit de test "babar" au chapitre III.

En tout état de cause, les difficultés à surmonter restent nombreuses. Citons, entre autre, le temps de programmation élevé (~100 ms à quelques s) dû à la faible intensité des courants tunnels, la dégradation des propriétés d'injection due au piégeage de charge dans l'oxyde [PARK 98], le temps de rétention réel fini si la non volatilité est un critère [DE SALVO 98]... A notre connaissance, seules deux applications commerciales utilisant ce type de mémorisation analogique ont vu le jour jusqu'à présent. Elles utilisent des technologies spécifiques.

- Le circuit ETANN de la société INTEL [HOLLER 89]. C'est un réseau de neurones formels dont les poids synaptiques sont stockés par des mémoires à grilles flottantes. Ce circuit n'est plus fabriqué.
- La société ISD [ISD] produit des solutions monocircuit d'enregistrement et de restitution de la voix. La voix est échantillonnée, mais au lieu d'être numérisée et stockée sous forme numérique, elle est mémorisée par des mémoires intégrées à grille flottante permettant de stocker 256 niveaux. Grâce à l'absence de volumineux convertisseurs et à la densité de stockage l'ensemble d'enregistrement, de mémorisation et de restitution est intégré en un seul circuit. De plus la mémorisation est non volatile.

3.7.Réglage de la topologie.

La topologie du réseau décrit les interconnexions entre différentes conductances ioniques (voir figure 1-5). L'approche choisie pour construire ces connexions dans nos circuits utilise un bus analogique externe au circuit intégré où sont connectés les condensateurs de membrane. Ces derniers ont en effet des valeurs trop élevées pour être intégrés. Le paramétrage consiste ensuite à connecter les entrées et sorties de chacune des conductances sur ce bus. Nous avons deux types de signaux à commuter :

- Les entrées sont des tensions, ce sont les potentiels membranaires.
- Les sorties correspondent aux courants ioniques.

Signalons aussi que le schéma de connexion est différent pour une synapse et pour une conductance. La synapse comporte deux entrées en tension, les potentiels présynaptique et postsynaptique, et un courant de sortie qui doit être injecté sur la ligne postsynaptique, alors qu'une conductance simple possède une seule entrée en tension qui est connectée au même point que sa sortie en courant.

Nous avons déjà présenté l'élément permettant de réaliser ce type d'opération : l'interrupteur analogique (paragraphe 3.6.1).

Nous utiliserons donc des transistors MOS pour commuter tensions et courants, les contraintes sont cependant différentes de celles à prendre en compte pour la conception d'échantillonneurs-bloqueurs. Ici l'utilisation est statique, le réseau est formé puis l'état des interrupteurs n'est pas modifié, l'injection de charge ne présente donc pas de problème. La contrainte principale est simplement la plage de conduction de ces éléments.

Nous présentons un exemple de réalisation utilisant ce système pour ajuster la topologie au chapitre III avec le circuit "fpca-r".

4. SYNTHÈSE DES DIFFÉRENTES CONDUCTANCES IONIQUES.

Nous allons maintenant présenter l'arrangement des opérateurs qui viennent d'être décrits tel qu'il est nécessaire pour la réalisation des différentes conductances ioniques composant les neurones artificiels que nous utilisons dans nos circuits.

Les mémoires analogiques et les circuits de gestion de la topologie du réseau sont considérés comme des périphériques du simulateur analogique de neurone, leur étude est donc renvoyée au chapitre III avec la présentation des différents circuits réalisés.

4.1. Structure générale.

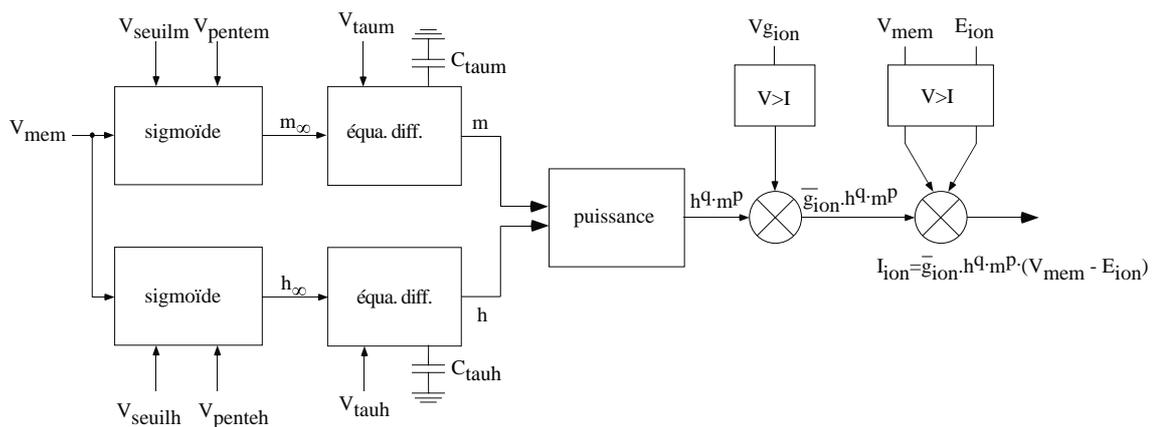


Figure 2-25 : schéma-bloc du circuit de résolution analogique des équations d'une conductance ionique conformément au formalisme de Hodgkin et Huxley $I_{ion} = \bar{g}_{ion} \cdot m^p \cdot h^q \cdot (V_{mem} - E_{ion})$.

La structure complète d'une conductance ionique, conforme au formalisme de Hodgkin et Huxley, est présentée par la figure précédente. Nous pouvons détailler l'ordre des opérateurs utilisés :

- Valeurs asymptotiques de l'activation m_∞ et de l'inactivation h_∞ : elles sont obtenues avec le circuit de synthèse de sigmoïde (paragraphe 3.4) qui génère un courant de sortie compris dans l'intervalle $[0, I_0]$, avec $I_0 = 2 \mu\text{A}$.

Chaque sigmoïde comporte deux paramètres, *Pente* et V_{seuil} , réglés par des tensions.

- La résolution des équations différentielles du premier ordre est ensuite obtenue grâce au circuit décrit au paragraphe 3.5. Avec cette implémentation, la constante de temps est indépendante du potentiel de membrane. L'équation décrivant cette fonction (1.17) serait en effet fort complexe à mettre en œuvre et les simulations numériques et l'expérience du groupe ont montré que cette approche permettait d'obtenir des résultats suffisants. C'est la seule approximation que nous ayons consentie au formalisme.

La constante de temps est fixée par un condensateur externe C et est modulée par la tension V_{tau} appliquée à l'atténuateur A .

- Les courants résultants sont multipliés et élevés à la puissance par un bloc unique dérivé du multiplieur log-antilog (paragraphe 3.3.2). Le produit normalisé est aussi compris entre 0 et I_0 .
- Un autre multiplieur log-antilog permet d'obtenir le produit du courant $m^p \cdot h^q$ et d'un courant provenant d'une paire entrecroisée qui modélise le paramètre de conductance maximale \bar{g}_{ion} . Le produit, de nouveau normalisé par I_0 , varie maintenant entre 0 et \bar{g}_{ion} . Le seul paramètre réglable, \bar{g}_{ion} , est ajusté par une tension. Notons que la plage de réglage de \bar{g}_{ion} est aussi fixée par le rapport de trois miroirs de courants, un premier situé à l'entrée \bar{g}_{ion} de ce bloc, un deuxième à sa sortie et enfin un troisième à la sortie de la conductance. Compte tenu des rapports de chaque miroir, nous obtenons ainsi trois gammes de \bar{g}_{ion} x1, x2 et x18.
- Un multiplieur de type "beta-immune" (paragraphe 3.3.1) assure la dernière multiplication entre le courant unipolaire qui représente $\bar{g}_{ion} \cdot m^p \cdot h^q$ et le courant différentiel provenant de la conversion de $(V_{mem} - E_{ion})$ par une paire entrecroisée.

4.2.Détails des différentes conductances ioniques implémentées.

Les différents conductances ioniques dont nous avons besoin ont des expressions ou des gammes de paramètres différentes, il est donc nécessaire de les individualiser au niveau de leur implémentation. Cette contrainte est un des exemples de limitations des simulateurs analogiques par rapport à une réalisation numérique : le formalisme est partiellement figé à la fabrication.

4.2.1. Sodium Na et potassium K.

Leurs expressions correspondent au modèle initial de Hodgkin et Huxley.

$$\begin{aligned} I_{Na} &= \bar{g}_{Na} \cdot m^3 \cdot h \cdot (V_{mem} - E_{Na}) \\ I_K &= \bar{g}_K \cdot n^4 \cdot (V_{mem} - E_K) \end{aligned} \quad (2.34)$$

Pour ces conductances, la gamme de \bar{g}_{ion} correspond au rapport x18 des miroirs.

4.2.2. Courants de fuite, stimulation et compensation.

Pour le courant de fuite la conductance est constante, elle n'est pas modulée par des fonctions d'activation ou d'inactivation. L'implémentation est ainsi simplifiée, elle ne comporte qu'un multiplicateur "beta-immune" multipliant un courant unipolaire qui représente \bar{g}_{ion} avec le courant différentiel provenant de la conversion des $V_{mem}-E_{fuite}$ par une paire entrecroisée :

$$I_{fuite} = g_{fuite} \cdot (V_{mem} - E_{fuite}) \quad (2.35)$$

Avec la même structure nous réalisons des convertisseurs tension-courant. Nous utilisons g_{fuite} pour fixer le rapport de conversion, le paramètre E_{fuite} est supprimé, son entrée est fixée au point milieu des alimentations et V_{mem} devient l'entrée du convertisseur.

Deux types de convertisseurs sont utilisés permettant de stimuler une cellule par injection de courant. Le premier sert à injecter un courant constant dont la valeur est ajustable par la tension appliquée à l'entrée qui est donc un paramètre de ce bloc. Le second a son entrée reliée à une broche externe et permet ainsi d'injecter un courant de forme quelconque.

Pour ces trois éléments la gamme de g_{fuite} correspond au rapport x1 des miroirs.

4.2.3. Calcium Ca et potassium calcium dépendant K(Ca).

$$\begin{aligned} I_{Ca} &= \bar{g}_{Ca} \cdot m^3 \cdot h \cdot (V_{mem} - E_{Ca}) \\ I_{K(Ca)} &= \bar{g}_{K(Ca)} \cdot n^4 \cdot (V_{mem} - E_{K(Ca)}) \end{aligned} \quad (2.36)$$

Ces deux conductances ont des expressions similaires à celles du sodium et du potassium. Elles présentent cependant une gamme de \bar{g}_{ion} inférieure qui correspond au rapport x2, mais la différence majeure est ailleurs. Le courant potassium K(Ca) est dit calcium dépendant car son activation n est modulée par la concentration calcique.

Pour modéliser cette dépendance, nous avons gardé la même approche que dans [LAFLAQUIERE 98] en utilisant les équations décrites dans [LE MASSON 98a]. La concentration calcique est obtenue par l'intégration du courant de la conductance calcium Ca :

$$\frac{d[Ca]}{dt} = AI_{Ca} - B([Ca] + [Ca]_0) \quad (2.37)$$

Et la forme asymptotique de sa fonction d'activation n est modulée par un rapport faisant intervenir la concentration calcique :

$$n_{\infty} = \frac{[Ca]}{[Ca] + K} \cdot (V_{mem} + L[Ca]) \cdot \frac{1}{1 + \exp\left(\frac{V_{mem} - V_{seuil}}{Pente}\right)} \quad (2.38)$$

L'expression (2.37) forme une équation différentielle du premier ordre que nous résolvons avec le même circuit que celui utilisé pour les fonctions d'activation et d'inactivation (figure 2-15). Nous injectons le courant calcique à l'entrée de ce bloc, et nous utilisons sa sortie pour moduler n_{∞} . Electroniquement les équations implémentée correspondent à :

$$\frac{1}{B} \frac{dX}{dt} = I_{Ca} - X \quad (2.39)$$

$$n_{\infty} = \frac{X}{X + Cacst} \cdot \frac{1}{1 + \exp\left(\frac{V_{mem} - V_{seuil}}{Pente}\right)} \quad (2.40)$$

Le terme $\frac{X}{X + Cacst}$ qui entraîne la dépendance calcique dans l'équation (2.40) est obtenu grâce à un multiplieur log-antilog (figure 2-8, équation 2.14) :

- I_B provient du bloc sigmoïde qui modélise la forme asymptotique de l'activation.

- I_C est le courant X provenant de l'intégration du courant de la conductance Ca .
- Enfin c'est le courant I_0 qui servait jusqu'à présent à la normalisation qui nous permet de réaliser la division nécessaire. C'est la somme d'une image du courant X et du courant $Cacst$ provenant d'une paire entrecroisée.

L'implémentation électronique ne fait donc pas intervenir directement la concentration calcique, mais un terme proportionnel X . Avec les changements de variable $X = \frac{B}{A}[Ca]$, $Cacst = \frac{A}{B}K$ et en prenant $[Ca]_0 = 0$, ces équations sont équivalentes au modèle théorique (La partie $(V_{mem} + L[Ca])$ de la dépendance n'étant pas utilisée).

4.2.4. Synapse.

Les synapses répondent à l'expression suivante :

$$I_{synapse} = \bar{g}_{syn} \cdot m \cdot (V_{mempost} - E_{syn}) \quad (2.41)$$

La particularité tient dans la présence de deux entrées $V_{mempré}$ et $V_{mempost}$, qui correspondent aux tensions présynaptique et postsynaptique.

La fonction asymptotique m_∞ de la variable d'état d'activation dépend de $V_{mempré}$ et le produit de sortie utilise la tension $V_{mempost}$. La gamme de \bar{g}_{syn} correspond au rapport x2 des miroirs.

4.3. Relations d'étalonnage pour les différents paramètres.

Les simulations des différentes conductances ioniques présentées au paragraphe précédent permettent d'obtenir les relations théoriques entre les grandeurs "électriques" du circuit et les grandeurs "biologiques" des équations. Elles nous permettront d'évaluer les valeurs des tensions à appliquer à nos circuits selon les paramètres des modèles mathématiques de neurones.

- Sigmoide.

Rappelons que l'équation d'une sigmoïde est de la forme :

$$f(V_{mem}) = \frac{1}{1 + \exp\left(\pm \frac{V_{mem} - V_{seuil}}{Pente}\right)}$$

Cette fonction comporte deux paramètres, V_{seuil} et $Pente$. V_{seuil} est directement la tension appliquée au circuit et $Pente$ est lié à la tension V_{pente} par la relation (2.23).

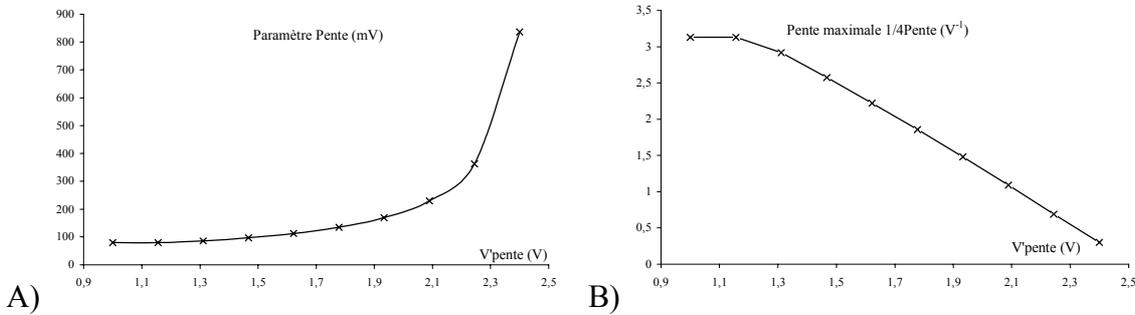


Figure 2-26 : évolution en fonction de la tension de réglage V_{pente} du circuit de sigmoïde de A) la valeur du paramètre $Pente$ et B) de la pente arithmétique de la sigmoïde

$$f'(V_{mem})_{V_{mem}=V_{seuil}} = \mp \frac{1}{4.Pente}$$

- \bar{g}_{ion}

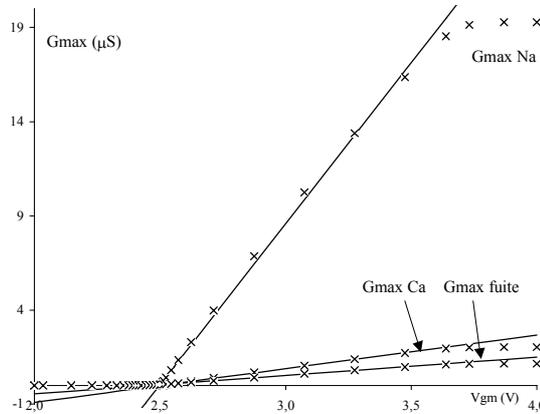


Figure 2-27 : valeurs maximales \bar{g}_{ion} du courant des conductances ioniques pour les trois gains $x1$, $x2$ et $x18$ en fonction de la tension de réglage du paramètre du circuit.

type de conductance ionique	gain ($\mu S/V$)	\bar{g}_{ion} max (μS)
Na et K	17,10	19,29
Ca, K(Ca) et synapse	1,79	2,03
Compensation, stimulation et conductance de fuite	0,98	1,1

Tableau 2-5 : pente de la partie linéaire de la plage d'ajustement et valeur de saturation de \bar{g}_{ion} .

- Constante de temps d'intégration (cinétique et concentration calcium).

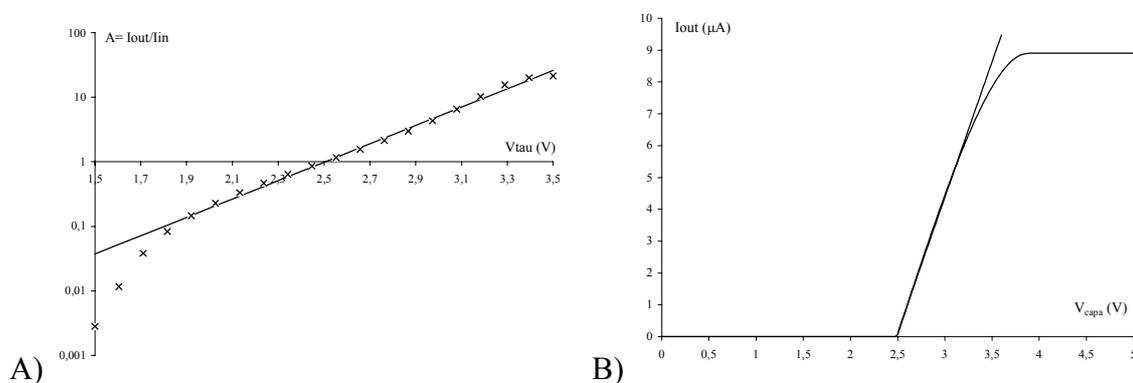


Figure 2-28 : réglage de la constante de temps. A) valeur de l'atténuation $A(V_{\tau})$ en fonction de la tension de réglage V_{τ} et B) fonction de transfert de la transconductance B (voir figure 2-13).

Si C est la valeur du condensateur de l'opérateur de la figure 2-13, la constante de temps de

l'intégrateur vaut $\tau = \frac{C}{A(V_{\tau})B}$, avec $B = 8,51 \mu\text{A/V}$ soit $1/B = 117 \text{ k}\Omega$.

Par exemple pour un condensateur C de 10 nF et sans atténuation ($A=1$, c'est-à-dire $V_{\tau} = 2,5 \text{ V}$), la constante de temps vaut $\tau = 1 \cdot 10^{-8} \cdot 117 \cdot 10^3 = 1,17 \text{ ms}$.

- Paramètre de calcium dépendance C_{caest} .

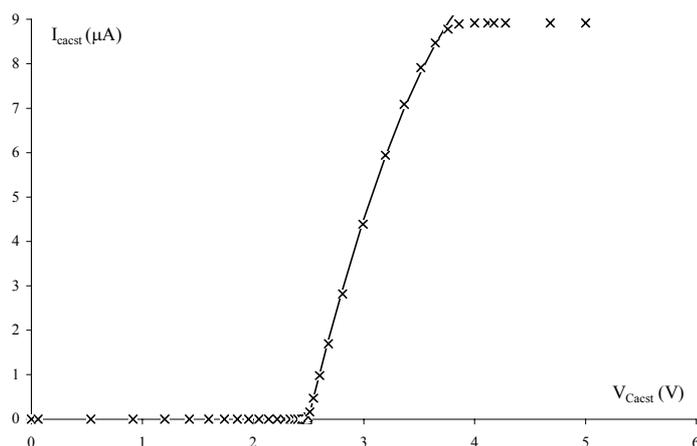


Figure 2-29 : variation de C_{caest} en fonction de la tension de réglage.

Cacst intervient dans la modulation du courant K(Ca) par le rapport $\frac{X}{X + Cacst}$ (équations 2.37 à 2.40).

- Facteurs d'échelle.

Finalement au regard des différentes conductances maximales \bar{g}_{ion} les facteurs d'échelle entre grandeurs électriques et biologiques des modèles de neurones sont récapitulés dans le tableau ci-dessous :

	modèle biologique	modèle électrique	gain
courants	1 nA	10 nA	x 10
tensions	100 mV	1 V	x 10
conductances	1 mS	1 mS	x 1
capacités	1 nF	1 nF	x 1

Tableau 2-6 : ordres de grandeur et facteurs de conversion entre modèles biologiques et analogiques.

5. AVANTAGES COMPARES DE LA RESOLUTION ANALOGIQUE.

Commençons par rappeler clairement les deux contraintes principales de notre projet pour ce qui est de faire dialoguer neurones réels et neurones artificiels : résolution en temps réel et lien bidirectionnel analogique.

Il faut en effet résoudre en temps réel le nombre important d'équations qui interviennent dans la description des neurones artificiels mais aussi créer un lien avec les neurones biologiques. La mise en œuvre concrète de ce lien sera abordée plus loin dans ce document, mais nous voyons déjà que l'activité des neurones biologiques est par essence analogique. La réalisation du lien consistant à transférer l'état des neurones biologiques vers la partie calculée et en retour à réinjecter sa réponse, ces signaux sont donc nécessairement analogiques.

A notre époque dominée par la micro-informatique, la première idée serait bien entendu de faire une résolution numérique à l'aide d'un micro-ordinateur et d'utiliser une carte d'entrée/sortie analogique. Nous allons expliquer pourquoi cette solution présente de sévères limitations.

La résolution numérique implique une double discrétisation, celle du temps et celle du signal. Avec des marges suffisantes, cette contrainte apparaît cependant supportable : un exemple d'un système biologique ne détectant pas les effets de la discrétisation est simplement celui de l'enregistrement audionumérique... Pour donner un ordre de grandeur, signalons que les

acquisitions numériques de signaux neuronaux se font généralement avec une fréquence d'échantillonnage maximale de 40 kHz.

A cette fréquence les conversions analogique-numérique ou numérique-analogique ne posent pas de problèmes particuliers, nous pouvons donc penser qu'avec les processeurs dont la fréquence d'horloge approche le GHz il devrait en être de même de la résolution numérique des équations. Malheureusement le bus PCI qui doit servir à transmettre les données entre la mémoire principale et les convertisseurs forme le goulet d'étranglement de ce système : l'architecture maître/esclave et l'optimisation des transferts en mode bloc du bus PCI se traduisent par l'impossibilité de synchroniser des transmissions bidirectionnelles en mode "byte" à des taux supérieurs à 100 kHz.

Cet état de fait est encore aggravé par les systèmes d'exploitations multitâches qui sont conçus pour assurer le partage des ressources entre applications et ne sont donc pas adaptés au calcul temps réel puisque la synchronisation devient quasiment impossible à maîtriser.

Notons que les équations à résoudre représentent quand même une charge importante pour le calculateur et en guise de référence, il faut 38 s au logiciel *neuron* tournant avec un processeur G4 à 400 MHz pour simuler 1 s d'activité d'un modèle de Hodgkin et Huxley à deux conductances avec un pas minimum de 0,025 ms (40 kHz, mais ce logiciel n'est cependant pas spécifiquement optimisé en vitesse d'exécution).

Finalement, au delà de quelques conductances, l'emploi d'un micro-ordinateur de bureau devient impossible. Si l'on souhaite rester avec une solution numérique, il devient nécessaire d'utiliser une architecture plus adaptée. L'utilisation de circuits numériques programmables ou la conception de circuits intégré est envisageable, mais compte tenu de la difficulté d'implanter des blocs de calcul à virgule flottante il est préférable d'utiliser un microprocesseur dédié au traitement du signal (DSP : Digital System Processor). Doté d'une architecture adaptée, de périphériques d'entrée/sortie analogiques et d'un noyau temps réel c'est la solution la plus adaptée pour un traitement numérique de notre problème.

Le type de matériel étant défini, il reste cependant un très gros travail au niveau logiciel. Le choix et la conception d'algorithmes garantissant la convergence n'est en effet pas un problème trivial. On peut voir par exemple l'évolution, toujours en cours, des simulateurs de type *spice*, utilisés en microélectronique. Certains auteurs restent encore excessivement prudent quant à leur usage et préconisent l'utilisation de maquettes analogiques [PEASE 93].

En résumé, en raison de l'absence de matériel simple et des difficultés algorithmiques, la mise en œuvre d'une solution numérique représente une lourde tâche avec, en tout état de cause, une limite supérieure au nombre de conductances simulables fixée par le matériel. Dans ces conditions, le calcul analogique présente une alternative intéressante.

En effet le calcul analogique tel que nous l'avons décrit dans ce chapitre présente le premier avantage d'être à temps continu et d'avoir des variables continues par sa nature même.

Il permet donc un calcul en temps réel de façon intrinsèque. Notons qu'il est aussi possible d'accélérer la vitesse de calcul en appliquant un coefficient multiplicateur à toutes les constantes de temps du circuit. La limite maximale est alors fixée par les caractéristiques fréquentielles des différents opérateurs arithmétiques. Cette possibilité était déjà signalée par MAHOWALD et DOUGLAS qui estiment qu'un neurone artificiel électronique pourrait fonctionner 10^6 fois plus vite que son homologue biologique [MAHOWALD 91]. Nous présentons un exemple illustrant cette possibilité au chapitre IV.

La seconde limitation des systèmes numériques est le nombre de cellules qu'ils peuvent simuler. Avec l'approche analogique cette limite correspond à la quantité de neurones intégrés dans un même circuit. Mais s'il est possible de multiplier, dans une certaine mesure, le nombre de circuits sans amener de problèmes supplémentaires, l'augmentation de la puissance d'un processeur numérique est nettement plus délicate et dépend finalement de l'évolution de la technologie.

Notons que les systèmes analogiques présentent une dimension limitée et une faible consommation. Ces deux caractéristiques tranchent avec la solution numérique et peuvent être mises à profit pour imaginer de nouveaux types d'expériences, comme par exemple la réalisation de simulateurs/stimulateurs autonomes implantables.

Pour la conception du calculateur, tout comme les informaticiens bénéficient de bibliothèques de fonctions, nous disposons d'une littérature importante et récente décrivant différentes possibilités pour nos opérateurs analogiques. Elle provient principalement des recherches sur les réseaux de neurones formels.

L'inconvénient majeur du calculateur analogique intégré reste que les fonctions sont gravées dans le silicium, il n'est donc pas question de pouvoir changer rapidement les modèles utilisés comme le permet la modification d'un programme informatique : le temps de conception et de

fabrication d'un nouvel ASIC est typiquement de quelques mois. C'est pour limiter au maximum ce problème que nous nous attachons à concevoir des circuits "reprogrammables".

Finalement la mise en œuvre de ces deux solutions représentent sans doute un effort de conception comparable. Leurs avantages et inconvénients les rendent complémentaires et nos groupes ont développé les deux approches. A l'IXL nous concevons des calculateurs analogiques, et Gwendal Le Masson a parallèlement développé un simulateur basé sur l'utilisation d'une carte DSP (Mac DSP 1MNI de Spectral Innovations d'une puissance de 30 MFLOPS) [LE MASSON 98a]. Ce système est capable de simuler un neurone de trois compartiments comprenant 8 conductances actives par compartiments, et de gérer 8 connexions synaptiques avec une définition temporelle maximale de 0,4 ms (2,5 kHz). Cette solution est en cours de mise à jour avec une carte plus puissante.

Les deux systèmes sont utilisés dans la mise en œuvre des réseaux hybrides, souvent de façon conjointe, portant à trois la variété de neurones impliqués : les neurones biologiques, les neurones artificiels numériques et les neurones artificiels analogiques.

CHAPITRE III

CIRCUITS INTEGRES REALISES.

1. Introduction.....	91
2. Circuits "susie" et "calvin" : valorisation des travaux de l'équipe neurone.....	92
2.1. Circuit "susie".....	92
2.2. Circuit "calvin".....	93
2.3. Principe de fonctionnement et relations d'étalonnage.....	94
2.3.1. Synthèse de la sigmoïde.....	95
2.3.2. Résolution de l'équation différentielle - intégrateur.....	96
2.3.3. Puissances.....	97
2.3.4. Multiplieurs de sorties.....	97
2.3.5. Amplificateur de sortie et conductance de fuite.....	98
2.3.6. Courant de stimulation et de compensation.....	99
2.3.7. Calcium-dépendance.....	99
2.4. Méthode de test des circuits.....	99
3. Circuit "babar" : mémoires à grille flottante.....	100
3.1. Bibliographie et choix technologiques.....	100
3.1.1. Mécanisme d'injection.....	100
3.1.2. Dispositif tunnel.....	101
3.1.3. Méthode de programmation.....	101
3.1.4. Dispositif de lecture et organisation des cellules.....	104
3.2. Description et fonctionnement du circuit.....	105
3.2.1. Organisation du circuit.....	105
3.2.2. Organisation de la matrice de mémoires.....	106
3.2.3. Etages haute tension.....	108
3.2.4. Dessins des différents injecteurs tunnel.....	110
3.3. Résultats et perspectives.....	110
3.3.1. Cycles de programmation.....	110
3.3.2. Comparaison détaillée de l'efficacité d'injection.....	113
3.3.3. Conclusions.....	114

4. Circuit "annie" : mémorisation par échantillonneur-bloqueur.	115
4.1. Cahier des charges.	115
4.2. Description du circuit.	116
4.2.1. Cellule mémoire.	116
4.2.2. Partie logique.	117
4.3. Mesures.	119
5. Circuit "fpca-r" : Field Programmable Conductance Array.	123
5.1. Cahier des charges.	123
5.2. Conception des échantillonneurs-bloqueurs et des multiplexeurs.	127
5.2.1. Echantillonneurs-bloqueurs.	127
5.2.2. Multiplexeurs analogiques.	129
5.3. Description de la logique.	131
5.3.1. Schémas d'application.	133
5.3.2. Gestion du compteur externe.	135
5.3.3. Gestion de la SRAM.	135
5.4. Remarques sur la réalisation pratique.	136

1. INTRODUCTION.

Au cours de nos travaux, nous avons réalisé cinq ASICs. Ils sont conçus en mode dit "full custom", c'est-à-dire qu'aucune bibliothèque n'est utilisée, la conception étant faite à partir des éléments de base que sont les transistors (MOS et bipolaires) et composants passifs (résistances, condensateurs). Cette méthode se limite cependant aux parties analogiques, les parties numériques faisant usage des bibliothèques fournies par le fondeur AMS. En effet, notre travail porte sur le développement d'un calculateur analogique, les éléments numériques ne sont que des périphériques de ce calculateur et peuvent être constitués de portes logiques standard.

Nous présentons maintenant ces circuits, les objectifs poursuivis pour chacun d'entre eux étant assez différents :

- Nous avons réalisé "susie" et "calvin" afin de tirer parti du travail réalisé par Arnaud Laflaquière dans le cadre de son doctorat au sein du groupe. Ces ASICs utilisent directement les cellules analogiques qu'il a conçues, l'effort de développement porte donc sur leur mise en œuvre qui sera présentée au chapitre IV. Dans ce chapitre, nous discuterons rapidement les différences entre cette ancienne bibliothèque et la nouvelle dont la description a fait l'objet du chapitre II.
- "Babar" et "annie" sont des circuits de test destinés à l'étude et la mise au point d'un procédé de mémorisation analogique. Là encore nous avons utilisé l'ancienne bibliothèque, ces circuits servant à évaluer différentes options autour de ces points mémoires. Nous verrons cependant que l'alimentation en 10 V, imposée par l'emploi de cette bibliothèque, est source de complications.
- Finalement nous avons conçu "fpca-r", un circuit répondant aux besoins d'une plus grande flexibilité de programmation et d'intégration pour nos neurones artificiels. Il introduit un dispositif de mémorisation analogique intégré ainsi qu'une possibilité de reconfiguration électrique des topologies des modèles biologiques simulés. Pour "fpca-r", l'expérience acquise par le groupe sur les circuits précédents nous a amené à modifier la conception des opérateurs analogiques. Dans ce chapitre, nous détaillons l'architecture du circuit "fpca-r", c'est-à-dire l'organisation des opérateurs élémentaires que nous avons déjà présentés au chapitre II.

Les mesures concernant "annie" et "babar", circuits de test, sont présentées dans ce chapitre. Par contre, les performances des autres circuits seront indiquées au chapitre IV, dans le cadre de la présentation de leur mise en œuvre et des systèmes les utilisant.

2. CIRCUITS "SUSIE" ET "CALVIN" : VALORISATION DES TRAVAUX DE L'EQUIPE NEURONE.

Ces deux circuits constituent la mise en valeur et l'aboutissement du travail antérieur du groupe sur l'intégration de neurones artificiels, ils sont réalisés par assemblage d'éléments de l'ancienne bibliothèque analogique constituée par A. Laflaquière [LAFLAQUIERE 98] et doivent servir à la construction de simulateurs portables qui seront présentés au chapitre IV.

2.1.Circuit "susie".

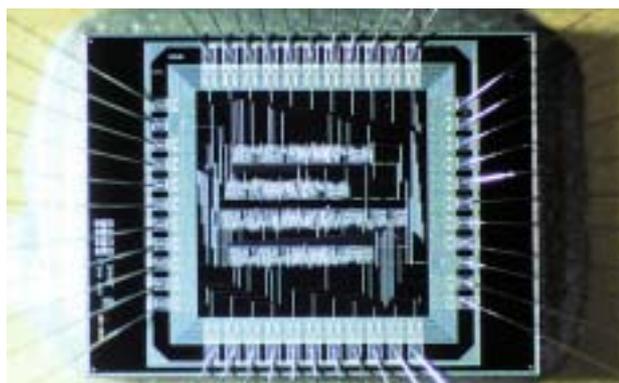


Figure 3-1 : microphotographie du circuit analogique "susie". Dimensions $2450 \times 2450 \mu\text{m}^2$, 44 broches, boîtier jlcc44, BiCMOS AMS $0,8 \mu\text{m}$, 883 composants (291 NMOS, 364 PMOS, 34 pnp, 154 npn, 13 condensateurs, 27 résistances).

Afin de garder une taille raisonnable à ce circuit (du fait de l'augmentation du nombre de broches avec le nombre de conductances ioniques, problème que nous avons déjà évoqué au chapitre précédent), nous avons décidé d'implanter quatre conductances, ainsi qu'un mécanisme de "dépendance calcium". Ces équations sont conformes au formalisme de Hodgkin et Huxley. Ce choix est suffisant pour explorer un grand nombre de modèles et obtenir des activités variées. Le circuit comporte aussi deux convertisseurs tension-courant qui servent respectivement à la stimulation à courant constant et à la stimulation par injection d'un courant proportionnel à un signal de commande. La conductance de fuite n'est pas intégrée, elle devra être réalisée en composants discrets connectés à l'ASIC.

Les quatre conductances ioniques répondent aux équations suivantes :

$$I_{Na} = \bar{g}_{Na} \cdot m^3 \cdot h \cdot (V_{mem} - E_{Na}) \quad (3.1)$$

$$I_K = \bar{g}_K \cdot n^4 \cdot (V_{mem} - E_K) \quad (3.2)$$

$$I_{Ca} = \bar{g}_{Ca} \cdot m^3 \cdot h \cdot (V_{mem} - E_{Ca}) \quad (3.3)$$

$$I_{K(Ca)} = \bar{g}_{K(Ca)} \cdot n^4 \cdot (V_{mem} - E_{K(Ca)}) \quad (3.4)$$

avec les définitions habituelles du formalisme de Hodgkin et Huxley (équations 1.3 à 1.7).

De plus, pour le courant ionique K(Ca), la forme asymptotique de l'activation $n(t)$ est pondérée par un quotient dépendant de la concentration calcique (voir équation 2.37 à 2.40).

2.2.Circuit "calvin".

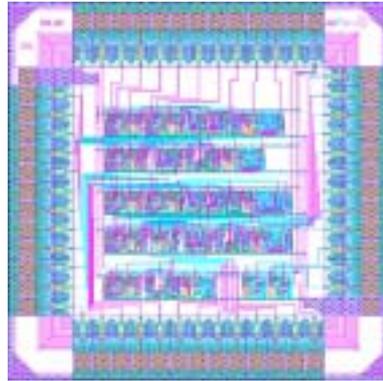


Figure 3-2 : dessin du circuit analogique "calvin". Dimensions $2710 \times 2710 \mu m^2$, 52 broches, boîtier jlcc52, BiCMOS AMS $0,8 \mu m$, 1000 composants (329 NMOS, 414 PMOS, 38 pnp, 172 npn, 15 condensateurs, 32 résistances).

L'ASIC "susie" présentant des problèmes de fonctionnement, après avoir identifié l'origine du défaut nous avons décidé d'en fabriquer un second pour le remplacer. Ce circuit, "calvin", présente les mêmes fonctionnalités que "susie", à une exception près : l'ajout d'une conductance synaptique. Elle nous permettra de donner une fonctionnalité de stimulateur au système utilisant ce circuit. Le courant synaptique $I_{synapse}$ dépend des potentiels membranaires pré et postsynaptique :

$$I_{synapse} = \bar{g}_{syn} \cdot m \cdot (V_{mempost} - E_{syn}) \quad (3.5)$$

Pour la variable d'activation $m(V_{mempré})$ nous retrouvons le même type d'équation différentielle que pour les conductances ioniques, l'expression asymptotique dépendant du potentiel membranaire présynaptique $V_{mempré}$.

Les tests et la mise en œuvre de ces circuits sont présentés au chapitre IV mais se limiteront à ceux du circuit "susie", car en raison de problèmes survenus lors de la fabrication le fondeur a retardé la livraison des wafers contenant le circuit "calvin" et il ne devrait être livré qu'en septembre 2000.

2.3.Principe de fonctionnement et relations d'étalonnage.

Bien que l'électronique de ces circuits soit décrite en détail dans [LAFLAQUIERE 98], nous rappelons ici son principe. Nous pourrions ainsi souligner les raisons des modifications apportées aux éléments constituant notre nouvelle bibliothèque analogique destinée au circuit "fpca-r" et détailler les relations théoriques entre les grandeurs "électriques" des circuits et les grandeurs "biologiques" des équations.

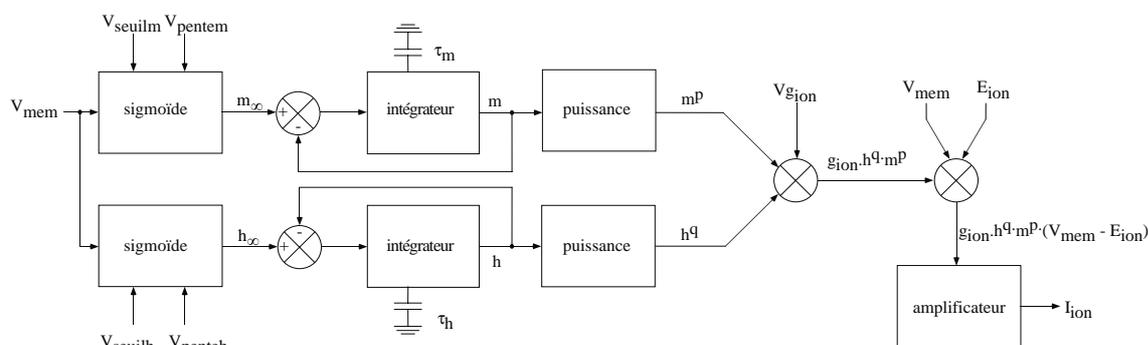


Figure 3-3 : schéma de principe de la résolution analogique des équations d'une conductance ionique.

La structure de la figure 3-3 illustre l'organisation des opérateurs constituant une conductance ionique pour les circuits "susie" et "calvin". Elle est logiquement très similaire à celle déjà présentée au chapitre II (figure 2-24) qui correspond au circuit "fpca-r".

Nous parlerons de grandeurs biologiques pour désigner les équations du formalisme de Hodgkin et Huxley et de grandeurs électriques quand il s'agira de celles des circuits intégrés.

Pour ces circuits, les facteurs d'échelle entre grandeurs électriques et biologiques sont récapitulés dans le tableau 3-1.

Comme nous l'avons vu, l'implémentation électronique de la résolution du formalisme de Hodgkin et Huxley introduit des relations entre les paramètres électriques appliquées aux entrées du circuit et les grandeurs biologiques telles qu'elles apparaissent dans les équations du formalisme. Il est nécessaire de connaître ces expressions pour réaliser ce que nous

appelons l'étalonnage des circuits et ainsi pouvoir convertir les paramètres biologiques, valeurs naturelles de nos modèles.

	modèle biologique	modèle électrique	gain
courants	1 nA	1 μ A	x 1000
tensions	100 mV	1 V	x 10
conductances	1 mS	100 mS	x 100
capacités	1 nF	100 nF	x 100

Tableau 3-1 : facteurs de conversion entre modèles biologiques et analogiques.

2.3.1. Synthèse de la sigmoïde.

La fonction sigmoïdale est synthétisée par une paire différentielle bipolaire. Son entrée provient de la sortie différentielle d'un multiplieur "beta-immune" convertie en tension par une paire de résistance. Les entrées du multiplieur sont obtenues par deux convertisseurs tension-courant réalisés par des paires différentielles MOS simples. L'équation de la fonction de transfert résultante est :

$$I_{sig} = \frac{I_0}{1 + \exp\left(\frac{R g_{12}}{U_T} \left(\frac{1}{2} + \frac{g_{34}}{2I_0} V_{pente}\right) (V_{mem} - V_{seuil})\right)} \quad (3.6)$$

Le paramètre Pente de la sigmoïde (équation 1.7) est donc de la forme :

$$Pente = \frac{1}{\frac{R g_{12}}{U_T} \left(\frac{1}{2} + \frac{g_{34}}{2I_0} V_{pente}\right)} \quad (3.7)$$

Ces équations proviennent de [LAFLAQUIERE 98].

Cette approche présente deux limitations majeures :

- Le paramètre de pente de la sigmoïde dépend directement de la valeur absolue d'une résistance R. L'intégration de résistances en microélectronique entraîne une mauvaise tolérance sur leur valeur. Le paramètre Pente n'est donc pas contrôlé précisément.
- L'équation 3.6 de la fonction de transfert donnée ci-dessus est obtenue en supposant une conversion linéaire de la différence de potentiels ($V_{mem} - V_{seuil}$). La paire différentielle MOS utilisée constitue un convertisseur non-linéaire sur la plage de tension considérée, elle introduit donc une distorsion.

Le paramètre de pente utilise aussi un convertisseur tension-courant à base de paire MOS. Cependant dans ce cas la non-linéarité n'induit pas d'erreur dans le calcul, mais juste une

relation entre la tension appliquée V_{pente} et l'expression du paramètre biologique $\text{Pente} = f(V_{\text{pente}})$. De plus, la plage utile de V_{pente} $[-1\text{V}, 0]$ reste dans la zone de linéarité, l'équation 3.7 est obtenue avec l'approximation justifiée d'une conversion linéaire.

Modification pour la bibliothèque fpca-r (paragraphe 3.4) :

Ces deux points ont été corrigés par l'utilisation d'une paire MOS entrecroisée (paragraphe 3.1) destinée à améliorer la linéarité de la conversion de $(V_{\text{mem}} - V_{\text{seuil}})$ et par l'introduction d'une seconde conversion par résistance pour obtenir une dépendance à un rapport de résistances pour le paramètre de pente. Si la valeur absolue d'une résistance est mal contrôlée en microélectronique, l'appariement de deux résistances, surtout de même valeur, est bien meilleur.

2.3.2. Résolution de l'équation différentielle - intégrateur.

L'intégrateur est réalisé à partir d'un convoyeur de courant type CC2+ câblé en intégrateur, un miroir dédouble le courant de sortie afin de le reboucler en entrée.

La valeur de la constante de temps est donnée par la relation $\tau = RC$, avec $R = 10 \text{ k}\Omega$ résistance intégrée, et C valeur du condensateur externe connecté à une broche du circuit.

Les limitations de ce bloc sont :

- la valeur de la constante de temps n'est pas programmable électriquement,
- elle dépend directement de la valeur absolue d'une résistance intégrée R ,
- elle utilise une broche du circuit, ce qui limite le nombre de conductances ioniques intégrables.

Modification pour la bibliothèque fpca-r (paragraphe 3.5) :

Parmi les améliorations souhaitables, la suppression du condensateur externe (pour limiter le nombre de broches du circuit) est difficile à réaliser en raison des fortes valeurs qu'il serait nécessaire d'intégrer. Elle n'est cependant pas impossible et dans notre équipe, Ludovic Alvado [ALVADO 99] a intégré une conductance ionique dont les constantes de temps utilisent des condensateurs internes d'une capacité raisonnable de 5 pF . Avec cette valeur et en utilisant de fortes atténuations réalisées grâce à l'emploi de transistors MOS polarisés sous le seuil, il a obtenu des constantes de temps réglables entre $0,1 \text{ ms}$ et 100 ms .

Pour notre part, nous avons gardé un condensateur externe et ajouté un atténuateur commandé dans la boucle de résolution. Ce bloc nous permet d'ajuster électriquement la valeur de la constante de temps sur une plage d'une décade pour un condensateur donné.

2.3.3. Puissances.

Les puissances sont réalisées par mise en cascade de plusieurs multiplieurs log-antilog et l'utilisation à la sortie de l'intégrateur d'un miroir de courant à sorties multiples. Un étage d'adaptation est nécessaire entre les multiplieurs.

Modification pour la bibliothèque fpca-r :

Afin de réduire la surface de silicium occupée par ces blocs, nous avons gardé le principe du multiplieur log-antilog mais introduit plusieurs transistors dans la boucle translinéaire qui le compose (paragraphe 3.3.2). L'opération "puissance" est donc réalisée grâce à un seul bloc. Le facteur de cette puissance reste cependant fixé par le circuit et n'est donc pas ajustable.

2.3.4. Multiplieurs de sorties.

Un premier multiplieur log-antilog sert à obtenir le produit $\bar{g}_{ion} \cdot h^q \cdot m^p$, puis un multiplieur "beta-immune" sert à la multiplication finale de ce terme par la sortie d'un convertisseur tension-courant de la différence de potentiel ($V_{mem} - E_{ion}$). Le convertisseur est réalisé par une paire différentielle MOS simple.

Nous retrouvons ici pour ($V_{mem} - E_{ion}$) le même problème de saturation que nous avons mentionné pour la sigmoïde. Il est dû, là encore, à la non-linéarité de la paire différentielle MOS.

De même, le courant \bar{g}_{ion} provient comme pour le paramètre *Pente* d'une branche d'une paire différentielle MOS. Par contre, à l'inverse du cas de *Pente*, la non-linéarité de la conversion n'est plus négligeable sur la plage utilisée. Cela n'induit pas d'erreur sur le calcul, mais introduit une plus grande complexité dans l'expression de la relation entre le paramètre électrique et le paramètre biologique :

$$\bar{g}_{ion} \propto \left[\frac{1}{2} - A(V_{g_{ion}} - V_0) \sqrt{1 - B(V_{g_{ion}} - V_0)^2} \right] \quad (3.8)$$

Cette formule provenant de la conversion tension-courant réalisée par la paire différentielle MOS. Le courant I_D d'une branche d'une telle paire est donné en fonction de l'entrée différentielle V_{id} et des paramètres de l'amplificateur par la relation classique :

$$I_D = \frac{I_{SS}}{2} \left[1 \pm \frac{V_{id}}{V_p} \sqrt{2 \left(\frac{I_{DSS}}{I_{SS}} \right) - \left(\frac{V_{id}}{V_p} \right)^2 \left(\frac{I_{DSS}}{I_{SS}} \right)^2} \right] \quad (3.9)$$

Modification pour la bibliothèque fpca-r :

Nous avons utilisé des paires MOS entrecroisées pour améliorer la linéarité.

2.3.5. Amplificateur de sortie et conductance de fuite.

Les blocs "conductances ioniques" se comportent comme des générateurs de courant dépendant de V_{mem} et des différents paramètres. Ils sont connectés sur un condensateur et une résistance externe.

Le condensateur modélise la capacité membranaire, et la résistance le canal de fuite :

$$I_{fuite} = \frac{1}{R_{fuite}} \cdot (V_{mem} - E_{fuite}),$$

la deuxième broche de R_{fuite} étant connecté au potentiel E_{fuite} du canal de fuite.

Les valeurs élevées de R_{fuite} (de l'ordre de 500 k Ω) impliquent que les sorties des conductances ioniques soient de "bons" générateurs de courant, c'est-à-dire que leurs impédances de sortie soient suffisamment élevées. Pour répondre à ce critère l'étage de sortie utilise un miroir BiCMOS. L'étage lui-même est réalisé autour d'un convoyeur de courant de type CC2+ et permet d'introduire un gain fixe pour choisir la plage de conductance pour les différentes espèces ioniques. Ainsi, pour "susie" et "calvin", les paramètres \bar{g}_{ion} des conductance Na et K sont dix fois supérieurs à ceux des conductances Ca et K(Ca).

Ces amplificateurs de sorties occupent une surface importante, principalement en raison des résistances et des transistors bipolaires utilisés.

Modification pour la bibliothèque fpca-r :

Nous avons utilisé un convertisseur tension-courant ajustable pour modéliser la conductance de fuite. Cela permet d'ajuster électriquement le paramètre R_{fuite} et de relaxer les contraintes sur les amplificateurs de sortie qui sont maintenant réalisés par un étage MOS de faible surface.

2.3.6. Courant de stimulation et de compensation.

Les courants de compensation et de stimulation sont obtenus par des convertisseurs tension-courant linéaires réalisés avec des convoyeurs de courant type CC2+. Le gain de conversion est égal à la valeur d'une résistance externe R_{gain} .

Modification pour la bibliothèque fpca-r :

Nous avons utilisé une paire entrecroisée pour réaliser cette conversion, la surface occupée est plus faible et la résistance externe est supprimée.

2.3.7. Calcium-dépendance.

Les équations décrivant ce modèle sont indiquées au chapitre II (équations 2.36 à 2.38). Le terme C_{acst} provenant d'une conversion tension-courant réalisée par une paire différentielle MOS :

$$\frac{A}{B} K \propto \left[\frac{1}{2} + \alpha (C_{\text{acst}} - C_{\text{acst}_0}) \sqrt{1 - \beta (C_{\text{acst}} - C_{\text{acst}_0})^2} \right] \quad (3.10)$$

Modification pour la bibliothèque fpca-r :

Nous avons utilisé une paire entrecroisée pour réaliser cette conversion, le reste de l'implémentation reste inchangé, il est développé au paragraphe 4.2.3.

2.4.Méthode de test des circuits.

Pour nos circuits, nous considérons que le bloc élémentaire est la conductance ionique et c'est ce niveau de hiérarchie auquel nous avons accès par l'intermédiaire des différentes entrée/sortie. Pourtant chaque conductance est constituée d'un grand nombre d'opérateurs élémentaires, chacun ayant ses caractéristiques propres. Pour tester chacun d'entre eux, il aurait fallu concevoir un circuit spécifique où ils auraient été accessibles individuellement. Deux solutions étaient envisageables, un test sous pointes long et délicat ou une multiplication des plots d'entrée/sortie alors que nous cherchons justement à en diminuer le nombre. De plus, afin de garantir la précision des mesures il est souvent nécessaire d'ajouter des étages tampons assurant l'adaptation de la charge que constitue le plot ou la micropointe.

Face à ces difficultés, nous avons fait un choix différent. Les circuits sont routés en vue d'une utilisation comme simulateur de neurones, aucun nœud interne inutile à cette fonction n'est accessible pour le test. Finalement le test se fait à la manière des neurobiologistes, c'est-à-dire

en faisant des mesures de voltages imposés : pour chaque valeur de paramètre nous mesurons la caractéristique $I_{\text{cond}} = f(V_{\text{mem}})$ dont nous pouvons extraire les différents paramètres. Nous avons évidemment l'avantage de pouvoir réellement isoler chaque famille de canaux ioniques, chaque conductance. Outre la vérification des fonctionnalités de nos circuits, ces mesures serviront aussi à l'étalonnage de nos formules de transformation électrique/biologique. Les mesures sont donc réalisées avec la carte d'application et il n'est pas nécessaire de construire un système de test spécifique. Rappelons qu'elles font l'objet du chapitre IV.

3. CIRCUIT "BABAR" : MEMOIRES A GRILLE FLOTTANTE.

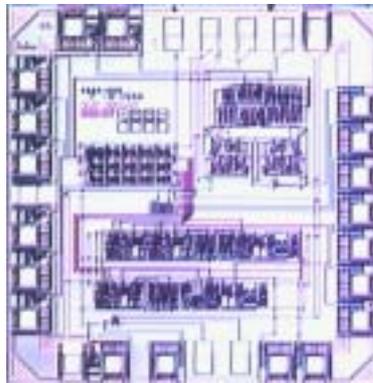


Figure 3-4 : microphotographie du circuit mixte "babar". Dimensions $1970 \times 2040 \mu\text{m}^2$, 28 broches, boîtier dil28, BiCMOS AMS $0,8 \mu\text{m}$, 945 composants (390 NMOS, 427 PMOS, 12 npn, 70 npn, 33 condensateurs, 13 résistances).

3.1. Bibliographie et choix technologiques.

Nous avons conçu un circuit utilisant la technique de grille flottante pour la mémorisation analogique. Comme cette idée a été proposée par différents groupes de recherche durant ces dernières années, nous commençons par présenter deux tableaux illustrant leurs travaux. Ils regroupent des publications significatives traitant de la conception et de l'utilisation de mémoires analogiques à grille flottante en technologie CMOS standard et résumant les principales caractéristiques qui nous serviront à faire nos choix de conception.

3.1.1. Mécanisme d'injection.

Nous avons retenu l'injection par courant tunnel pour les opérations d'écriture et d'effacement. En effet l'injection par porteurs chauds est unidirectionnelle et implique des courants incompatibles avec un système à pompe de charge et donc l'utilisation d'un générateur

spécifique pour la tension de programmation. De plus l'amélioration du rendement d'injection nécessite des structures pouvant violer les règles de dessin des fondeurs.

3.1.2. Dispositif tunnel.

Deux oxydes peuvent servir à la réalisation de l'injecteur tunnel, l'oxyde de grille ou l'oxyde interpolysilicium si la technologie employée comporte deux niveaux de polysilicium.

Plusieurs auteurs considèrent que l'oxyde de grille est de meilleure qualité que l'oxyde interpolysilicium, notamment en raison du moins grand nombre supposé de sites de piégeage à l'interface silicium/oxyde. Mais c'est aussi, dans la plupart des cas, l'oxyde le plus fin ou même le seul disponible.

La technologie BiCMOS que nous utilisons comporte deux niveaux de polysilicium avec une épaisseur d'oxyde interpolysilicium réduite ($T_{\text{interpolysilicium}} = 19,5$ nm typique) qui est nécessaire à la réalisation de condensateur de capacité importante. L'oxyde de grille est légèrement plus fin ($T_{\text{ox}} = 16$ nm typique). La qualité de l'interface est très dépendante du procédé de fabrication et, hormis la tension de claquage, aucun paramètre la concernant n'est fourni par le fondeur. Il ne nous est donc pas possible de faire un choix en utilisant ce critère.

Finalement, nous réalisons l'injection au travers de l'oxyde interpolysilicium, l'avantage d'utiliser un vrai condensateur plutôt qu'un condensateur MOS étant décisif. En effet l'injection au travers de l'oxyde de grille suppose qu'une des armatures du condensateur soit réalisée par le substrat en silicium. La variation de l'épaisseur effective d'isolant en fonction de la tension appliquée vient alors perturber l'effet tunnel.

Nous avons testé plusieurs structures destinés à réduire la tension de programmation nécessaire. Nous supposons qu'elle restera inférieure aux limites imposées par le procédé et les étages de commutations n'utilisent pas de transistors spéciaux.

3.1.3. Méthode de programmation.

Afin que le processus tunnel soit bidirectionnel, il est nécessaire d'utiliser une méthode permettant l'inversion de polarité aux bornes du condensateur d'injection. L'utilisation d'une tension négative est beaucoup trop délicate à mettre en œuvre et nous avons donc utilisé une technique plus classique de couplage capacitif (Voir figure 2-23 B).

C'est la méthode généralement retenue dès qu'il s'agit de contrôler plus d'un point mémoire. En effet nombre d'auteurs qui ont testé des mémoires à grilles flottantes ont occulté ce problème

Référence.	Méthode d'injection de charge.	Méthode de retrait de charge.	Technologie utilisée.	Commutation de la tension de programmation.	Organisation.	Dispositif de programmation intégré.	Précision et rétention.	Etage de sortie.	Remarques.
[OHSAKI 94]	NMOS EC ou FNT oxyde de grille 15 nm, 17/20V	FNT oxyde de grille 15 nm, 17/20V	CMOS 0,8 μm , 1 poly	étages haute tension à couplage capacitif	matrice. La pleine tension de programmation n'est appliquée qu'à une cellule	-	évaluation des effets de piégeages dans l'oxyde et vieillissement accéléré, modèle thermoactivé	décalage du seuil du transistor composite qui fait partie intégrante du circuit	EEPROM numérique dont l'auteur propose l'utilisation comme mémoire analogique. l'injection FNT est obtenue par couplage capacitif
[NOULLET 95]	FNT interpoly, 25 V		CMOS 1,2 μm , 2 poly	externe	matrice 4 x 4. La pleine tension de programmation n'est appliquée qu'à une cellule.	externe. multiplexeur analogique pour lire un point spécifique.	-	multiplexeur	-
[DIORIO 95]	NMOS EC. Implantation P+ pour élever la tension de seuil du NMOS	FNT oxyde de grille 34,2 nm	Orbit Semiconductor BiCMOS 2 μm nwell	externe	1 cellule	externe	résolution équivalente de 14 à 15 bits	tension, source commune polarisée sous le seuil	-
[CHAI 96]	FNT interpolysilicium 14/16,5 V. Dessin d'injecteur permettant d'augmenter le champ électrique		CMOS, 2 poly nwell	inutile	matrice 2 x 2	boucle de rétroaction et logique de contrôle intégrée	résolution équivalente de 6 bits	paire différentielle dont un des branches contient le transistor à grille flottante sélectionnée	Grâce à l'injecteur utilisé, les tensions de programmation restent inférieures aux spécifications de la technologie utilisée
[LANDE 96]	FNT oxyde de grille, 14,5/17,5 V. Contact metal/poly sur le condensateur d'injection permettant d'augmenter le champ électrique		CMOS 2 μm , 1 poly	Etage haute tension interne à transistors LDD	1 cellule	-	-	le courant du PMOS de sortie est recopié par un miroir de gain 100	-
[BUCHAN 97a], [BUCHAN 97b]	FNT interpolysilicium 56-82 nm		Mietec CMOS 2,4 μm 2 poly	externe, bipolaire	-	La tension de programmation est externe mais des signaux logiques internes contrôle l'écriture	-	courant de sortie du MOS	Schéma d'écriture original
[HARRISON 98]	NMOS EC. Implantation P+ pour élever la tension de seuil du NMOS	FNT oxyde de grille 34,2 nm, 35/40 V. Implantation N+ pour renforcer le champ électrique	Orbit Semiconductor BiCMOS 2 μm nwell	Etage haute tension interne à transistors LDD	vecteur	compensation du couplage de tension de programmation permettant une lecture continue pendant l'écriture	résolution équivalente de 13 bits	Un suiveur recopie le potentiel de la grille flottante vers le circuit à contrôler	-
[LAFLAQUIERE 98]	FNT interpoly, ~15 V		AMS BiCMOS 0,8 μm .	Etage haute tension interne	vecteur	Machine d'état.	-	Amplificateur source commune.	Automatisation de l'écriture par cycles écriture/comparaison.

Tableau 3-2 : caractéristiques de différentes études de dispositifs de mémorisation analogique à grille flottante en technologie CMOS standard. EC = injection par électron chaud, FNT = effet Tunnel Fowler-Nordheim.

Référence.	Application.	Méthode d'injection de charge.	Méthode de retrait de charge.	Technologie utilisée.	Commutation de la tension de programmation.	Organisation.	Dispositif de programmation intégré.	Précision et rétention.	Etage de sortie.	Remarques.
[CARLEY 89]	Compensation d'offset d'un AOP CMOS.	FNT oxyde de grille 40 nm, 10/15 V. Implantation N+ pour renforcer le champ électrique.	-	CMOS 2 µm pwell, 2 poly	externe, bipolaire	1 cellule	séquenceur intégré à deux phases, lecture/écriture	vieillessement accéléré, modèle thermoactivé : 0,1 %/10 ans à 100 °C	courant. Polarisation d'une branche de la paire à compenser	l'injection FNT utilise une tension négative
[HOLLER 89]	poids synaptique de neurones formels	FNT oxyde ultra-fin. 12/20 V		spécifique EEPROM (**)	inutiles	matrice distribuée, total de 10240 mémoires	séquence à deux phases lecture/écriture externe	vieillessement accéléré, modèle thermoactivé	décalage du seuil du transistor composite qui fait partie intégrante du circuit	circuit commercialisé par Intel
[LAZZARO 94]	paramètres d'un dispositif d'analyse spectral analogique de sons	FNT interpolysilicium 20/25 V		CMOS 2 poly	Etage haute tension interne à transistors LDD.	vecteur 1 x 30	séquence à deux phases lecture/écriture externe	-	Un suiveur recopie le potentiel de la grille flottante vers le circuit à contrôler	l'injection FNT est obtenue par couplage capacitif
[HASLER 95], [DIORIO 96]	poids synaptique de neurones formels	NMOS EC. Implantation P+ pour élever la tension de seuil du NMOS	FNT oxyde de grille 35 nm 45 V. Implantation N+ pour renforcer le champ électrique	Orbit Semiconductor BiCMOS 2 µm nwell	externe	matrice 2 x 2	non	évaluation des effets de piègeages dans l'oxyde	décalage du seuil du transistor composite qui fait partie intégrante du circuit	-
[HASLER 96]	Suppression de composante continue d'un ampli PMOS	PMOS EC	FNT interpolysilicium 440 nm, 33/40 V	CMOS 2 µm nwell	externe	1 cellule	rétroaction analogique continue	-	décalage du seuil du transistor composite qui fait partie intégrante du circuit	-
[KRUGER 96]	'Winner Take All'									
[SARPESHKAR 96]	calibration de filtres analogiques utilisés pour une cochlée artificielle	NMOS EC. Implantation P+ pour élever la tension de seuil du NMOS.	FNT interpolysilicium 40 V	BiCMOS 2 µm nwell	externe	distribué, 1 cellule par filtre	FNT pour initialisation, rétroaction analogique pendant EC	-	La grille flottante est directement connectée à l'entrée MOS du circuit qu'elle contrôle	Les auteurs annoncent "first system level application of this technology"
[MONTALVO 97]	poids synaptique de neurones formels avec apprentissage intégré	NMOS EC.	?	Orbit semiconductor CMOS 2 µm nwell 2 poly	inutile ?	matrice distribuée	rétroaction analogique	-	La grille flottante serait directement connectée à l'entrée MOS du circuit qu'elle contrôle	Non réalisé(*), mais l'idée est intéressante

(*) le circuit réalisé utilise uniquement des mémoires à échantillonneur-bloqueur, mais l'auteur propose d'ajouter une mémorisation non volatile à grille flottante à la fin de l'apprentissage.

(**) ce circuit utilise une technologie spécifique (oxyde ultra-mince), nous l'avons cependant inclus dans ce tableau car, à notre connaissance, c'est le seul circuit de ce type qui ait été commercialisé.

Tableau 3-3 : caractéristiques de différentes applications utilisant des mémoires analogiques à grille flottante en technologie CMOS standard. EC = injection par électron chaud, FNT = effet Tunnel Fowler-Nordheim.

en ne testant que des points mémoires isolés dont les tensions de programmation étaient fournies par un dispositif externe. Cette solution n'est pas envisageable pour programmer un grand nombre de points mémoires. Notons l'approche intéressante proposée par Buchan [BUCHAN 97a], [BUCHAN 97b] : c'est la génération externe du signal de programmation bipolaire, le couplage capacitif interne d'un signal en phase avec cette tension de programmation permettant d'obtenir ou pas l'amplitude nécessaire à l'effet tunnel et ainsi de programmer sélectivement chaque point.

3.1.4. Dispositif de lecture et organisation des cellules.

Afin de limiter l'excursion du potentiel de grille flottante et donc de diminuer le temps de programmation, nous utilisons un étage amplificateur, c'est un simple montage à source commune.

Nous avons aussi utilisé un étage suiveur pour pouvoir mesurer directement la variation du potentiel de grille flottante et évaluer le courant tunnel.

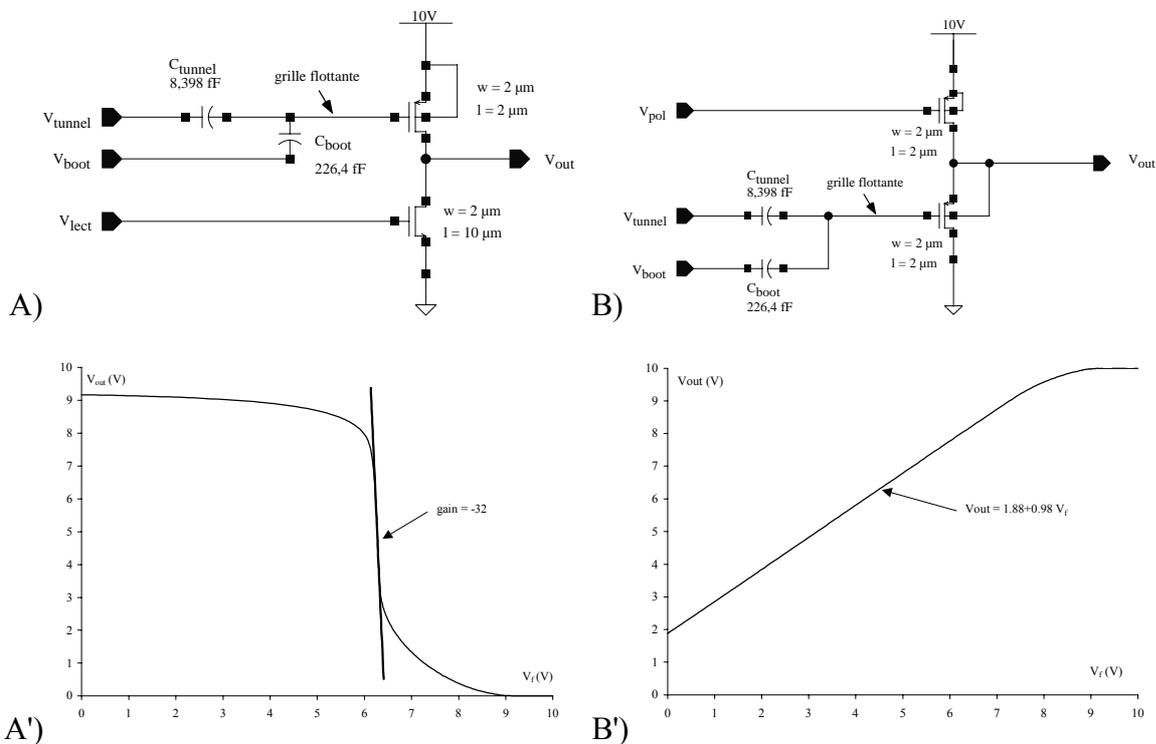


Figure 3-5 : A) point mémoire avec étage de sortie amplificateur et A') sa fonction de transfert théorique. B) point mémoire avec étage de sortie suiveur et B') sa fonction de transfert théorique.

La plage que doivent couvrir les mémoires analogiques est centrée sur le point milieu de l'alimentation 5 V. Afin de ne pas introduire de dissymétrie entre l'injection et le retrait de charge, il est important de maintenir le potentiel de grille flottante autour de 0 V, pour y parvenir nous obtenons le décalage nécessaire par couplage d'une tension non-nulle pendant la lecture.

Le nombre important de paramètres de nos modèles implique l'organisation en matrice des points mémoires. Le schéma de couplage capacitif se prête bien à une telle structure.

Enfin, en lecture tous les points sont accédés parallèlement et disponibles simultanément. Nous avons cependant ajouté un multiplexeur analogique distribué dans la matrice et contrôlé par les décodeurs lignes/colonnes utilisés pour la programmation. Ce dispositif est indispensable pour lire uniquement la cellule en cours de programmation qui est un cycle de lecture/écriture qui se poursuit jusqu'à obtention de la valeur souhaitée. Nous n'avons pas intégré d'automate de programmation gérant ces cycles, pour ce circuit de test ils sont réalisés par une logique externe.

3.2. Description et fonctionnement du circuit.

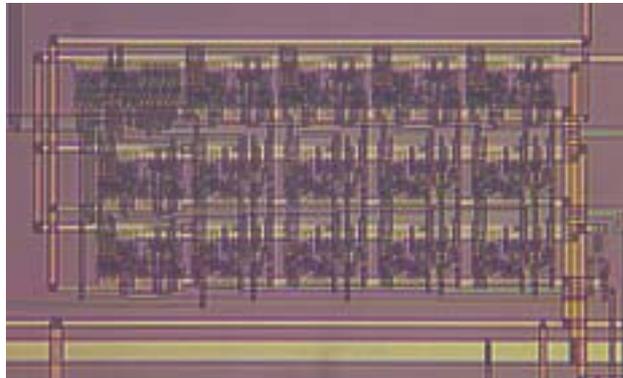


Figure 3-6 : microphotographie de la matrice 2 x 4 de mémoires à grille flottante, dimensions 520 μm x 230 μm .

3.2.1. Organisation du circuit.

Nous avons implanté une matrice de 8 mémoires analogiques, arrangées en 2 lignes de 4 cellules. Son organisation est illustrée par la figure 3-7.

L'accès et le contrôle de la matrice se fait par l'intermédiaire de 4 signaux :

- A_i : adresse du point mémoire à accéder.
- RbW : signal de lecture/écriture.

- $UpDownb$: choix du sens de programmation lors de l'écriture.
- $EnMuxb$: validation du multiplexeur de sortie.

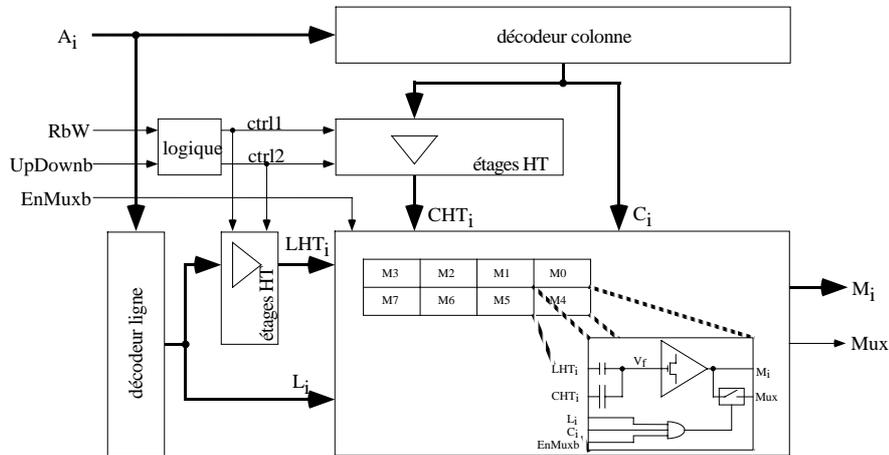


Figure 3-7 : schéma de principe de la matrice de mémoires analogiques.

En mode lecture ($RbW = 0$) toutes les données sont présentées sur les 8 lignes M_i internes. Si le signal $EnMuxb$ est validé ($EnMuxb = 0$) la valeur du point mémoire désigné par les entrées A_i est disponible sur la broche Mux .

En écriture ($RbW = 1$) la tension de programmation est appliquée sur le point mémoire désigné par les entrées A_i . Le sens de cette tension, et donc le sens du courant tunnel, est fixé par le signal $UpDownb$. Si $UpDownb = 0$, des électrons sont injectés sur la grille flottante et son potentiel décroît, si $UpDownb = 1$, des électrons sont arrachés de la grille flottante et son potentiel croît.

3.2.2. Organisation de la matrice de mémoires.

Chaque grille flottante est pourvue de deux condensateurs (voir figure 3-5). Le premier C_{tunnel} , de faible valeur, est le condensateur d'injection, son oxyde est traversé par le courant tunnel. Le second C_{boot} , de plus forte valeur, sert à contrôler par couplage capacitif le potentiel de la grille flottante et permet ainsi d'inverser la polarité de la tension appliquée à C_{tunnel} .

Les condensateurs d'injection sont connectés en ligne et les condensateurs de couplages en colonne (figure 3-7). Chacune des lignes et colonnes est pilotée par un étage "haute tension" qui peut fournir trois niveaux de sortie : la tension zéro, c'est-à-dire le potentiel de référence du circuit, la tension de programmation V_{high} et une tension intermédiaire V_{medium} . Pour ce circuit de test V_{high} et V_{medium} sont des tensions externes.

Le potentiel de la grille flottante V_f est donné par la relation suivante :

$$V_f = \frac{Q_f}{C_{tot}} + V_L \cdot \frac{C_{tunnel}}{C_{tot}} + V_C \cdot \frac{C_{boot}}{C_{tot}} \quad (3.11)$$

avec : - Q_f charge stockée sur la grille flottante,

- V_L potentiel appliqué à la ligne,

- V_C potentiel appliqué à la colonne,

- C_{tot} capacité totale de la grille flottante, c'est-à-dire $C_{tot} = C_{boot} + C_{tunnel} + C_p$, C_p représentant la capacité parasite sur la grille flottante.

Parmi les 9 polarisations différentes qu'autorise ce schéma, 3 sont des configurations utiles, 4 des états parasites qui surviennent lors de la programmation et les 2 dernières ne sont pas autorisées par la logique de commande :

		Vc		
		0	V_{medium}	V_{high}
V_L	0	impossible	parasite	écriture, injection d'e ⁻
	V_{medium}	parasite	lecture	parasite
	V_{high}	écriture, retrait d'e ⁻	parasite	impossible

Tableau 3-4 : états d'un point mémoire en fonction des tensions appliquées sur ses condensateurs C_{tunnel} et C_{boot} .

- Lecture : c'est l'état normal, la tension V_{medium} est appliquée aux deux condensateurs et est donc couplée sur la grille flottante. C'est ce mécanisme qui permet d'obtenir le décalage nécessaire au centrage de la plage des paramètres.
- Ecriture : la pleine échelle de programmation est appliquée aux deux condensateurs avec deux polarités possibles permettant ainsi d'inverser le sens du courant tunnel.

En utilisant l'équation 3.11, nous obtenons la tension aux bornes de l'injecteur tunnel pour ces deux cas :

injection
$$V_{tunnel} = \frac{Q_f}{C_{tot}} + V_{high} \cdot \frac{C_{boot}}{C_{tot}} \quad (3.12)$$

retrait
$$V_{tunnel} = \frac{Q_f}{C_{tot}} + V_{high} \cdot \frac{C_{tunnel}}{C_{tot}} - V_{high} = \frac{Q_f}{C_{tot}} - V_{high} \cdot \frac{C_{boot} + C_p}{C_{tot}} \quad (3.13)$$

- Etats parasites : quand la pleine échelle de programmation est appliquée à une cellule de la matrice, les autres cellules se trouvant sur les mêmes ligne et colonne ne sont plus

connectées uniquement à la tension V_{medium} . Un des condensateurs est polarisé par V_{high} ou 0 selon une des 4 possibilités indiquées dans le tableau. Dans ces conditions, la tension aux bornes du condensateur d'injection C_{tunnel} vaut V_{medium} ou $(V_{\text{high}} - V_{\text{medium}})$ et reste trop faible pour induire un effet tunnel. Quand une cellule est en cours de programmation, les valeurs mémorisées sur les autres cellules ne doivent pas être perturbées.

- Impossible : la logique de décodage n'autorise pas ces états.

Un premier bloc de quatre mémoires (mémoires n° 2, 3, 6 et 7 conformément à la numérotation de la figure 3-7) utilise les étages de sortie amplificateurs (figure 3-5-A). Le second bloc de quatre mémoires (mémoires n° 0, 1, 4 et 5) utilise les étages de sortie suiveurs (figure 3-5-B).

Cette organisation par groupe de quatre cellules permet de tester tous les états indiqués dans le tableau 3-4.

3.2.3. Etages haute tension.

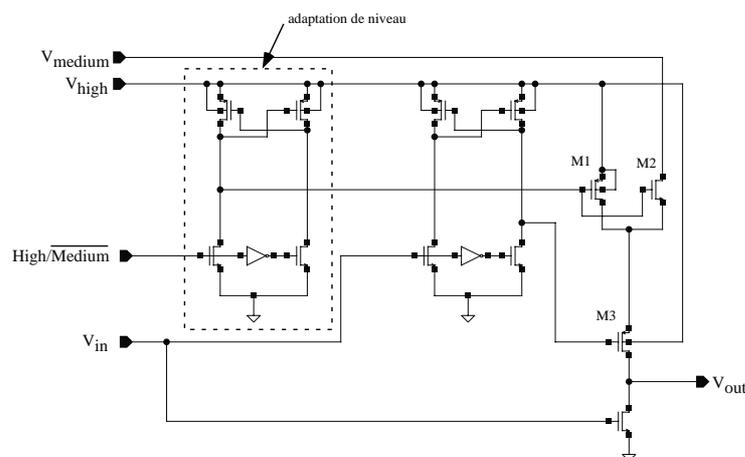


Figure 3-8 : schéma électrique de l'étage haute tension. Il permet d'obtenir 3 niveaux distincts en sortie.

Ils correspondent aux blocs indiqués étages HT dans la figure 3-7. Les signaux V_{in} et $\overline{\text{High/Medium}}$ permettent de contrôler le niveau de sortie de cet étage. Il apparaît en fait comme un simple inverseur (entrée V_{in} , sortie V_{out}) dont le niveau haut est sélectionné par la commande $\overline{\text{High/Medium}}$. Si $\overline{\text{High/Medium}} = 1$ le niveau haut est la tension V_{high} et si $\overline{\text{High/Medium}} = 0$ le niveau haut est la tension V_{medium} .

Deux adaptateurs de niveau CMOS permettent de transformer l'excursion 0-5 V des signaux logiques V_{in} et $High/Medium$, en signaux d'excursion $[0, V_{high}]$ V nécessaires pour piloter les transistors de commutations M1, M2 et M3.

Les limites de tensions imposées par la technologie utilisée sont résumées ci-dessous :

PMOS 0,8 μm , V_{DS} max	8 V minimum, 12V typique
NMOS 0,8 μm , V_{DS} max	9 V minimum, 13 V typique
Claquage d'oxyde T_{ox}	12 V minimum, >18 V typique
Claquage d'oxyde interpoly	14 V minimum, >20 V typique
Jonction puits N/diffusion P	13 V typique
Jonction substrat P/diffusion N	18 V typique
Jonction substrat P/puits N	55 V typique

Tableau 3-5 : valeurs limites de tension pour la technologie AMS BiCMOS 0,8 μm .

La tension drain-source maximale des transistors MOS est le seul paramètre sur lequel nous pouvons jouer. Il correspond à un mécanisme appelé "punchthrough" : lorsque le transistor est bloqué l'augmentation de la tension V_{DS} provoque l'extension de la zone d'inversion de la jonction drain/canal jusqu'à la source ce qui provoque la mise en conduction brutale du transistor. Les valeurs du tableau 3-5 correspondent aux transistors de taille minimale, l'allongement du canal permet d'augmenter la tension qui provoque le recouvrement de tout le canal. En effet, dans l'hypothèse d'une jonction abrupte, l'extension de la zone de charge d'espace croît comme la racine carrée de la tension inverse aux bornes de la jonction :

$$W_n = \sqrt{\frac{2\varepsilon}{qN_D}(V_d + V_i)} \quad (3.14)$$

- avec :
- ε constante diélectrique,
 - q charge de l'électron,
 - N_D dopage le plus faible de la jonction,
 - V_d tension de diffusion,
 - V_i tension aux bornes de la jonction.

Dans ces conditions la limite inférieure de claquage provient du claquage d'oxyde T_{ox} (12 V/18 V) et du claquage de la jonction drain/puit des transistors PMOS (13 V), elle fixe la limite maximale pour la tension V_{high} .

3.2.4. Dessins des différents injecteurs tunnel.

Enfin, pour finir cette description, la figure 3-7 réunit les caractéristiques des différents points mémoires que nous avons dessinés. Nous avons en effet prévu de tester l'efficacité tunnel de différents types d'injecteurs, ainsi quatre types différents sont utilisés avec les étages suiveurs. Les étages inverseurs ont une fonction de transfert non linéaire qui ne permet pas de remonter à la tension de grille flottante V_f , ils ne permettent donc pas d'obtenir des informations sur le courant tunnel et sont pourvus de cellules identiques.

3.3. Résultats et perspectives.

3.3.1. Cycles de programmation.

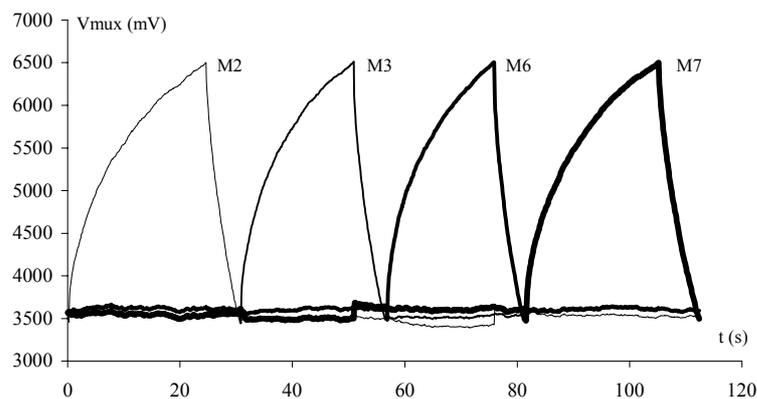


Figure 3-9 : cycle de programmation pour les quatre cellules à étages inverseurs de la matrice mémoire.

Nous appliquons des cycles de programmation aux quatre mémoires utilisant les étages avec gain. L'écriture se fait en appliquant des impulsions de durée 100 ms sur la commande RbW . La tension V_{high} est fixée à 13 V et la tension V_{medium} à 7,5 V ce qui permet de se placer dans le coude d'amplification de l'étage (voir figure 3-5-A). A l'excursion de 3 V autour de la valeur centrale 5V à la sortie de l'étage correspond une variation de $\frac{3}{32} = 93$ mV pour la grille flottante (en utilisant le gain théorique de 32 obtenu en simulation).

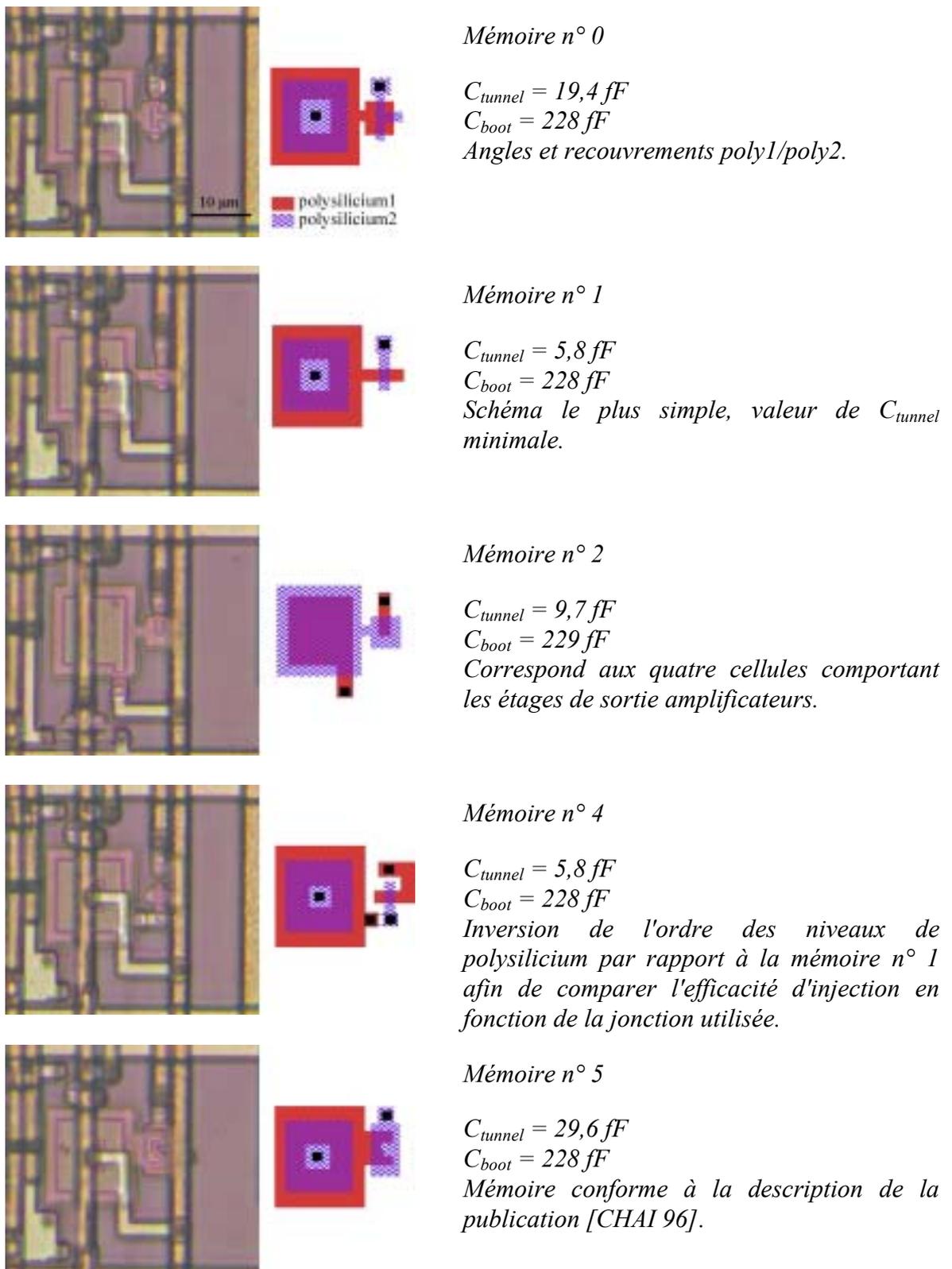


Figure 3-10 : microphotographies et caractéristiques des différentes cellules mémoires. La numérotation est conforme au schéma de la figure 3-7.

Chaque mémoire est adressée individuellement, programmée et déprogrammée, et sa valeur lue sur la sortie du multiplexeur analogique. Les signaux de contrôle sont appliqués avec un ordinateur par le biais d'une carte d'entrée/sortie type PCI1200 (National Instrument). En particulier, les impulsions de programmation sont générées avec un des "timers" de cette carte, sa fréquence d'horloge de 1 MHz permettant d'obtenir une précision de 1 μ s.

Nous constatons que la mémoire est fonctionnelle, les temps de parcours de la pleine échelle sont d'une vingtaine de seconde pour l'injection de charge et d'une dizaine pour le retrait. D'autre part nous constatons que les tensions de grille flottante sont légèrement perturbées par la programmation de cellules adjacentes.

La fonction de transfert non-linéaire des étages de sortie ne nous permet pas d'obtenir des indications précises sur la variation du potentiel de grille flottante, nous allons donc maintenant utiliser les quatre mémoires à étages suiveurs pour obtenir plus de détails.

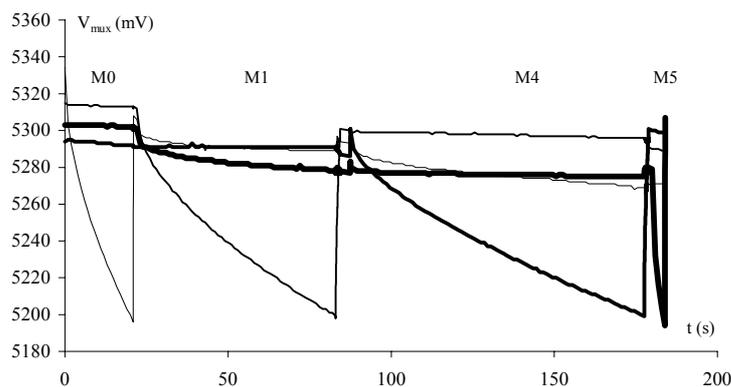


Figure 3-11 : cycle de programmation pour les quatre cellules à étages suiveurs de la matrice mémoire.

Nous appliquons le même type de cycle aux quatre mémoires à étages suiveurs. La tension V_{high} est fixée à 13 V et la tension V_{medium} à 5 V. Là encore le dispositif est fonctionnel puisque chaque cellule est bien adressée et programmée individuellement.

Ce cycle n'est cependant pas très représentatif des caractéristiques de chaque cellule. En effet en raison des différences des valeurs de condensateurs pour les différentes cellules (voir figure 3-10), les tensions appliquées aux injecteurs tunnel sont très différentes.

Pour un niveau de sortie moyen de 5250 mV, et compte tenu de la caractéristique de transfert théorique de l'étage suiveur (figure 3-5-A) et du couplage de la tension V_{medium} en prenant une

capacité parasite de l'ordre de 40 fF (équation 3.11), le potentiel de grille flottante vaut

$$\frac{Q_f}{C_{tot}} = -1,36 \text{ V}. \text{ En utilisant cette valeur, nous pouvons calculer les tensions de}$$

programmation des différentes cellules (équations 3.12 et 3.13) :

M1 9,47/-14,08	M0 8,95/-13,48
M5 8,60/-13,07	M4 9,47/-14,08

Tableau 3-6 : tensions théoriques (en V) aux bornes des injecteurs tunnel des quatre mémoires à étage suiveur. La valeur positive correspond à l'injection de charge et la valeur négative au retrait. $V_{high} = 13 \text{ V}$, $V_{medium} = 5 \text{ V}$, $C_p = 40 \text{ pF}$ et $\frac{Q_f}{C_{tot}} = -1,36 \text{ V}$

Les tensions sont beaucoup trop dispersées et dissymétriques pour pouvoir comparer les efficacités d'injection des différentes cellules.

3.3.2. Comparaison détaillée de l'efficacité d'injection.

Nous avons donc réalisé des mesures pour chaque mémoire en utilisant des valeurs de V_{high} dans le rapport théorique des différents condensateurs tunnel pour obtenir une tension de programmation unique de 9,8 V tant pour l'injection que pour le retrait de charge :

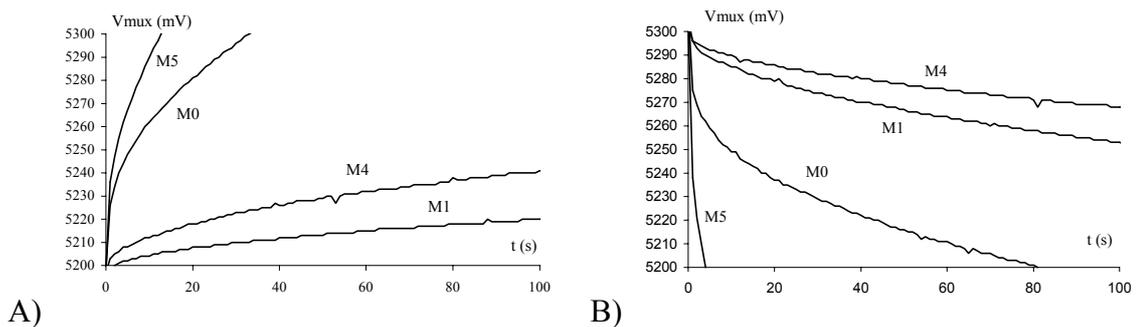


Figure 3-12 : 100 s d'injection pour une tension de programmation tunnel théorique de 9,8 V A) injection de charges, B) retrait de charges.

C'est la structure de la mémoire n° 5 qui se montre la plus efficace. Cette amélioration provient sans doute de la diminution d'épaisseur d'oxyde qui apparaît au niveau de l'encoche faite dans le niveau polysilicium 1.

Les cellules M1 et M4 sont identiques à l'exception du niveau de polysilicium utilisé pour l'injecteur tunnel. Dans les deux sens de programmation, l'injection est plus efficace quand la tension élevée est appliquée au polysilicium 1, c'est-à-dire quand l'effet tunnel a lieu à l'interface obtenue par oxydation. Les deux interfaces sont en effet de natures différentes, l'oxyde interpolysilicium est obtenu par oxydation de la partie supérieure du polysilicium 1 puis le polysilicium 2 est déposé sur cet oxyde. L'interface obtenue par oxydation est supposée irrégulière [ANDERSON 97] alors que le dépôt se traduit par une interface plus plane. L'irrégularité de l'interface se traduit par un renforcement local du champ électrique et une amélioration de l'injection tunnel. Nos observations confirment bien ces hypothèses.

3.3.3. Conclusions.

Le circuit réalisé est fonctionnel et a démontré la faisabilité de ce type de matrice de mémoires. Il n'a cependant permis que de tirer des renseignements assez qualitatifs sur l'injection tunnel. En effet sa structure n'est pas conçue pour accéder aux mesures permettant de caractériser pleinement l'effet tunnel. Les temps de programmation restent importants, mais l'utilisation de la structure de la mémoire M5 avec un étage de sortie amplificateur devrait répondre à ce problème.

D'autre part les circuits ont montré des problèmes de fiabilité au niveau des étages haute tension démontrant, comme il était prévisible, que les marges de sécurité sont extrêmement faibles, là encore la structure M5 peut améliorer la situation en permettant de diminuer la tension maximale nécessaire à l'effet tunnel.

Pour les mémoires à étage suiveur la grille flottante est entièrement réalisée en polysilicium de niveau 1. L'épaisseur de l'oxyde le séparant du substrat (35 nm) est suffisante pour ne pas obtenir d'effet tunnel indésirable, mais se traduit cependant par une augmentation de la capacité parasite C_p qui diminue l'amplitude de la tension appliquée à l'injecteur tunnel (équations 3.12 et 3.13). L'utilisation du niveau de polysilicium 2, plus éloigné du substrat, permettrait de diminuer C_p et ainsi d'obtenir un meilleur couplage pour une tension V_{high} donnée.

L'oxyde de grille du transistor d'entrée de l'étage de sortie peut produire un courant tunnel parasite. Il est sans doute à l'origine des variations de tension de grille flottante pendant les

états parasites du tableau 3-4. Dans notre cas ce transistor est de type PMOS, la seconde armature de cette structure tunnel est donc son puit N. Pour l'étage avec gain il est connecté à $V_{dd} = 10\text{ V}$ et pour l'étage suiveur il est connecté à la sortie de l'étage (voir figures 3-5-A et 3-5-B). S'il y a un courant parasite, il ne se fait donc pas dans les mêmes conditions.

En conclusion, nous conseillons la réalisation de structures de test comportant différents condensateurs tunnel et des transistors haute tension utilisant l'implantation de base en guise de drain. Des mesures sous pointes permettront de caractériser précisément la technologie utilisée et d'obtenir les paramètres réels de l'injection tunnel qui permettront de concevoir une matrice plus fiable et plus efficace.

4. CIRCUIT "ANNIE" : MEMORISATION PAR ECHANTILLONNEUR-BLOQUEUR.

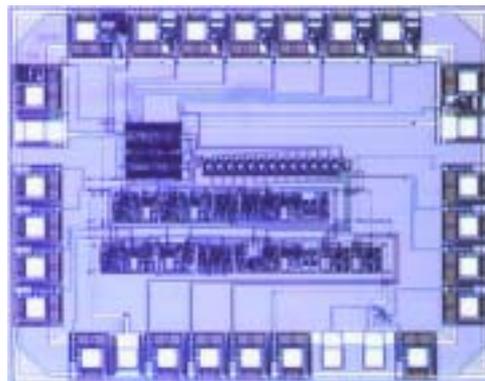


Figure 3-13 : microphotographie du circuit mixte "annie". Dimensions $1600 \times 1300\ \mu\text{m}^2$, 28 broches, boîtier dil28, BiCMOS AMS $0,8\ \mu\text{m}$, au total 1176 composants (490 NMOS, 550 PMOS, 18 pnp, 80 npn, 24 condensateurs, 14 résistances) dont 48 % pour la logique (277 NMOS, 285 PMOS).

Ce circuit a été réalisé avec l'aide de Marie-Nathalie Salefran et Lionel Daros dans le cadre de leur projet de fin d'études à l'ENSERB [SALEFRAN 98].

4.1.Cahier des charges.

Ce circuit est destiné à évaluer l'utilisation de condensateurs intégrés comme moyen de stockage analogique. Cette technique a déjà été utilisée avec succès par d'autres groupes pour la réalisation de réseaux de neurones formels (par exemple [SATYANARAYANA 92]).

La partie neurone artificiel du circuit utilise les mêmes bibliothèques que les circuits "annie" et "susie" et fonctionne avec une alimentation de 10 V. Deux conductances sont intégrées, elles sont suffisantes pour modéliser l'activité tonique d'un neurone et comportent un total de 12 paramètres. Ils sont réglables sur une plage de 5 V centrée en 5 V, et varient donc entre 2,5 V et 7,5 V. L'ondulation résiduelle doit être la plus faible possible et nous avons arbitrairement fixé la limite maximale à 5 mV correspondant à une précision relative de l'ordre de 10 bits. Sur les conductances, toutes les entrées de paramètres sont des grilles de transistors MOS, cette très haute impédance garantit l'isolation des condensateurs de stockage et l'absence de courant de fuite.

Nous souhaitons réaliser une mémorisation de valeurs absolues, les valeurs programmées par l'utilisateur doivent être stockées sur chaque condensateur. Elles seront présentées par un convertisseur numérique-analogique externe dont l'entrée provient d'une mémoire numérique SRAM externe elle aussi.

Il faut concevoir un interrupteur analogique commandé par des signaux numériques 0/5 V et capable de commuter un signal variant entre 3,5 et 7,5 V. Il est donc nécessaire d'utiliser un étage de mise à niveau de ces signaux numériques.

Parallèlement, un séquenceur doit commander la fermeture des 12 interrupteurs et assurer la synchronisation avec la présentation de la consigne à mémoriser qui provient du convertisseur externe. De plus, l'architecture du séquenceur autorise la mise en commun du convertisseur par plusieurs ASICs ce qui permet d'augmenter le nombre de conductances ioniques disponibles au niveau système, en partageant les ressources que sont compteur, SRAM et CNA.

4.2. Description du circuit.

4.2.1. Cellule mémoire.

Les choix retenus sont les suivants :

- Condensateur de stockage de la donnée de capacité 1 pF.
- Interrupteur CMOS pour limiter l'injection de charge.
- Commande des transistors formant l'interrupteur par un étage de mise à niveau NMOS suivi d'un inverseur CMOS. Ce dernier comporte des transistors MOS montés en diodes qui sont destinés à limiter la tensions aux bornes des transistors bloqués pour limiter les

risques de claquage dus à la tension d'alimentation de 10 V qui est supérieure aux spécifications du fondeur.

- Arrangement en ligne des 12 cellules de mémorisation. Cette organisation simplifie la distribution des différents signaux.

Le schéma de la figure ci-dessous présente le circuit électrique d'une cellule mémoire complète.

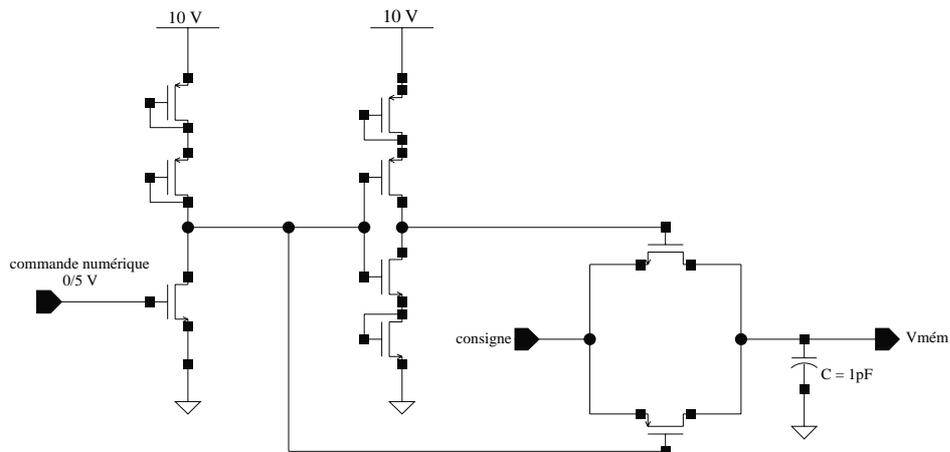


Figure 3-14 : schéma électrique d'une cellule mémoire complète.

4.2.2. Partie logique.

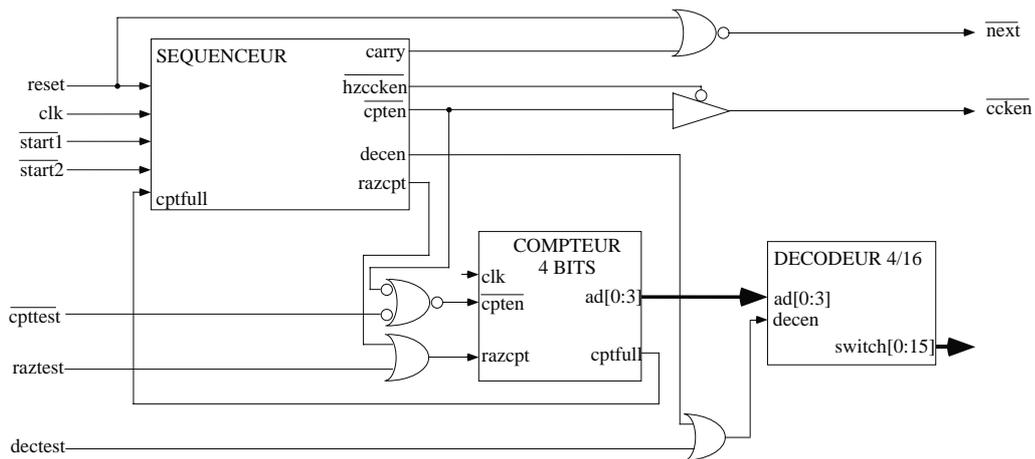


Figure 3-15 : schéma de principe de la partie logique du circuit "annie".

La partie logique est composée d'un séquenceur et d'un compteur suivi d'un décodeur dont les sorties contrôlent les interrupteurs décrits au paragraphe précédent. Ce décodage est synchronisé avec un compteur externe qui présente les adresses à la SRAM, cette solution

étant moins coûteuse en nombre de broches que celle consistant à avoir un seul compteur et un bus d'adresse sur l'ASIC.

La boucle principale du séquenceur, dont le fonctionnement est illustré par son diagramme d'état, génère les signaux de comptage \overline{cpten} et de remise à zéro des deux compteurs, \overline{razcpt} pour celui intégré et \overline{carry} pour celui externe (voir aussi figure 3-17).

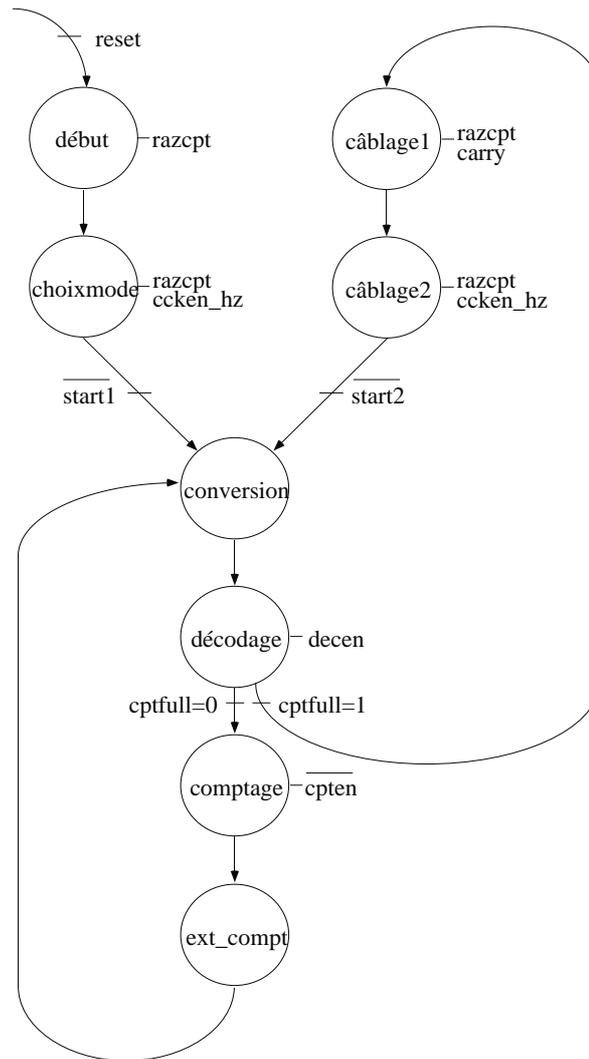


Figure 3-16 : diagramme du séquenceur d'état du circuit "annie".

Les signaux $\overline{start1}$, $\overline{start2}$ et \overline{next} assurent la mise en cascade de plusieurs ASICs. \overline{cpten} est en fait un signal trois états afin que les différents ASICs puissent contrôler à tour de rôle le compteur externe. C'est le signal \overline{next} du dernier circuit qui en assure la remise à zéro. Les paramètres des ASICs sont donc arrangés de façon contiguë dans la SRAM. Le signal \overline{next}

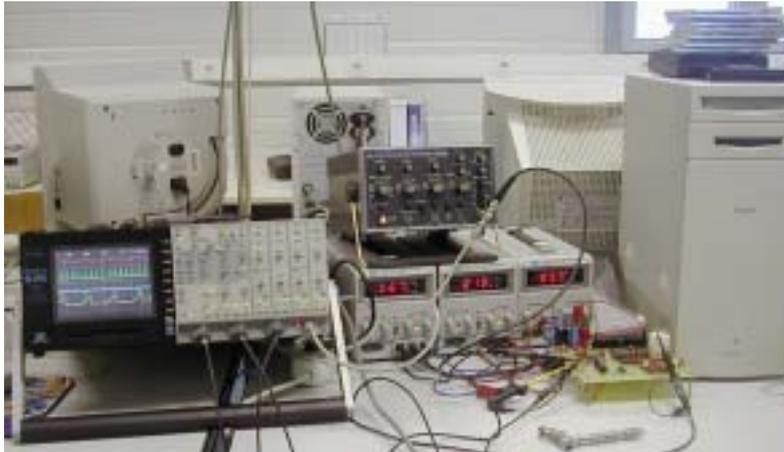


Figure 3-18 : photo du banc de test. La carte d'application comporte deux ASICs "annie" afin de vérifier le fonctionnement du principe de chaînage. La génération des signaux de contrôle et l'écriture de la SRAM sont assurées par une carte d'entrée/sortie connectée à un micro ordinateur.

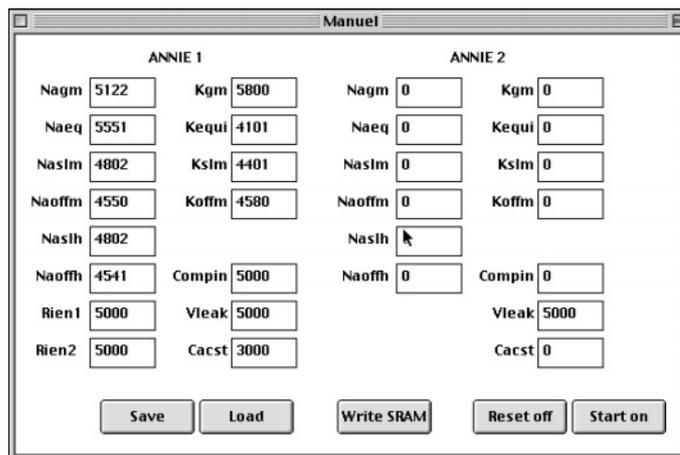


Figure 3-19 : vue d'écran d'une fenêtre du programme de test.

Nous avons pu vérifier le bon fonctionnement du séquenceur et du principe de chaînage : avec un ou deux circuits, le compteur externe est parfaitement contrôlé par notre logique et les valeurs programmées sont présentées à tour de rôle par le CNA.

La partie calculateur analogique du circuit "annie" provient d'anciens travaux du groupe. Il est donc identique à celui utilisé dans nos circuits que nous utilisons régulièrement. Un premier test consiste simplement à présenter les valeurs d'un modèle tonique de neurone que nous connaissons (voir figure 3-20).

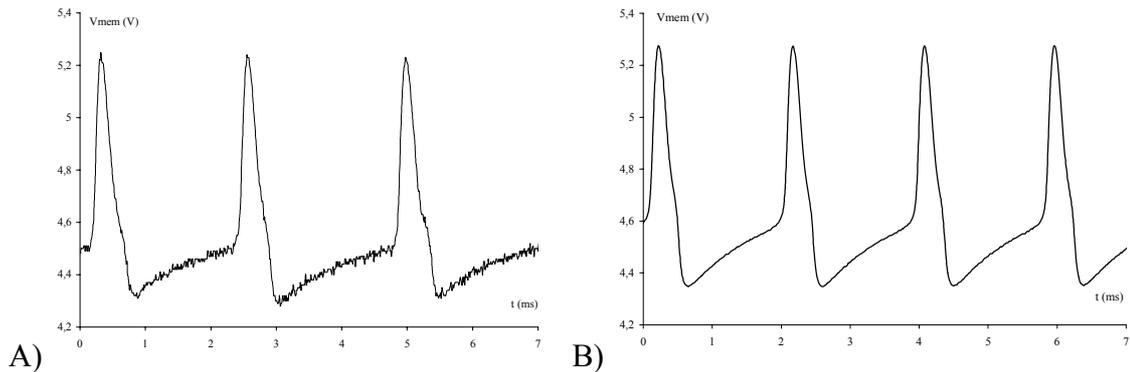


Figure 3-20 : A) activité tonique d'un modèle à deux conductances réalisé avec un circuit "annie". B) comparaison avec un circuit n'utilisant pas de mémoire analogique intégrée.

Nous vérifions la validité du fonctionnement en injectant un courant de stimulation constant qui permet de faire varier la période de répétition des potentiels d'actions :

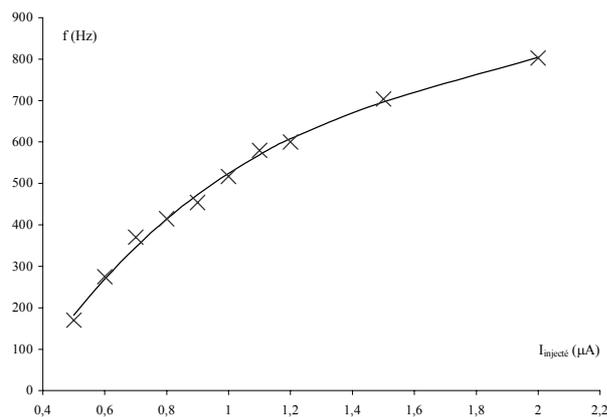


Figure 3-21 : variation de la fréquence des potentiels d'actions en fonction du courant injecté.

Le circuit fonctionne donc correctement, et nous souhaitons maintenant évaluer les performances du stockage analogique; pour cela, nous utilisons un des condensateurs de stockage qui est directement relié à une broche du circuit. Nous avons ajouté un transistor MOS externe monté en suiveur pour pallier l'absence d'étage tampon interne et permettre une mesure haute impédance de la tension aux bornes du condensateur.

- Plage de fonctionnement des cellules mémoires.

Les niveaux de commandes des transistors composant l'interrupteur ne couvrent pas la pleine échelle 0-10 V ce qui restreint sa plage de conduction. De plus la tension de claquage drain/source d'un transistor bloqué de taille minimale est de 8 V pour un PMOS et 9 V pour

un NMOS (données indiquées par le fondeur). Ce type de claquage (punchthrough) correspond à l'extension de la zone d'inversion du drain jusqu'à la source qui provoque la mise en conduction brutale du transistor. La différence de potentiel entre un condensateur de stockage et la tension fournie par le CNA ne doit pas dépasser ces valeurs au risque de rendre conducteurs les interrupteurs ouverts.

- Temps de maintien.

Lors de l'ouverture de l'interrupteur, le condensateur de stockage se décharge en raison des différents courants de fuite. Le temps de maintien est donc directement lié à cette décharge.

Pour ces mesures, le condensateur relié à un plot de sortie n'est pas utilisable. Le plot comporte en effet des diodes de protection contre les ESD de grande dimension. Elles sont polarisées en inverses et présentent un courant inverse non-négligeable, la mesure de la décharge n'est donc pas caractéristique d'un condensateur uniquement relié à des grilles de MOS. Nous avons donc utilisé le circuit permettant d'injecter le courant de compensation. La structure du convoyeur de courant qui le constitue utilise un amplificateur opérationnel monté en suiveur dont la sortie est reliée à une résistance externe. C'est ce signal que nous avons mesuré à l'ouverture de l'interrupteur pour différentes valeurs de paramètre :

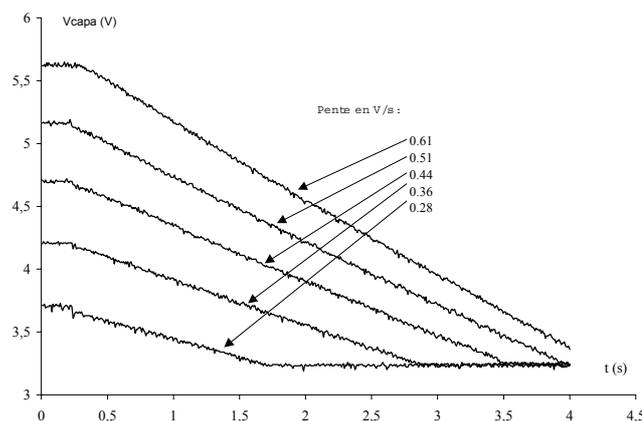


Figure 3-22 : décharge du condensateur de stockage interrupteur ouvert en fonction de la tension mémorisée.

Le taux de décharge maximum vaut de l'ordre de 0,61 V/s, ce qui pour un condensateur de valeur 1 pF correspond à un courant de fuite total de : $1 \text{ pF} \times 0,65 \text{ V/s} = 0,65 \text{ pA}$.

Maintenir une ondulation inférieure à 5 mV implique donc une fréquence de rafraîchissement minimale de :

$$dt = \frac{C \cdot dV}{i_{\text{fuite}}} = \frac{1 \cdot 10^{-12} \cdot 5 \cdot 10^{-3}}{0.65 \cdot 10^{-12}} = 7,7 \text{ ms}$$

$$\Rightarrow f = 130 \text{ Hz}$$

- Injection de charge et couplages.

En utilisant le signal de test $\overline{cpttest}$ (figure 3-15) nous pouvons contrôler l'état de l'interrupteur dont le condensateur est connecté à un plot. Pour des fronts d'horloge de 5 ns nous relevons une oscillation amortie d'amplitude 50 mV.

5. CIRCUIT "FPCA-R" : FIELD PROGRAMMABLE CONDUCTANCE

ARRAY.

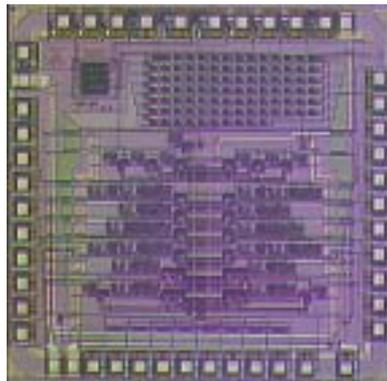


Figure 3-23 : microphotographie du circuit mixte "fpca-r". Dimensions $3186 \times 2885 \mu\text{m}^2$, 47 broches, boîtier jlcc48, BiCMOS AMS $0,8 \mu\text{m}$, au total 10371 composants (5137 NMOS, 4612 PMOS, 465 npn, 109 condensateurs, 48 résistances) dont 75% utilisés par la logique et les circuits de topologie et de mémorisation analogique. Séquenceur 5% 614 (300 NMOS, 302 PMOS, 12 npn), mémoires analogique 40% (1967 NMOS, 2056 PMOS, 93 condensateurs, 6 npn), topologie 30% (2041 NMOS, 1054 PMOS, 3 npn).

5.1.Cahier des charges.

Ce circuit a pour but d'améliorer la flexibilité de nos simulateurs analogiques. Pour les versions précédentes, deux points se sont montrés particulièrement limitants :

- L'absence de mémorisation analogique intégrée qui augmente le nombre de broches des ASICs, limite ainsi la quantité de conductances intégrées et implique l'utilisation d'un grand nombre de circuits externes (logique, CNA, etc.. voir chapitre IV).

- La topologie du réseau, c'est-à-dire les interconnexions entre conductances ioniques, est réalisée manuellement à l'aide de micro-interrupteurs. L'opération est fastidieuse et ne peut être ni automatisée ni mémorisée.

La partie analogique proprement dite n'est pas remise en cause. Comme nous l'avons déjà expliqué, la diminution des tensions d'alimentations due à l'évolution de la technologie nous a cependant contraint à remettre à jour ces circuits. Nous avons profité de cette refonte pour modifier quelques points, afin d'améliorer certaines caractéristiques notamment en diminuant la surface occupée. Le résultat est celui présenté au chapitre II. Globalement nous considérons que nous disposons de blocs élémentaires, assimilables à des générateurs de courant, qui modélisent les différentes conductances. Il nous faut donc maintenant sélectionner un système de mémorisation analogique et mettre au point une architecture permettant la programmation des interconnexions. Ces dispositifs apparaissent comme des périphériques servant le cœur du calculateur constitué des conductances dont le nombre et le type restent aussi à déterminer.

Il faut bien comprendre que les dispositifs de mémorisation que nous avons décrit au chapitre II ne prennent tout leur sens que s'ils sont exploités avec un mécanisme d'écriture continu. Ce serait le cas, par exemple, avec un circuit d'apprentissage intégré analogique qui ajusterait les valeurs mémorisées. Dans notre cas nous n'utilisons pas de circuit d'apprentissage. Les mémoires constituent les paramètres du modèle et nous devons en contrôler la valeur absolue. Pour des raisons pratiques nous programmons nos dispositifs avec un convertisseur numérique analogique et la discrétisation de notre mémoire provient de ce dispositif plutôt que des limitations de la mémoire elle-même. Ce qui nous préoccupe avant tout est de limiter le nombre de broches pour disposer d'une plus grande quantité de conductances.

Les deux types de mémorisations que nous avons présentés répondent à ce problème, mais leur principe et leur implémentation se traduisent par des propriétés différentes. Leurs domaines d'applications peuvent être complémentaires. [MONTALVO 97] illustre cette dualité en proposant de mettre en œuvre les deux procédés pour un réseau de neurones formels intégré avec boucle d'apprentissage. Les poids synaptiques sont stockés sur des condensateurs pendant l'apprentissage. Le faible temps d'écriture autorise un fonctionnement à

fréquence élevée. A la fin de ce processus les poids sont recopiés sur des grilles flottantes afin d'obtenir une mémorisation non-volatile.

Les différents essais de mémorisation analogique ont montré que les systèmes à grille flottante, bien que fonctionnels, étaient difficiles à mettre en œuvre et peu fiables. Par contre l'essai de mémorisation par échantillonneur-bloqueur réalisé avec le circuit "annie" s'est montré concluant et le principe de chaînage développé s'est avéré pleinement fonctionnel.

Nous avons finalement retenu la méthode à échantillonneur bloqueur, les mémoires sont donc réalisées par des condensateurs rafraîchis régulièrement par un convertisseur numérique-analogique. Les valeurs présentées au CNA proviennent d'une mémoire SRAM. Pour ces deux éléments, nous utilisons des composants externes, le temps nécessaire pour une réalisation intégrée, et, surtout, la surface de silicium qu'ils occuperaient étant rédhibitoire.

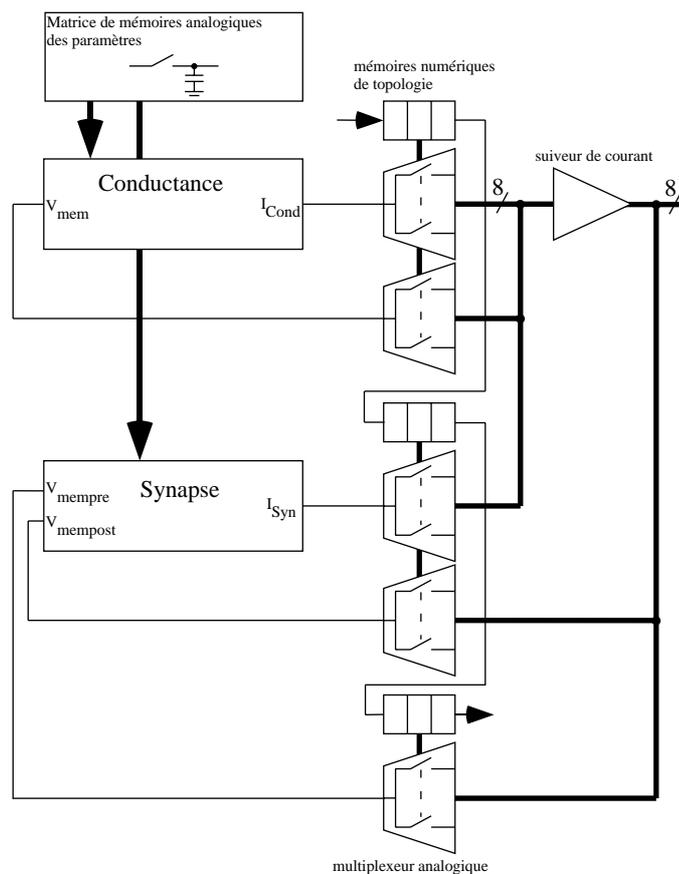


Figure 3-24 : schéma de principe de la structure adoptée pour le circuit "fpca-r". Seuls deux éléments de calcul analogique sont représentés. Notons qu'il faut 6 points mémoires pour les synapses, 3 pour programmer la source de l'entrée présynaptique et 3 pour la postsynaptique.

Pour assurer la programmation des interconnexions, nous avons introduit un bus analogique où sont connectées les différentes conductances. Des multiplexeurs analogiques intégrés assurent la connectivité. Leur état est mémorisé par des cellules mémoires numériques statiques. Elles sont arrangées sous forme d'un registre à décalage ce qui permet une entrée série réduisant le nombre de broches.

La structure complète est schématisée par la figure 3-24 et les différents éléments de calcul analogiques dont nous avons choisi de pourvoir le circuit "fpca-r" sont résumés par le tableau 3-7.

	Nombre de paramètres	Nombre de bits de topologie
2 x 4 conductances :		
$I_{Na} = \bar{g}_{Na} \cdot m^3 \cdot h \cdot (V_{mem} - E_{Na})$	8 x 2 = 16	3 x 2 = 6
$I_K = \bar{g}_K \cdot n^4 \cdot (V_{mem} - E_K)$	5 x 2 = 10	3 x 2 = 6
$I_{Ca} = \bar{g}_{Ca} \cdot m^3 \cdot h \cdot (V_{mem} - E_{Ca})$	9 x 2 = 18	3 x 2 = 6
$I_{K(Ca)} = \bar{g}_{K(Ca)} \cdot n^4 \cdot (V_{mem} - E_{K(Ca)})$	6 x 2 = 12	3 x 2 = 6
4 synapses :		
$I_{synapse} = \bar{g}_{syn} \cdot n \cdot (V_{mempost} - E_{syn})$	5 x 4 = 20	6 x 4 = 24
4 sources de courant de compensation	2 x 4 = 8	3 x 4 = 12
4 sources de courant de fuite	2 x 4 = 8	3 x 4 = 12
1 courant de stimulation	1	3
	93	75

Tableau 3-7 : liste des éléments analogiques du circuit "fpca-r" et bilan du nombre de paramètres et de points mémoires nécessaires à la gestion des interconnexions.

Nous avons gardé les mêmes types de conductances que pour le circuit "calvin" : sodium Na, Potassium K, calcium Ca et potassium calcium dépendant K(Ca). Nous avons implanté deux conductances de chacun de ces types, il est possible de réaliser avec un circuit deux neurones à quatre conductances ou quatre neurones à deux conductances. Nous avons donc intégré quatre canaux de fuite, quatre blocs courant de compensation et quatre synapses. Ce choix apparaît comme un bon compromis par rapport aux critères de surface et du nombre de combinaisons offertes.

Afin d'exploiter au maximum les mémoires numériques qui stockent l'état des multiplexeurs de topologie, le nombre de ligne du bus analogique doit être un multiple de deux. Avec trois bits par multiplexeur nous obtenons huit lignes ce qui semble suffisant pour réaliser les connexions entre différents circuits. Le tableau 3-7 récapitule aussi le nombre total de bits nécessaire pour l'ensemble des multiplexeurs. Une conductance a son entrée V_{mem} et sa sortie I_{out} connectées sur la même ligne, les multiplexeurs sont distincts mais les trois bits de mémoire sont communs. Pour une synapse, en revanche, il faut six bits, trois pour mémoriser la position de la ligne présynaptique et trois pour la ligne postsynaptique (figure 3-24).

Pour résumer, il nous faut concevoir un dispositif permettant de charger le registre à décalage des 75 bits de topologie puis de rafraîchir périodiquement les 93 échantillonneur-bloqueurs avec la tension fournie par un convertisseur numérique analogique (CNA) et sa SRAM, tous deux externes. Les échantillonneur-bloqueurs constituent les mémoires des paramètres des 21 éléments analogiques du calculateur. Leurs connexions au bus analogique de 8 lignes sont assurées par des multiplexeurs 8 voies dont l'état est mémorisé par le registre à décalage.

Comme pour "annie" nous avons opté pour une architecture permettant que plusieurs ASICs soient mis en cascade et se partagent la SRAM et le CNA.

5.2. Conception des échantillonneurs-bloqueurs et des multiplexeurs.

Ces deux sous-blocs utilisent des interrupteurs analogiques dont nous avons précisé la théorie au chapitre II. Il s'agit maintenant d'identifier les contraintes propres à nos circuits afin de les dimensionner.

5.2.1. Echantillonneurs-bloqueurs.

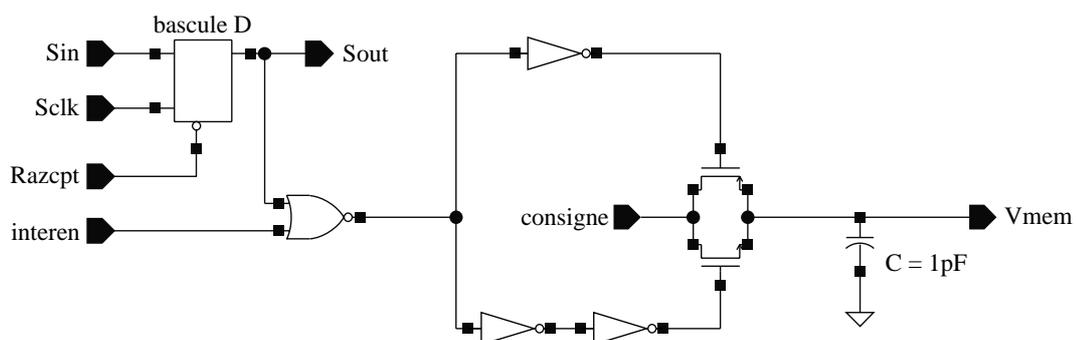


Figure 3-25 : schéma d'un échantillonneur-bloqueur utilisé comme mémoire analogique.

Les échantillonneurs-bloqueurs sont constitués d'un condensateur et d'un interrupteur analogique. Les deux points prépondérants dans notre cas sont les problèmes d'injection de charges qui grèvent la précision du stockage, et de courants de fuite dont dépend le temps de maintien. Nous n'avons pas retenu de circuits complexes visant à contrôler les niveaux des signaux de commande ou à contrebalancer l'injection de charge. Ces types de montage ont un fonctionnement souvent aléatoire ou augmentent énormément la surface de silicium. Ce dernier point étant aussi un des critères majeurs de notre conception, nous avons préféré un montage simple avec des paramètres paraissant raisonnables.

Le condensateur de stockage a une capacité fixée à 1 pF, compromis entre une valeur plus élevée qui améliorerait le temps de maintien et la surface nécessaire ($14,6 \mu\text{m} \times 14,6 \mu\text{m}$ avec l'anneau de polarisation de caisson). Les mesures réalisées sur le circuit "annie", qui utilisait la même valeur, ont démontré un taux de décharge maximum de 0,65 V/s. L'impédance très élevée d'un transistor MOS bloqué n'entraîne pas de courant de fuite important, même en conduction sous le seuil. Il est donc inutile de mettre en œuvre de lourds circuits visant à obtenir un blocage "profond" de ces transistors. En fait, la décharge provient, à priori, plutôt des jonctions bipolaires en inverses des connexions de drains/sources.

Les schémas utilisant des transistors fantômes pour annuler l'injection d'un interrupteur NMOS semblent peu efficaces, nous préférons donc un interrupteur CMOS que nous commanderons avec des signaux bien contrôlés. La fréquence de rafraîchissement étant relativement faible, le temps d'établissement n'est pas critique et il n'est pas nécessaire de minimiser l'impédance résiduelle des interrupteurs. Nous utilisons donc des transistors de taille minimale qui minimisent la charge stockée ce qui réduit l'injection de charge lors du blocage. Cette taille réduit aussi la surface des jonctions de contacts drain/source et donc les courants de fuites. Les signaux de commande du NMOS et du PMOS proviennent d'une porte "ET" suivie d'une chaîne d'inverseurs destinée à équilibrer les charges capacitives. Les inverseurs qui commandent directement les deux transistors MOS "voient" une même charge correspondant à une grille d'un MOS de taille minimale. Cette structure permet d'obtenir des fronts de même largeur ce qui est favorable au réarrangement des charges entre NMOS et PMOS, limitant ainsi l'injection dans le condensateur de stockage.

Compte tenu du dimensionnement choisi et des paramètres technologiques fournis par le fondeur, nous pouvons évaluer les valeurs maximales de l'injection de charge :

- Couplage capacitif : la capacité de recouvrement vaut $C_{ov} = C_{GSD0} \cdot W = 0,35 \cdot 2 = 0,7$ fF (En utilisant les notations du modèle BSIM3). Le couplage du front logique sur la condensateur de mémorisation de capacité 1 pF est donné par la formule du diviseur

$$\text{capacitif : } \Delta V = \frac{C_{ov}}{C_{mem} + C_{ov}} \cdot 5 = \frac{0,7 \cdot 10^{-15}}{1 \cdot 10^{-12} + 0,7 \cdot 10^{-15}} \cdot 5 = 3,5 \text{ mV}.$$

- Redistribution de charge. La charge totale stockée dans le canal est majorée par la valeur :

$$\begin{aligned} Q_{tot} &= W \cdot L \cdot C_{ox} \cdot (V_{Gon} - V_{Tmin}) \\ &= 2 \cdot 0,08 \cdot 2,16 \cdot (5 - 0,43) \\ &= 14,75 \cdot 10^{-15} \text{ C} \end{aligned}$$

Ce qui pour un condensateur de valeur 1 pF se traduit par une variation de tension de :

$$\Delta V = \frac{Q_{tot}}{C_{mem}} = \frac{14,75 \cdot 10^{-15}}{1 \cdot 10^{-12}} = 14 \text{ mV}.$$

Les alimentations de la logique et de polarisation des PMOS d'interrupteurs n'ont pas été séparées, la nécessité d'espacer leurs puits et de router deux alimentations aurait conduit à une surface trop importante. Les 93 cellules mémoires sont arrangées en matrice et leurs sorties constituent un bus qui est routé vers les blocs de calcul analogique.

Pour évaluer les caractéristiques de notre interrupteur, nous avons connecté une des mémoires sur un plot de sortie par l'intermédiaire d'un transistor PMOS monté en suiveur. Il introduit un décalage de V_{T0} , mais son gain est très proche de l'unité et il présente une bande passante très supérieure à celle d'un amplificateur opérationnel monté en suiveur. Les transitoires d'injection de charge sont par nature des phénomènes rapides et leur mesure nécessite un dispositif large bande. Afin d'être représentative, la cellule de mesure est choisie au centre de la matrice.

5.2.2. Multiplexeurs analogiques.

Nous devons aiguiller un signal vers une des huit lignes de notre bus analogique. Nous avons en fait deux types de signaux : les courants de sortie des conductances et synapses ou les tensions d'entrée de ces mêmes blocs.

Les contraintes sur les interrupteurs utilisés par le multiplexeur analogique sont très différentes de celles que nous avons pour les échantillonneurs-bloqueurs. L'injection de charge et le couplage d'horloge sont maintenant sans importance car nous faisons un usage

statique des interrupteurs : leur état ne change pas lors du fonctionnement du calculateur. La principale contrainte est en fait la surface de silicium occupée, qu'il faut absolument minimiser en raison du grand nombre de multiplexeurs dont nous avons besoin.

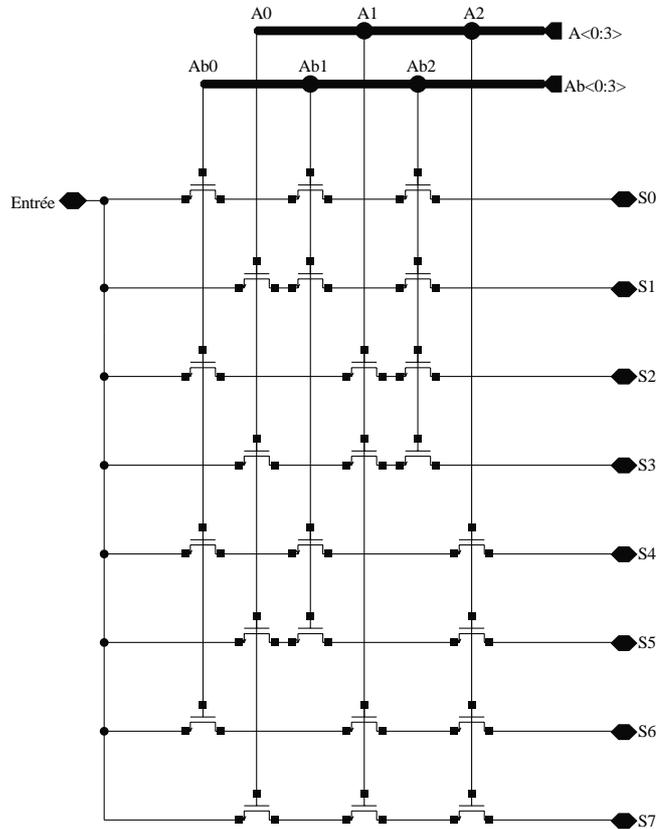


Figure 3-26 : schéma électrique du multiplexeur analogique. Tous les transistors sont de taille minimale, $L=0,8 \mu\text{m}$ et $W=2 \mu\text{m}$.

Le schéma choisi convient pour nos deux types de signaux. Nous avons réalisé les interrupteurs avec un seul transistor NMOS de taille minimale, économisant la surface du PMOS d'un interrupteur CMOS. La plage de conduction du transistor NMOS est suffisante pour l'excursion des tensions de membrane [1,5 V , 3,5 V] et les zones de polarisation des étages générateurs de courant des conductances ioniques.

Le bus analogique comporte en fait deux bus séparés (voir figure 3-24). Le premier sert à la sommation des courants de sortie des blocs de calcul analogique par le biais des multiplexeurs. Le courant total de chacune de ses lignes est injecté par un étage suiveur de courant à haute impédance dans un second bus où sont prélevées les tensions membranaires aiguillées vers les entrées de conductances. C'est ce second bus qui est disponible aux broches des ASICs et auquel sont connectés les condensateurs de membrane. L'utilisation d'étages

tampons permet de multiplexer les courants avec des interrupteurs d'impédance non négligeable. De plus, tous les étages d'entrées en tension étant à très haute impédance (grille de transistors MOS) et en raison des faibles fréquences de travail il n'est pas nécessaire de minimiser les résistances des interrupteurs véhiculant les tensions. C'est pour ces raisons que nous pouvons utiliser dans les deux cas des transistors de taille minimale. Enfin, la résistance de passage n'étant pas une contrainte, le décodage des signaux de commande est obtenu par la réalisation d'un "ET" logique en mettant en série les transistors de commutation. Cette approche permet d'obtenir une surface de circuit inférieure à celle utilisant un décodage numérique complet et un seul transistor par voie. De plus les deux polarités des signaux de commandes sont disponibles sur les mémoires de stockage de la topologie.

5.3. Description de la logique.

La logique est composée de trois éléments, un séquenceur et deux registres à décalage. Le premier (TOPOLOGIE) mémorise les données de la topologie et le second (INTER) contrôle les interrupteurs des échantillonneurs-bloqueurs et est utilisé comme compteur par le séquenceur.

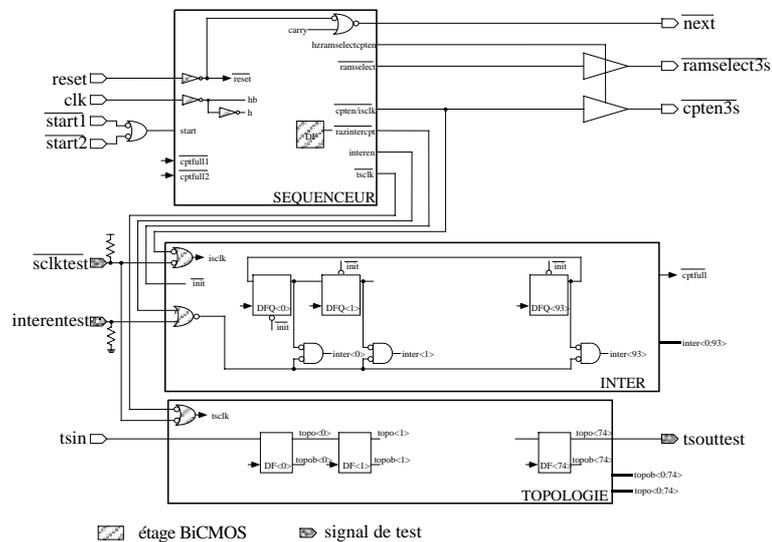


Figure 3-27 : schéma de principe de la logique du circuit "fpga-r".

Nous avons remplacé l'ensemble compteur synchrone/décodeur du circuit "annie" par le registre à décalage INTER. Il s'agit finalement d'un compteur stockant un état par bascule et c'est pour cette raison que le décodage est inutile. Cet arrangement permet de distribuer le

compteur au sein de mémoires analogiques, limite le nombre de pistes et est finalement favorable à notre structure matricée.

Le fonctionnement du séquenceur est décrit par son diagramme d'état. Une première boucle charge le registre TOPOLOGIE. Elle démarre dès le relâchement du signal *reset* et la fin du chargement est contrôlée par le registre INTER. Lors de l'initialisation, toutes les bascules d'INTER sont mises à un sauf la première. La présentation d'un front d'horloge fait donc circuler cette valeur le long du registre. Nous utilisons la position de ce "jeton" pour compter le nombre de passages dans la boucle et assurer le chargement des 75 points mémoires du registre TOPOLOGIE.

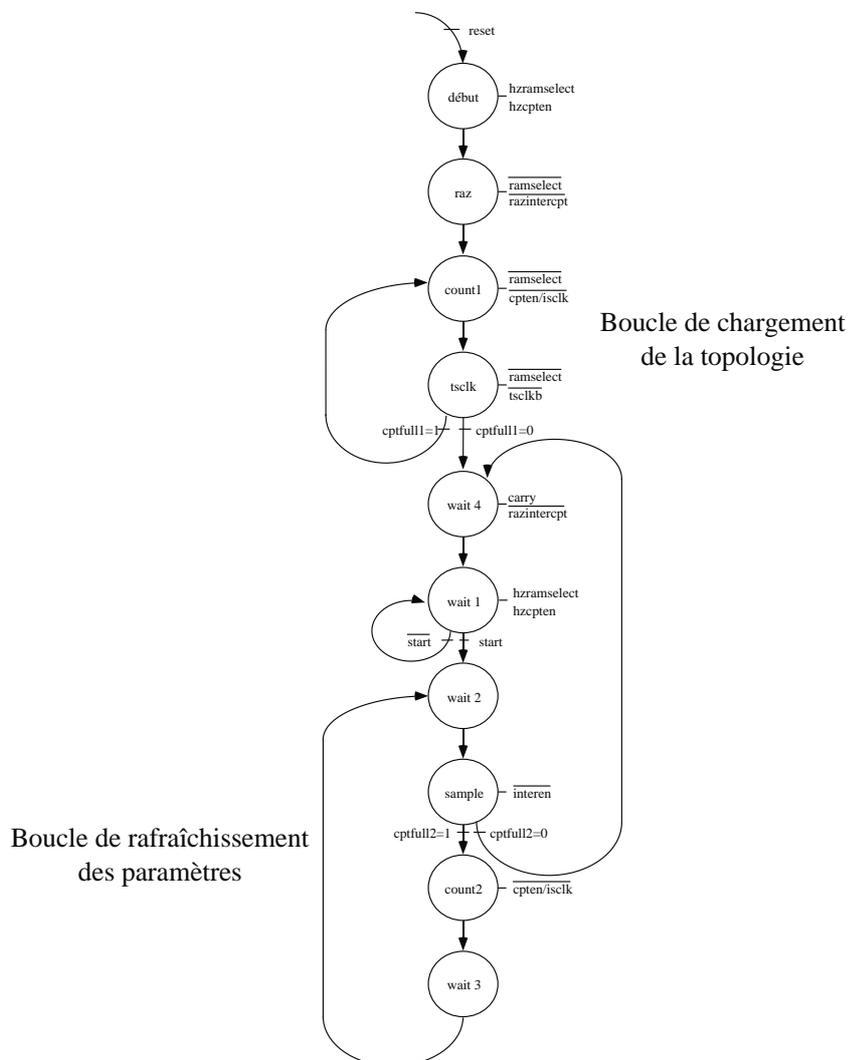


Figure 3-28 : diagramme d'état du séquenceur du circuit "fpca-r".

Après avoir réinitialisé le registre INTER, le circuit attend à l'état "wait1" le signal $start = \overline{start1} + \overline{start2}$ pour démarrer la seconde boucle où les interrupteurs des

échantillonneurs-bloqueurs sont fermés à tour de rôle grâce à la circulation du jeton d'INTER. C'est la boucle de rafraîchissement des paramètres. Pour garantir l'absence de recouvrement entre deux mémoires analogiques, c'est en fait le signal $\overline{interen}$ qui commande la fermeture de l'interrupteur, après le déplacement du jeton. Cette boucle se termine quand le dernier condensateur est mis à jour, c'est-à-dire que le jeton a atteint la dernière cellule du registre INTER. Le circuit émet une impulsion sur la sortie *carry* et repart dans son état d'attente "wait1".

Grâce au signal $\overline{cpten3s}$, ces deux boucles contrôlent le compteur externe qui présente les signaux d'adresse à la SRAM. Son incrémentation est synchronisée avec celle du registre INTER. Un signal supplémentaire $\overline{ramselect}$ est directement appliqué au bit de poids fort du port d'adresse de la SRAM afin de partager la mémoire en deux zones, destinées, l'une au stockage des paramètres, l'autre au stockage des données de topologie.

Les signaux $\overline{interentest}$, $\overline{sclktest}$ et $\overline{tsoutest}$ ont été ajoutés à des fins de test, ils permettent de contrôler directement les deux registres et la fermeture des interrupteurs. $\overline{interentest}$ et $\overline{sclktest}$ ont, respectivement, une résistance de pull-down et de pull-up interne, afin que ces entrées puissent éventuellement rester non-cablées.

Les schémas d'application illustrent les connexions de ces signaux avec les circuits externes.

5.3.1. Schémas d'application.

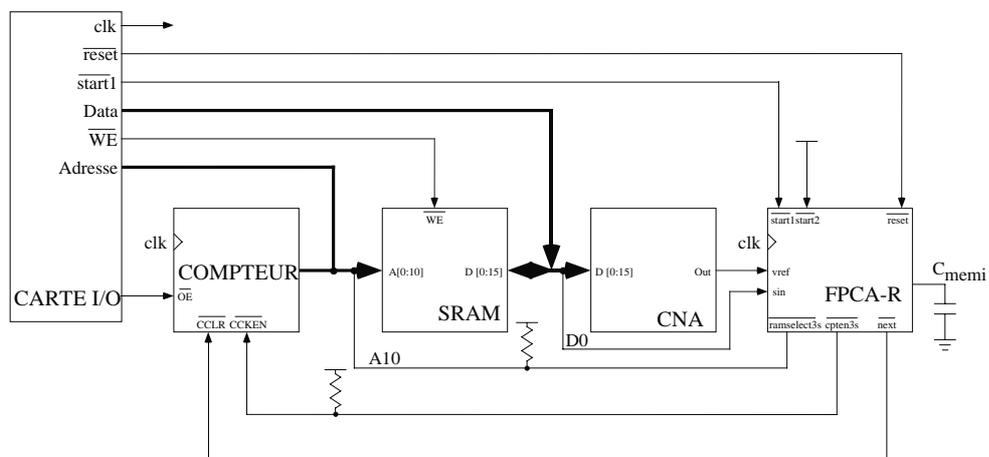


Figure 3-29 : principe d'utilisation d'un circuit "fpc-a-r" seul.

Un dispositif externe, par exemple une carte d'entrée/sortie ou un système à microcontrôleur, permet de charger la SRAM avec les valeurs souhaitées. Il génère aussi les différents signaux de contrôle du circuit "fpca-r".

Quand nous relâchons le \overline{reset} , la topologie est chargée, puis $\overline{start1}$ permet de démarrer la boucle de rafraîchissement. Lors de l'utilisation d'un seul circuit $\overline{start2}$ doit resté invalide, par contre après son assertion, $\overline{start1}$ restera valide pour ne pas arrêter les cycles de rafraîchissement.

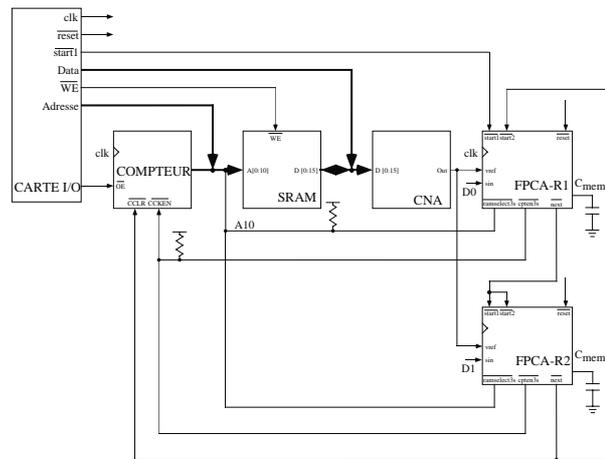


Figure 3-30 : principe de chaînage pour deux circuits "fpca-r".

La possibilité de mise en cascade de plusieurs ASICs "fpca-r" fait partie intégrante des spécifications de ce circuit. Le partage des ressources communes que sont SRAM, compteur et CNA permet d'augmenter le nombre de conductances globalement disponibles en limitant le nombre de circuits périphériques. Nous illustrons ce chaînage par un schéma utilisant deux circuits (figure 3-30). Pour un nombre plus important, le principe reste le même, la limite étant fixée par le temps de maintien des condensateurs de mémorisation. Il faut en effet veiller à ce que la période de rafraîchissement de chaque condensateur reste inférieure à ce temps de maintien.

Le protocole de fonctionnement est le suivant : quand nous relâchons le \overline{reset} , la topologie est chargée en parallèle par les deux circuits, puis $\overline{start1}$ permet de démarrer la boucle de rafraîchissement du premier "fpca-r", le second démarrera à la fin du cycle du premier grâce au signal \overline{next} . Cette fois $\overline{start1}$ doit être une impulsion moins longue qu'un cycle de

rafraîchissement, afin que le premier circuit ne redémarre que sous le contrôle du \overline{next} du second circuit.

5.3.2. Gestion du compteur externe.

Sa remise à zéro est commandée par le dernier circuit de la chaîne grâce au signal \overline{next} . C'est est un "OU" entre *carry* et *reset* ce qui permet de remettre le compteur à zéro lors de l'application du signal *reset*.

L'autorisation de comptage $\overline{cpten3s}$ est un signal trois états afin que les circuits et le dispositif externe permettant le remplissage de la SRAM puissent contrôler le compteur à tour de rôle.

5.3.3. Gestion de la SRAM.

		← 12 bits →							
		A10..A0	D15 (msb)	D14	D11	D10	D0 (lsb)
← 93 →	000h					Paramètres U0			
	05Dh								
								
	3A7h					Paramètres U10			
	3FBh								
← 75 →	400h						Topologie U10	Topologie U0
	44Ah								
		7Fh							

Tableau 3-8 : organisation de la mémoire de stockage (2 circuits SRAM 2 ko x 8) pour un maximum de 11 circuits.

La sélection de la zone de mémoire utilisée (topologie ou paramètres) est assurée par le signal trois états $\overline{ramselect3s}$.

La topologie d'un circuit est stockée dans la SRAM par un bit par adresse ce qui permet de charger toutes les topologies de plusieurs circuits en parallèle, en effet, l'entrée de topologie du circuit U_i est connectée à la broche D_i du bus de donnée de la SRAM. Il est ainsi possible de cascader au maximum 16 circuits avec une mémoire de 16 bits (deux boîtiers 8 bits).

Cependant, la taille nécessaire pour le stockage des paramètres serait alors de : 16 circuits x 93 paramètres = 1488. Afin d'utiliser des mémoires de 2 k octets ($2^{11} = 2048$), nous nous limitons à un maximum de 11 circuits, 11 circuits x 93 paramètres = 1023. Le dernier bit d'adresse A10 permet donc de commuter les zones mémoires de paramètre et de topologie : signal $\overline{ramselect3s}$.

Le compteur externe trois états utilisé (74hc590A) est un compteur 8 bits, il faudra en cascader deux pour parcourir les 1023 adresses nécessaires.

L'utilisation d'un seul compteur 8 bits limiterait le nombre de circuits cascadables à seulement 2. ($\frac{2^8 \text{ adresses}}{93 \text{ paramètres}} = 2.75$).

La position des différentes données en SRAM est précisée par l'annexe B.

5.4.Remarques sur la réalisation pratique.

L'alimentation unique de 5 V nous contraint à choisir le potentiel le plus bas du circuit comme masse numérique, il n'est donc pas possible d'utiliser une alimentation négative. Les signaux analogiques que nous manipulons sont bipolaires, mais en raison de cette contrainte, la masse analogique est décalée de 2,5V par rapport à la masse numérique.

En conclusion les différentes alimentations sont les suivantes :

numérique	analogique
5V	5V
	2,5V
0V	0V

Tableau 3-9 : broches d'alimentations du circuit "fpca-r".

Les parties numériques du circuit sont réalisées à partir de la bibliothèque CMOS du fondeur. Pour les nœuds les plus chargés, nous avons cependant utilisé des portes BiCMOS qui, à surface égale, ont des courants de sorties plus importants. Elles sont signalées sur le schéma de la figure 3-27.

Un certain nombre de précautions ont été prises pour le routage de ce circuit mixte, notamment aux vues des problèmes de couplages apparus sur "annie" :

- Les alimentations 5V sont séparées. Les masses sont routées séparément et disposent de plots distincts mais sont reliées en un seul point du circuit, le 2,5V ne doit donc pas être utilisé comme référence de potentiel analogique. Il faudra utiliser un décalage externe pour décaler de 2,5 V les potentiels de membranes si nécessaire.
- Deux tensions de polarisations sont générées en interne, elles sont connectées à des broches du circuit pour en assurer un éventuel découplage, et, surtout, pour pouvoir les mesurer et, si nécessaire, les forcer à une valeur différente.
- La logique est physiquement séparée de la partie analogique, sauf pour le registre de topologie qui est distribué au sein même des conductances. Il n'a cependant plus d'activité pendant le fonctionnement du calculateur, et ne risque donc pas de causer des perturbations.
- Le séquenceur est entouré d'un anneau de garde destiné à restreindre d'éventuels couplages.
- Les pistes de signal et d'alimentations sont interdigitées avec des pistes reliées au 0V et au substrat, toujours pour essayer de réduire les couplages.

Les mesures réalisées sur ce circuit sont présentées au chapitre IV.

CHAPITRE IV

MISE EN ŒUVRE ET APPLICATIONS.

1.	Introduction.....	141
2.	"Vortex" : banc de simulation analogique.....	141
2.1.	Principe.....	142
2.1.1.	La carte mère.....	142
2.1.2.	Carte fille "ernest".....	144
2.1.3.	Logiciel.....	145
2.2.	Premier exemple : modélisation de la boucle thalamique TC-nRt.....	146
2.2.1.	Fonction de la boucle thalamique.....	147
2.2.2.	Modélisation et simulation de la boucle.....	148
2.3.	Deuxième exemple : augmentation de la vitesse de calcul.....	152
3.	Méthode des réseaux hybrides.....	156
3.1.	Principe et historique.....	156
3.2.	Interface artificiel-biologique.....	158
3.2.1.	Méthodes classiques : microélectrodes intra et extracellulaire simples.....	159
3.2.2.	Matrice de microélectrodes.....	161
3.2.3.	Microélectrode active implantable.....	162
3.2.4.	Lien bidirectionnel au niveau du silicium.....	163
3.3.	Premier exemple : étude in vitro de la boucle thalamique.....	164
3.4.	Second exemple : étude des capacités de réorganisation du réseau cortical in vivo.....	168
4.	"Microneurone", outil didactique.....	170
4.1.	Choix et principe de fonctionnement.....	171
4.1.1.	Mise en route.....	173
4.1.2.	Mode de fonctionnement.....	173
4.1.2.1.	Mode normal.....	173
4.1.2.2.	Mode esclave.....	174
4.1.2.3.	Logiciel.....	175
4.2.	Utilisation de "microneurone" pour le test de l'ASIC "susie".....	176

4.3. Exemples de modèles.....	179
4.4. "Microneurone" version 2.0.....	180
5. Futur calculateur analogique programmable.....	181
5.1. Conception du futur banc de simulation analogique.....	181
5.1.1. Description du simulateur.....	182
5.1.2. Organisation du bus analogique.....	184
5.2. Prototype utilisant deux circuits "fpca-r".....	186
5.3. Mesures électriques.....	187
5.3.1. Sigmoides.....	187
5.3.2. Paire entrecroisée et multiplieur "beta-immune".....	188
5.3.3. Constante de temps des intégrateurs.....	189
5.3.4. Temps de maintien des mémoires analogiques.....	190
5.4. Exemples de modèles.....	191
5.4.1. Un neurone à deux conductances.....	191
5.4.2. Un neurone à trois conductances.....	192
5.4.3. Réalisation de synapses avec les deux circuits.....	192

1. INTRODUCTION.

Ce chapitre présente les différents systèmes que nous avons mis au point, leur évolution et leurs applications. Ils sont conçus en collaboration avec leurs utilisateurs immédiats, les équipes des chercheurs en neurobiologie Gwendal Le Masson de l'institut de neurosciences François MAGENDIE (Unité INSERM E.9914) à Bordeaux et Thierry Bal de l'institut Alfred FESSARD à Gif sur Yvette (UPR CNRS 2191).

Au cours des deux précédents chapitres nous avons présenté différents circuits électroniques analogiques qui simulent l'activité électrophysiologique de neurones biologiques. Afin qu'ils ne restent pas de simples curiosités de laboratoire (d'électronique), il est nécessaire de concevoir un ensemble d'outils matériel et logiciel permettant leur exploitation :

- "Vortex" est un banc de simulation analogique issu des travaux antérieurs de notre groupe, il est utilisé pour la réalisation de réseaux hybrides.
- "Microneurone" est un simulateur portable que nous avons conçu pour utiliser les ASICs "susie" et "calvin", il est plus particulièrement destiné à des applications pédagogiques.
- Enfin, un simulateur basique est réalisé avec les circuits "fpca-r" permettant de les caractériser mais aussi de démontrer leurs capacités pour la conception d'un futur banc de simulation analogique.

2. "VORTEX" : BANC DE SIMULATION ANALOGIQUE.

Le banc de simulation analogique "vortex" est un système modulaire développé pour recevoir les ASICs de calcul analogique. Il autorise notamment, la programmation par le biais d'un micro-ordinateur des paramètres de ces ASICs. Conçu par Denis Dupeyron [DUPEYRON 98], déjà présenté par Arnaud Laflaquière [LAFLAQUIERE 98], il a néanmoins sa place dans ce manuscrit car nous avons continué à le faire évoluer et à l'utiliser.

Notre principale contribution a consisté à la mise au propre du système par la construction d'un ensemble complet et autonome (notamment grâce à l'apport d'alimentations intégrées) afin d'en faciliter l'utilisation hors d'un laboratoire d'électronique [DOUENCE 99]. Concrètement nous avons reconstruit et mis en coffret la carte mère, et nous avons mis à jour le logiciel permettant son pilotage ainsi que l'acquisition de donnée. Les photographies de la figure 4-1 présentent le système dans son état actuel.

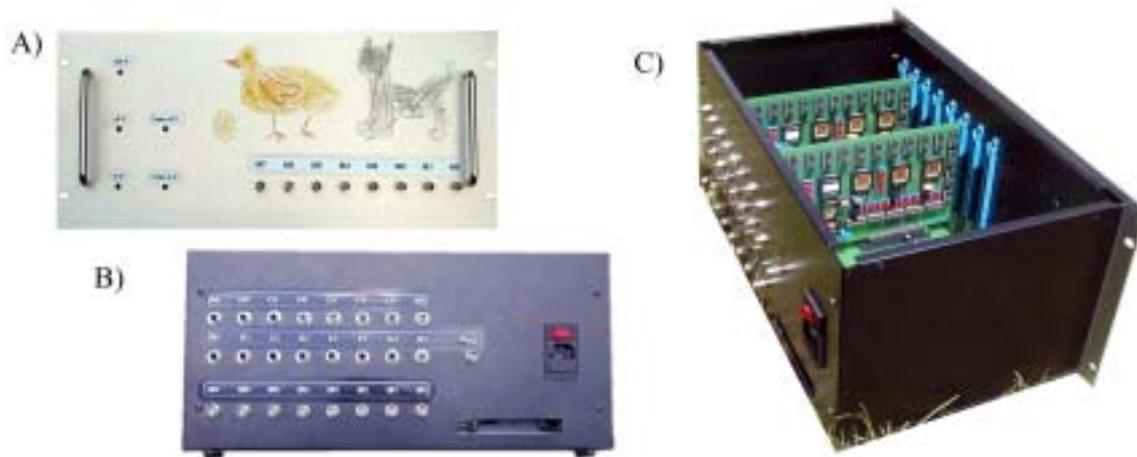


Figure 4-1 : photographies du banc de simulation "vortex" analogique dans son état actuel, A) face avant, B) face arrière et C) vue d'ensemble avec deux cartes "ernest".

2.1.Principe.

Ce système a été pensé pour être modulaire et évolutif. Il est composé d'une carte mère dans laquelle s'enfichent des cartes filles. Ce sont elles qui reçoivent les différents ASICs de calcul analogique. Ainsi lors de la conception d'un nouveau circuit, il suffit de réaliser une nouvelle carte fille qui trouvera sa place dans le système existant.

Bien que la version présentée dans ce manuscrit ait été développée pour recevoir les cartes filles réalisées par Arnaud Laflaquière, elle reste conforme au protocole initialement défini par Denis Dupeyron. Elle comporte cependant quelques signaux supplémentaires qui permettront de répondre à de probables évolutions (par exemple l'utilisation de mémoires analogiques).

2.1.1. La carte mère.

Elle est essentiellement composée d'un bus fond de panier (8 connecteurs encartables de 50 broches) mixte analogique/numérique et de l'électronique des circuits d'alimentation. En effet, les protocoles de communications sont entièrement gérés sur les cartes filles, ce qui permet de garantir les possibilités d'évolution.

La carte mère est pilotée par une carte d'entrée/sortie de type PCI1200 fabriquée par la société National Instrument. C'est une carte encartable au format PCI, donc compatible avec les micro-ordinateurs Apple et PC (le fabricant fournit les pilotes logiciels pour ces deux types de machine). Elle comporte, entre autre, trois ports numériques de 8 bits, 8 lignes d'entrées analogiques qui sont multiplexées vers un convertisseur analogique-numérique et deux sorties analogiques.

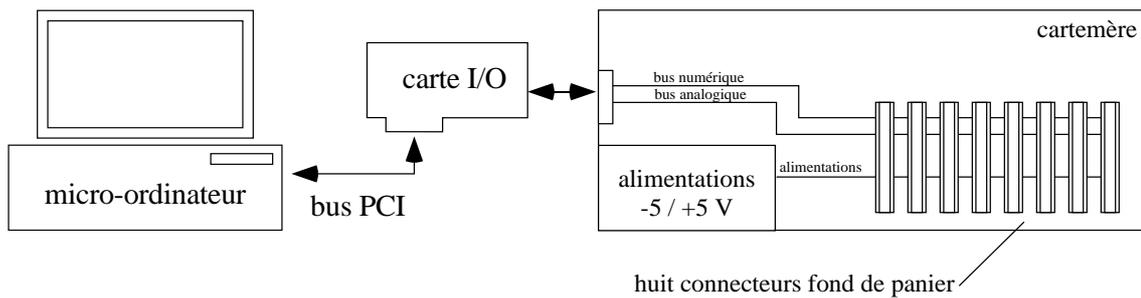


Figure 4-2 : schéma de principe de la carte mère. Un micro-ordinateur équipé d'une carte d'entrée/sortie permet de piloter le bus série de la carte mère mais aussi de faire l'acquisition des signaux de son port analogique.

Le brochage du connecteur type HE10 situé en face arrière du simulateur analogique est compatible avec cette carte d'entrée/sortie (voir annexe D). Sur l'ensemble de ses ressources, quatre signaux numériques, 8 entrées analogiques et une sortie analogique sont employés, mais en fait seuls trois signaux numériques sont indispensables pour piloter le bus numérique et l'utilisation d'un autre type de carte d'entrée/sortie est donc parfaitement envisageable.

Nous pouvons détailler les deux bus qui composent la carte mère :

- Le bus numérique.

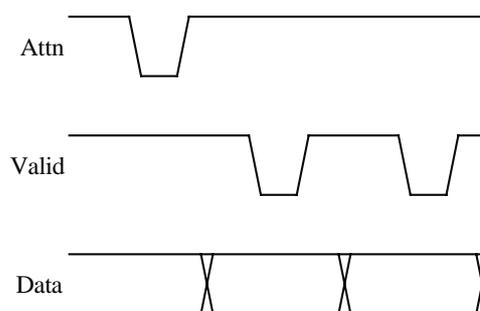


Figure 4-3 : signaux du bus numérique.

C'est un bus série qui permet d'envoyer les informations nécessaires à la programmation des cartes filles, il est indépendant du type de carte.

"Le bus numérique est synchrone et unidirectionnel. Il est constitué de 3 lignes nommées ATTN, VALID et DATA, toutes trois actives à l'état 1. Par son intermédiaire on peut programmer chacun des paramètres des cartes filles (...). Le début d'émission d'un message est signalé par une impulsion sur la ligne ATTN. Le transfert des données s'effectue en série

sur la ligne DATA, lorsque des impulsions de la ligne VALID indiquent que les bits de donnée sont prêts " (extrait de la thèse de Denis Dupeyron [DUPEYRON 98]).

Attention : afin de supprimer des couplages sur la ligne de donnée DATA, les polarités des signaux ATTN et VALID ont été inversées par rapport à la description de Denis Dupeyron. Elles sont maintenant conforme au diagramme de la figure 4-3.

- Le bus analogique.

Le bus analogique comporte un total de 5 x 8 lignes qui servent à interconnecter les différents modules (des conductances ioniques par exemple) des cartes filles et permettent de construire des modèles de cellules complexes et/ou de réseau.

Là encore les signaux et leur distribution sont conformes au protocole initial, seuls deux signaux complémentaires ont été ajoutés sur des broches inutilisées.

Les tensions sur ce bus correspondent donc aux potentiels membranaire des neurones modélisés (ou de leurs compartiments), et le premier groupe (M0-M5) est reporté sur des connecteurs BNC en face avant et arrière, ainsi que sur le connecteur type HE10 en face arrière pour en faciliter la mesure.

Les deux signaux ajoutés sont destinés à la programmation de mémoires analogiques :

- Signal Vref : il est prévu pour fournir la tension de référence à programmer dans des mémoires analogiques.
- Signal Vprog : il est prévu pour fournir la tension de programmation éventuellement nécessaire au fonctionnement des mémoires analogiques. Un interrupteur situé sur la carte mère permet de choisir entre deux sources, un connecteur BNC situé en face arrière ou un circuit à pompe de charge (type MAX662) sur la carte mère. Dans ce dernier cas une tension régulée de 12 V (courant maximal de 30 mA) est disponible sur Vprog.

2.1.2. Carte fille "ernest".

Elle a été réalisée par Arnaud Laflaquière [LAFLAQUIERE 98], et nous ne présentons ici que ces principales propriétés, pour plus de détail (notamment sur les fonctionnalités des ASICs qu'elle utilise) voir aussi l'annexe E.

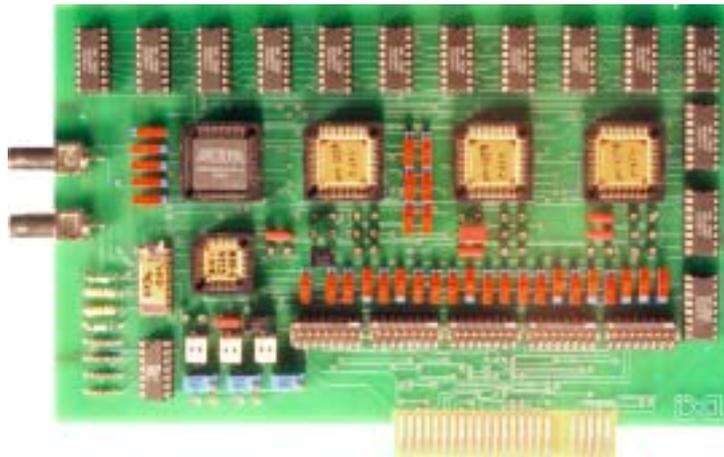


Figure 4-4 : photographie d'une carte "ernest".

Elle comporte cinq ASICs analogiques :

- trois ASICs "ernest",
- un ASIC "ernest junior",
- un ASIC "casimir".

Equipée de ces circuits, une carte "ernest" modélise un total de huit conductances ioniques et de deux membranes, chacune associée à son canal de fuite. Les paramètres de type constante de temps sont réglés en changeant manuellement les condensateurs d'intégration sur la carte, les 56 autres paramètres sont ajustés par le biais de 14 convertisseurs numérique-analogique (CNA) quatre voies. Ce sont ces convertisseurs qui sont programmés via le bus numérique de la carte mère, les données séries étant décodées par un circuit logique programmable (FPGA Altera) qui les redirige vers les CNA.

Enfin, la topologie des neurones et réseaux à simuler est réalisée manuellement à l'aide des nombreux micro-interrupteurs présents sur la carte.

Sur la figure 4-4 il est facile de reconnaître les cinq ASICs analogiques, ainsi que le FPGA qui gère la programmation des 14 convertisseurs numérique-analogique.

2.1.3. Logiciel.

Nous avons contribué à faire évoluer le logiciel qui pilote ce système par l'intermédiaire de la carte d'entrée/sortie. Comme nous l'avons déjà signalé, trois signaux numériques sont suffisants pour programmer une carte "ernest". Outre la gestion de ce bus numérique, la carte d'entrée/sortie permet aussi d'enregistrer l'activité du bus analogique grâce à ses voies

analogiques. Le logiciel permet donc de programmer les paramètres des cartes et de les sauver sur disque, il présente aussi une fenêtre permettant l'acquisition analogique à la manière d'un oscilloscope numérique (figure 4-5).

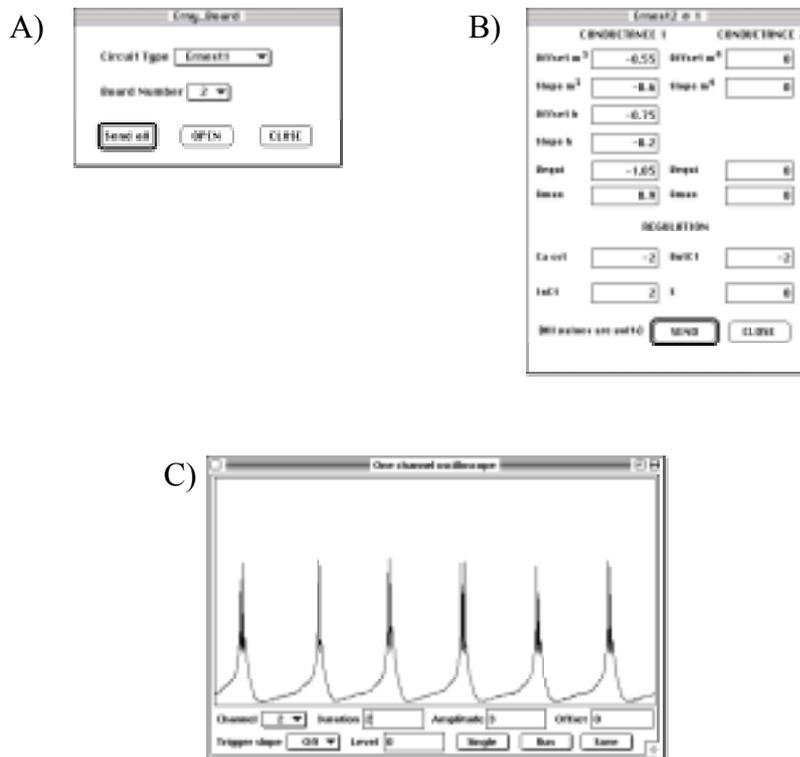


Figure 4-5 : exemples de fenêtres du logiciel. A) choix de la carte et de l'ASIC dont on souhaite éditer les paramètres, B) édition et modifications des paramètres "électriques", C) acquisition de données grâce à la fonction oscilloscope.

2.2.Premier exemple : modélisation de la boucle thalamique TC-nRt.

Comme première illustration des possibilités du banc "vortex", nous présentons des simulations de la boucle thalamomique de furet ou de cochon d'Inde étudiée par les équipes de neurobiologistes avec qui nous travaillons. L'implémentation électronique des modèles de neurones de cette structure est une étape indispensable pour la réalisation des réseaux hybrides qui seront présentés au paragraphe 3.

Avant de présenter les enregistrements de nos neurones artificiels, donnons quelques informations sur la fonction de la boucle thalamique.

2.2.1. Fonction de la boucle thalamique.

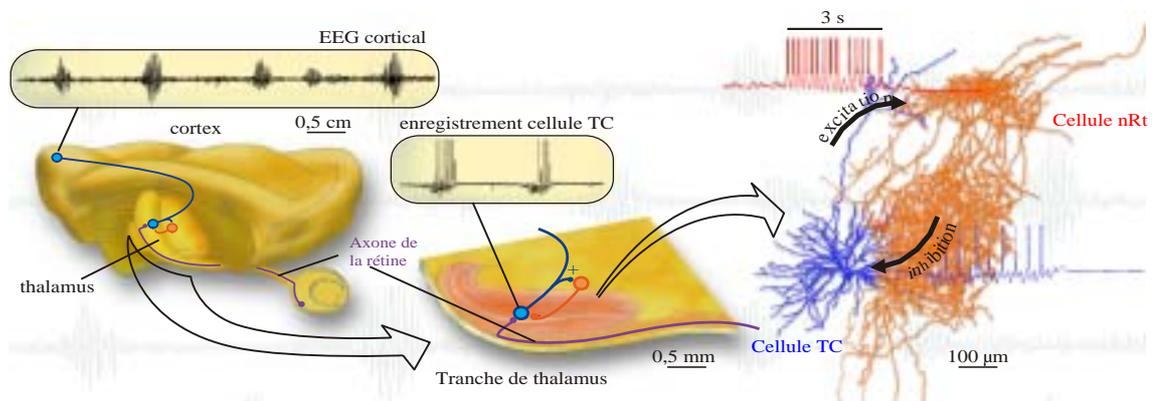


Figure 4-6 : à gauche le cortex d'un mammifère (furet) avec ses voies visuelles (rétine). L'enregistrement de l'activité corticale (EEG) montre les fuseaux du sommeil. Au centre, le thalamus extrait sous forme d'une tranche survivant in vitro. Il comporte deux populations de neurones, TC et nRt, qui sont identifiées comme étant le noyau générateur de ces fuseaux. (figure réalisée par T. Bal extraite de [LE MASSON 98b]).

"Que sait-on de son rôle? Au cours de l'éveil, un flot continu d'informations sensorielles nous renseigne instant après instant sur l'état du monde extérieur et de notre propre corps. On sait que le codage de ces informations est opéré par des cellules nerveuses sous la forme de potentiels d'action. Les signaux ainsi codés sont véhiculés par des voies séparées vers différentes aires du néocortex, spécialisées dans le traitement d'une modalité sensorielle particulière. Le thalamus est la première structure cérébrale que rencontrent ces voies sensorielles en route vers le cortex. De fait, la destruction du thalamus nous rendrait inévitablement aveugles, sourds, et complètement isolés du monde extérieur et de notre corps sur le plan sensoriel et moteur.

Cette privation sensorielle ne rappelle-t-elle pas les caractéristiques de l'état de sommeil ? L'endormissement est en effet associé à une diminution marquée de la perception sensorielle, qui va s'amplifiant au cours des stades de sommeil successifs (classés de I à IV). Cette transition de la veille vers le sommeil est clairement visible sur un électroencéphalogramme (EEG) et se caractérise par la transformation d'oscillations rapides (20-60 Hz), de petite amplitude, en ondes plus lentes (1 à 14 Hz) et de grande amplitude. Les oscillations les plus caractéristiques des premiers stades du sommeil s'appellent les fuseaux. Le sommeil à fuseaux (stade II) représente chez l'homme sain environ 30 à 50 % du temps passé à dormir. Ces fuseaux sont produits

par le thalamus et propagés vers le cortex où on les repère dans l'EEG sous la forme de bouffées d'oscillations de 10-14 Hz qui reviennent périodiquement toutes les dizaines de secondes.

Ces observations permettent d'élaborer des hypothèses sur le rôle du thalamus : en diminuant la transmission des informations sensorielles qui transitent vers le cortex, son activité oscillatoire serait prépondérante dans la chute de la perception consciente associée au sommeil. Pendant l'éveil au contraire, ces oscillations étant abolies, le thalamus autoriserait la transmission des informations vers le cortex." (extrait de [LE MASSON 98b])

La structure qui est à l'origine de cette activité en fuseau a été identifiée au sein du thalamus : elle se compose de deux populations de neurones, les cellules relais TC (Thalamo-Corticales) et les cellules nRt (neurones Réticulés thalamiques) reliées entre elles par des synapses excitatrices (TC vers nRt) ou inhibitrices (nRt vers TC).

Thierry Bal a développé chez le furet une préparation originale de tranches (400 μm d'épaisseur) de la partie du thalamus traitant les informations visuelles en provenance de la rétine. Ce modèle expérimental possède deux particularités remarquables. Il conserve in vitro intacts et fonctionnels les circuits responsables des rythmes générateurs du sommeil à ondes lentes et, par ailleurs, les connexions synaptiques entre les axones d'origine rétinienne et les neurones du réseau sont conservées. La stimulation électrique de ces axones permet de "mimer" l'entrée de signaux visuels dans le thalamus (figure 4-6).

2.2.2. Modélisation et simulation de la boucle.

Nous présentons donc maintenant les enregistrements obtenus à partir de modèles de neurones artificiels TC et nRt simulés sur notre banc de simulation analogique "vortex". Comme nous l'avons indiqué, nous nous intéressons en particulier aux boucles thalamiques de deux espèces animales : le furet et le cochon d'Inde.

Les modèles implémentés sont des versions simplifiées inspirées de plusieurs publications [BAL 96], [DESTEXHE 96], [MCCORMICK 97] et [STERIADE 97]. Ils simulent néanmoins correctement la plupart des comportements caractéristiques que l'on retrouve sur des enregistrements de cellules vivantes. Les enregistrements que nous présentons dans ce paragraphe ont été obtenus avec la collaboration de G. Le Masson.

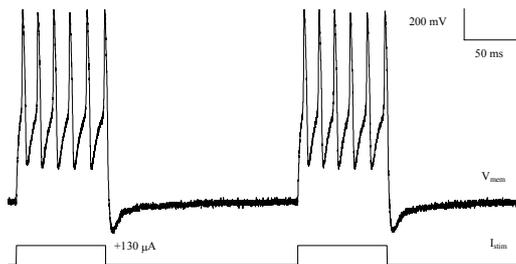
- Reconstruction de la cellule TC.

Le modèle de ce neurone est constitué d'un compartiment unique qui comporte cinq conductances ioniques :

$$C_{\text{mem}} \frac{dV_{\text{mem}}}{dt} + I_{\text{Na}} + I_{\text{K}} + I_{\text{h}} + I_{\text{T}} + g_{\text{fuite}} (V_{\text{mem}} - E_{\text{fuite}}) = 0 \quad (4.1)$$

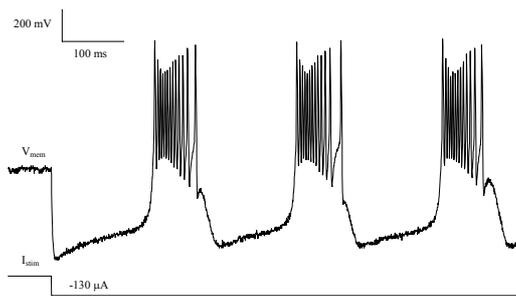
I_{T} est le courant "low threshold" calcium, I_{h} est le courant "hyperpolarization-activated cation", I_{K} et I_{Na} sont, respectivement, les courants sodium et potassium responsables de la génération des potentiels d'actions. Ces courants sont modélisés par des équations répondant au formalisme de Hodgkin et Huxley (voir équations 1.4 à 1.7). Notons que I_{h} ne comporte pas de composante de dépendance calcique, ses propriétés que nous décrivons ci-dessous proviennent donc uniquement de la constante de temps très lente (2,2 s) associée à une unique variable d'inactivation.

Avec les enregistrements suivants, nous illustrons l'effet de ces courants ioniques (figure 4-7).



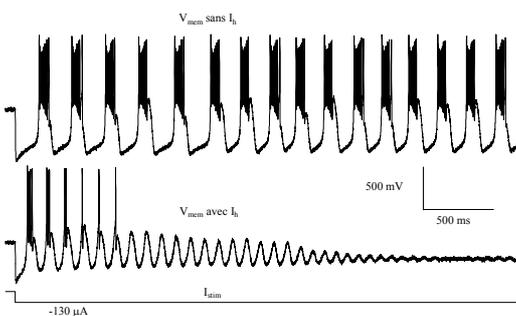
← Deux courants ioniques, I_{Na} et I_{K} sont à l'origine de la génération de potentiels d'actions (PA).

L'injection d'un courant dépolarisant permet de traverser le seuil de déclenchement des PA pour le neurone normalement silencieux.



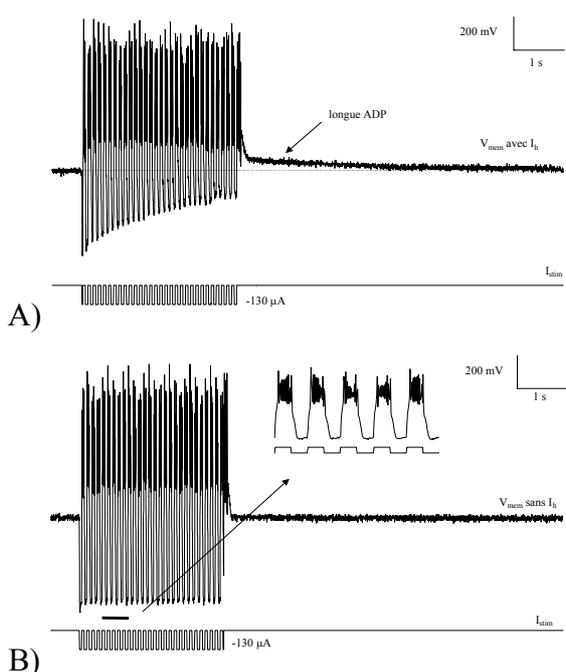
← La conductance calcique I_{T} est à l'origine d'une lente activité qui prend naissance sous le seuil d'activation des PA.

L'injection d'un courant hyperpolarisant maintenu se traduit par la génération d'une enveloppe oscillatoire lente surmontée de bouffées de PA lorsque le potentiel de membrane dépasse le seuil de déclenchement.



← Nous observons la réponse à l'injection d'un courant hyperpolarisant du modèle complet avec et sans conductance I_{h} .

Le courant I_{h} a tendance à dépolariser la membrane et agit en diminuant lentement l'amplitude de l'enveloppe produite par I_{T} ainsi que la largeur des bouffées de PA qui la surmonte.



← Une autre façon de mettre en évidence la présence du courant I_h est de provoquer une série de rebonds en appliquant des impulsions hyperpolarisantes.

Ces rebonds sont suivis d'une importante "after-depolarization" (ADP) qui démontre la présence du courant I_h à cinétique lente (A). Notons que pour ce modèle simplifié, le courant I_h ne comporte pas de mécanisme de dépendance calcique.

La suppression de la conductance I_h conduit à une réponse répétitive de la cellule aux impulsions et à l'absence d'ADP (B).

Figure 4-7 : reconstruction du neurone TC.

- Reconstruction de la cellule nRt.

Le modèle de ce neurone est lui aussi constitué d'un compartiment unique et comporte trois conductances ioniques :

$$C_{\text{mem}} \frac{dV_{\text{mem}}}{dt} + I_{\text{Na}} + I_{\text{K}} + I_{\text{T}} + g_{\text{fuite}} (V_{\text{mem}} - E_{\text{fuite}}) = 0 \quad (4.2)$$

I_{T} est le courant "low threshold" calcium, I_{K} et I_{Na} sont, respectivement, les courants sodium et potassium responsables de la génération des potentiels d'actions.

Avec ces conductances ioniques, le neurone nRt présente des propriétés similaires au neurone TC. La différence majeure tient dans l'absence du courant I_h , responsable de l'arrêt des oscillations pour la cellule TC.

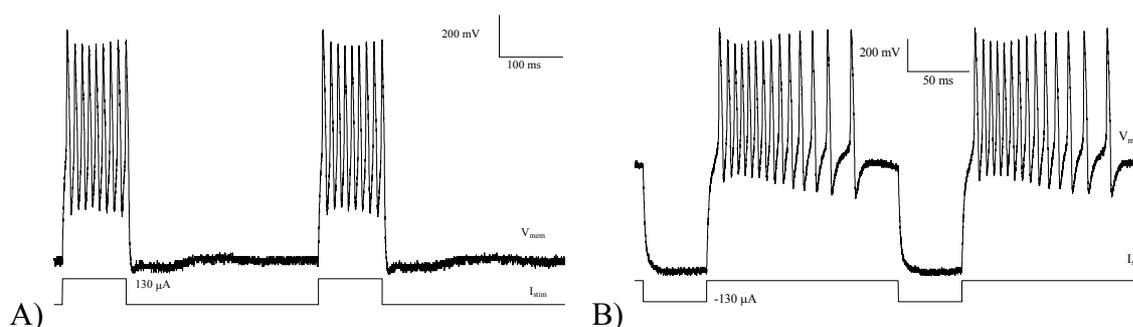


Figure 4-8 : activités caractéristiques du neurone nRt. A) réponse à des impulsions polarisantes. B) réponse à des impulsions hyperpolarisantes.

Nous retrouvons donc les activités caractéristiques :

- des impulsions de courant dépolarisant entraînent la traversée du seuil de déclenchement des PA du neurone normalement silencieux (figure 4-8-A). Les deux courants ioniques I_{Na} et I_K sont à l'origine de la génération de potentiels d'actions (PA).
- l'injection d'impulsions de courant hyperpolarisant se traduit par l'apparition d'un rebond dû à l'inactivation du courant I_T . Le potentiel de membrane traverse le seuil de déclenchement des PA et nous observons une "bouffée" de PA (figure 4-8-B). Notons qu'en maintenant le courant hyperpolarisant, nous aurions obtenu une réponse oscillatoire similaire à celle observée pour le neurone TC (figure 4-7).

- Réseau complet.

Les deux neurones sont reliés par des synapses inhibitrice (nRt vers TC) et excitatrice (TC vers nRt).

Synapse excitatrice de la cellule TC vers la cellule nRt (figure 4-9-A) : des impulsions hyperpolarisantes appliquées à la cellule TC provoquent des rebonds calciques surmontés de PA. Ces derniers sont transmis par la synapse à la cellule nRt et les potentiels postsynaptiques excitateurs (PPSE) l'entraînent au-dessus du seuil de déclenchement des PA.

Synapse inhibitrice de la cellule nRt vers la cellule TC (figure 4-9-B) : cette fois des impulsions dépolarisantes sont appliquées à la cellule nRt l'entraînant au-dessus du seuil de déclenchement des PA. Cette activité est alors transmise (potentiels postsynaptiques inhibiteurs : PPSI) par la synapse inhibitrice au neurone TC provoquant hyperpolarisations et rebonds.

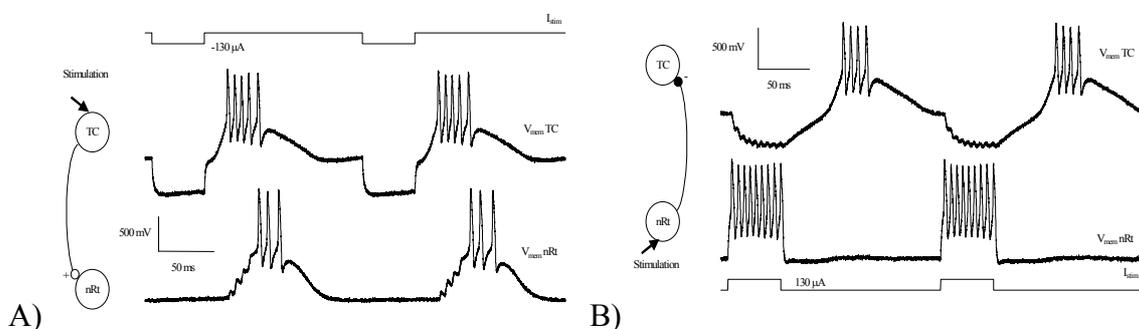


Figure 4-9 : effets des synapses excitatrice et inhibitrice reliant les cellules TC et nRt. A) synapse excitatrice seule. B) synapse inhibitrice seule.

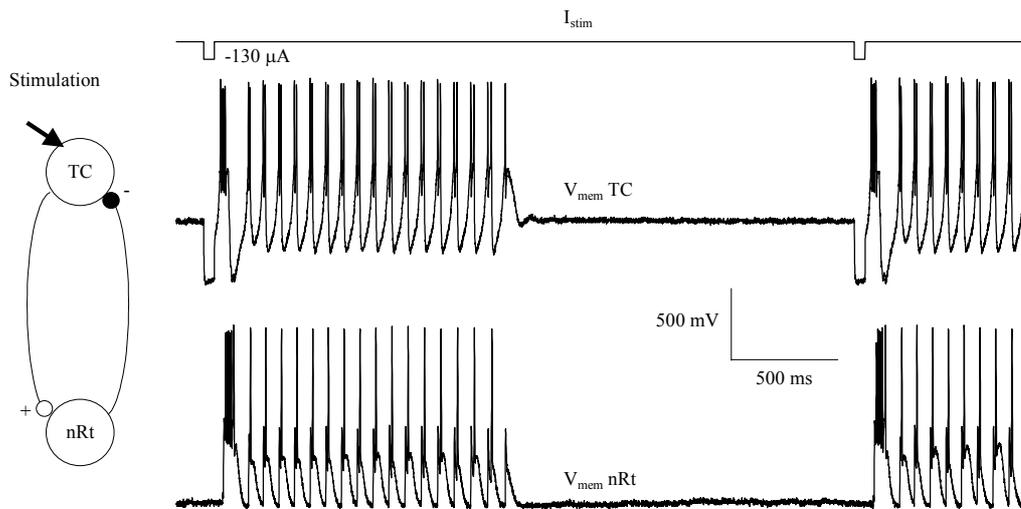


Figure 4-10 : simulation du réseau TC/nRt complet.

Nous connectons maintenant les deux synapses (figure 4-10). La stimulation de la cellule TC par des impulsions hyperpolarisantes provoquent l'apparition d'un rebond calcique. Grâce à l'excitation/inhibition réciproque des deux neurones la première bouffée de PA déclenchée par cette stimulation provoque l'apparition d'une activité oscillatoire entretenue. Ces oscillations sont ensuite arrêtées par le courant I_h .

2.3. Deuxième exemple : augmentation de la vitesse de calcul.

Au chapitre II, nous avons évoqué la possibilité d'augmenter la vitesse de calcul de nos calculateurs analogiques.

Cette propriété serait particulièrement intéressante pour, par exemple, faciliter la recherche des paramètres d'un modèle. Nous avons déjà vu que l'obtention des données expérimentales nécessaires à la construction d'un modèle de Hodgkin et Huxley représente un travail long et délicat (chapitre I). Cette difficulté et l'imprécision des mesures obtenues se traduit souvent par l'application d'un "processus d'essai-erreur consistant à essayer différentes valeurs pour un paramètre afin de se rapprocher au mieux du comportement biologique" [LE MASSON 98a]. Que cette recherche se fasse "manuellement" ou grâce à des algorithmes d'optimisation si le nombre de paramètres du modèle est trop important, elle implique toujours de réaliser un grand nombre de simulations correspondant à chaque jeu de paramètres testé. Il est donc nécessaire de diminuer au maximum les temps de simulation. Nous avons déjà évoqué la

propriété de notre calculateur analogique de résoudre en temps réel les équations de modèles complexes mais nous allons voir qu'il est encore possible d'améliorer la vitesse de calcul.

Pour expliquer et illustrer cette possibilité, nous considérons un neurone simple à deux conductances ioniques décrit par l'équation ci-dessous :

$$C_{\text{mem}} \frac{dV_{\text{mem}}}{dt} + I_{\text{Na}} + I_{\text{K}} + g_{\text{fuite}} (V_{\text{mem}} - E_{\text{fuite}}) = 0 \quad (4.3)$$

Rappelons que les variables d'activations de I_{Na} et I_{K} sont solutions d'équations différentielles de la forme suivante :

$$\tau_x \frac{dx(t)}{dt} = x_{\infty} (V_{\text{mem}}) - x(t) \quad (4.4)$$

La dépendance temporelle du modèle est entièrement décrite par ces deux équations, et la modification de la "vitesse de calcul", traduite mathématiquement par un changement de variable $t' = \frac{1}{\alpha} \cdot t$, n'implique que la transformation des "variables" C_{mem} (capacité membranaire) et τ_x (constantes de temps des variables d'activations) selon les équations :

$$C'_{\text{mem}} = \frac{C_{\text{mem}}}{\alpha} \text{ et } \tau'_x = \frac{\tau_x}{\alpha} = \frac{RC_{\text{tx}}}{\alpha} \quad (4.5)$$

Pour un modèle tonique à deux conductances, nous modifions donc les condensateurs membranaire C_{mem} et de constantes de temps C_{tx} en les divisant par un rapport α (figure 4-11). Les mesures présentées ont été obtenues par S. Le Masson et B. Foutry pour treize valeurs de α comprises entre 0,05 et 320. Le temps réel correspondant à $\alpha = 1$ avec une fréquence de répétition des PA de l'ordre de 30 Hz.

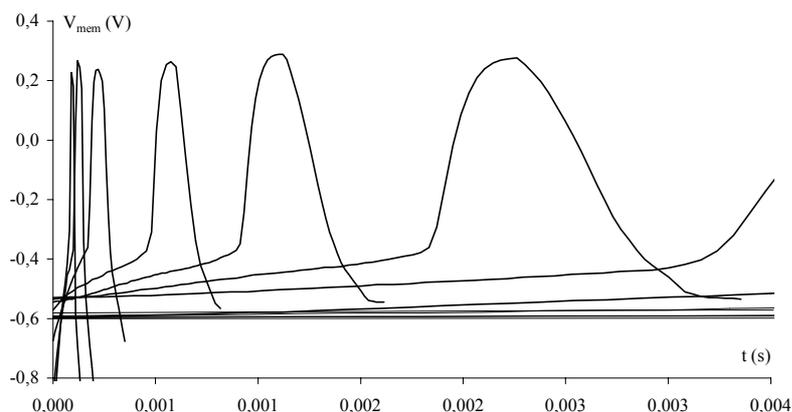


Figure 4-11 : variation de la période des potentiels d'actions pour diverses valeurs du rapport de multiplication α .

La variation de la période des potentiels d'actions (PA) correspond bien à une modification effective de la "vitesse de calcul". En mesurant la fréquence des PA, nous vérifions qu'elle varie bien linéairement avec la valeur du rapport de multiplication α (figure 4-12).

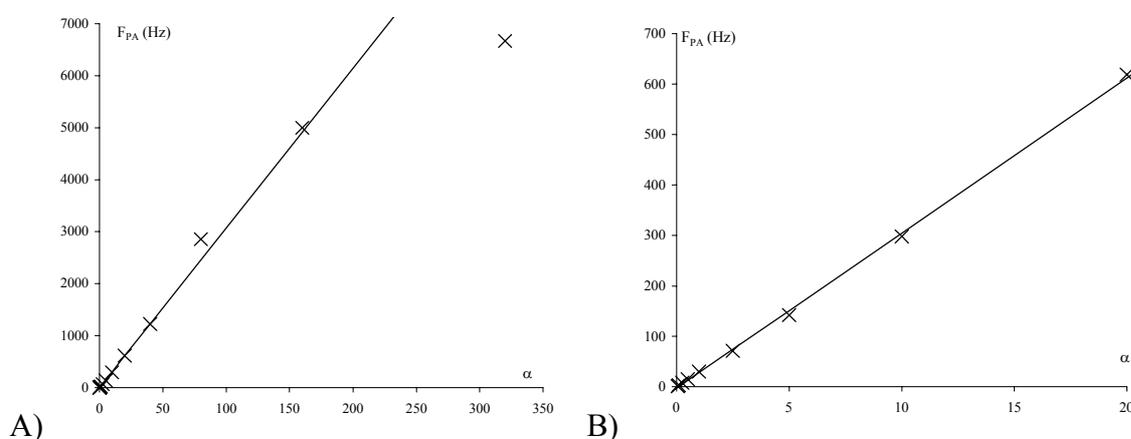


Figure 4-12 : variation de la fréquence des potentiels d'actions en fonction du rapport de multiplication α des condensateurs. La figure B) est un agrandissement de la figure A) pour les valeurs faibles de α .

Pour nous assurer que la forme des PA est bien respectée malgré le changement de fréquence, nous rééchantillonons les données des mesures temporelles de la figure 4-11 en normalisant l'échelle des temps. Nous pouvons ainsi mesurer l'erreur quadratique de la variation temporelle de V_{mem} en prenant l'acquisition correspondant à $\alpha=1$ comme référence (figure 4-13). Hormis pour les deux dernières valeurs ($\alpha=160$ et $\alpha=320$) l'erreur reste

inférieure à 1 et les courbes déformées qui apparaissent clairement sur la représentation temporelle normalisée (figure 4-13-A) correspondent à ces valeurs extrêmes.

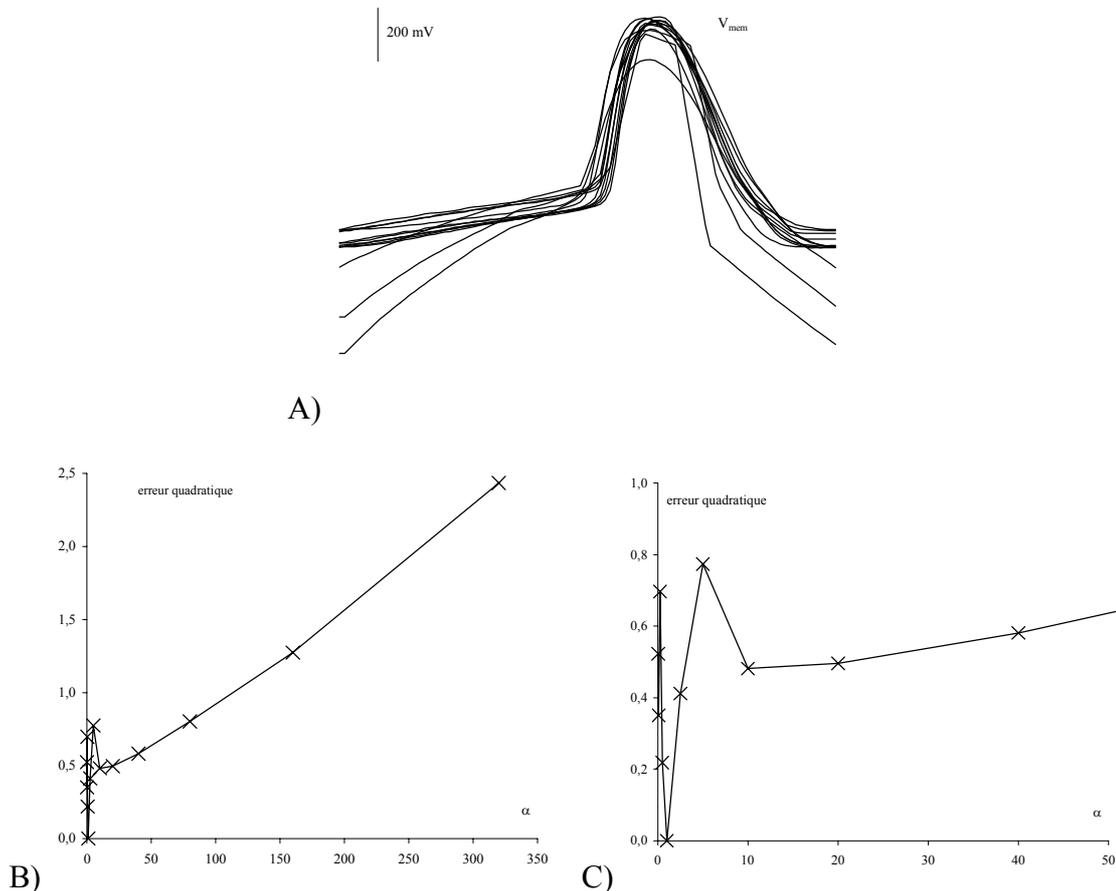


Figure 4-13 : comparaison des formes des potentiels d'actions. A) Tracé des différents PA pour une échelle des temps normalisée. B) Erreur quadratique en fonction du rapport appliqué aux condensateurs. La figure C) est un agrandissement de la figure B) pour les valeurs faibles de α .

En conclusion, conformément à la théorie, nous avons fait varier la vitesse de calcul pour un rapport α variant entre 0,05 et 320 (rappelons que le temps réel correspondant à $\alpha = 1$). Pour des valeurs de α supérieures à 50 la fréquence de répétition des PA s'écarte cependant de la théorie et les enveloppes correspondantes présentent des déformations non négligeables. Cette déviation provient des faibles valeurs de condensateurs nécessaires à l'obtention des vitesses élevées. En effet pour $\alpha=320$ la constante de temps d'activation de la conductance ionique I_{Na} est obtenue avec un condensateur de 50 pF (tous les autres condensateurs ont des valeurs au moins dix fois supérieures) ce qui correspond à la capacité parasite du plot de câblage de

l'ASIC. Pour nos circuits, 50 pF représente donc une limite inférieure qui correspond à une constante de temps minimale de $50 \text{ pF} \times 10 \text{ k}\Omega = 0,5 \text{ }\mu\text{s}$ (voir annexe E pour les relations d'étalonnage). Notons aussi que le système d'acquisition utilisé (celui du banc "vortex") a une fréquence d'échantillonnage limitée et les PA les plus rapides ne comportent pas assez de points de mesures, ce qui contribue à dégrader la fonction d'erreur de la figure 4-11.

Pour pouvoir encore accélérer la vitesse de calcul, on pourrait par exemple modifier la valeur de la résistance intégrée mais il faudrait aussi faire une étude détaillée des caractéristiques fréquentielles des opérateurs utilisés pour connaître les limites inhérentes aux circuits. Ce mode de fonctionnement ne faisant pas partie des contraintes initiales, cette caractérisation n'a pas été réalisée systématiquement pour les circuits actuellement utilisés.

3. METHODE DES RESEAUX HYBRIDES.

3.1.Principe et historique.

C'est la technique qui est à l'origine du travail présenté dans ce manuscrit. Son principe de base est extrêmement simple : il consiste à interconnecter des neurones biologiques vivants et des neurones artificiels pour les faire interagir en temps réel.

L'étude d'un réseau de neurones biologiques reste une tâche longue et délicate. Ses propriétés sont liées à trois éléments principaux : les neurones qui le composent, les synapses qui assurent les connexions et la topologie de l'ensemble. L'espoir d'une compréhension globale implique sans doute d'évaluer chacun d'entre eux. Pour ce faire, l'expérimentateur dispose d'un nombre important de moyens de mesures directs ou indirects, d'une panoplie de méthodes pharmacologiques permettant par exemple d'altérer le fonctionnement de certains canaux et ainsi d'en évaluer l'influence. Mais, finalement, ces contraintes expérimentales limitent souvent l'étude au niveau de la cellule individuelle et restent difficiles à appliquer à l'étude des réseaux et de leurs propriétés.

Modélisation et simulation ont déjà permis d'améliorer la vision d'ensemble des réseaux biologiques mais la mise en œuvre de réseaux hybrides présente une avancée supplémentaire dans le domaine de l'expérimentation : le modèle simulé est maintenant connecté à des cellules vivantes. L'avantage majeur des neurones artificiels est qu'ils sont entièrement ajustables. La flexibilité qui apparaît alors dans le réseau hybride permet de mesurer et tester

des caractéristiques qui étaient auparavant inaccessibles. Plusieurs configurations sont imaginables, par exemple :

- Modification d'un neurone biologique par ajout de canaux ioniques artificiels.
- Ajout ou modification des connexions synaptiques artificielles entre neurones d'un réseau biologique.
- Remplacement d'un neurone ou d'un groupe de neurones volontairement supprimé ou détruit lors de la préparation, par un équivalent artificiel.
- Ajout à un réseau d'un neurone ou un groupe de neurones supplémentaires, ou au contraire, intégration d'un neurone réel isolé dans un réseau artificiel

Historiquement, le premier système hybride interconnectant un dispositif électronique et des cellules biologiques est rapporté par [YAROM 91], la technique à cependant été généralisée et systématisée au sein d'une autre équipe, celle de Eve Marder à l'Université de Brandeis, Massachusetts [MARDER 94].

Dans un premier temps il s'agissait uniquement d'établir des connexions entre neurones en réalisant des synapses artificielles ou d'altérer le fonctionnement d'une cellule en lui ajoutant une ou plusieurs conductances. La connexion de cellules artificielles complètes, et donc la réalisation de réseaux hybrides biologique-artificiel, a aussi été réalisée par cette même équipe.

Cette dernière approche a été baptisée "technique des réseaux hybrides" [RENAUD-LE MASSON 93], tandis que la première, plus restrictive, été nommée "dynamic clamp" par référence à la technique classique de "voltage clamp" [SHARP 93].

Gwendal Le Masson a ensuite continué à développer la méthode au sein du laboratoire LNPC de neurobiologie et physiologie comparées à Arcachon (CNRS URA 1126 alors dirigé par le Professeur M. Moulins). Il utilisait un système à base de processeur spécifique (DSP : Digital Signal Processing) pour pouvoir répondre à la puissance de calcul nécessaire à la simulation de la partie artificielle du réseau [LE MASSON 95], [LE MASSON 98a].

Conjointement, notre équipe du laboratoire de microélectronique IXL a commencé à mettre au point des simulateurs analogiques intégrés permettant, entre autre, de résoudre les problèmes de puissance de calcul. Actuellement nous travaillons en collaboration avec l'institut de neurosciences François MAGENDIE (Unité INSERM E.9914) à Bordeaux et l'institut Alfred

FESSARD (UPR CNRS 2191 Unité de Neurosciences intégratives et computationnelles) à Gif sur Yvette. Plusieurs études utilisant les réseaux hybrides ont été déjà menées ou sont en cours de réalisation [LAFLAQUIERE 97a], [LAFLAQUIERE 97b], [LE MASSON 98b], [LE MASSON 99b], [LE MASSON 00]. Nous décrivons des exemples d'expériences dans la suite de ce paragraphe.

Mis à part les projets de ces différents groupes, il existe très peu d'exemples de réalisation de réseaux hybrides.

L'équipe du professeur Abarbanel (Université de San Diego, Californie) a présenté des travaux utilisant pour la partie biologique des ganglions stomatogastriques de crustacés, préparations similaires à celles utilisées par Marder ou Le Masson, et, pour la partie artificielle, soit un modèle numérique [ELSON 98] soit un modèle analogique réalisé en composants discrets [SZUCS 00].

Steve Potter, de l'institut de technologie de Californie présente un projet nommé animat (pour "artificial animal"). Il prévoit *"l'interfaçage de cultures de neurones (corticaux de rat) à un monde virtuel généré par ordinateur"*. L'enregistrement et la stimulation devant ce faire par une matrice de microélectrodes (voir paragraphe 3.2.2) il semble probable que la partie artificielle de ce réseau n'utilisera pas de modèles biologiquement plausibles, mais plutôt des algorithmes de traitement de données et de classification des potentiels d'actions enregistrés [POTTER 97], [DEMARSE 00].

3.2.Interface artificiel-biologique.

Pour construire un réseau hybride, il faut pouvoir mesurer en temps réel l'activité des cellules biologiques pour la transmettre aux neurones artificiels par le biais d'une synapse, et, éventuellement, en retour réinjecter le courant synaptique d'une synapse réciproque. Notons que les synapses sont aussi artificielles.

Pour réaliser cette interface nous avons, jusqu'à présent, utilisé des microélectrodes intracellulaires habituellement utilisées en neurophysiologie pour l'enregistrement et la stimulation de cellules nerveuses. Nous présentons dans ce paragraphe les principes de fonctionnement de différents types d'électrodes. Nous allons voir que des deux méthodes classiques à électrode simple, extracellulaire ou intracellulaire, seule cette dernière est effectivement adaptée pour la réalisation de réseaux hybrides utilisant le niveau de description

que nous avons choisi pour nos modèles. Nous abordons aussi d'autres techniques d'enregistrement dont les caractéristiques sont potentiellement intéressantes.

3.2.1. Méthodes classiques : microélectrodes intra et extracellulaire simples.

- Electrode intracellulaire et "current clamp".

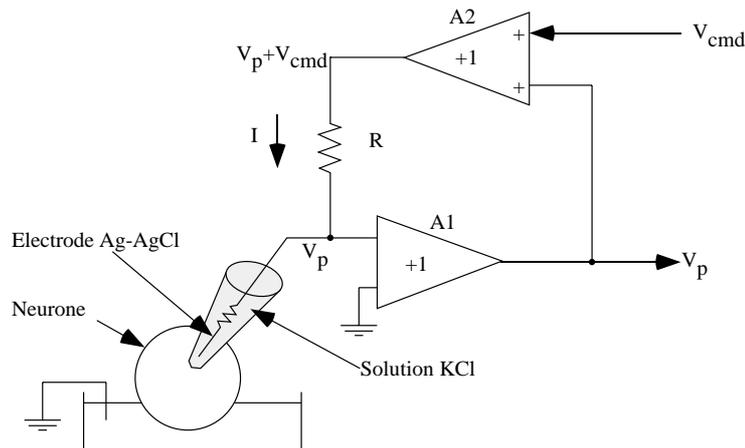


Figure 4-14 : "current clamp", principe d'une électrode d'enregistrement et de simulation intracellulaire dans le cas d'une préparation *in vitro* [AXON 93].

La sonde est une micropipette en verre contenant en général une solution de KCl très conductrice et une électrode en argent chloruré.

L'ensemble milieu intracellulaire, solution KCl et fil d'argent, est conducteur, donc isopotiel. La différence de potentiel entre l'électrode d'argent et le bain contenant la préparation, maintenu au potentiel de référence, correspond bien au potentiel transmembranaire. L'amplificateur A1 de gain unitaire permet de référencer le potentiel intracellulaire à celui du bain mais aussi d'assurer l'adaptation d'impédance avec l'appareil de mesure. Pour ces signaux, les différences de potentiels varient typiquement entre 50 et -70 mV.

La même sonde permet de réaliser une injection de courant dans la cellule. Le générateur de courant constitué par A2 et la résistance R permet d'injecter des électrons dans le fil d'argent où se produit une réaction d'oxydo-réduction (équation 4.6) qui libère des ions Cl^- en excès dans la micropipette. Ils diffusent dans la cellule créant un courant entrant négatif. La réaction étant réversible, le dispositif permet aussi de capter les ions Cl^- et d'injecter des ions K^+ donc de créer un courant entrant positif.



Ce type d'électrode associée au dispositif d'instrumentation que nous avons décrit permet d'évaluer avec précision l'activité d'une cellule vivante en mesurant son potentiel transmembranaire mais aussi d'injecter un courant simulant celui d'une jonction synaptique. Comme ce sont exactement les grandeurs caractéristiques simulées par nos modèles, cette technique est idéale pour la réalisation de réseaux hybrides, et c'est ce type d'électrode qui est utilisé pour la mise en place des expériences hybrides.

- Electrode extracellulaire.

Cette méthode d'enregistrement consiste à mesurer le potentiel électrique à proximité de la cellule à étudier, le milieu extracellulaire servant de référence. Les signaux proviennent des courants ioniques transmembranaires qui bouclent au travers de ce milieu. Du fait des faibles courants et de la faible conductivité de ce milieu, les variations de potentiels sont elles-mêmes très faibles, de l'ordre de 10 à 500 μV . L'observation de ces signaux implique nécessairement une amplification avec un dispositif à faible bruit. Notons que l'électrode peut être de différentes natures, micropipette comme pour l'enregistrement intracellulaire, ou, par exemple, simple fil de platine isolé.

Le sens de variation du signal dépend du sens du courant au travers de la membrane, mais sa forme et son amplitude ont peu de signification. Pratiquement, ce type d'enregistrement ne permet que de détecter la présence de potentiels d'actions, les variations de potentiels sous le seuil de déclenchement restant quasiment invisibles.

La stimulation peut se faire par injection de courant ou par application d'une tension. Dans le cas d'un courant, c'est le flux ionique provenant de la réaction d'oxydoréduction pour la micropipette ou de l'hydrolyse de l'eau catalysée par l'électrode de platine, qui développe une tension dans l'électrolyte. Dans les deux cas la variation de tension à proximité de la membrane plasmique se traduit par une perturbation qui provoque l'apparition d'un potentiel d'action. La stimulation n'est pas aussi réaliste que par l'injection de courant intracellulaire, de plus la forme du signal de stimulation permettant d'obtenir un potentiel d'action est difficilement prévisible.

En conclusion, il apparaît clairement que seule l'électrode intracellulaire est compatible avec le formalisme de Hodgkin-Huxley que nous utilisons. Ce niveau de modélisation, par conductances ioniques, permet d'obtenir une évolution temporelle réaliste des potentiels

membranaires et courants ioniques des neurones et synapses artificiels que l'électrode extracellulaire ne permet pas de "transférer".

L'électrode intracellulaire présente cependant un inconvénient notable, les perforations de la membrane qu'implique sa mise en place se traduisent par une dégradation rapide des propriétés du neurone empalé et limitent ainsi les périodes de mesure. De plus, et cette fois le défaut est commun aux deux types d'électrodes, d'une part, leur volume est trop important pour connecter plusieurs sites sans risquer de causer de dégâts aux tissus vivants environnants et, d'autre part, les micromanipulateurs situés en périphérie de la préparation sont forcément en nombre limité. Matériellement, il est donc délicat de positionner plus de 2 ou 3 microélectrodes dans une préparation.

Compte tenu de ces limitations, plusieurs équipes de recherche développent des techniques alternatives visant, entre autre, à densifier le nombre de connexions, voir à intégrer l'instrumentation associée, elle aussi très volumineuse. La fin du paragraphe 3.2 est consacrée à la description des travaux les plus caractéristiques dans ce domaine.

3.2.2. Matrice de microélectrodes.

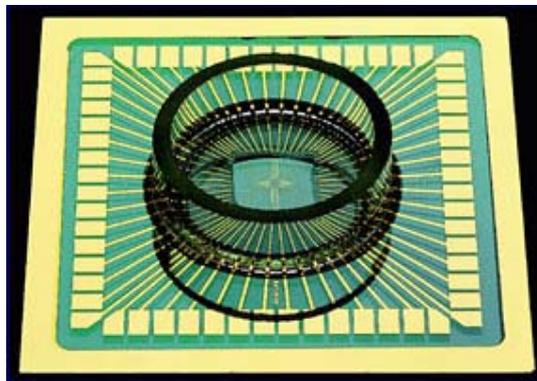


Figure 4-15 : exemple de matrice de microélectrodes. Elle est située au centre du cylindre destiné à recevoir la préparation et son bain nutritionnel. (Photographie provenant du site web du distributeur Multichannel System [MEA])

Un groupement universitaire Allemand (NMI à l'université de Tübingen, Université de Freiburg, Université de Köln, IPK à Gatersleben) propose des matrices de contacts réalisées par des techniques de dépôt de couches minces qui agissent comme autant d'électrodes extracellulaires.

Les produits qu'ils ont développés sont distribués par la société Multichannel Systems [MEA].

Le tissu nerveux à étudier est obtenu soit par culture directe sur la matrice, soit par dépôt d'une tranche. Par exemple, une des matrices comporte 60 électrodes de $10\ \mu\text{m} \times 10\ \mu\text{m}$ qui permettent d'enregistrer ou de stimuler autant de points du réseau de neurone étudié. Ces points de mesures sont espacés de 100 à 200 μm .

Notre groupe a fait l'acquisition d'une matrice de ce type, les neurophysiologistes de l'unité INSERM E.9914 sont actuellement en train de l'évaluer et L. Alvaro prépare un système d'acquisition adapté dans le cadre de ses travaux de thèse.

Akin propose un autre type d'électrodes matricées [AKIN 94]. Ils utilisent des techniques de micro-usinage sur silicium pour réaliser des trous cylindriques plaqués à l'iridium au travers desquels les fibres nerveuses doivent repousser dans des expériences in vivo. Les points de mesures sont espacés de 10 μm et la connexion est assurée par une nappe souple en silicium, elle aussi micro-usinée. Ils ont ensuite développé un système de télémessure intégré et implantable à liaison inductive [AKIN 98]. Les signaux provenant de la matrice de contact sont amplifiés et numérisés, puis transmis par une liaison inductive qui assure aussi l'apport énergétique au dispositif.

Ce type de matériel permet de multiplier les points de stimulation et d'enregistrement, mais reste une méthode extracellulaire avec les difficultés évoquées précédemment.

3.2.3. Microélectrode active implantable.

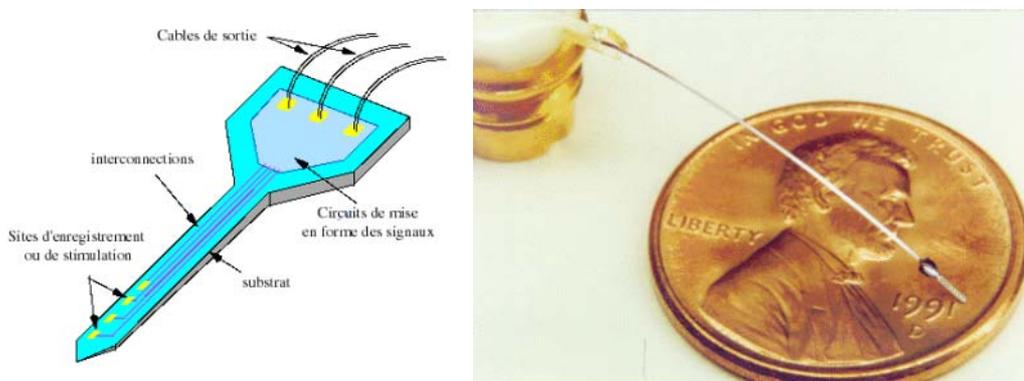


Figure 4-16 : schéma de principe et photographie d'une sonde micro-usinée. (Documents provenant du site web de l'université du Michigan [CNCT]).

Le CNCT (Center for Neural Communication Technology) à l'Université du Michigan a développé une série d'électrodes micro-usinées [CNCT]. Une micropointe est usinée dans un substrat silicium, des pistes sont ensuite déposées et plaquées or à l'emplacement des sites au contact avec le neurone, elles sont isolées par un dépôt d'oxyde. Le substrat de silicium permet d'intégrer l'électronique servant au multiplexage des différents sites et à leur enregistrement [JI 92] ou même de réaliser une liaison bidirectionnelle en autorisant l'enregistrement et la stimulation [KIM 96].

La miniaturisation de l'ensemble de la sonde permet d'augmenter le nombre de points enregistrés ou stimulés et permet d'envisager une implantation in vivo chronique.

Des modèles basiques (c'est-à-dire des électrodes nues, sans électronique associée) sont distribués sous condition aux chercheurs qui en font la demande [CNCT 99].

3.2.4. Lien bidirectionnel au niveau du silicium.

Pour conclure ce paragraphe, citons une approche originale développée par l'équipe du professeur Peter Fromherz de l'institut Max Planck de biochimie à Martinsried-München en Allemagne.

La structure illustrée par la figure 4-17 leur permet de réaliser une liaison silicium-neurone bidirectionnelle :

- L'électrolyte entre le silicium et le neurone forme la grille du transistor MOS, ses variations de potentiel se traduisent par une modulation du courant dans le canal du transistor [FROMHERZ 93].
- A l'inverse, les variations du potentiel appliquées au site de stimulation déclenchent un potentiel d'action par couplage capacitif [FROMHERZ 95].

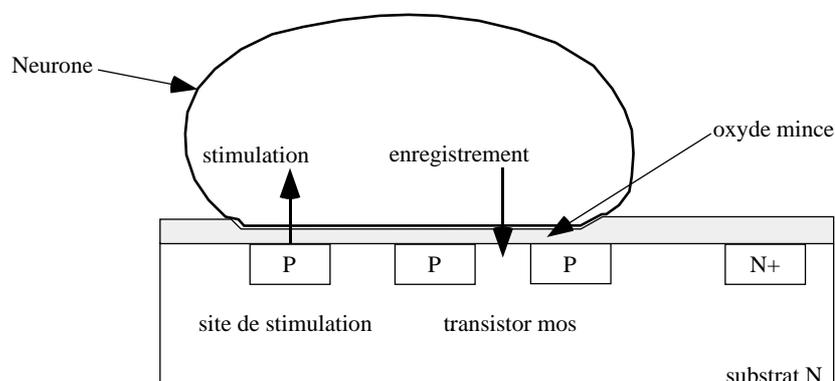


Figure 4-17 : schéma de principe de l'interface silicium-neurone, d'après [STETT 97].

La liaison silicium-neurone est réalisée par des techniques de microélectronique et il est ainsi possible d'obtenir des densités très élevées. A l'inverse des méthodes précédentes le bain n'est pas en contact avec du métal puisque l'oxyde recouvre l'ensemble de la surface, supprimant ainsi tout risque d'empoisonnement.

Cette méthode présente cependant le problème inhérent à l'enregistrement extracellulaire, c'est-à-dire la difficulté à lier la forme du potentiel enregistré à la tension transmembranaire. L'étude théorique du circuit équivalent de la jonction silicium-neurone permet d'étudier les relations entre les deux grandeurs [FROMHERZ 99]. Notons que, dans certaines conditions de proximité, les auteurs obtiennent néanmoins des enregistrements proches de ceux observés avec des électrodes intracellulaires.

3.3.Premier exemple : étude in vitro de la boucle thalamique.

Les premiers réseaux hybrides ont été réalisés avec des tissus d'invertébrés : des ganglions stomatogastriques provenant de langoustes. Ce réseau de neurones, responsable de la contraction de l'appareil gastrique, présente l'avantage d'être structurellement relativement simple et de présenter une activité rythmique caractéristique. Ces expériences ont en particulier permis de tester et valider la méthode des réseaux hybrides [LE MASSON 95], [LE MASSON 98a].

La méthode a ensuite été appliquée à l'étude, chez des mammifères, d'une structure cérébrale plus complexe, le thalamus [LE MASSON 98b], [LE MASSON 99a], [LE MASSON 99b]. Pour présenter ces travaux, nous citons ci-dessous des extraits de données non publiées (Le Masson, Renaud-Le Masson et Bal [LE MASSON 00]). Les résultats scientifiques obtenus au niveau neurobiologique dépassent largement le cadre de notre présentation et ne sont donc pas présentés dans l'extrait que nous avons choisi. Notons que le neurone LGN correspond au neurone TC, les appellations variant suivant les espèces.

Mesure de la fonction de transfert du thalamus par des méthodes hybrides.

Les réseaux neuronaux du thalamus participent à l'élaboration de la perception sensorielle : ils ont pour fonction de traiter et de transférer les informations sensorielles du monde extérieur vers les aires corticales primaires (Steriade et al., 1997). Au cours des premiers stades du sommeil, ces réseaux deviennent le siège d'oscillations thalamocorticales spontanées et synchronisées à 10 Hz, les fuseaux (spindle wave)

(Stériade et al., 1993; McCormick and Bal, 1997). Ces oscillations pourraient conditionner le filtrage des informations sensorielles au cours du sommeil. Il existerait d'autre part un lien direct entre les mécanismes cellulaires des fuseaux du sommeil et ceux de l'absence petit mal, une forme d'épilepsie généralisée qui atteint l'enfant et s'accompagne de pertes momentanées de la perception consciente (Malafosse et al., 1994; Snead, 1997; Gloor and Fariello, 1988; Avoli et al., 1990). Le thalamus pourrait ainsi jouer un rôle prépondérant dans la diminution de la perception sensorielle associée à la somnolence, à la transition veille-sommeil ou aux crises d'absence (Livingstone and Hubel, 1981; Steriade, 1991; Steriade and Contreras, 1995). Pendant l'éveil, au contraire, le thalamus autoriserait la transmission des informations vers le cortex selon des degrés de fidélité qui reflètent l'état de vigilance du cerveau. La simulation de microcircuits thalamiques canoniques par la technique des réseaux hybrides nous permet de tester ces hypothèses d'une façon originale (figure 1).

Notre hypothèse de travail est que les variations observées dans la perception des informations sensorielles au sein du continuum allant du sommeil à l'état éveillé reflètent des modifications locales dans les opérations d'intégration synaptique au niveau du relais thalamique. Les changements associés au niveau cellulaire correspondraient au passage d'un mode d'intégration synaptique lent, où les potentiels d'actions rétinien sont transmis avec un faible taux de transfert par le filtre thalamique, à un mode d'intégration rapide, caractérisé par un taux d'échantillonnage élevé, où les potentiels d'actions sont transmis avec fidélité (de "un pour un") vers le cortex primaire. (...) le transfert d'informations des neurones rétinien vers le néocortex est filtré au niveau thalamique au cours des oscillations du réseau par le biais d'une forte réduction de la corrélation temporelle entre signaux rétinien entrants et signaux thalamiques sortants. En revanche, dans un état "éveillé" du réseau, l'intégration des signaux se fait plus rapide et plus précise, et permet un transfert fiabilisé des informations sensorielles vers le néocortex. L'utilisation d'un partenaire hybride rend possible au niveau d'un neurone biologique le contrôle graduel de l'efficacité des connexions, et l'influence de la connectivité récurrente sur la fonction de transfert neuronale. Nous chercherons à déterminer dans quelle mesure cette translation entre différents modes d'intégrations repose à la fois sur l'état des propriétés intrinsèques des neurones LGN relais et sur la force des connexions synaptiques en provenance des interneurons inhibiteur nRt/PGN.

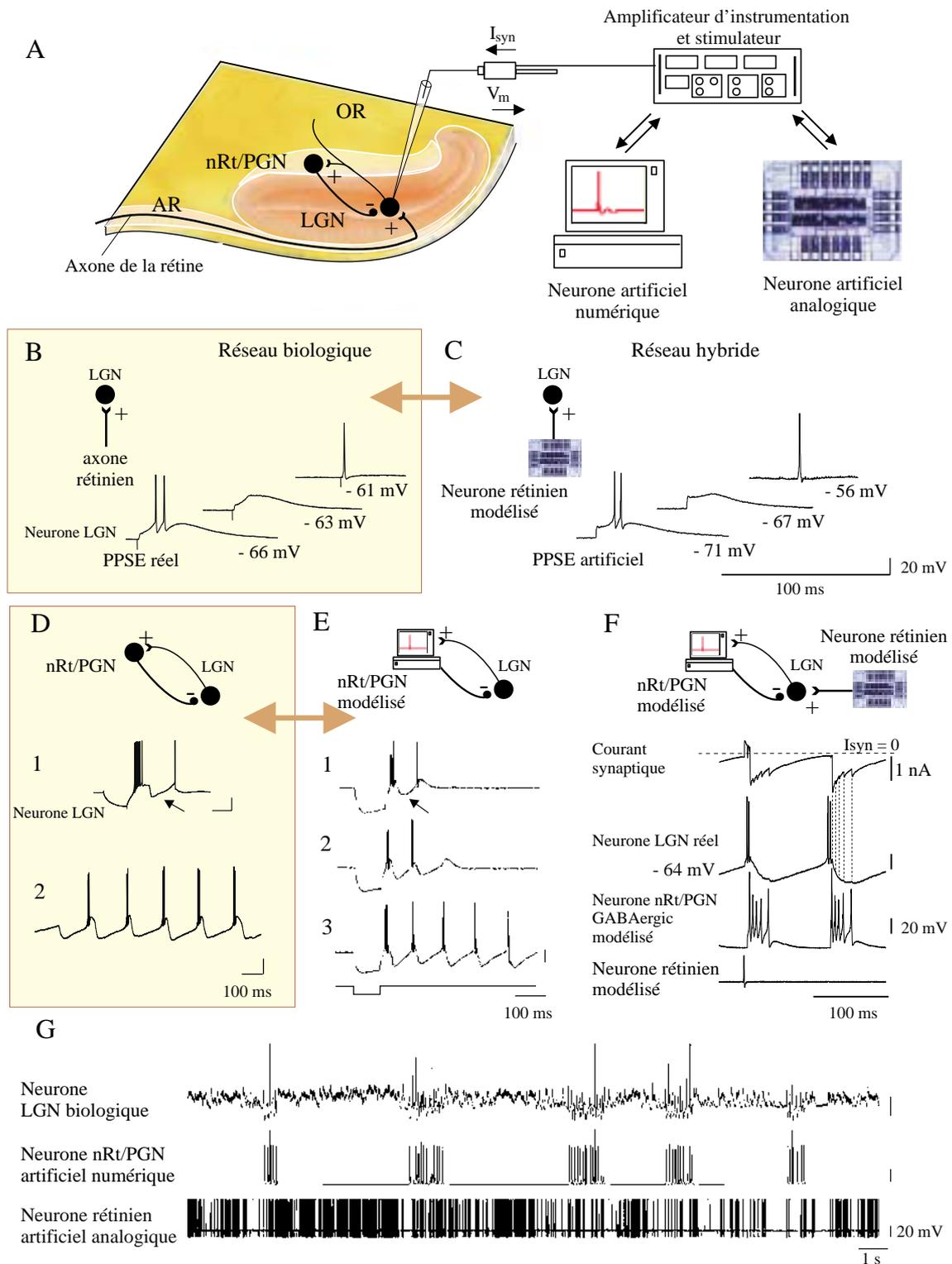


Figure 1: la reconstruction d'un circuit rétino-thalamique hybride fonctionnel.

A. Schéma du dispositif hybride. Le potentiel de membrane ($V_{réel}$) d'un neurone biologique est recueilli par une microélectrode de verre au niveau du soma et, après amplification, il permet de calculer un courant synaptique $i_s = g_s \cdot (V_{modèle} - E_r)$ avec $g_s = f(V_{réel})$ tenant compte du potentiel présynaptique et du potentiel postsynaptique. Dans l'interaction inverse, le neurone réel est postsynaptique. Dans ce cas l'injection

d'un courant synaptique artificiel $i_s = g_s \cdot (V_{\text{réel}} - E_r)$ avec $g_s = f(V_{\text{modèle}})$ se fait en mode DCC (Discontinuous Current Clamp) qui permet, alternativement et à haute fréquence, de mesurer un potentiel et d'injecter un courant dans la cellule. L'activité des neurones et des synapses artificielles est calculée par un ordinateur ou par un modèle électronique analogique.

B-C. Validation de la synapse artificielle rétino-thalamique. La stimulation électrique du tractus optique dans une tranche de thalamus visuel du furet produit un potentiel postsynaptique exciteur (real EPSP) par activation des récepteur AMPA dans une cellule LGN (B). Une synapse artificielle calculée par un neurone analogique reproduit des réponses AMPA similaires aux réponses biologiques, pour différents potentiels de membrane (C).

D-E. Validation de la boucle synaptique artificielle intra-thalamique. La décharge d'un neurone LGN réel produit un retour synaptique inhibiteur (flèche) qui résulte de la décharge des neurones nRt/PGN (D). Un courant synaptique inhibiteur artificiel (E; flèche), basé sur des conductances GABAA (96%) et GABAB (4%) reproduit la réponse inhibitrice. Le poids du retour inhibiteur est progressivement augmenté (augmentation de la conductance $GABA_{G_{\text{max}}}$) jusqu'à obtenir l'oscillation du circuit.

F. Reconstitution d'un circuit rétino-thalamique hybride. Courant synaptique (AMPA + GABA) injecté (synaptic current) dans une cellule LGN biologique (real TC cell) au cours de deux cycle d'oscillation du réseau hybride.

G. Activité spontanée du circuit rétino-thalamique hybride. Le patron d'activité naturelle d'une cellule rétinienne est reproduit par une cellule rétinienne analogique. Ceci se traduit par un bombardement synaptique dans la cellule biologique ainsi que par la genèse spontanée d'oscillations en fuseaux, typiques du sommeil.

Références.

- Steriade, M., Jones, EG and McCormick DA. (EDS, 1997). *Thalamus*, Elsevier science.
- McCormick, DA. and Bal, T. (1997). *Annual review of Neuroscience*. **20**, 185-215.
- Malafosse, A., Genton, P., Hirsch, E., Marescaux, C., Broglin, D. and Bernasconi, R. (1994). *Idiopathic generalized epilepsies*. London : John Libbey.
- Gloor, P. and Fariello, P.(1988). *Trends in Neuroscience*. **11**, 63-68.
- Avoli, M., Gloor, P., Kostopoulos, G., Naquet, R. (Eds, 1990). *Generalized Epilepsy. Neurobiological Approaches*. Birkhauser : Boston.
- Livingstone, M.S. and Hubel, D.H. (1981). *Nature*. **291**, 554-561.
- Steriade, M. (1991). In *Cerebral Cortex*, vol. 9 Edited by Peters A, Jones EG, New York : Plenum 279-357.
- Steriade, M. and Contreras, D. (1995). *J Neurosci*. **15**, 623-42.

3.4.Second exemple : étude des capacités de réorganisation du réseau cortical in vivo.

Ce second exemple est un projet complexe actuellement en cours d'étude, il implique différentes équipes de neurobiologistes : celles de Y. Fregnac et T. Bal à l'institut A. FESSARD et celle de G. Le Masson à l'institut MAGENDIE. Pour le présenter, nous citons un extrait de projet de l'unité de "Neuroscience intégratives et computationnelles" (1999) dirigée par Yves Frégnac :

Étude des capacités de réorganisation du réseau cortical adulte in vivo.

Le groupe de Yves Frégnac a mis au point depuis plusieurs années des méthodes d'enregistrement in vivo intracellulaire des neurones du cortex visuel primaire du chat, à l'aide d'électrodes fines et de patch clamp. Le but de ce projet concerne la mise en place de procédures d'apprentissage supervisé d'un réseau biologique par un ou plusieurs "professeurs hybrides".

Les processus de plasticité corticale mis en jeu par ces apprentissages supervisés pourraient être impliqués chez l'Homme dans des situations de dé-afférentation liées au vieillissement. La dégénérescence maculaire liée à l'âge (DMLA) correspond à un dysfonctionnement progressif des photorécepteurs dans la zone maculaire de chaque rétine et représente la cause la plus importante de basse vision acquise dans les pays occidentaux. Dans le cas d'une atteinte simultanée des deux rétines, une partie du cortex visuel se trouve dé-afférentée de l'entrée rétino-thalamique représentant l'axe du regard. La majorité des sujets humains dont les surfaces rétiniennes maculaires ne sont plus fonctionnelles, choisissent une nouvelle aire de fixation située en bordure de la zone réceptrice en dégénérescence. Cette pathologie observée chez l'Homme peut être mise en parallèle avec des modèles de réorganisation corticale induite par un scotome bilatéral par photo-coagulation laser des photo-récepteurs rétiniens chez l'animal (Das and Gilbert, 1995, Gilbert and Wiesel, 1992, Kaas, et al., 1990). L'effet immédiat de la lésion rétinienne provoque l'inactivation fonctionnelle de la zone corticale qui correspond à la projection thalamique de l'emplacement rétinien scotomisé. Puis un processus de réactivation se met progressivement en place dans les semaines et mois postlésionnels, et les champs récepteurs des neurones corticaux enregistrés dans la zone

précédemment inactivée réapparaissent progressivement en bordure de la zone scotomale dans le champ visuel.

Notre hypothèse de travail est que les processus de réorganisation de la connectivité latérale mis en évidence chez l'animal sont renforcés chez le sujet atteint de DMLA. Grâce à la technologie hybride nous mettrons au point chez l'animal un certain nombre de protocoles d'apprentissage où des neurones artificiels "superviseurs" dont les champs récepteurs virtuels sont situés dans la région épargnée par le scotome amplifient ou suppriment la décharge de neurones biologiques qui ont perdu leurs afférents directs thalamiques (figure 1). L'intérêt de la technologie hybride sera d'imposer un apprentissage dans un format temporel biologiquement réaliste et les synapses artificielles seront dotées d'une voltage-dépendance caractéristique de la connectivité horizontale intracorticale (Hirsch and Gilbert, 1991).

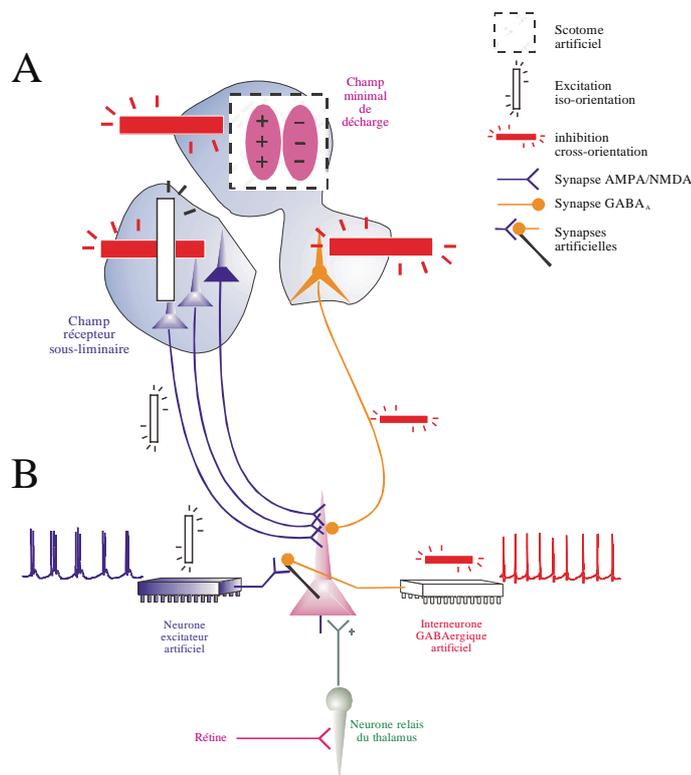


Figure 1 : Apprentissage hybride supervisé.

Le champ d'intégration synaptique est représenté en (A) par un champ minimum de décharge (exemple: cellule simple à deux zones ON "+" et OFF "-") et des zones d'activation sousliminaires qui peuvent former des îlots d'activation spatialement séparés dans le champ visuel (en bleu). Pendant la procédure de scotome, le champ minimum de décharge est masqué (rectangle en pointillé) et une partie du champ sousliminaire est choisie à priori comme l'emplacement du champ récepteur des neurones hybrides excitateurs

iso-orientés (décharge de type "chattering", tracé bleu). Les neurones hybrides inhibiteurs "fast spiking" (tracé rouge) seront activés pour une orientation de stimulation orthogonale à celle préférée par le neurone conditionné. Nous espérons ainsi, lors d'une stimulation continue et aléatoire du champ visuel avec des stimuli iso et cross-orientés, induire par apprentissage hybride un déplacement de la localisation rétinotopique du champ minimum de décharge du neurone conditionné.

Références.

Das, A. and Gilbert, C. D. (1995). *Nature*. **375**, 780-784.

Gilbert, C. D. and Wiesel, T. N. (1992). *Nature*. **356**, 150-152.

Kaas, J. H., et al. (1990). *Science*. **248**, 229-231.

Hirsch, J. A. and Gilbert, C. D. (1991). *J. Neurosci.* **11**, 1800-1809.

Ce projet implique donc plusieurs groupe de recherche et représente un travail très important. Une des premières étapes, en cours de réalisation, consiste à réaliser et étudier des enregistrements in-vivo pour définir le protocole expérimental de stimulation.

4. "MICRONEURONE", OUTIL DIDACTIQUE.

Figure 4-18 : photographie de "microneurone" version 1.0 avec un oscilloscope assurant la visualisation.

Les circuits conçus par Arnaud Laflaquière sont utilisés avec succès au sein du banc de simulation analogique "vortex". Que se soit pour de simples simulations ou dans le cadre des réseaux hybrides, la simulation analogique a prouvé son intérêt. Nous souhaitons tirer partie de ce travail et mettre au point un simulateur utilisant le même type de circuits, mais dans une configuration plus légère. Il est notamment souhaitable que l'utilisation d'un micro-ordinateur et d'une carte d'entrée/sortie ne soit pas indispensable.

L'objectif de ce nouveau système autonome est de fournir un outil permettant l'exploration et la compréhension des bases de la modélisation neuronale selon le formalisme de Hodgkin Huxley. La nature analogique du calculateur permet de se familiariser avec la réalité des

signaux biologiques, ce qui n'est pas le cas pour les simulateurs numériques. Il est ainsi possible d'utiliser le matériel d'enregistrement propre à l'électrophysiologie sans avoir à manipuler de fragiles cellules vivantes.

C'est dans cette optique que nous avons développé l'ASIC "susie" présenté au chapitre III. Il modélise un neurone à quatre conductances et est destiné à être inclus dans notre système, baptisé "microneurone". Avec ce simulateur, l'utilisateur dispose, sur des connecteurs BNC, du potentiel membranaire, de tensions proportionnelles aux courants de chacune des quatre conductances ioniques et d'une entrée commandée en tension pour la stimulation par injection de courant sur la membrane.

Vingt paramètres du modèle sont programmables. Présentés sur un afficheur à cristaux liquides de 16 caractères, ils sont réglés grâce à un clavier à trois touches et un bouton rotatif. Leurs valeurs sont sauvegardées dans une mémoire non volatile. Enfin une liaison série asynchrone permet un transfert entre deux "microneurones" ou entre un "microneurone" et un micro-ordinateur (type PC ou Apple, via, respectivement, les ports RS232C et RS244).

Un mode esclave permet un pilotage direct par un micro-ordinateur via le port série, dans ce cas le système "microneurone" est en attente permanente de nouveaux paramètres et le clavier est verrouillé.

La mise au point de "microneurone" a été démarrée par S. Potay dans le cadre de son stage de fin d'étude pour l'IUT-A GEII à Bordeaux.

4.1. Choix et principe de fonctionnement.

Le modèle à quatre conductances simulé par "susie" comporte un total de 32 paramètres, 23 sont des tensions appliquées au circuit, 8 sont des condensateurs correspondant aux différentes constantes de temps et à la membrane, et, enfin, le dernier est une résistance modélisant la conductance de fuite.

Il s'agit de concevoir un système permettant à l'utilisateur d'ajuster ces paramètres, c'est-à-dire de programmer le modèle.

Comme pour "ernest", les paramètres réglés par des tensions sont générés par des convertisseurs numérique-analogique. Pour les constantes de temps, ajustées par des condensateurs externes, nous avons introduit une nouvelle possibilité de programmation : des multiplexeurs analogiques huit voies permettent de sélectionner un condensateur parmi huit.

Le nombre de valeurs disponibles n'est certes pas très important, mais c'est une amélioration par rapport à la substitution manuelle qui été utilisée sur la carte "ernest".

Nous avons décidé que seul un nombre limité des paramètres serait accessible à l'utilisateur, les autres étant fixés au niveau de la carte. Ce choix permet de limiter le nombre de composants (convertisseurs et multiplexeurs) nécessaires ainsi que le nombre de paramètres à afficher. Le choix a été fait avec l'idée que parmi les quatre conductances de l'ASIC "susie" deux servent à générer des potentiels d'actions (Sodium Na et Potassium K) et que les deux autres viennent les moduler (Calcium Ca et Potassium Calcium dépendant K(Ca)). Dans cette optique les tensions d'équilibre E_{ion} , les pentes V_{pente} et les trois constantes de temps des conductances Na et K sont figées. De même la capacité de membrane C_{mem} et la résistance R_{fuite} ne sont pas réglables. Les paramètres restants sont amplement suffisants pour modifier la forme des potentiels d'actions. Si l'utilisateur souhaite étudier plus en détail les propriétés d'un neurone à deux conductances, il peut déconnecter Na et K et utiliser Ca et K(Ca) qui restent totalement paramétrables.

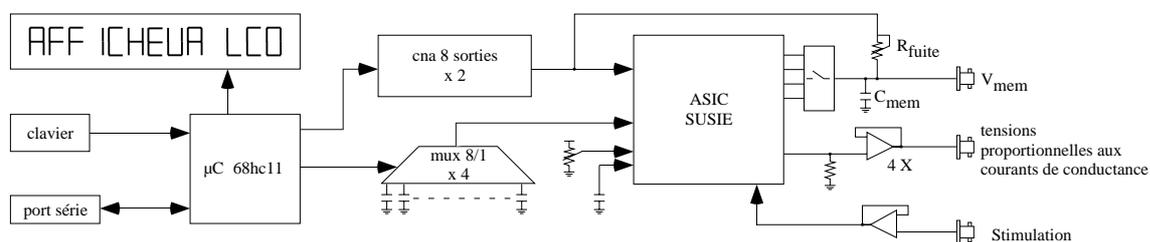


Figure 4-19 : schéma de principe du simulateur analogique "microneurone".

La programmation des CNA et multiplexeurs est effectuée par un microcontrôleur doté d'un clavier et d'un afficheur servant d'interface utilisateur. Nous avons choisi le microcontrôleur 68HC711E9 de la société Motorola. Outre ses nombreuses entrées/sorties, nécessaires pour les périphériques que sont clavier, afficheur, CNA et multiplexeurs, ce microcontrôleur présente d'autres caractéristiques utiles à notre application :

- La mémoire de programme interne de 12 koctets permet de se passer d'un circuit de mémoire externe.
- Nous avons aussi utilisé son UART (Universal Asynchrone Receiver and Transmitter) interne pour réaliser une liaison série. Elle permettra d'éventuels transferts entre deux systèmes ou avec un micro-ordinateur.

- Ses 256 octets de mémoire EEPROM sont suffisants pour réaliser une sauvegarde non-volatile des paramètres.

L'architecture de l'ensemble est schématisée par la figure 4-19 et une photographie de la réalisation pratique est présentée à la figure 4-20.

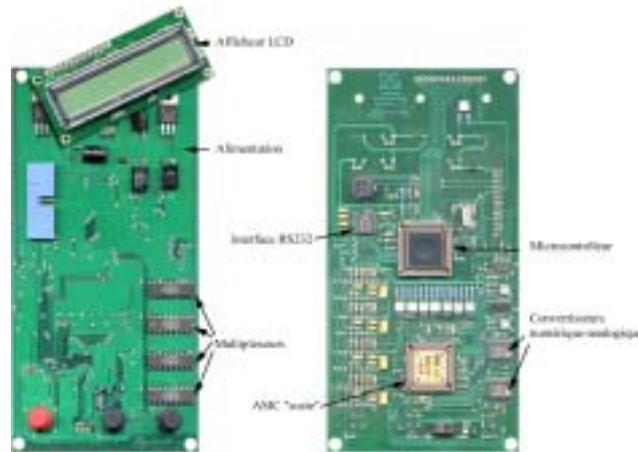


Figure 4-20 : photographies des deux faces de la carte constituant "microneurone".

4.1.1. Mise en route.

"Microneurone" ne comportant pas d'interrupteur, la mise en marche se fait dès la mise sous tension lors de l'insertion du connecteur d'alimentation.

L'alimentation se faisant par un transformateur externe, le boîtier "microneurone" est à masse isolée. Les connecteurs BNC et le capot du port série sont reliés à la masse du boîtier, lors de la connexion d'appareils externes, il faudra donc veiller à ce que leurs masses soient communes.

4.1.2. Mode de fonctionnement.

Deux modes de fonctionnement sont disponibles, un mode normal où les paramètres sont modifiés par l'intermédiaire du clavier et un mode esclave où le clavier est verrouillé et les commandes sont appliquées par l'intermédiaire du port série.

4.1.2.1. Mode normal.

C'est le mode par défaut lors de la mise sous tension du système.

"Microneurone" peut utiliser, au choix, deux types de tables de conversions intégrées au programme. Elles permettent l'affichage soit des tensions de sortie des CNA, c'est-à-dire les valeurs électriques, soit des valeurs du modèle biologique correspondantes.

L'utilisateur peut basculer d'un mode à l'autre en appuyant simultanément sur deux touches lors de la mise sous tension de "microneurone" :

- les touches Valid et ↓ chargent les tables "biologiques"
- les touches Valid et ↑ chargent la table "électrique".

La configuration choisie étant sauvegardée même lors de l'extinction du système, elle reste valable tant qu'un nouveau changement n'a pas été effectué.

Les touches ↓ et ↑ permettent d'éditer un des 20 paramètres réglables du modèle. Un bouton rotatif permet de modifier la valeur du paramètre. Un caractère "*" à gauche de l'écran indique la valeur active, pour valider une nouvelle valeur, il suffit de presser la touche Valid.

Outre ces paramètres, il est possible de sélectionner deux modes de transfert, en entrée (RECEIVE) ou en sortie (TRANSMIT). Ces modes de transfert permettent de télécharger l'ensemble des valeurs des paramètres vers un autre "microneurone" (ou un micro-ordinateur) connecté au port série.

"1"	"0"	GmaxNa	hoffNa	moffNa	GmaxK	moffK	GmaxCa	moffCa	msloCa	TmCa	hoffCa	⇒
⇒	hsloCa	ThCa	GmaKCa	mofKCa	mslKCa	TmKCa	Cacst	TCa	Vleak	Icomp		

Tableau 4-1 : trame du transfert série.

La trame de transfert sur le port série se compose de 22 caractères qui codent, dans l'ordre indiqué par le tableau 4-1, le numéro de version (2 caractères ASCII, par exemple "10" pour la version 1.0) et les 20 paramètres du modèle.

4.1.2.2. Mode esclave.

Ce mode est sélectionné par appui simultané lors de la mise sous tension des touches ↓ et ↑.

L'afficheur indique alors "SLAVE MODE" et le clavier est verrouillé.

La communication série asynchrone est réglée avec les paramètres suivants :

- vitesse 9600 bauds.
- format de trame : 1 bit start, 8 bits données, 1 bit stop, pas de parité, pas de contrôle de flux.

Le micro-ordinateur est relié au système "microneurone" par un câble de type "null-modem".

La programmation se fait par l'envoi de caractères de contrôle selon le protocole suivant :

- "0" : le système renvoie une chaîne de caractères terminée par \$ qui identifie sa version. ("microneurone version 1.0\$", par exemple).
- "1" : le système renvoie une trame de paramètres (voir tableau 4-1).
- "2" : le système attend de recevoir une trame de paramètres (voir tableau 4-1), le temps entre chaque caractère ne doit pas dépasser environ 8 s. Si les deux premiers caractères ne correspondent pas au type de matériel, le message "BAD VERSION" est affiché. De plus si le temps d'attente entre chaque caractère dépasse 8 s environ, l'opération est annulée et l'afficheur indique "TIME OUT".

A la réception de la commande "2" le système inscrit un bit indiquant le début de transfert en EEPROM. Cette opération durant de l'ordre de 20 ms, il faut attendre ce délai avant d'envoyer le reste de la trame. Dans le cas contraire, l'UART du microcontrôleur ne disposant pas de FIFO, les données reçues seraient perdues. Notons que le délai doit rester inférieur à 8 s.

- "3"n : le système renvoie la valeur du n^{ième} paramètre. L'ordre des paramètres étant celui de la trame série (voir tableau 4-1).
- "4"n : le système attend de recevoir la valeur du n^{ième} paramètre. L'ordre des paramètres étant celui de la trame série (voir tableau 4-1).

4.1.2.3. Logiciel.

Na	K	Ca	K(Ca)	Membrane
Gmax: 120	K: 800	Ca: 990	K(Ca): 990	Vleak: -410
Vequi: 550	-900	2500	-1050	Rleak (kOhms): 400
offset m: -450	-420	990	990	Cmem (nF): 47
slope m: -200	-600	0	0	Icomp: 310
T m: 10	470	TmCa: 10	TmKCa: 10	Caconst: -1560
offset h: -460		-1560		TCa: 10000
slope h: -200		0		
T h: 470		ThCa: 10		

Slave mode Load Save Get all Send all

Figure 4-21 : saisie d'écran du logiciel de gestion de "microneurone". Les cellules grisées correspondent aux paramètres figés.

Deux logiciels, respectivement pour micro-ordinateurs Apple et PC, ont été développés (la version PC a été écrite par L. Alvado). Ils permettent de saisir et d'enregistrer les 20 paramètres du simulateur et de les transférer par la liaison série.

La figure 4-21 présente la fenêtre de dialogue du logiciel version Apple, nous y retrouvons les champs permettant d'éditer les différents paramètres et les "boutons" de commandes pour les fonctions que nous venons d'indiquer.

4.2.Utilisation de "microneurone" pour le test de l'ASIC "susie".

Nous nous sommes rapidement rendu compte qu'un problème était survenu lors de la réalisation du circuit "susie" : son "plot" de masse (point milieu des alimentations -5/+5 V) comporte une résistance de protection série de 200 Ohms. L'utilisation involontaire de ce plot protégé a des conséquences catastrophiques sur le fonctionnement de l'ASIC. La consommation électrique sur cette alimentation n'est pas constante et la masse se "déplace" en fonction de l'activité de l'ASIC, modifie sa polarisation et donc son fonctionnement. En effet, le circuit est polarisé directement par des diviseurs MOS et n'utilise pas de référence interne. Le sens de variation du courant de polarisation dépend du type de diviseur et de miroir considéré, PMOS ou NMOS. Il en résulte une rétroaction positive ou négative suivant la topologie de chaque opérateur. Comme il n'est pas possible simplement de compenser ce problème, nous avons choisi de faire fabriquer un nouvel ASIC, "calvin", que nous avons décrit au chapitre III et qui n'a pas encore été livré par le fondeur.

Bien qu'il ne soit pas nécessaire de caractériser l'effet de la résistance parasite du plot d'alimentation, nous pouvons néanmoins vérifier le bon fonctionnement de notre système "microneurone" employé comme dispositif de test.

Pour automatiser les mesures, nous avons utilisé un micro-ordinateur doté d'une carte d'acquisition. Il contrôle "microneurone" par le biais de son port série et mesure, grâce à la carte d'acquisition, les courants de sortie des conductances ioniques convertis en tensions et disponibles sur les connecteurs de "microneurone" (voir figure 4-19).

En faisant varier à tour de rôle les paramètres V_{seuil} des variables d'états et en gardant les autres paramètres fixes, nous pouvons relever les fonctions de transfert des sigmoïdes qui les constituent et ainsi les caractériser.

La figure 4-22 présente les résultats de telles mesures pour différentes valeurs du paramètre V_{pente} . Les étages de sortie et les étages de multiplication entraînent une variation du courant

de masse importante qui produit les déformations observées sur les courbes : distorsion par rapport à la forme sigmoïdale, décalage du point de demi-activation. Les fonctions d'activations de I_{Ca} et I_{KCa} sont élevées, respectivement, à la puissance 3 et 4 alors que la fonction d'inactivation de I_{Ca} ne comporte pas d'exposant. Les variations de courants de masse sont proportionnelles au nombre d'étage de multiplication utilisé, les effets sont donc moins importants pour la fonction d'inactivation.

Un exemple possible d'exploitation de ces résultats serait de pratiquer sur ces données une analyse de régression avec une fonction sigmoïdale afin d'extraire le paramètre *Pente* et d'en vérifier l'évolution en fonction de la tension de commande V_{pente} . Dans notre cas le fonctionnement est trop altéré pour réaliser cette exploitation.

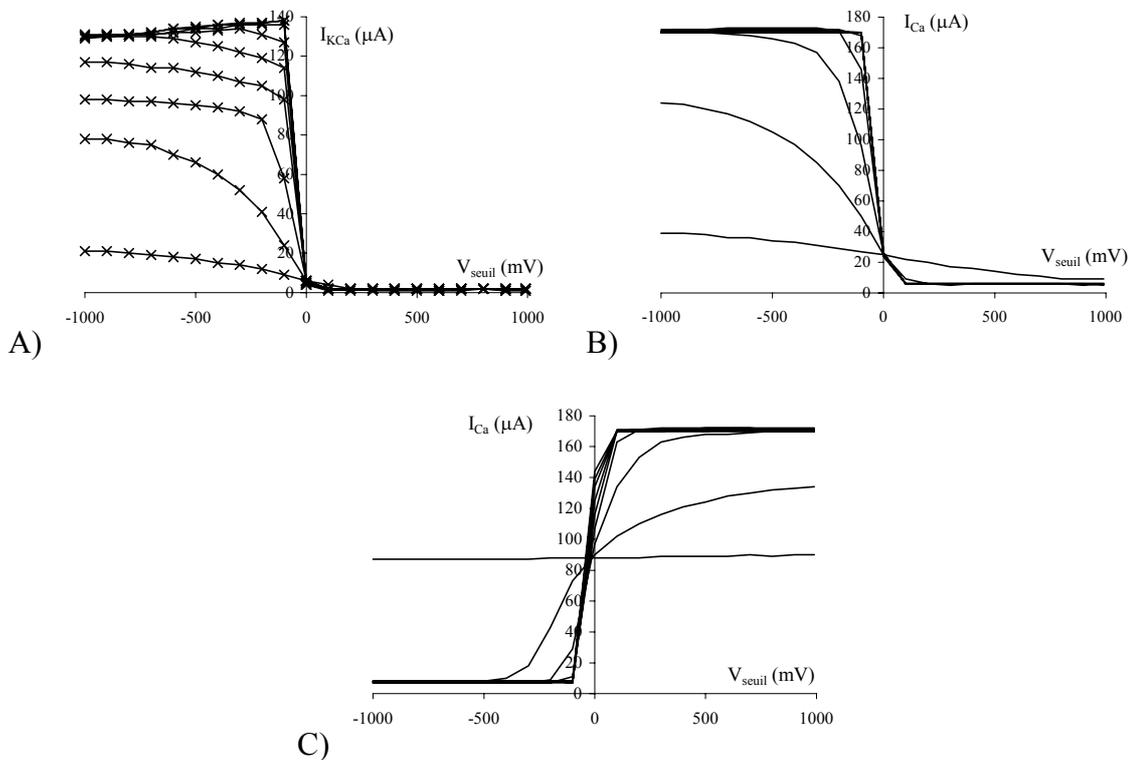


Figure 4-22 : sigmoïdes des conductances ioniques Ca et KCa. A) activation de Ca, B) activation de KCa et C) inactivation de KCa.

Un autre exemple de caractérisation est le relevé du courant maximal en fonction des paramètres V_{gmax} de chaque conductance (figure 4-23). Les courbes relevées correspondent à la fonction de transfert d'une paire différentielle MOS (voir paragraphe 2.3.4 et 2.3.5), et nous observons bien un gain de l'ordre de 10 entre les deux groupes de conductances ioniques I_{Na} , I_K et I_{Ca} I_{KCa} . Sans analyser les effets de la résistance du plot de masse sur les variations entre

les différentes conductances, nous pouvons constater que la tendance observée est conforme aux simulations théoriques. Les conductances ioniques I_{Na} et I_{Ca} ont des expressions plus complexes que I_K et I_{KCa} (équations 3.1 à 3.4). Leurs implémentations électroniques comportent donc plus d'opérateurs élémentaires ce qui se traduit par une plus grande fluctuation de polarisation qui a pour effet d'augmenter le courant de sortie.

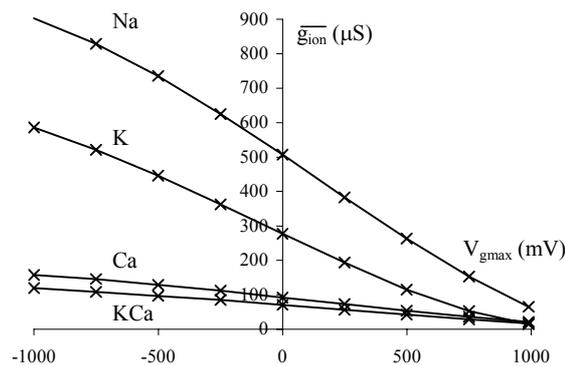


Figure 4-23 : évolution du courant de sortie des quatre conductances ioniques pour différentes valeurs des tensions de commandes V_{gmax} .

En conclusion, "microneurone" permet donc d'obtenir les mesures nécessaires à l'étalonnage des ASICs de calcul analogique. Il peut aussi, a priori, être utilisé pour réaliser des expériences de "voltage clamp" avec du matériel de neurophysiologie, remplaçant avantageusement les neurones vivants, par exemple, pour l'apprentissage de l'utilisation de ce type de matériel. Compte tenu du défaut de l'ASIC "susie" nous n'avons pas réalisé ces manipulations, mais elles font partie intégrante des objectifs éducatifs de "microneurone" et ont déjà été entreprises avec succès par notre groupe avec d'autres calculateurs analogiques (voir [DUPEYRON 98]).

Les distorsions que produit la présence du plot de masse protégé sont sans doute incompatibles avec une simulation précise et c'est pour cette raison que nous avons préparé un ASIC de remplacement. Cependant, ce défaut n'empêche pas d'observer l'activité de modèles relativement "robustes" dont le comportement dynamique est faiblement perturbé. Elles illustrent les (futurs) possibilités de "microneurone" quand il sera équipé de son nouvel ASIC "calvin".

4.3.Exemples de modèles.

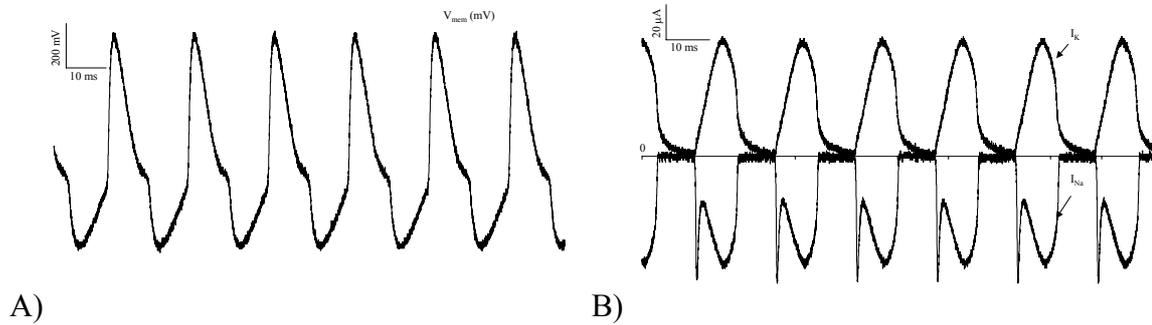


Figure 4-24 : A) activité tonique d'un modèle à deux conductances et B) visualisation des courants ioniques.

Le premier exemple est un modèle simple à deux conductances qui répond à l'équation :

$$C_{mem} \frac{dV_{mem}}{dt} + I_{Na} + I_K + g_{fuite} (V_{mem} - E_{fuite}) = 0 \quad (4.7)$$

"microneurone" permet d'observer la variation du potentiel membranaire (figure 4-24-A) mais aussi des courants ioniques (figure 4-24-B).

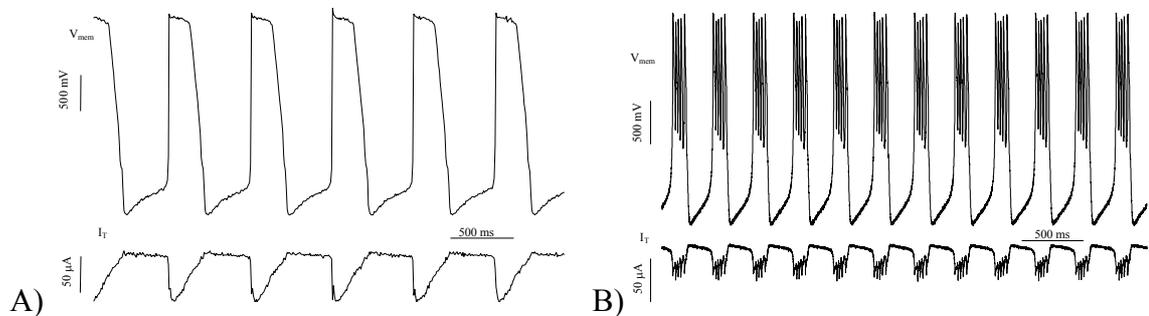


Figure 4-25 : cellule à trois conductances ioniques.

Le second exemple comporte une conductance ionique additionnelle I_T :

$$C_{mem} \frac{dV_{mem}}{dt} + I_{Na} + I_K + I_T + g_{fuite} (V_{mem} - E_{fuite}) = 0 \quad (4.8)$$

Nous avons déjà présenté les propriétés de la conductance calcique I_T (voir paragraphe 2.2.2). Associée au canal de fuite, elle supporte une oscillation lente à seuil de déclenchement bas (figure 4-25 A). Si nous ajoutons les deux courants I_{Na} et I_K , nous observons l'apparition de "bouffées" de potentiels d'actions rapides qui coiffent cette enveloppe (figure 4-25-B).

4.4. "Microneurone" version 2.0.

L'ASIC de remplacement "calvin" sera utilisé avec "microneurone" grâce à une carte permettant d'adapter son boîtier à 52 broches au support à 44 broches correspondant au circuit "susie". Cependant, seule la fabrication d'une nouvelle version de simulateur permettra d'utiliser sa conductance synaptique, et ainsi d'ouvrir "microneurone" vers les systèmes hybrides.

Nous proposons le schéma ci-dessous :

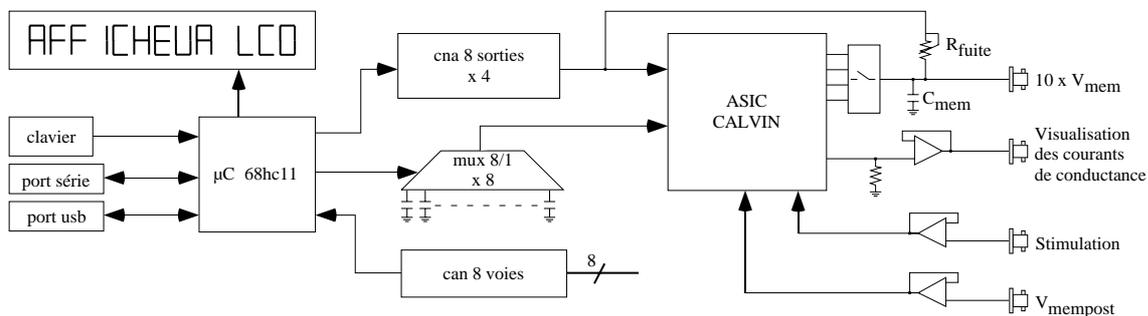


Figure 4-26 : schéma de principe du simulateur "microneurone" 2.0.

Le système reste organisé autour d'un microcontrôleur de type 68HC711E9 et, outre l'utilisation du nouvel ASIC "calvin", les modifications par rapport à la version 1.0 sont les suivantes :

- Tous les paramètres sont ajustables électriquement ce qui se traduit par l'utilisation de 4 convertisseurs et 8 multiplexeurs.
- Pour la liaison avec le microordinateur, le port USB (Universal Serial Bus) se substitue au port série. Ce dernier est néanmoins conservé pour faciliter la mise au point du logiciel de pilotage du port USB (circuit utilisé : PDIUSB12 de la société de Philips).
- Le taux de transfert élevé du port USB (1 Mo/s au maximum) autorise l'acquisition temps réel des signaux du calculateur. Nous avons donc sélectionné un convertisseur analogique numérique (AD7891 de la société Analog Device) pour assurer la conversion numérique.

La carte du prototype est en cours de routage en attendant le retour du circuit "calvin" dont la fabrication a été retardée par le fondeur. Pour résumer, ce nouveau système et son nouvel ASIC comportent trois atouts majeurs par rapport à la version précédente :

- La présence d'une synapse artificielle sert la réalisation d'un réseau hybride élémentaire unidirectionnel. Concrètement il est possible de se servir du système comme d'un stimulateur.
- L'emploi du bus USB garantit la pérennité de l'utilisation du système (les nouveaux micro-ordinateurs ne sont plus équipés de port série) mais surtout permet de réaliser l'acquisition directe de données pour les tensions membranaires et courants ioniques modélisés sans avoir besoin de se servir d'un oscilloscope ou d'une carte d'acquisition.
- Enfin, tous les paramètres sont maintenant accessibles et programmables ce qui augmente la flexibilité de programmation du système.

5. FUTUR CALCULATEUR ANALOGIQUE PROGRAMMABLE.

Nous avons mis au point une nouvelle bibliothèque d'opérateurs arithmétiques analogiques (chapitre II) et conçu un ASIC, "fpca-r", basé sur cette dernière (chapitre III). Nous allons maintenant proposer la réalisation d'un simulateur analogique exploitant ses capacités.

Nous décrivons dans ce paragraphe le projet de nouveau banc de simulation destiné à la mise en œuvre des expériences de réseaux hybrides. Il comporte, outre le simulateur, un certain nombre d'instruments périphériques qui nous semblent indispensables.

Avant de réaliser un système aussi complexe, nous avons construit un simulateur "élémentaire" qui n'utilise que deux circuits "fpca-r" et a permis de valider nos choix de conception. D'autre part, nous proposons une description d'un système complet pour une future réalisation par notre groupe.

5.1. Conception du futur banc de simulation analogique.

Le principe de construction respecte celui proposé par la figure 3-30, notamment en ce qui concerne le chaînage des différents ASICs "fpca_r". Dans ce paragraphe, nous insistons particulièrement sur deux points qui nous paraissent importants à considérer pour la conception de ce nouveau simulateur. Nous laissons les détails concernant la mise en œuvre des circuits "fpca-r" pour le paragraphe 5.2 où nous présentons notre prototype. Les idées que nous souhaitons développer sont les suivantes :

- L'expérience a montré que des instruments périphériques étaient indispensables à la mise en œuvre et l'exploitation des expériences de réseaux hybrides. Il paraît judicieux de les intégrer au simulateur dès le départ.

- L'organisation des bus analogiques des ASICs fpca-r doit être choisie avec soin afin de pouvoir réaliser des réseaux neurones fortement interconnectés.

5.1.1. Description du simulateur.

Le nombre de paramètres mis en jeu est incompatible avec la conception d'un système autonome, il est nécessaire d'utiliser un micro-ordinateur pour réaliser la saisie et la sauvegarde des modèles. Il a pour fonction minimale le chargement de la SRAM de paramètres et le démarrage des cycles de rafraîchissement.

Afin de garantir la flexibilité d'utilisation, il n'est pas souhaitable d'utiliser une carte d'entrée/sortie spécifique pour effectuer les transferts entre simulateur et micro-ordinateur. Il nous faut choisir entre les différents ports plus ou moins standard qui sont disponibles : série, parallèle, SCSI, USB, IEEE1394, ISA, PCI... Nous proposons l'utilisation du port USB qui est bien adapté par ses taux de transfert et sa compatibilité multi-plateformes (PC et Apple).

Nous allons maintenant nous attacher à détailler les périphériques que nous souhaitons inclure au simulateur, ils sont aussi pilotés, si nécessaire, par le biais de l'interface USB (circuit proposé : PDIUSB12 de la société de Philips).

- Les ASICs fonctionnent avec des alimentations 0/+5 V et un point milieu à 2,5 V, les potentiels de membrane simulés sont décalés de 2,5 V par rapport à la terre du banc hybride. Il est donc nécessaire de prévoir des étages d'interfaces assurant un décalage de 2,5 V pour pouvoir connecter des instruments extérieurs, en particulier les amplificateurs des microélectrodes. Nous pourrions aussi ajouter des filtres passe-bas destinés à éliminer les couplages hautes fréquences des parties numériques.
- Nous proposons de réaliser un générateur arbitraire de fonction qui permet, au choix, de produire des impulsions carrées fréquemment utilisées pour la stimulation des membranes ou bien une enveloppe quelconque reproduisant par exemple l'activité pré-enregistrée d'un

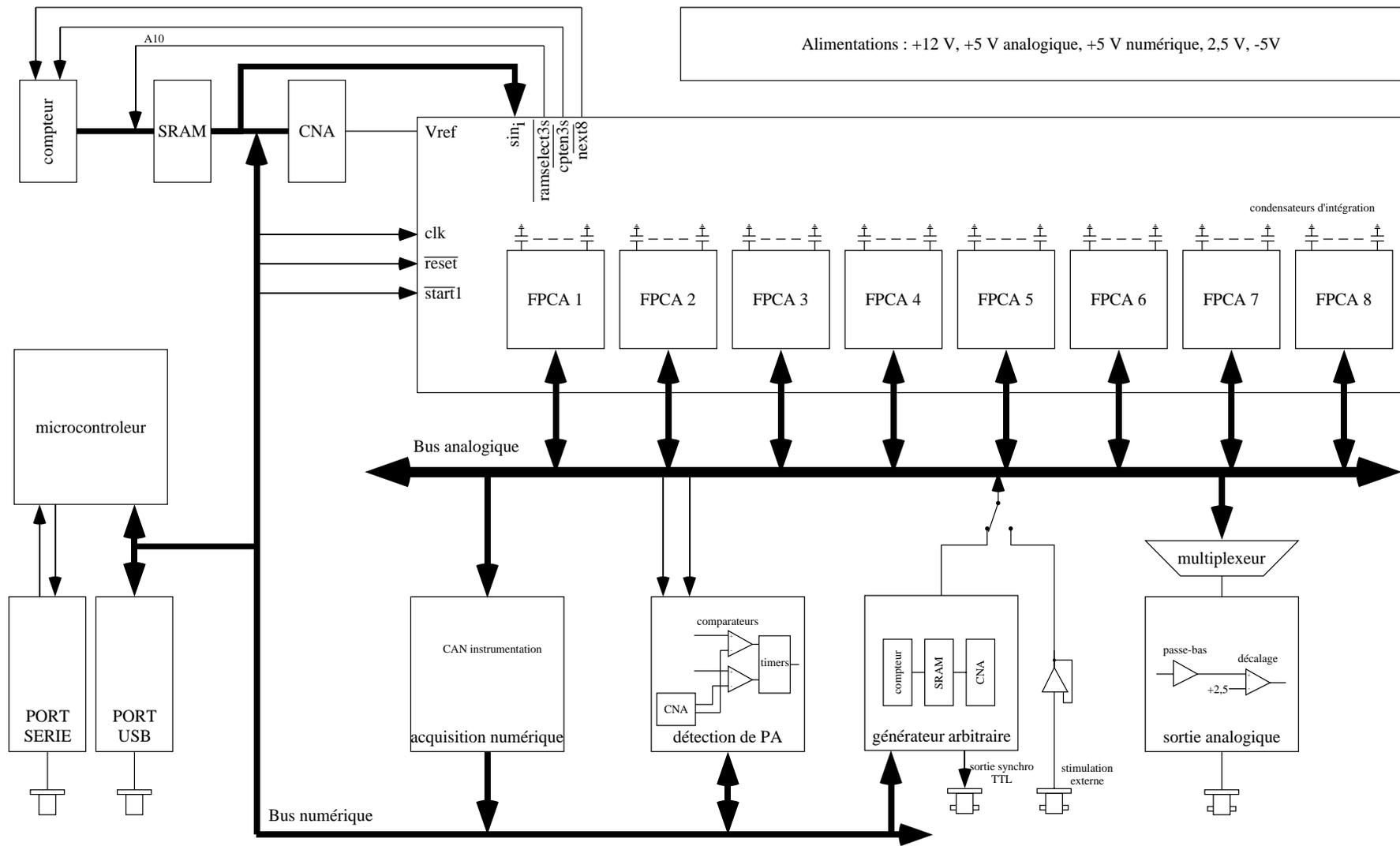


Figure 4-27 : schéma de principe d'un simulateur utilisant les circuits fpc-a-r. Le détail du chaînage des ASICs n'est pas représenté, seuls les signaux de contrôle sont annotés.

neurone biologique. Ce générateur doit disposer d'une sortie de contrôle et d'une sortie TTL assurant la synchronisation avec des instruments externes.

- Un convertisseur analogique-numérique convertit les potentiels de membranes en données numériques transférées via le port USB. Le circuit choisi (Analog Device AD7891) dispose de huit entrées analogiques multiplexées. Cette approche remplace avantageusement un système d'acquisition externe, oscilloscope numérique et carte d'interface par exemple, et permet de stocker et d'analyser les mesures rapidement.
- L'exploitation des résultats commence souvent par l'extraction de propriétés temporelles des potentiels d'actions (PA) : fréquence moyenne, dispersion de fréquence, corrélation de deux signaux... Pour ce type de mesures, l'enregistrement complet de l'évolution temporelle n'est pas nécessaire, il suffit de détecter l'occurrence des PA. Un comparateur à niveau réglable peut servir à cette tâche, un "timer" assurant ensuite la mesure du temps qui est ensuite transmise au micro-ordinateur. Cette approche limite fortement les taux de transfert et allège la charge de travail du micro-ordinateur. Deux voies sont nécessaires si nous souhaitons étudier les corrélations existant entre deux signaux.

La figure 4-27 présente le schéma complet d'un système comportant ces différents périphériques. Comme pour "microneurone" il est bâti autour d'un microcontrôleur qui est indispensable pour la gestion du port USB. Le port série est aussi conservé pour être utilisé pendant les phases de développement. Outre la gestion du port USB, le microcontrôleur génère les horloges, pilote les différents périphériques et assure la gestion des séquenceurs des ASICs "fpca-r". Suivant le type de microcontrôleur il est possible d'utiliser les "timers" intégrés nécessaires à la détection de PA.

5.1.2. Organisation du bus analogique.

La flexibilité d'usage du système dépend maintenant des choix de l'organisation du bus analogique et du raccordement des différents ASICs et périphériques.

Pour huit circuits ASICs "fpca-r" nous proposons l'organisation présentée par la figure 4-28. Rappelons que chaque ASIC dispose de huit broches d'entrée/sortie analogique et permet d'assembler huit neurones "basiques" à deux conductances ou deux, plus complets, à quatre.

En imaginant les ASICs disposés aux sommets d'un cube, nous relierons chacun d'entre eux à ses trois voisins immédiats par deux lignes analogiques. Nous disposons ainsi de 24 condensateurs permettant de réaliser autant de neurones ou compartiments.

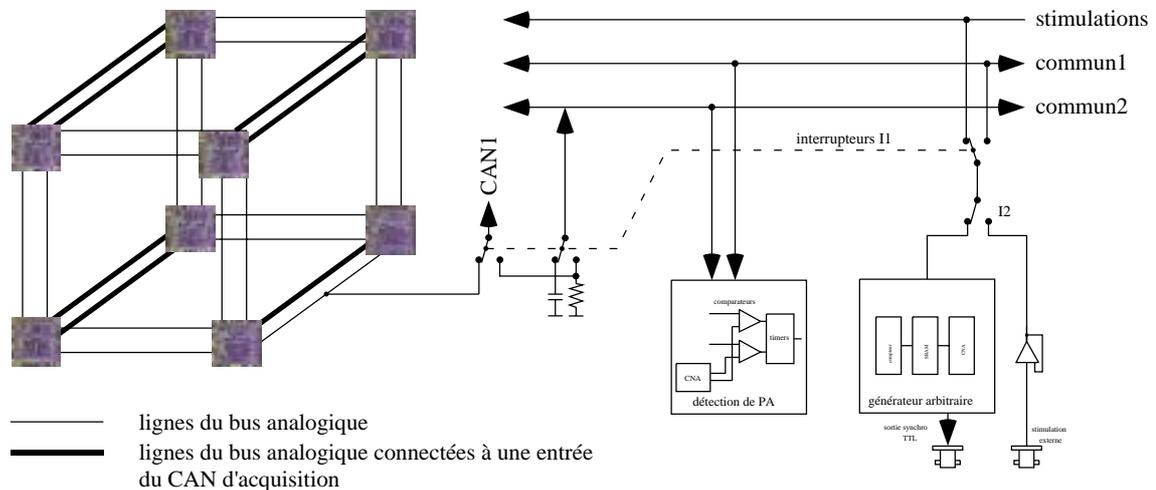


Figure 4-28 : organisation du bus analogique pour huit circuits *fpca-r*.

Pour chaque ASIC, il reste deux broches encore inutilisées et nous les connectons à deux lignes communes. Il est ainsi possible de réaliser une double connexion synaptique entre deux circuits quelconques. D'autre part ces deux lignes servent d'entrée au dispositif de détection de potentiel d'action.

La stimulation est commune elle aussi, les huit entrées correspondantes sont reliées entre elle, et les multiplexeurs internes sélectionnent les membranes stimulées.

Enfin les huit voies d'entrées du dispositif d'acquisition numérique sont connectées sur les lignes formants quatre arêtes du cube (voir figure 4-28). Disposées de la sorte, il est possible d'accéder à tous les circuits et, au maximum, de connecter deux voies simultanément pour un circuit donné.

Notons la présence des interrupteurs inverseurs I1. Ils assurent la connexion du stimulateur sur la ligne commun1 et l'insertion d'une résistance sur la ligne commun2 qui est aussi connectée à une des entrées du convertisseur d'acquisition. Cette configuration est destinée au test et à l'étalonnage des ASICs. Le générateur de stimulation sert, à tour de rôle, d'entrée pour les différentes conductances ioniques et la sortie correspondante est connectée sur la résistance, et permet ainsi de mesurer le courant ionique.

5.2. Prototype utilisant deux circuits "fpca-r".

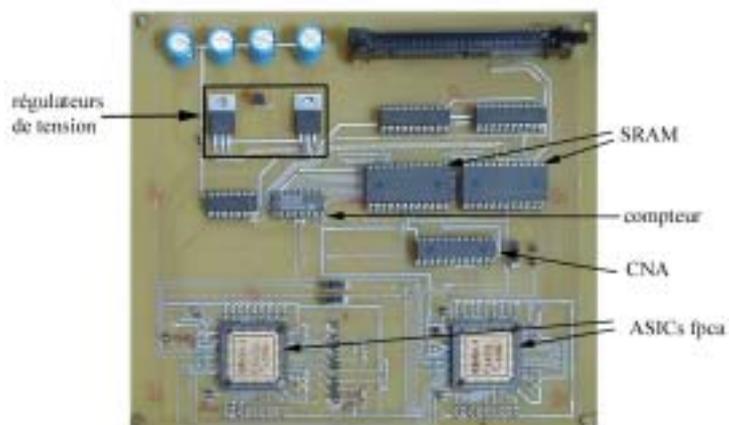


Figure 4-29 : photographie du prototype de simulateur utilisant les ASICs "fpca-r", il est piloté par une carte d'entrée/sortie type PCII200.

Le prototype (figure 4-29) comporte deux ASICs permettant donc de tester la fonctionnalité de chaînage (chapitre III, paragraphe 5.3). Deux mémoires SRAM permettent de stocker les mots de 12 bits qui sont présentés au convertisseur numérique-analogique (CNA), ses adresses étant générées par un compteur externe.

La carte comporte d'autre part trois régulateurs de tensions permettant de fournir les différentes tensions d'alimentations +5 V numérique, +5V analogique, 2.5 V analogique à partir d'une alimentation unique de 12 V nécessaire au convertisseur.

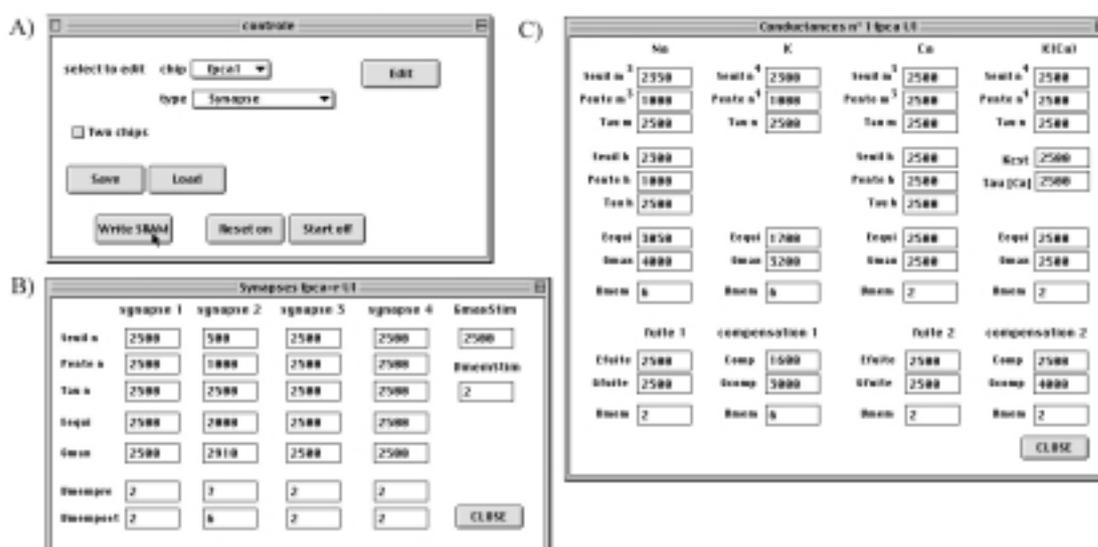


Figure 4-30 : fenêtres du logiciel servant à piloter la carte de test. A) fenêtre de commande permettant de commander l'écriture dans la SRAM, de contrôler le séquenceur et d'ouvrir les fenêtres d'édition de paramètres de type B) ou C).

Le logiciel permet de saisir les valeurs électriques des $93 \times 2 = 186$ paramètres et des $25 \times 2 = 50$ mots de topologie des deux circuits. Ces données peuvent être sauvegardées sur le disque dur.

Les reproductions des fenêtres de programmation (figure 4-30) illustrent le mode de saisie de ces paramètres : l'opérateur choisit la tension que délivrera le CNA pour chacun d'entre eux.

5.3. Mesures électriques.

Nous avons pu vérifier que le séquenceur et le principe de chaînage du circuit "fpca-r" sont parfaitement fonctionnels, ce que nous illustrons avec les implémentations de modèles du paragraphe 5.4. Le multiplexage qui permet le réglage de la topologie fonctionne aussi comme souhaité. Nous allons maintenant évaluer les différents opérateurs à partir de mesures réalisées sur des conductances ioniques.

5.3.1. Sigmoide.

En connectant une résistance de $100 \text{ k}\Omega$ sur une des lignes du bus analogique, nous mesurons le courant de sortie des conductances, ce qui nous permet de vérifier leurs caractéristiques.

Nous étudions une conductance synaptique en appliquant une rampe de tension sur l'entrée présynaptique et en maintenant une tension postsynaptique constante. Nous obtenons ainsi les caractéristiques sigmoïdales de la fonction d'activation (figure 4-31-A).

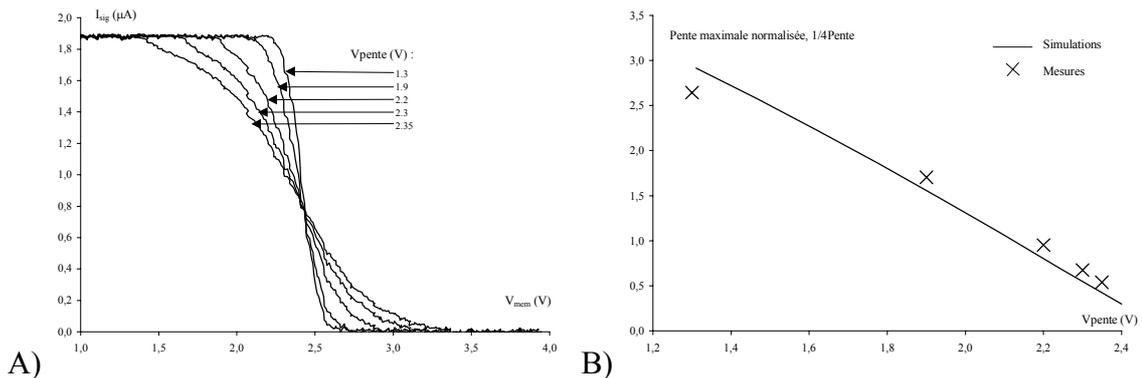


Figure 4-31 : A) mesure de la caractéristique sigmoïdale de l'activation synaptique pour différentes valeurs du paramètre V_{pente} . B) pente maximale de la sigmoïde en fonction du paramètre V_{pente} extraite par interpolation des mesures.

De ces mesures nous pouvons extraire les variations de la pente maximale des sigmoïdes en fonction de la tension de commande V_{pente} . Ces paramètres sont obtenus en pratiquant une analyse de régression avec une fonction sigmoïdale sur ces mesures (logiciel *Kaleidagraph*).

La figure 4-31-B montre la concordance entre les valeurs extraites des mesures et la courbe théorique (chapitre II paragraphe 4.3).

5.3.2. Paire entrecroisée et multiplieur "beta-immune".

La conductance de stimulation est composée d'un multiplieur "beta-immune" et de deux paires entrecroisées (voir chapitre II, paragraphe 4.2.2). En appliquant une rampe sur l'entrée de stimulation V_{stim} et en faisant varier le paramètre V_{Gstim} nous mesurons donc les caractéristiques de transfert composites des paires et du multiplieur (figure 4-32).

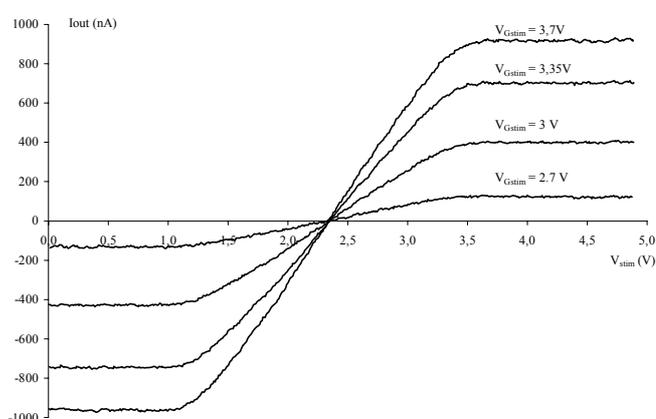


Figure 4-32 : caractéristiques de transfert composites d'une paire entrecroisée et d'un multiplieur "beta-immune" pour la conductance de stimulation.

La saturation du courant de sortie observée sur la figure 4-32 correspond à la fonction de transfert de la paire entrecroisée qui assure la conversion tension-courant de l'entrée différentielle ($V_{stim}=2,5$).

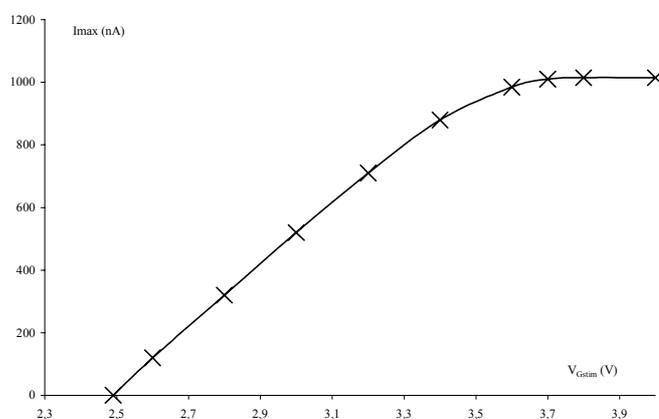


Figure 4-33 : demi-caractéristique de transfert d'une paire entrecroisée obtenue en utilisant la conductance de stimulation.

Il est aussi possible d'extraire la partie positive de la fonction de transfert de la seconde paire entrecroisée qui est associée à l'entrée unipolaire. Il nous suffit de tracer la valeur du courant de saturation en fonction de l'entrée en tension V_{Gstim} (figure 4-33).

5.3.3. Constante de temps des intégrateurs.

Toujours en utilisant une conductance synaptique, nous mesurons la réponse indicielle du bloc intégrateur en appliquant un échelon sur l'entrée présynaptique et en maintenant constante la tension postsynaptique. Les mesures sont répétées pour une capacité du condensateur d'intégration fixe et différentes valeurs pour la tension de commande V_{tau} de l'atténuateur A (figure 4-34-A).

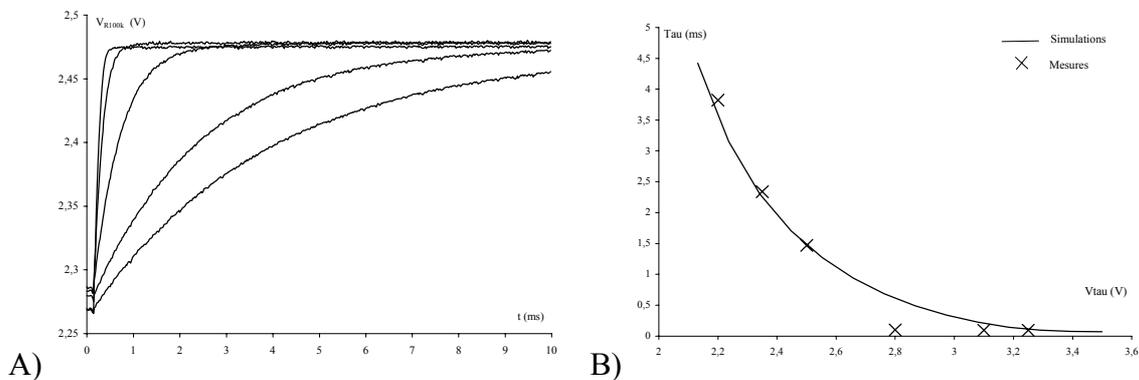


Figure 4-34 : A) réponse indicielle du bloc intégrateur pour différentes valeurs du paramètre de l'atténuateur V_{tau} et B) Constante de temps correspondante obtenue par interpolation des mesures. Le condensateur externe a une valeur de 10 nF.

Les temps de montée, et donc les constantes de temps d'intégration, sont obtenus en pratiquant une analyse de régression pour ces mesures avec une fonction exponentielle (figure 4-34-B).

La valeur de constante de temps nominale mesurée (facteur d'atténuation $A=1$ obtenu pour $V_{tau} = 2,5$ V) est de 1,47 ms alors que la valeur théorique est de 1,17 ms. L'erreur relative de 25 % est principalement due à la précision de la valeur du condensateur d'intégration (30% typique avec les condensateurs CMS utilisés).

D'autre part nous constatons la concordance des mesures avec la fonction de transfert théorique de l'atténuateur A et donc la possibilité d'ajuster électriquement la constante de temps.

5.3.4. Temps de maintien des mémoires analogiques.

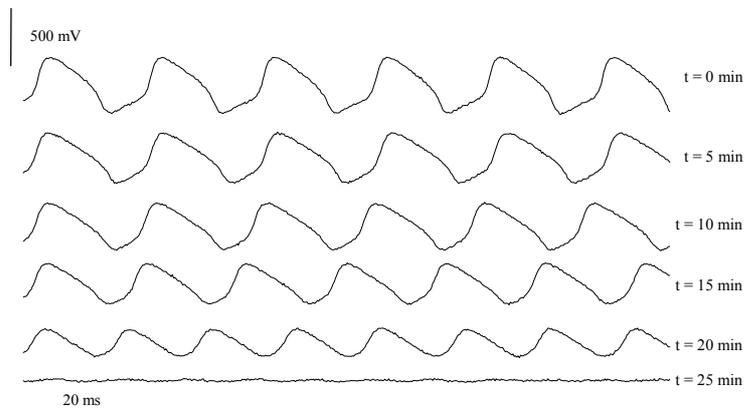


Figure 4-35 : illustration du temps de maintien : l'activité d'un modèle tonique à deux conductances est enregistrée toutes les cinq minutes après l'arrêt du rafraîchissement des condensateurs de mémorisation.

Nous avons prévu un cellule de test pour évaluer le fonctionnement du stockage analogique (chapitre III paragraphe 5.2.1). Deux points nous intéressent particulièrement, les perturbations de la valeur stockées dues aux problèmes d'injection de charge et le temps de maintien sur le condensateur de mémorisation.

Nous appliquons un signal de commande carré à l'entrée de test *interentest* qui contrôle l'interrupteur sélectionné par le registre à décalage *INTER* et nous observons les variations de tension aux bornes du condensateur de stockage par le biais de l'étage suiveur. L'injection de charge est difficilement observable mais produit des variations de la tension mémorisée inférieures à 15 mV.

En appliquant une tension initiale au condensateur connecté à l'étage suiveur puis en ouvrant son interrupteur de rafraîchissement, nous souhaitons observer sa décharge et ainsi vérifier le temps de maintien. Il s'avère qu'aucune variation n'est mesurable pendant la période d'enregistrement de plusieurs secondes d'un oscilloscope numérique. Nous choisissons une autre approche : un modèle tonique à deux conductances est simulé par l'ASIC et après la mise en mémoire des paramètres de ce "neurone", le rafraîchissement est arrêté. Il reste à observer l'évolution de l'activité de la tension membranaire (figure 4-35). Nous observons qu'il faut plus de 20 minutes pour obtenir l'arrêt total des oscillations. Avant cette limite leur

amplitude décroît régulièrement. Le nombre de paramètres d'un tel modèle est trop important pour pouvoir en tirer une conclusion précise sur le temps de maintien, mais il apparaît cependant qu'il est beaucoup plus important que prévu, sans doute de plusieurs secondes, voir minutes.

Ces mesures sont intéressantes car elles suggèrent une possibilité pour limiter les couplages qui apparaissent pendant la boucle de rafraîchissement : plutôt que de réaliser cette tâche en continu, il suffit de parcourir la boucle entière à intervalles de temps réguliers qui soient compatibles avec la période de maintien observée. Entre les cycles de rafraîchissement aucune activité numérique ne serait nécessaire et le calculateur analogique ne risquerait donc aucune perturbation.

5.4.Exemples de modèles.

Afin d'illustrer les possibilités du calculateur analogique constitué par notre prototype, nous avons implémenté quelques modèles simples.

5.4.1. Un neurone à deux conductances.

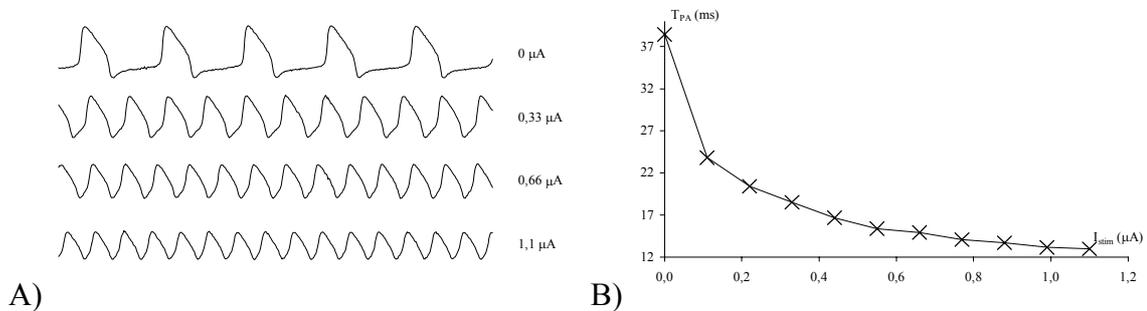


Figure 4-36 : variation de la période des PA d'un neurone à deux conductances en fonction du courant de stimulation constant injecté sur la membrane.

Ce premier exemple est un neurone "simple" qui possède deux conductances ioniques I_{Na} et I_K . L'équation décrivant l'évolution temporelle de la tension de membrane pour ce neurone est donc la suivante :

$$C_{mem} \frac{dV_{mem}}{dt} + I_{Na} + I_K + g_{fuite} (V_{mem} - E_{fuite}) = 0 \quad (4.9)$$

L'activité observée (figure 4-36-A) correspond bien à celle d'un neurone biologique. L'injection d'un courant constant se traduit par une variation typique de la période de répétition T_{PA} des potentiels d'actions (figure 4-36-B).

5.4.2. Un neurone à trois conductances.

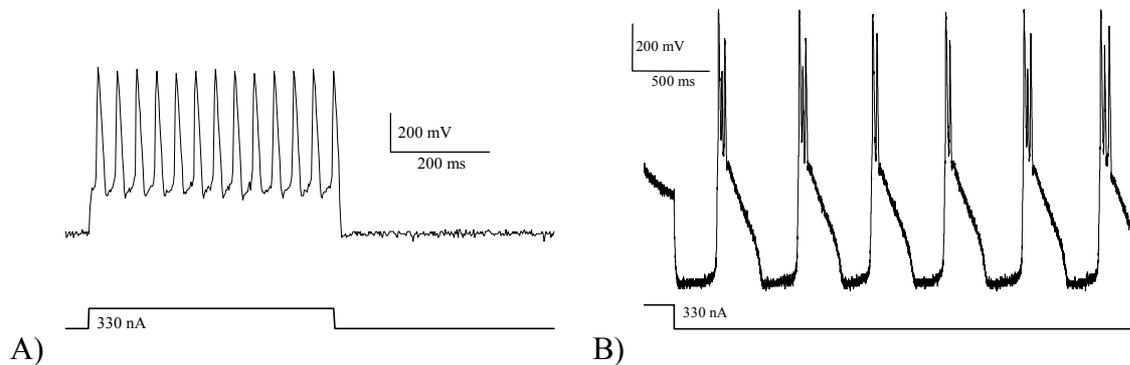


Figure 4-37 : une cellule à trois conductances. A) une impulsion de courant dépolarisant provoque l'apparition de PA. B) une impulsion hyperpolarisante se traduit par un rebond et le déclenchement d'une activité oscillatoire lente coiffée d'une bouffée de PA.

Nous reproduisons une cellule à trois conductances, inspirée de la cellule TC du paragraphe 2.2.2. Nous retrouvons bien les mêmes réponses caractéristiques à des impulsions dépolarisante (figure 4-37-A) ou hyperpolarisante (figure 4-37-B).

5.4.3. Réalisation de synapses avec les deux circuits.

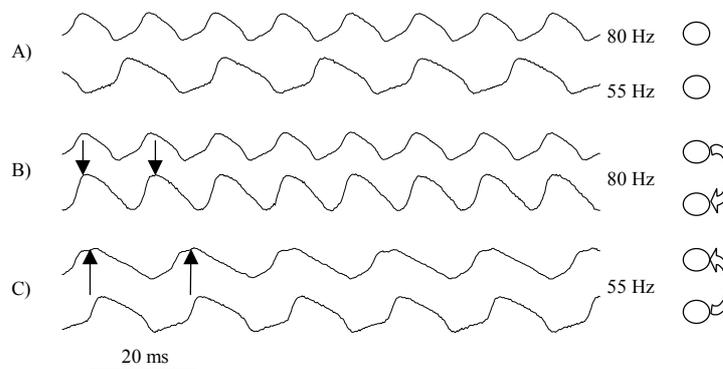


Figure 4-38 : A) deux neurones toniques oscillent à des fréquences distinctes. Quand les neurones sont reliés par une synapse excitatrice B) le plus rapide peut synchroniser le plus lent, C) le plus lent synchronise le plus rapide mais provoque une déformation de ses PA.

Cette fois chaque circuit du prototype comporte un neurone à deux conductances similaire à celui du paragraphe 5.3.1. Les courants de stimulations sont ajustés afin que chacun d'entre eux oscille à des fréquences proches mais distinctes, 80 Hz et 55 Hz (figure 4-38-A).

Cette configuration permet d'illustrer l'utilisation du principe de chaînage conçu pour partager convertisseur et SRAM externes.

Nous connectons ensuite une synapse excitatrice entre ces cellules, suivant le sens de projection nous observons bien la synchronisation des activités des deux neurones, la cellule présynaptique entraînant la postsynaptique à sa fréquence propre (figures 4-38 B et C). On notera que, quand la plus lente impose la fréquence, cela se traduit par une distorsion de l'enveloppe des potentiels d'actions de la plus rapide.

Ce prototype démontre donc les capacités des ASICs "fpca-r" et les premiers résultats obtenus sont suffisamment concluants pour décider de la mise au point du simulateur dont nous avons proposé un synoptique au paragraphe 5.1.

CONCLUSIONS ET PERSPECTIVES.

L'objectif des travaux présentés dans ce manuscrit est de réaliser des calculateurs analogiques basés sur des modèles neurophysiologiques de type Hodgkin et Huxley. Ces simulateurs sont construits à partir d'ASICs analogiques spécifiquement conçus pour résoudre ces équations. Ils permettent ainsi la simulation réaliste en temps réel et continu de l'activité électrophysiologique de neurones biologiques. Leur application première est la réalisation de réseaux hybrides, où neurones biologiques et artificiels interagissent.

En nous appuyant sur les acquis du groupe (notamment sur la bibliothèque analogique développée lors de travaux antérieurs), nous avons finalisé et développé deux systèmes.

"Vortex" est un banc de simulation complet et modulable particulièrement destiné à la mise en œuvre d'expériences de réseaux hybrides.

"Microneurone" est plus simple, il ne comporte que quatre conductances, et a un objectif plus pédagogique. Notons que le circuit au cœur de ce système, "susie", présente un défaut, qu'un nouvel ASIC a été fabriqué pour le remplacer et qu'une nouvelle version de "microneurone" est en préparation. Elle permettra la réalisation de réseaux hybrides simples.

Le principe de résolution analogique, retenu depuis longtemps par notre groupe, a prouvé son efficacité comme l'illustrent exemples et projets d'expériences hybrides présentés dans ce manuscrit. Le manque de souplesse dans la programmabilité des modèles reste néanmoins un inconvénient majeur de cette approche, en comparaison avec des méthodes numériques. Dans le but de limiter ce handicap, nous avons étudié diverses possibilités de mémorisation analogique et réalisé deux circuits de tests. Nous avons retenu le principe de type "échantillonneur-bloqueur" et conçu une nouvelle bibliothèque analogique servant de base à un nouveau circuit, "fpca-r". Outre les mémoires analogiques intégrées, cet ASIC comporte un dispositif assurant la programmation des connexions entre les éléments du réseau de neurones implémenté. Nous avons ensuite construit un prototype supportant "fpca-r". Les résultats obtenus sont satisfaisants et nous proposons le synoptique d'un futur banc de calcul analogique comportant, notamment, des instruments annexes indispensables aux neurobiologistes.

Les techniques développées par notre groupe, et présentées dans ce manuscrit, ont montré leur maturité. Elles ont permis de construire des puissants outils pour les neurobiologistes et ils doivent maintenant continuer de les exploiter. Il reste cependant encore beaucoup de travail dans bien des domaines prouvant que ce thème de recherche pluridisciplinaire doit être mené sur la continuité.

La construction du nouveau banc de calcul analogique et, donc, l'exploitation des résultats que nous avons présentés n'en représente qu'une infime partie. Nous pourrions aussi citer, par exemple, l'exploration de nouvelles techniques de connectivité avec le vivant avec l'utilisation des matrices de microélectrodes. Cette approche permet de multiplier les points de connexions alors que les électrodes intracellulaires utilisées jusqu'alors étaient fortement limitées sur ce plan. La nature extracellulaire des matrices implique néanmoins plusieurs changements. D'une part, le grand nombre de voies et la faible amplitude des signaux recueillis nécessitent la conception d'un système d'acquisition adapté pour le traitement en temps réel. D'autre part, les signaux neuronaux et le mode de stimulation de cette technique extracellulaire ne sont plus adaptés avec la description précise et complexe de Hodgkin et Huxley que nous avons utilisée. Il est donc nécessaire de choisir un autre formalisme et de définir un nouveau support pour la partie artificielle des réseaux hybrides utilisant des matrices de microélectrodes...

Que nous exploitions les résultats déjà obtenus ou que nous développions de nouvelles techniques, le but ultime de ce thème de recherche partagé avec des laboratoires de neurophysiologie, est la mise en œuvre de nouvelles expériences qui permettront d'aller toujours plus loin dans la compréhension du cerveau.

REFERENCES BIBLIOGRAPHIQUES.

128 références.

Les références à des pages web dans cette bibliographie étaient valides en décembre 2000 à la date de présentation de cette thèse.

Certaines publications et thèses de notre équipe sont disponibles sur notre site web : http://www.ixl.u-bordeaux.fr/equipes_ixl/conception/neurone/francais/Welcome.html

- [ABUSLAND 93] **ABUSLAND A, LANDE Tor Sverre.** *Local generation and storage of reference voltages in CMOS technology using UV-light*, Proc. 11th European Conf. Circuit Theory and Design (ECCTD 93), 1993. Vol I. p 281-286.
- [AKIN 94] **AKIN Tayfun, NAJAFI Khalil, SMOKE Richard H, BRADLEY Robert M.** *A micromachined silicon sieve electrode for nerve regeneration applications*. IEEE transactions on biomedical engineering, 1994. Vol 41, n°4. p 305-313.
- [AKIN 98] **AKIN Tayfun, NAJAFI Khalil, BRADLEY Robert M.** *A wireless implantable multichannel digital neural recording system for a micromachined sieve electrode*. IEEE journal of solid-state circuits, 1998. Vol 33, n°1. p 109-118.
- [ALVADO 99] **ALVADO Ludovic.** *Intégration sur silicium de modèles analogiques de neurones biologiques en exploitant les propriétés du transistor MOS en régime de faible inversion*. Rapport de DEA de microélectronique, Université de Bordeaux 1, 1999.
- [AMS] **Austria Mikro System.** <http://www.ams.co.at>.
- [ANDERSON 97] **ANDERSON R M, KERR D R.** *Evidence for surface asperity mechanism of conductivity in oxyde grown on polycrystalline silicon*. Journal of applied physics, 1997. Vol 48, n°11. p 4834-4836.
- [AXON 93] **Axon Instruments, Inc.** *The Axon Guide*. Version électronique disponible à <http://www.axon.com>.
- [BAL 96] **BAL Thierry, MCCORMICK David A.** *What stops synchronized thalamocortical oscillations ?*. Neuron, 1996. Vol 17. p 297-308.
- [BUCHAN 97a] **BUCHAN L William, MURRAY Alan F, REEKIE H Martin.** *Floating gate memories for pulse-stream neural networks*. Electronics letters, 1997. Vol 33, n°5. p 397-399.

-
- [BUCHAN 97b] **BUCHAN L William, MURRAY Alan F, REEKIE H Martin.** *Standard CMOS floating gate memories for non-volatile weight storage in analogue VLSI neural network.* Proceedings of the institute of mathematics and computer science 15th world congress, 1997. Vol 6. p 511-516.
- [CADENCE] **Cadence.** <http://www.cadence.com>.
- [CARLEY 89] **CARLEY L Richard.** *Trimming analog circuits using floating-gate analog MOS memory.* IEEE journal of solid-state circuits, 1989. Vol 24, n°6. p 1569-1574.
- [CAUWENBERGHS 96] **CAUWENBERGHS Gert.** *Analog VLSI long-term dynamic storage.* IEEE International Symposium on Circuits and Systems, 1996. Vol. 3. p 334-337
- [CHAI 96] **CHAI Yong-Yoong, JOHNSON Louis G.** *A 2x2 analog memory implemented with a special layout injector.* IEEE journal of solid-state circuits, 1996. Vol 31, n°6. p 856-859.
- [CHEN 96] **CHEN M. J, HO J. S, HUANG T. H.** *Dependence of Current Match on Back-Gate Bias in Weakly Inverted MOS Transistors and Its Modeling.* IEEE journal of solid-state circuits, 1996. Vol 31, n°2. p 259-262.
- [CMP] **Circuit Multi Projet.** <http://cmp.imag.fr/>.
- [CNCT 99] *Passive Multichannel Recording and Stimulating Electrode Arrays. A Catalog of Available Designs,* 1999. <http://www.engin.umich.edu/facility/cnct/>.
- [CNCT] **Center for Neural Communication Technology, University of Michigan.** <http://www.engin.umich.edu/facility/cnct/>.
- [CNFM] **Comité National de Formation en Microélectronique.** <http://www.cnfm.fr/>.
- [CRONIN 87] **CRONIN Jane.** *Mathematical aspects of Hodgkin-Huxley neural theory.* Cambridge : university press, 1987. 261p. ISBN 0-521-33482-9.
- [DE SALVO 98] **DE SALVO B, GHIBAUDO G, PANANAKAKIS G, GUILLAUMOT B, CANDELIER P.** *Data retention time-to-failure of non-volatile memories.* Proceedings of ESSDERC, 1998. p 228-231.
- [DEGUELLE 98] **DEGUELLE W H G.** *Limitations on the integration of analog filters for frequencies below 10Hz.* IEEE journal of solid-state circuits, 1998. p 131-134.
- [DEMARSE 00] **DEMARSE T, WAGENAAR D, BLAU A, POTTER S.** *Interfacing Neuronal Cultures to a Computer Generated Virtual World.* MEA 2000 MEETING, Allemagne 2000. "abstract" disponible à <http://www.nmi.de/de/news/MEA-Meeting%202000/abstracts%202000/abstracts.htm>.

-
- [DESTEXHE 94] **DESTEXHE Alain, MAINEN Zachary F, SEJNOWSKI Terrence J.** *Synthesis of models for excitable membranes, synaptic transmission and neuromodulation using a common kinetic formalism.* Journal of computational neuroscience, 1994. Vol 1. p 195-231.
- [DESTEXHE 96] **DESTEXHE Alain, BAL Thierry, MCCORMICK David A, SEJNOWSKI Terrence J.** *Ionic mechanisms underlying synchronized oscillations and propagating waves in a model of ferret thalamic slices.* Journal of neurophysiology, 1996. Vol 76, n°3. p 2049-2070.
- [DIORIO 95] **DIORIO Chris, MAHAJAN Sunit, HASLER Paul, MINCH Bradley A, MEAD Carver A.** *A high resolution non-volatile analog memory cell.* Proceedings of IEEE international symposium on circuits and systems, 1995. Vol 3. p 2233-2236.
- [DIORIO 96] **DIORIO Chris, HASLER Paul, MINCH Bradley A, MEAD Carver A.** *A single-transistor silicon synapse.* IEEE transactions on electron devices, 1996. Vol 43, n°11.
- [DOUENCE 99] **DOUENCE V, LAFLAQUIERE A, LE MASSON S, BAL T, LE MASSON G.** *Analog electronics system for simulating biological neurons.* Proceedings of IWANN99 in Lecture Notes in Computer Science, 1999. Vol 1606, p187-197.
- [DOUGLAS 95] **DOUGLAS Rodney, MAHOHALD Misha, MEAD Carver.** *Neuromorphic analogue VLSI.* Annu. Rev. Neurosci. 1995. Vol 18. p255-281.
- [DUPEYRON 98] **DUPEYRON Denis.** *Contribution à l'intégration sur silicium de modèles analogiques de neurones biologiques.* Thèse en électronique : Université de Bordeaux 1, 1998. Thèse de doctorat n°1967.
- [DUPUIE 90] **DUPUIE Scott T, ISMAIL Mohammed.** *Analog IC design : a current-mode approach.* London, Peter Peregrinus Ltd, 1990. 646 p. ISBN 0 86341 215 7. Chapitre 5, High Frequency CMOS transconductors.
- [EDGLEY] **EDGLEY Mark.** *What is Caenorhabditis elegans and why work on it? An introduction for those unfamiliar with 'The Worm'.*
<http://www.biotech.missouri.edu/Dauer-World/Wormintro.html>.
- [ELLIS 82] **ELLIS P K.** *Fowler-Nordheim emission from non-planar surfaces.* IEEE electron device letters, 1982. Vol 3, n°11. p 330-332.
- [ELSON 98] **ELSON Robert C, SELVERSTON Allen I, HUERTA Ramon, RULKOV Nikolai F, RABINOVICH Mikhail I, ABARBANEL Henry D I.** *Synchronous*

Behavior of Two Coupled Biological Neurons, 1998 Physical review letters Vol 81, n° 25.

- [FORTI 94] **FORTI F, WRIGHT M. E.** *Measurement of MOS Current Mismatch in the Weak Inversion Region*. IEEE journal of solid-state circuits, 1994. Vol 29, n°2. p 138-141.
- [FOTY 96] **FOTY Daniel P.** *Mosfet Modeling With Spice : Principles and Practice*. Upper Saddle River : Prentice Hall, 1996. 653 p. Series in Innovative Technology. ISBN 0132279355.
- [FROMHERZ 93] **FROMHERZ Peter, MÜLLER Carsten, WEIS Rolf.** *Neuron Transistor : Electrical Transfer Function Measured by the Patch-Clamp Technique*. Physical Review Letters, 1993. Vol 71, n°24. p 4079-4082.
- [FROMHERZ 95] **FROMHERZ Peter, STETT Alfred.** *Silicon-Neuron Junction : Capacitive Stimulation of an Individual Neuron on a Silicon Chip*. Physical Review Letters, 1995. Vol 75, n°8. p 1670-1673.
- [FROMHERZ 99] **FROMHERZ Peter.** *Extracellular recording with transistors and the distribution of ionic conductances in a cell membrane*. Eur. Biophys. J. 1999. p 254-258.
- [GENESIS] <http://www.bbb.caltech.edu/GENESIS/genesis.html>.
- [GILBERT 90] **GILBERTBarrie.** *Analog IC design : a current-mode approach*. London, Peter Peregrinus Ltd, 1990. 646 p. ISBN 0 86341 215 7. Chapitre 2, current-mode circuits from a translinear viewpoint : a tutorial.
- [GRAY 95] **GRAY Paul R, MEYER Robert G.** *Analog integrated circuits - third edition*. New-York : John Wiley & Sons, 1995. 816 p. ISBN 0471574953.
- [HAMMOND 90] **HAMMOND Constance, TRITSCH Danièle.** *Neurobiologie cellulaire*. Paris : Doin éditeur, 1990. 631p. ISBN 2-7040-0623-7.
- [HAN 98] **HAN Gunhee, SANCHEZ-SINENCIO Edgar.** *CMOS transconductance multiplier : a tutorial*. IEEE transactions on circuits and systems II, 1998. Vol 45, n°12. p 1550-1563.
- [HARRISON 98] **HARRISON Reid R, HASLER Paul, MINCH Bradley A.** *Floating-gate CMOS Analog memory cell array*. Proceedings of IEEE international symposium on circuits and systems, 1998. Vol 2. p 204-207.
- [HASLER 95] **HASLER Paul, DIORIO Chris, MINCH Bradley A, MEAD Carver A.** *Single transistor learning synapse with long term storage*. Proceedings of ISCAS, 1995.

-
- [HASLER 96] **HASLER Paul, MINCH Bradley A, DIORIO Chris, MEAD Carver A.** *An autozeroing amplifier using PFET hot-electron injection.* Proceedings of ISCAS, 1996.
- [HASLER] **HASLER Paul.** *Impact Ionization and Hot-Electron Injection in MOSFETs Derived Consistently from Boltzman Transport Chapter 2,* PH. D. These disponible à <http://www.pcmp.caltech.edu/anaprose/paul/>.
- [HINDMARSH 82] **HINDMARSH J L, ROSE R M.** *A model of the nerve impulse using two first-order differential equations.* Nature, 1982. Vol 296. p 162-164.
- [HODGKIN 52a] **HODGKIN A L, HUXLEY A F.** *A quantitative description of membrane current and its application to conduction and excitation nerve.* Journal of physiology, 1952. Vol 117. p 500/544.
- [HOLLER 89] **HOLLER Mark, TAM Simon, CASTRO Hernan, BENSON Ronald.** *An electrically trainable artificial neural network (ETANN) with 10240 "floating gates" synapses.* IJCNN Int, Joint, Conf, Neural Network, 1989. Vol 2. p 191-196.
- [ISD] **Integrated System Design.** <http://www.isd.com>.
- [ISMAIL 94] **ISMAIL Mohammed, FIEZ Terri (Editor).** *Analog vlsi : Signal and Information Processing* New York, McGraw Hill Inc, 1994. 741 p. ISBN 0070323860
- [ITO 94] **ITO Masao.** *La plasticité des synapses.* La recherche, 1994. Vol 25, n°267. p 778-785.
- [JI 92] **JI Jin, WISE Kensall D.** *An implantable CMOS Circuit Interface for multiplexed Microelectrode recording arrays.* IEEE journal of solid-state circuits, 1992. Vol 27, n°3. p 433-443.
- [JOHANSSON 98] **JOHANSSON Henrik O, SVENSSON Christer.** *Time resolution of NMOS sampling switches used on low-swing signals.* IEEE journal of solid-state circuits, 1998. Vol 33, n°2. p 237-244.
- [KAHNG 67] **KAHNG D, SZE S M.** *A floating gate and its application to memory devices.* Bell Syst. Tech. J, 1967. Vol 46, n°1283.
- [KERNS 91] **KERNS Douglas A, TANNER John E, SIVILOTTI Massimo A.** *CMOS UV-writable non-volatile analog storage.* Advanced research on VLSI; Proceedings of the 1991 University of Califronia/Santa Cruz conference, 1991. p 245-261.
- [KIM 96] **KIM Changhyun, WISE Kensall D.** *A 64-site multishank CMOS low-profile neural stimulating probe.* IEEE journal of solid-state circuits, 1996. Vol 31, n°9. p 1230-1238.

-
- [KOCH 88] **KOCH Christof, SEGEV Idan.** *Methods in neuronal modeling. 2nd edition*
Cambridge, MA : MIT Press, 1988. Koch and Segev, editors. 526p.
ISBN 0-262-11133-0.
- [KOCH 99] **KOCH Christof.** *Biophysics of Computation : Information Processing in Single Neurons.* New York : Oxford University Press, 1999. 562p. ISBN 0195104919.
- [KOESTLER 59] **KOESTLER A.** *Les somnambules* Calmann-Levy, 1959.
- [KRUGER 96] **KRUGER W Fritz, HASLER Paul, MINCH Bradley A, KOCH Christof.**
An adaptative WTA using floating gate technology. Proceedings of NIPS, 1996.
- [LAFLAQUIERE 97a] **LAFLAQUIERE Arnaud, LE MASSON Sylvie, DUPEYRON Denis, LE MASSON Gwendal.** *Analog circuits emulating biological neurons in real-time experiments.* Proceedings of IEEE EMBS, 1997.
- [LAFLAQUIERE 97b] **LAFLAQUIERE Arnaud, LE MASSON Sylvie, DOM Jean-Paul, LE MASSON Gwendal.** *Accurate analog VLSI model of calcium-dependent bursting neurons.* Proceedings of ICNN, 1997. Vol II. p 882-887.
- [LAFLAQUIERE 98] **LAFLAQUIERE Arnaud.** *Neurones artificiels sur silicium : conception analogique et construction de réseaux hybrides.* Thèse en électronique : Université de Bordeaux 1, 1998. Thèse de doctorat n°1965.
- [LANDE 96] **LANDE Tor Sverre, RANJBAR Hassan, ISMAIL Mohammed, BERG Yngvar.** *An analog floating-gate memory in a standard digital technology.* Proceedings of microneuro, 1996. p 271-276.
- [LAZZARO 94] **LAZZARO John, WAWRZYNEK John, KRAMER Alan.** *Systems technologies for silicon auditory models.* IEEE micro, 1994. Vol 14, n°3. p 7-15.
- [LE MASSON 95] **LE MASSON Gwendal, LE MASSON Sylvie, MOULINS Maurice.**
From conductances to neural network properties : analysis of simple circuits using the hybrid network method, 1995 Prog. Biophys. molec. Biol. Vol 64, n°2/3. p 201-220.
- [LE MASSON 98a] **LE MASSON Gwendal.** *Stabilité fonctionnelle des réseaux de neurones : étude expérimentale et théorique dans le cas d'un réseau simple.* Thèse en neurosciences et pharmacologie : Université Bordeaux 1, 1998. Thèse de doctorat n°1801.
- [LE MASSON 98b] **LE MASSON Gwendal, LAFLAQUIERE Arnaud, BAL Thierry, LE MASSON Sylvie.** *Dialogues entre neurones biologiques et artificiels.* La Recherche, 1998. n°314. p. 34-37.

-
- [LE MASSON 99a] **LE MASSON S, LAFLAQUIERE A, BAL T, LE MASSON G.** *Analog circuits for modeling biological networks : design and applications.* IEEE transactions on biomedical engineering, 1999 Vol 46, n°6. p 638-645.
- [LE MASSON 99b] **LE MASSON Gwendal, LE MASSON Sylvie, BARBE E, BAL Thierry.** *Exploring thalamic signal filtering associated with sleep using hybrid networks* Society for Neuroscience, 29th annual meeting, Miami Beach, Florida, Nov. 1999 Poster.
- [LE MASSON 00] **LE MASSON Gwendal, LE MASSON Sylvie, BAL Thierry.** *Sensory information processing through the thalamus : insight from canonical circuit reconstruction using hybrid network techniques* Article en préparation, septembre 2000.
- [LENZLINGER 69] **LENZLINGER M, SNOW E H.** *Fowler-Nordheim tunneling into thermally grown sio₂.* Journal of applied physics, 1969. Vol 40, n°1. p 278-283.
- [LIM 91] **LIM Peter J, WOOLEY Bruce A.** *A high-speed sample-and-hold technique using a miller hold capacitance.* IEEE journal of solid-state circuits, 1991. Vol 26, n°4. p 643-651.
- [LINARES-BARRANCO 91] **LINARES-BARRANCO Bernabé, SANCHEZ-SINENCIO Edgar, RODRIGUEZ-VAZQUEZ Angel, HUERTAS José L.** *A CMOS implementation of fitzhugh-Nagumo neuron model.* IEEE journal of solid-state circuits, 1991. Vol 26. p 956-965.
- [LLINAS 88] **LLINAS Rodolfo R.** *The intrinsic electrophysiological properties of mammalian neurons : insights into central nervous system function.* Science, 1988. Vol 242. p 1654-1663.
- [MAAS 99] **MAASS Wolfgang, BISHOP Christopher M.** Pulsed neural networks. Cambridge, Ma : MIT Press, 1999. 377p. ISBN 0-262-13350-4.
- [MAGEE 98] **MAGEE JC, HOFFMAN D, COLBERT C, JOHNSTON D.** *Electrical and calcium signalling in dendrites of hippocampal pyramidal neurons.* Annual Rev. Physiol. 1998. Vol 60. p 327-346.
- [MAHER 89] **MAHER Mary Ann C, DEWEERTH Stephen P, MAHOWALD Misha A.** *Implementing neural architectures using analog VLSI circuits.* IEEE transactions on circuits and systems, 1989. Vol 36, n°5. p 643-652.
- [MAHOWALD 91] **MAHOWALD Misha A, DOUGLAS Rodney J.** *A silicon neuron.* Nature, 1991. Vol 354. p 515-518.

-
- [MANN 88] **MANN James R, GILBERT Sheldon.** *An Analog Self-Organizing Neural Network Chip.* Proceedings of NIPS'88, Denver, CO. p 739-747.
- [MANN 90] **MANN J R.** *Floating gate circuits in MOSIS.* MIT technical report, 1990.
- [MARDER 94] **MARDER Eve, ABBOTT L F, O'NEIL Michael B, LE MASSON Sylvie, SHARP Andrew A.** *Biological simulators : computer modification of neuronal conductances and formation of novel networks.* Enabling technologies for cultured neural network. San Diego : Academic Press, 1994.
- [MATHIEU 90] **MATHIEU H.** *Physique des semiconducteurs et des composants électroniques - 2e édition.* Paris : Masson, 1990. ISBN 2-225-82200-X.
- [McCORMICK 97] **MCCORMICK David A, BAL Thierry.** *Sleep and arousal : thalamocortical mechanisms.* Annu. Rev. Neuroscience, 1997. Vol 20. p 185-215.
- [MEA] **Multichannel Systems.** <http://www.multichannelsystems.com>.
- [MEAD 89] **MEAD Carver.** *Analog VLSI and Neural Systems.* Addison-Wesley, 1989. 371p. ISBN 0-201-05992-4.
- [MEUNIER 92] **MEUNIER Claude.** *Two and three dimensional reductions of the Hodgkin-Huxley system : separation of time scales and bifurcation schemes.* Biological cybernetics, 1992. p 461-468.
- [MONTALVO 97] **MONTALVO Antonio J, GYURCSIK Ronald S, PAULOS John J.** *An analog VLSI neural network with on-chip perturbation learning.* IEEE journal of solid-state circuits, 1997. Vol 32, n°4. p 535-543.
- [MURRAY 89] **MURRAY Alan F.** *Pulse arithmetic in VLSI neural networks.* IEEE micro, 1989. p 64-74.
- [MURRAY 98] **MURRAY Alan F, BUCHAN L William.** *A user's guide to non-volatile, on-chip analogue memory.* Electronics & communication engineering journal, 1998. Vol 10, n°2. p 53-63.
- [MURRAY 99] **MURRAY Alan F, WOODBURN Robin.** *The prospects for analogue neural VLSI.* International Journal of Neural Systems, 1999.
- [NEURON] <http://www.neuron.yale.edu/> et <http://neuron.duke.edu/>.
- [NOULLET 95] **NOULLET Jean-Louis, TOURNIER Eric, FERREIRA Ana.** *Analog non-volatile memory cells for use in asics.* First Ibero American Microelectronics Conference X'SBMicro l'IberMicro, Canela (Brazil), 1995.

-
- [OHSAKI 94] **OHSAKI Katsuhiko, ASAMOTO Noriaki, TAKAGAKI Shunichi.** *A single poly EEPROM cell structure for use in standard CMOS processes.* IEEE journal of solid-state circuits, 1994. Vol 29, n°3. p 311-316.
- [PARK 98] **PARK Young-Bog, SCHRODER Dieter K.** *Degradation of thin tunnel gate oxide under constant stress for a flash eeprom.* IEEE transactions on electron devices, 1998. Vol 45, n°6. p 1361-1368.
- [PATEL 97] **PATEL G N, DEWEERTH Stephen P.** *Analogue VLSI Morris-Lecar neuron.* Electronics letters, 1997. Vol 33, n°12. p 997-998.
- [PAVASOVIC 94] **PAVASOVIC A, ANDREOU A. G, WESTGATE C. R.** *Characterization of Subthreshold MOS Mismatch in Transistors for VLSI Systems.* Analog Integrated Circuits and Signal Processing, 1994. p 75-85.
- [PEASE 93] **PEASE Robert A.** *Troubleshooting analog circuits.* Boston : Butterworth-Heinemann, 1993. 217p. ISBN 0-7506-9499-8.
- [POTTER 97] **POTTER S M, FRASER S E, PINE J.** *Animat in a Petri Dish: Cultured Neural Networks for Studying Neural Computation.* Proc. 4th Joint Symposium on Neural Computation, 1997. p167-174.
- [PRINCE 91] **PRINCE Betty.** *Semiconductor memories – 2nd edition .* Chichester : John Wiley & sons, 1991. 802p. ISBN 0-471-92465-2.
- [QUB] *The QuB Suite : Single Channel Kinetic Analysis Made Easy. Tutorial 1999*
<http://www.qub.buffalo.edu>.
- [RENAUD-LE MASSON 93] **RENAUD-LE MASSON S, LE MASSON G, MARDER E, ABBOTT LF.** *Hybrid circuits of interacting computer model and biological neurons.* Neural Information Processing Systems 5, San Mateo, California, Morgan Kaufmann Publishers, 1993. p813-819.
- [RIEKE 96] **RIEKE Fred, WARLAND David, VAN STEVENINCK Rob De Ruyter, BIALEK William.** *Spikes : Exploring the Neural Code.* MIT press, 1996. 395 p. Computational Neuroscience Series. ISBN 0262181746.
- [ROSSETO 91] **ROSSETTO Olivier.** *Un système intégré neuromimétique analogique modulaire.* Thèse en électronique : Institut national polytechnique de Grenoble, 1991.
- [SALEFRAN 98] **SALEFRAN Marie-Nathalie.** *Gestion des paramètres d'un ASIC analogique modélisant un neurone biologique.* Rapport de DEA de microélectronique, Université de Bordeaux 1, 1998.

-
- [SARPESHKAR 96] **SARPESHKAR Rahul, LYON Richard F, MEAD Carver A.** *Nonvolatile correction of q-offsets and instabilities in cochlear filters.* IEEE conference on circuits and systems, 1996.
- [SATYANARAYANA 92] **SATYANARAYANA S, TSIVIDIS Y P, GRAF H. P. A** *Reconfigurable VLSI Neural Network.* IEEE journal of solid-state circuits, 1992. Vol 27, n°1. p 67-81.
- [SEDRA 90] **SEDRA Adel S, ROBERTS Gordon W.** *Analog IC design : a current-mode approach.* London, Peter Peregrinus Ltd, 1990. 646 p. ISBN 0 86341 215 7. Chapitre 3, Current conveyor theory and practice.
- [SHARP 93] **SHARP Andrew A, O'NEIL Michael B, ABBOTT L F, MARDER Eve.** *The dynamic clamp : artificial conductances in biological neurrons.* Trends in neurosciences, 1993. Vol 16, n°10. p 389-394.
- [STERIADE 97] **STERIADE M, JONES E. G. McCORMICK D. A.** *Thalamus.* Amsterdam : Elsevier science, 1997. Vol II, chapitre 7, *Synchronized oscillations in thalamic networks : insights from modeling studies.* p 331-371.
- [STETT 97] **STETT Alfred, MÜLLER Bernt, FROMHERZ Peter.** *Two-way silicon-neuron interface by electrical induction.* Physical Review E, 1997. Vol 55, n°2. p 1779-1782.
- [STEYAERT 91] **STEYAERT M, KINGET Peter, SANSEN Willy M C, VAN DER SPIEGEL Jan.** *Full integration of extremely large time constants in CMOS.* Electronics Letters, 1991. Vol 27, n°10. p 790-791.
- [SZE 81] **SZE S M.** *Physics od semiconducto devices - 2nd edition.* John Wiley & Sons, 1981. 880 p. ISBN 0471056618.
- [SZUCS 00] **SZUCS Attila, VARONA Pablo, VOLKOVSKII Alexander R, ABARBANEL Henry D I, RABINOVICH Mikhail I, SELVERSTON Allen I.** *Interacting biological and electronic neurons generate realistic oscillatory rhythms* Computational neuroscience NeuroReport, 2000. Vol 11 No 3.
- [TOUMAZOU 90] **TOUMAZOU C, LIDGAY FG, HAIGH DG (Ed).** *Analog IC design : a current-mode approach.* London, Peter Peregrinus Ltd, 1990. 646 p. ISBN 0 86341 215 7
- [TSIVIDIS 94] **TSIVIDIS Y P, SUYAMA K.** *MOSFET Modeling for Analog Circuit CAD : Problems and Prospects.* IEEE journal of solid-state circuits, 1994. Vol 29, n°3. p 210-215.

-
- [TSIVIDIS 99] **TSIVIDIS Yannis**. *Operation and modeling of the MOS transistor -second edition*. New York, McGrall-Hill, 1999. 620 p. ISBN 0-07-065523-5.
- [VAN DER SPIEGEL 92] **VAN DER SPIEGEL Jan, MUELLER Paul, BLACKMAN David, CHANCE Peter, DONHAM Christopher, ETIENNE-CUMMINGS Ralph, KINGET Peter**. *An analog neural computer with modular architecture for real-time dynamic computations*. IEEE journal of solid-state circuits, 1992. Vol 27, n°1. p 82-92.
- [VITTOZ 77] **VITTOZ Eric A, FELLRATH J**. *CMOS Analog Integrated Circuits Based on Weak Inversion Operation*. IEEE journal of solid-state circuits, 1977. Vol SC-12, n°3. p 224-231.
- [VITTOZ 85] **VITTOZ Eric A**. *The Design of High-Performance Analog Circuits on Digital CMOS Chips*. IEEE journal of solid-state circuits, 1985. Vol 20, n°3. p 657-665.
- [WEGMANN 87] **WEGMANN George, VITTOZ Eric A, RAHALI Fouad**. *Charge injection in analog MOS switches*. IEEE journal of solid-state circuits, 1987. Vol 22, n°6. p 1091-1097.
- [WIEGERINK 89] **WIEGERINK Remco J, SEEVINCK Evert, DE JAGER Wim**. *Offset cancelling circuit*. IEEE journal of solid-state circuits, 1989. Vol 24, n°03. p 651-658.
- [WILSON 85] **WILSON William B, MASSOUD Hisham Z, SWANSON Eric J, GEORGE Rhett T, FAIR Richard B**. *Measurement and modeling of charge feedthrough in n-channel MOS analog switches*. IEEE journal of solid-state circuits, 1985. Vol 20, n°6. p 1206-1213.
- [YAROM 91] **YAROM Y**. *Rhythmogenesis in a hybrid system interconnecting an olivary neuron to an analog network of coupled oscillators*. Neuroscience, 1991. n°44. p263-275.

ANNEXES

Annexe A : procédé de fabrication de la technologie AMS BiCMOS 0,8 μm	211
Annexe B : organisation de la RAM de données pour le circuit "fpca-r".....	213
Annexe C : brochages des différents ASICS.....	215
Annexe D : brochages des connecteurs du banc de simulation analogique.....	217
Annexe E : carte "ERNEST".....	219

ANNEXE A

PROCEDE DE FABRICATION DE LA TECHNOLOGIE AMS BICMOS 0,8 μm

La société AMS a développé le procédé technologique BiCMOS 0,8 μm à partir de son procédé CMOS 0,8 μm . La modification tient à l'ajout d'un certain nombre d'étapes technologiques permettant la réalisation d'éléments nécessaires à l'électronique analogique, transistors bipolaires et condensateurs linéaires à armatures en polysilicium.

La vue en coupe schématique ci-dessous illustre les éléments de cette technologie en faisant apparaître ses différentes couches.

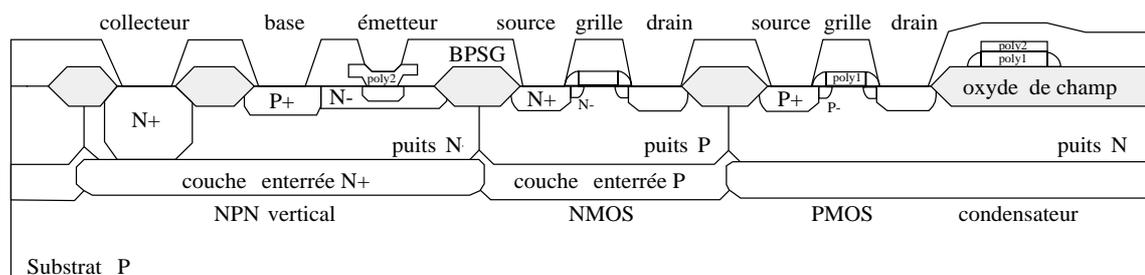


Figure A-1 : vue en coupe schématique pour le procédé technologique AMS BiCMOS 0,8 μm .

Les différentes étapes technologiques sont les suivantes :

1. Diffusion des couches enterrées N et P dans un substrat P. Ces couches enterrées permettent de diminuer les résistances d'accès de collecteur des transistors bipolaires NPN, et de limiter les risques de latch-up dus aux thyristors parasites des transistors MOS en dégradant le gain des transistors bipolaires parasites verticaux.
2. Croissance de la couche épitaxiale N où seront implantées les structures actives.
3. Formation des puits N et P.
4. Isolation des éléments par oxyde de champ.
5. Formation des collecteurs.
6. Oxyde de grille.
7. Dépôt du silicium polycristallin (Poly 1) qui est utilisé pour les grilles des transistors MOS et les transistors PNP latéraux, les résistances de faible valeur et les capacités Poly 1 / Poly2.

8. Implantation des zones LDD (Lightly Doped Drain) des drains et sources qui réduisent le champ électrique à proximité du drain.
9. Implantation de type N^+ , pour former les drains/sources des transistors NMOS, les bases des PNP et les contacts de polarisation des puits N.
10. Implantation P^+ , pour les drains/sources des transistors PMOS, les bases des transistors NPN, les collecteurs et émetteurs des PNP, les résistances de type P et les contacts de polarisation du substrat.
11. Implantation P^- , utilisée essentiellement pour la base intrinsèque des transistors NPN.
12. Dépôt du polysilicium Poly2 utilisé pour les résistances de moyenne et grande valeurs, les capacités Poly 1 / Poly2 ainsi que dans les émetteurs des transistors NPN.
13. Isolation BPSG (Boro Phospho Silicate Glass).
14. Ouvertures dans l'oxyde des prises de contacts.
15. Dépôt du métal 1, pour le premier niveau de métallisation.
16. Ouverture des vias, pour les contacts entre le métal 1 et le métal 2, qui sont en fait des ouvertures dans le matériau isolant entre les deux métallisations.
17. Dépôt du métal 2, permettant un deuxième niveau de connexions.
18. La passivation, par un nitrure de silicium recouvre toute la surface de la puce hormis les plots.

Compte tenu des différentes étapes technologiques, ce procédé nécessite un minimum de 16 masques.

ANNEXE B**ORGANISATION DE LA RAM DE DONNEES POUR LE CIRCUIT "FPCA-R".**

Ordre des données de paramètres :

Na	E_{equiNa}	G_{mNa}	Tau_{hNa}	Tau_{mNa}	V_{pentehNa}	V_{pentemNa}	V_{seuilhNa}	V_{seuilmNa}
1	para-18	para-17	para-13	para-16	para-32	para-14	para-33	para-15
2	para-12	para-20	para-24	para-21	para-26	para-23	para-25	para-22

K	E_{equiK}	G_{mK}	Tau_{nK}	V_{pentenK}	V_{seuilnK}
1	para-31	para-30	para-29	para-27	para-28
2	para-34	para-35	para-36	para-38	para-37

Ca	E_{equiCa}	G_{mCa}	Tau_{hCa}	Tau_{mCa}	V_{pentehCa}	V_{pentemCa}	V_{seuilhCa}	V_{seuilmCa}
1	para-61	para-60	para-56	para-59	para-75	para-57	para-55	para-58
2	para-53	para-54	para-65	para-62	para-67	para-64	para-66	para-63

KCa	E_{equiKCa}	G_{mKCa}	K	Tau_{bKCa}	Tau_{nKCa}	$V_{\text{pentenKCa}}$	$V_{\text{seuilnKCa}}$
1	para-47	para-46	para-44	para-43	para-45	para-41	para-42
2	para-39	para-40	para-49	para-50	para-48	para-52	para-51

Fuite	E_{Fuite}	G_{Fuite}
1	para-2	para-1
2	para-4	para-3
3	para-8	para-9
4	para-6	para-7

Synapse	E_{equiSyn}	G_{mSyn}	Tau_{nSyn}	$V_{\text{pentenSyn}}$	$V_{\text{seuilnSyn}}$
1	para-70	para-71	para-72	para-74	para-73
2	para-69	para-88	para-87	para-85	para-86
3	para-79	para-78	para-77	para-68	para-76
4	para-80	para-81	para-82	para-90	para-89

I_{Comp}	Comp	G_{Comp}
1	para-0	para-19
2	para-84	para-83
3	para-10	para-11
4	para-91	para-92

I_{Stim}	G_{Stim}
1	para-5

Ordre des données de topologie :

1	Synapse 4 Vpre	13	Synapse 2 Vpre
2	Synapse 4 Vpost	14	Synapse 2 Vpost
3	Compensation 4	15	Compensation 2
4	Synapse 3 Vpre	16	Synapse 1 Vpre
5	Synapse 3 Vpost	17	Synapse 1 Vpost
6	Conductance Ca 2	18	Conductance Ca 1
7	Conductance K(Ca)2	19	Conductance K(Ca)1
8	Conductance K2	20	Conductance K1
9	Conductance Na2	21	Conductance Na1
10	Conductance fuite2	22	Conductance fuite2
11	Conductance fuite3	23	Conductance fuite1
12	Compensation 3	24	Compensation 1
		25	Stimulation

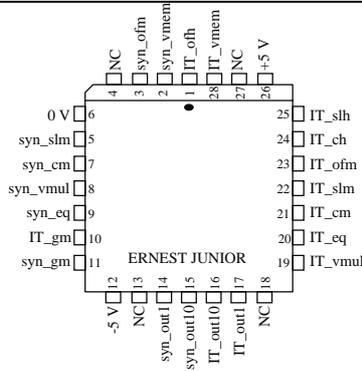
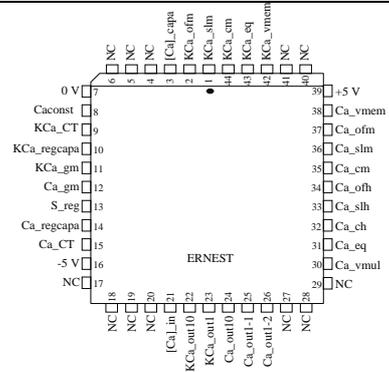
La donnée de topologie numéro 1 est la première présentée à l'entrée du registre à décalage, après chargement complet, elle se retrouve dans la dernière cellule.

Chaque donnée est codée sur trois bits, la numérotation du bus analogique correspond à l'arrangement où le bit de poids faible (LSB) est chargé en premier.

ANNEXE C

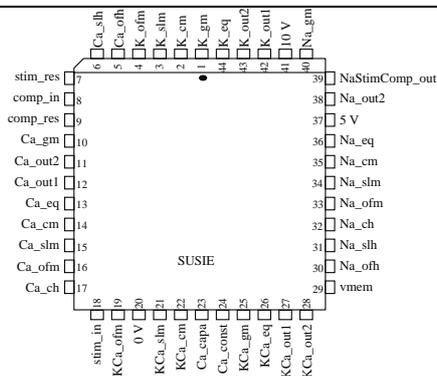
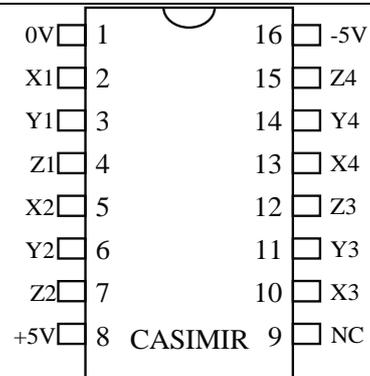
BROCHAGES DES DIFFERENTS ASICS.

"Ernest" : boîtier JLCC44.



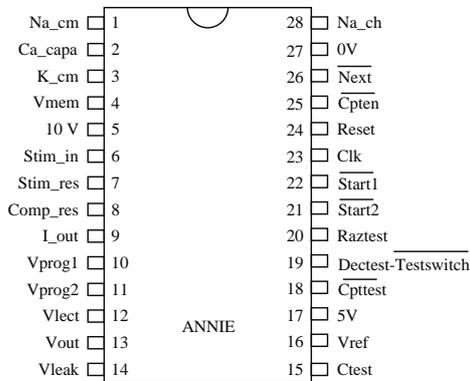
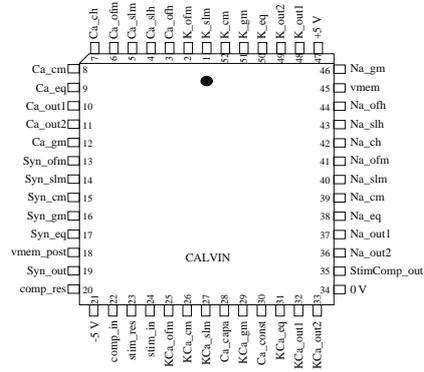
"Ernest Junior" : boîtier JLCC28.

"Casimir" : boîtier DIP16.



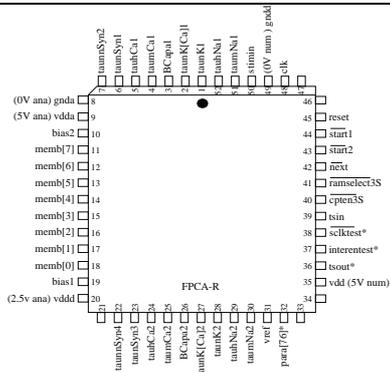
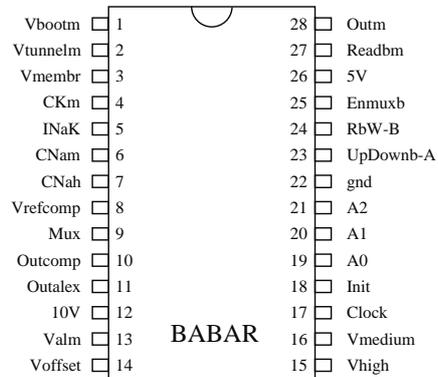
"Susie" : boîtier JLCC44.

"Calvin" : boîtier JLCC52.



"Annie" : boîtier DIP28.

"Babar" : boîtier DIP28.



"Fpca-r" : boîtier JLCC52.

ANNEXE D**BROCHAGES DES CONNECTEURS DU BANC DE
SIMULATION ANALOGIQUE.**

côté face arrière

M0	1	26	M0_2	M0	ACH0	1	26	ACH1	M1
M1	2	27	M1_2	M2	ACH2	2	27	ACH3	M3
M2	3	28	M2_2	M4	ACH4	3	28	ACH5	M5
M3	4	29	M3_2	M6	ACH6	4	29	ACH7	M7
M4	5	30	M0_3	GND	AIGND	5	30	DAC0	
M5	6	31	M1_3	GND	AGND	6	31	DAC1	
M6	7	32	M2_3	GND	DGND1	7	32	PA0	Attn
M7	8	33	M3_3	Valid	PA1	8	33	PA2	Data
M0_1	9	34	M4_3	Shdn	PA3	9	34	PA4	
M1_1	10	35	M5_3		PA5	10	35	PA6	
M2_1	11	36	M6_3		PA7	11	36	PB0	Digout
M3_1	12	37	M7_3		PB1	12	37	PB2	
M4_1	13	38	M0_4		PB3	13	38	PB4	
M5_1	14	39	M1_4		PB5	14	39	PB6	
M6_1	15	40	M2_4		PB7	15	40	PC0	
Attn	16	41	M3_4		PC1	16	41	PC2	
Valid	17	42	+5 V		PC3	17	42	PC4	
Data	18	43	0 V		PC5	18	43	PC6	
Vprog	19	44	-5 V		PC7	19	44	EXTRIG	
Vref	20	45	Digout		EXTUP	20	45	EXTCONV	
M7_1	21	46	M4_4	Clk2	OUTBO	21	46	GATB0	
M4_2	22	47	M5_4		OUTB1	22	47	GATB1	
M5_2	23	48	M6_4		CLKB1	23	48	OUTB2	
M6_2	24	49	M7_4		GATB2	24	49	CLKB2	
M7_2	25	50	Clk2		+5 V	25	50	DGND	GND

côté face avant

*Connecteur fond de panier
Vortex, vue de dessus*

Connecteur PCI1200, type HE10.

ANNEXE E

CARTE "ERNEST".

Cette carte ainsi que les circuits analogiques qu'elle comporte ont été réalisés par Arnaud Laflaquière. Nous avons inclus ce document en annexe pour fournir les caractéristiques indispensables à son utilisation avec le simulateur "vortex".

Equations modélisées par les différents ASICs :

- "Ernest" comporte deux conductances C_1 et C_2 qui répondent aux équations ci-dessous :

$$I_{C_1} = \frac{1}{1 + \exp\left(\frac{[Ca]_{regC_1} - CT_{C_1}}{S}\right)} \cdot \bar{g}_{C_1} \cdot m^3 \cdot h \cdot (V_{mem} - E_{C_1})$$

$$I_{C_2} = \frac{1}{1 + \exp\left(\frac{CT_{C_2} - [Ca]_{regC_2}}{S}\right)} \cdot \bar{g}_{C_2} \cdot n^4 \cdot (V_{mem} - E_{C_2})$$

De plus, la forme asymptotique de l'activation de la conductance C_2 comporte un terme implémentant la calcium dépendance :

$$m_{\infty C_2} = \frac{[Ca]}{K + [Ca]} \cdot \frac{1}{1 + \exp\left(\frac{V_{mem} - V_{seuil}}{Pente}\right)}$$

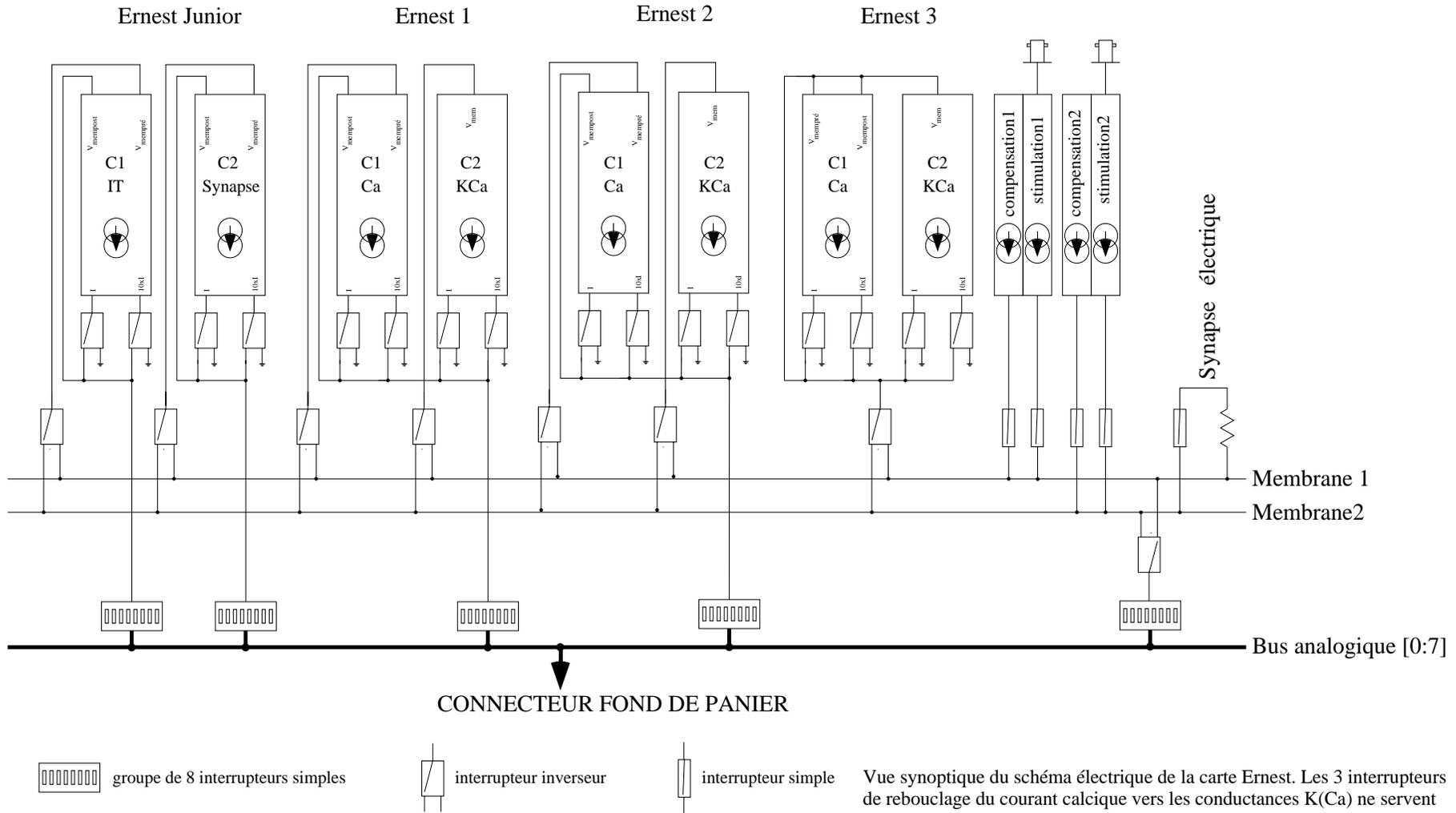
Les concentrations calciques $[Ca]$, $[Ca]_{regC_1}$ et $[Ca]_{regC_2}$ sont calculées indépendamment par intégration du courant I_{C_1} avec des constantes de temps différentes.

- "Ernest Junior" est plus simple, il ne comporte que deux conductances C_1 et C_2 sans les termes de régulation et de dépendance calcique :

$$I_{C_1} = \bar{g}_{C_1} \cdot m \cdot h^3 \cdot (V_{mem} - E_{C_1})$$

$$I_{C_2} = \bar{g}_{C_2} \cdot n \cdot (V_{mem} - E_{C_2})$$

- Le circuit "casimir" est une quadruple source de courant commandée en tension, le gain tension/courant est fixé par une résistance externe. Deux sources sont utilisées par membrane, l'une pour le courant de compensation (I_{comp}), l'autre pour un courant de stimulation (I_{stim}). I_{stim} est contrôlé par une tension externe de stimulation.



Vue synoptique du schéma électrique de la carte Ernest. Les 3 interrupteurs de rebouclage du courant calcique vers les conductances K(Ca) ne servent pas au réglage de la topologie et ne sont pas représentés.

Figure E-1 : schéma fonctionnel de la carte "ernest".

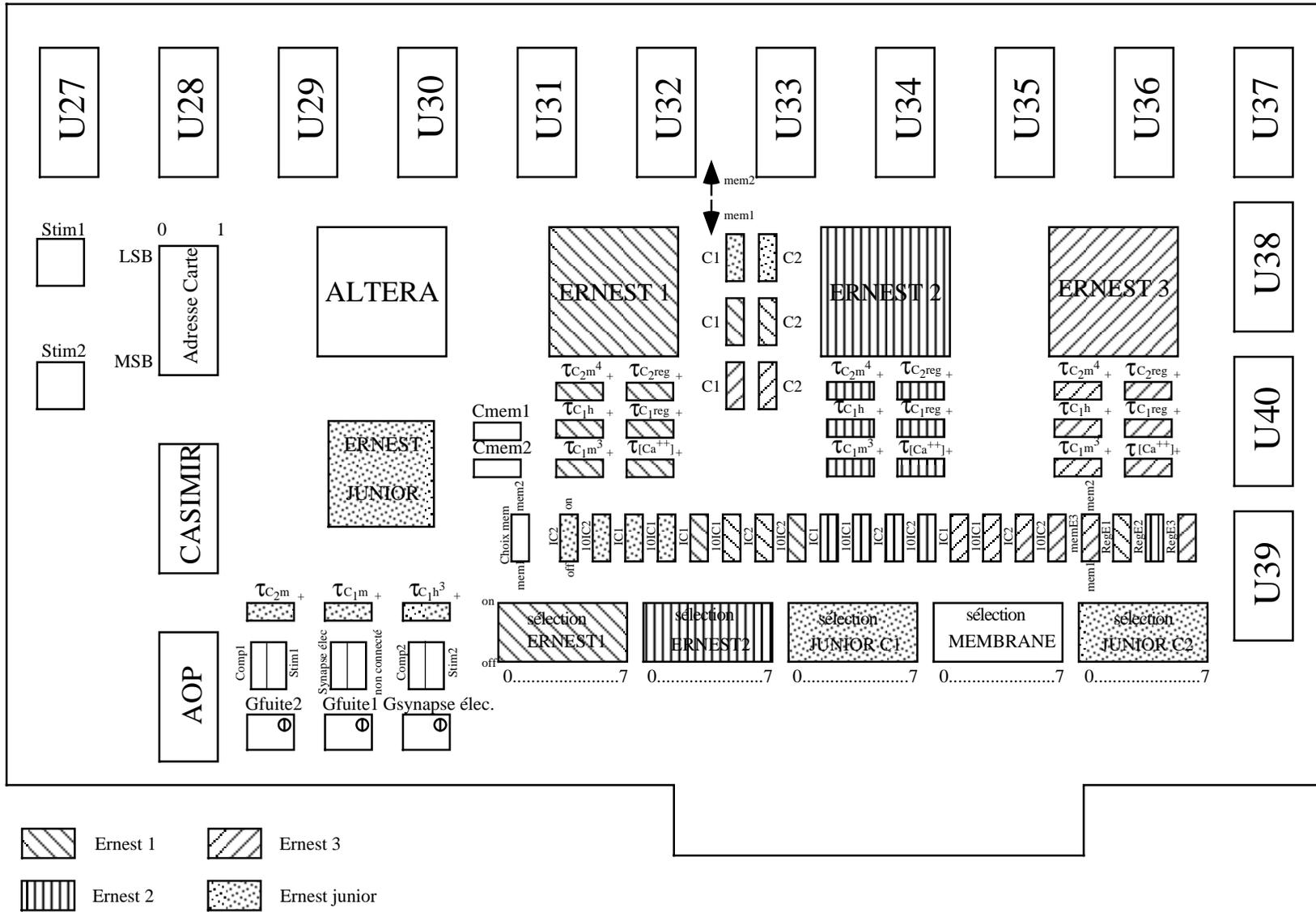


Figure E-2 : plan d'implantation de la carte "ernest".

Les figures E-1 et E-2 présentent, respectivement, le schéma fonctionnel de la carte "ernest" et le plan d'implantation des différents composants. Ces figures détaillent ainsi la repartition des interrupteurs qui servent à la réalisation de la topologie du modèle.

Relations d'étalonnage obtenues par simulation :

- Facteurs de conversion entre modèles biologiques et analogiques :

	modèle biologique	modèle électrique	gain
courants	1 nA	1 μ A	x 1000
tensions	100 mV	1 V	x 10
conductances	1 mS	100 mS	x 100
capacités	1 nF	100 nF	x 100

- \bar{g}_{ion}

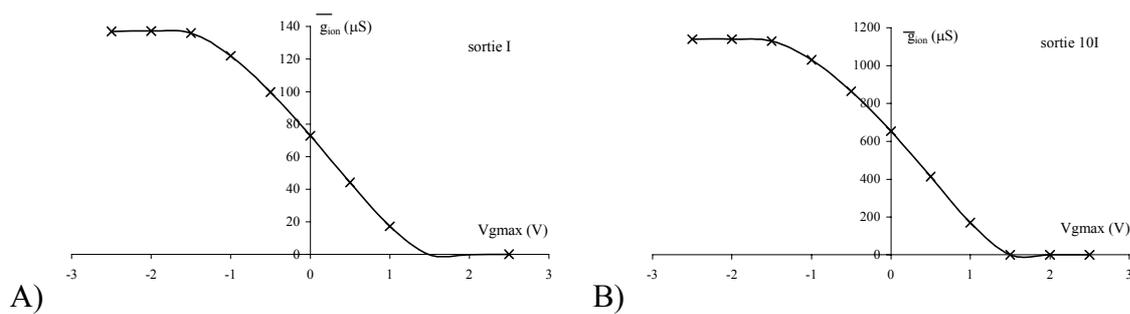


Figure E-3 : valeurs maximales \bar{g}_{ion} du courant des conductances en fonction de la tension de réglage pour A) sortie I et B) sortie 10I.

- Sigmoïde.

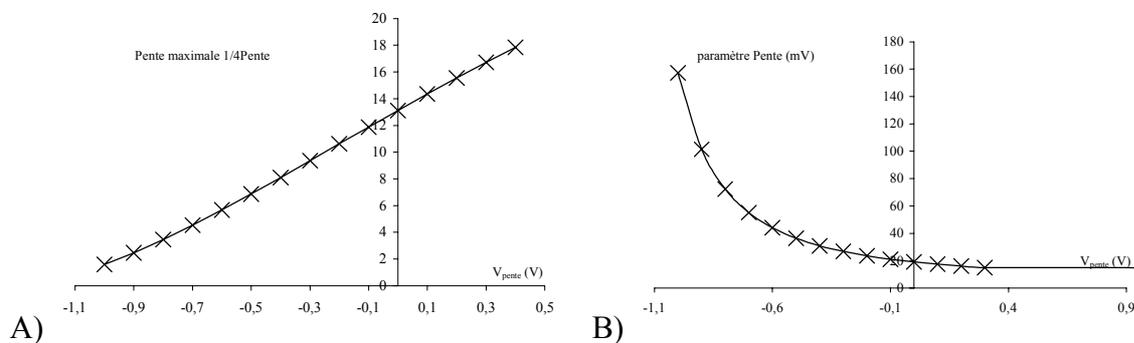


Figure E-4 : évolution en fonction de la tension de réglage V_{pente} du circuit de sigmoïde de A) la valeur du paramètre Pente et B) de la pente arithmétique de la sigmoïde

$f'(V_{mem})_{V_{mem}=V_{seuil}} = \mp \frac{1}{4.Pente}$, la pente est maximale pour $V_{pente} = 1V$ et minimale pour $V_{pente} = -1V$.

Cette fonction comporte deux paramètres, V_{seuil} et Pente . V_{seuil} est la tension directement appliquée au circuit et Pente est lié à la tension V_{pente} appliquée au circuit.

- Constantes de temps des cinétiques.

Elles sont réglées par un condensateur externe et une résistance intégrée. La valeur de la résistance est fixée à $R = 10 \text{ k}\Omega$, le condensateur C est interchangeable. La valeur de la constante de temps est alors $\tau = RC$.

- Paramètres de calcium dépendance C_{acst} .

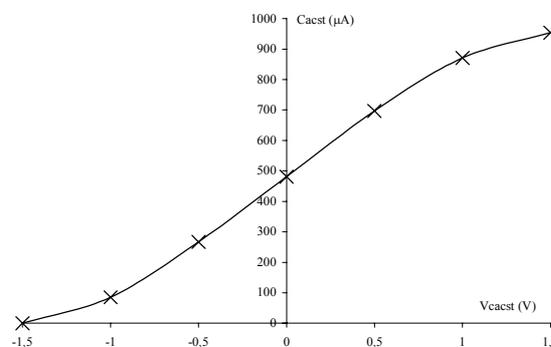


Figure E-3 : réglage de la constante C_{acst} en fonction de la tension de réglage.

C_{acst} intervient dans la modulation du courant $K(\text{Ca})$ par le rapport $\frac{X}{X + C_{\text{acst}}}$ (équations 2.37 à 2.40).

Pour $V_{\text{Cacst}} = -1,5$ $C_{\text{acst}} \ll X$ et le courant $I_{K(\text{Ca})}$ n'est plus modulé par X .

La constante de temps d'intégration du courant calcique est réglée comme pour les constantes de temps des cinétiques, $\tau = RC$. avec $R = 10 \text{ k}\Omega$.

- Paramètres de régulation calcique.

Les constantes de temps d'intégration du courant calcique sont réglées comme pour les constantes de temps des cinétiques, $\tau = RC$. avec $R = 10 \text{ k}\Omega$.

Les fonctions sigmoïdales de régulation sont obtenues par la même méthode que les sigmoïdes des fonctions d'activations. Le paramètre S se comporte donc comme le paramètre $Pente$, et les paramètres CT comme V_{seuil} .

La régulation est désactivée pour $V_S = -2$ V (pente maximale), $CT_{C1} = 2$ V et $CT_{C1} = -2$ V.

Correspondance et localisation des paramètres.

Circuit	Réf. circuit	# CNA	sortie du CNA	paramètre	Circuit	Réf. circuit	# CNA	sortie du CNA	paramètre
Membrane	U27	0000	00	Efuite2	Ernest 2	U34	0111	00	seuil 1 m
		0000	01	Efuite1			0111	01	pente 1 m
		0000	10	comp1			0111	10	seuil 1 h
		0000	11	comp2			0111	11	pente 1 h
Ernest Jr	U28	0001	00	seuil 1 m		U35	1000	00	Eéqui 1
		0001	01	pente 1 m			1000	01	gmax 1
		0001	10	seuil 1 h			1000	10	seuil 2 m
		0001	11	pente 1 h			1000	11	pente 2 m
	U29	0010	00	Eéqui 1		U36	1001	00	Eéqui 2
		0010	01	gmax 1			1001	01	gmax 2
		0010	10	seuil 2 m			1001	10	Ca Const
		0010	11	pente 2 m			1001	11	In Cst
	U30	0011	00	Eéqui 2		U37	1010	00	S
		0011	01	gmax 2			1010	01	Out Cst
		0011	10	seuil 1 m			1010	10	seuil 1 m
		0011	11	pente 1 m			1010	11	pente 1 m
Ernest 1	U31	0100	00	seuil 1 h	Ernest 3	U38	1011	00	seuil 1 h
		0100	01	pente 1 h			1011	01	pente 1 h
		0100	10	Eéqui 1			1011	10	Eéqui 1
		0100	11	gmax 1			1011	11	gmax 1
	U32	0101	00	seuil 2 m		U39	1100	00	seuil 2 m
		0101	01	pente 2 m			1100	01	pente 2 m
		0101	10	Eéqui 2			1100	10	Eéqui 2
		0101	11	gmax 2			1100	11	gmax 2
	U33	0110	00	Ca Const		U40	1101	00	Ca Const
		0110	01	In Cst			1101	01	In Cst
		0110	10	S			1101	10	S
		0110	11	Out Cst			1101	11	Out Cst

Trame de programmation des CNA.

Les équations modélisées comportent un total de 56 paramètres électriquement ajustables. Ce sont des tensions présentées par 14 convertisseurs numériques - analogiques programmés par le bus série du système vortex. Les données présentées sur ce bus sont décodées par un circuit logique programmable (circuit Altera).

Les convertisseurs numérique-analogiques sont programmés par l'envoi d'un mot de 28 bits dont la trame est la suivante :

Adresse carte		# CNA	sortie du CNA		valeur	
5 bits	1 bit blanc	4 bits	2 bits	2 bits blancs	12 bits	2 bits blancs

Tableau E-1 : trame de programmation des paramètres d'une carte Ernest.

- *Adresse carte* : valeur codée par 5 interrupteurs, voir schéma de la carte.
- *#CNA* : numéro du convertisseur à programmer. Voir tableau ci-dessus et schéma de la carte.
- *sortie du CNA* : sortie du convertisseur à programmer. Voir tableau ci-dessus et schéma de la carte (figure E-2).
- *valeur* : tension à programmer.
 - plages : [-2.5 V, +2.5V],
 - précision (12 bits) : $\frac{5}{2^{12}-1} = \frac{5}{4095} = 1.221\text{mV}$.

Résumé

Circuits et systèmes de modélisation analogique de neurones biologiques.

L'objectif de cette thèse est la réalisation de calculateurs analogiques basés sur des modèles neurophysiologiques de type Hodgkin et Huxley. Ces simulateurs sont bâtis autour d'ASICs (*Application Specific Integrated Circuits*) analogiques spécifiquement conçus pour résoudre ces équations. Construits avec une approche modulaire, ils permettent la simulation réaliste en temps réel et continu de l'activité électrophysiologique de neurones biologiques. Afin de garder une souplesse d'utilisation maximale, les paramètres des modèles et les interconnexions de ses différents éléments sont programmables. L'application première des systèmes présentés est la réalisation de "réseaux hybrides", où neurones biologiques et artificiels interagissent, des exemples d'utilisation de cette technique sont présentés.

Mots-clés

Circuits intégrés analogiques et mixtes

Mémoires analogiques intégrées

Modèles de neurones

Neurones artificiels

Hodgkin-Huxley

Réseaux de neurones

Réseaux hybrides

Abstract

Circuits and systems for analog modeling of biological neurons.

This thesis deals with the realization of analog calculators based on neurophysiological models of the Hodgkin and Huxley type. At the heart of the simulators are analog ASICs (*Application Specific Integrated Circuits*) specially designed to solve those equations. They are built using a modular approach and allow for a realistic, real time and continuous time simulation of the neurophysiological activity of biological neurons. In order to achieve a maximum flexibility, parameters of the models and connections between its different elements are programmable within the system. The main application of the presented systems is the making of "hybrid networks", where biological and artificial neurons interact. Some examples of the use of this technique are presented.

Key words

Analog and mix mode vlsi

Integrated analog memories

Models of neurons

Artificial neurons

Hodgkin-Huxley

Neural networks

Hybrid Networks