

THESE

PRESENTEE A

L'UNIVERSITE BORDEAUX 1

ECOLE DOCTORALE DE SCIENCES PHYSIQUES ET DE L'INGENIEUR

Par **Laurent COURCELLE**

POUR OBTENIR LE GRADE DE

DOCTEUR

SPECIALITE : **Electronique**

Conception par la Méthode des Fréquences Réelles d'Amplificateurs Monolithiques Millimétriques pour les Télécommunications à Très Haut Débit

Soutenue le 17 Décembre 2004

Après avis de :

M. GAUTIER Jean-Luc
M. JARRY Bernard

Professeur, ENSEA
Professeur, Université de Limoges

Rapporteur
Rapporteur

Devant la commission d'examen formée par :

M. DUÊME Philippe
M. GAUTIER Jean-Luc
M. JARRY Bernard
M. JARRY Pierre
M. KERHERVE Eric
M. PARRA Thierry
M. TOUBOUL André

Ingénieur, Thales Airborne Systems
Professeur, ENSEA
Professeur, Université de Limoges
Professeur, Université Bordeaux 1
Maître de Conférences, ENSEIRB
Professeur, LAAS
Professeur, Université Bordeaux 1

Rapporteur
Rapporteur

Président

|

|

REMERCIEMENTS

Ces travaux de recherche ont été effectués au sein de l'équipe Hyperfréquence du Laboratoire IXL. Je remercie tout d'abord M. André Touboul, Professeur à l'Université Bordeaux 1 et Directeur du Laboratoire pour son accueil très convivial.

Je remercie particulièrement Monsieur Pierre Jarry, Professeur à l'Université Bordeaux 1, pour la confiance qu'il m'a accordé en dirigeant mes recherches et pour le soutien qu'il a apporté à mon travail ainsi que Monsieur Eric Kerhervé, Maître de Conférences à l'Université de Bordeaux 1, de l'aide et du soutien qu'il m'a apporté en tant que co-encadrant de mes travaux de recherche.

J'ai été très honoré par les rapports fait sur mes travaux par Messieurs Jean-Luc Gautier, Professeur à l'ENSEA, et Bernard Jarry, Professeur à l'Université de Limoges, que je tiens à remercier tout particulièrement.

Je remercie également Monsieur Philippe Duême, Ingénieur chez Thales Airborne System ainsi que Monsieur Thierry Parra, Professeur à l'Université Paul Sabatier de Toulouse, qui m'ont fait l'honneur de participer à la commission d'examen.

Je n'oublierai en aucun cas de remercier Monsieur François Grossier, Ingénieur chez Anritsu, sans qui les mesures à très hautes fréquences n'auraient pu être présentées, ainsi que Messieurs Rémi Leblanc, Directeur de la fonderie OMMIC, et Jean-François Paillotin, Ingénieur au CMP, pour les précieux conseils qu'ils m'ont prodigué lors du départ du circuit en fonderie.

Je remercie également pour leurs conseils techniques, Nathalie Labat, Geneviève Duchamp, Thomas Zimmer, François Marc, Guy-Philippe Leger, Yann Deval et Frédéric Verdier, et pour leur aide technique, Olivier Mazouffre, Magali Dematos, Frédéric Darracq, Cyril Berrault et Madame Lavigne.

Sont ensuite grandement remerciés, les plus anciens membres de l'équipe Hyperfréquence, Monsieur Jean-Marie Pham, ainsi que Matthieu Hazouard, Nicolas Boutheiller, et Olivier Roquebrun, pour leur sympathie et pour m'avoir initié au monde des microondes. Je remercie très chaleureusement les doctorants qui sont arrivés après moi dans l'Equipe : Elias Hanna, Cristian Pavao Moreira, Alexandre Shirakawa, Nathalie Deltimple, Ouail Elgharniti, Laurent Leyssenne et Mustapha El Hassan pour leur générosité. Sans leur aide et leur soutien, je n'aurais pu aboutir dans mes travaux.

Je tiens également à exprimer ma gratitude envers l'équipe administrative du laboratoire : Valérie Barouillet, Simone Van Dang, Valérie Cauhapé, Fanny Damas et Mireille Bernard, pour leur aide et leur gentillesse, aux deux ingénieurs réseaux Régis Devreese et Patrick Villesuzanne ainsi qu'à Gilles N'Kaoua, Serge Destor, Bernard Plano de l'équipe technique.

Je me réjouis également des relations sympathiques que j'ai pu entretenir avec le personnel enseignant-chercheur et notamment avec Jean-Baptiste Bégueret, Philippe

Cazenave, Dominique Dallet, Corinne Dejous, Didier Geoffroy, Dean Lewis, Hervé Lapuyade, Nathalie Malbert, Cristell Maneux et Dominique Rebière, durant ces quatre années de labeur.

Un grand Merci à mes amis Thierry Taris (Titi Tariçao), Thomas Beauchêne (Tommy l'hostile), Ludivine Fadel, Céline Zimmermann et Christophe Scarabello (Kik) de m'avoir supporter tous les jours ! Je remercie au même titre les anciens doctorants Gregory Andriamonje, Sarah Huygues, Pierre Gouget, Frédéric Alicalapa et Chiheb Rebai ainsi que les nouveaux : Florence Razan, Cyril Recoquillon, Cédric Majek, Isabelle Bord, Christophe Rougier, Vincent Lagarest, Sébastien Frégonèse, Pierre Mazein, Arnaud Curutchet, Fabien Essely et Brice Grandchamp.

J'aimerais enfin remercier toute ma Famille, Hélène, Dominique et Bruno, tous mes Amis qu'ils soient de 'Lence ou qu'ils soient musiciens, ainsi que Candice pour leur amour et leur soutien permanent.

SOMMAIRE

SOMMAIRE	5
INTRODUCTION GENERALE	9
CHAPITRE 1 : CAHIER DES CHARGES D'UN AMPLIFICATEUR EMETTEUR DANS UNE LIAISON SDH ETDM A 40 GBIT/S	13
PRESENTATION DE LA NORME SDH	14
1.1 <i>Introduction</i>	14
1.2 <i>La hiérarchie synchrone (SDH)</i>	15
2 CHAINE DE TRANSMISSION DANS UNE LIAISON OPTIQUE SDH ETDM A 40 GBIT/S.....	17
2.1 <i>Récepteur optique</i>	17
2.2 <i>Fibre optique</i>	18
2.3 <i>Transmetteur optique</i>	18
3 SIGNAUX ET BRUIT DANS UNE LIAISON SDH A 40 GBIT/S	19
3.1 <i>Signaux STM-256</i>	19
3.2 <i>Bruit dans une liaison STM-256</i>	20
4 CAHIER DES CHARGES POUR UN AMPLIFICATEUR TRANSMETTEUR FONCTIONNANT A 40 GBIT/S.....	25
4.1 <i>Charge de l'amplificateur</i>	25
4.2 <i>Caractéristiques d'entrée</i>	26
4.3 <i>Caractéristiques de transfert</i>	27
4.3.1 <i>Fréquence de coupure haute</i>	27
4.3.2 <i>Fréquence de coupure basse</i>	28
4.3.3 <i>Ondulation maximum</i>	29
5 RECAPITULATIF DU CAHIER DES CHARGES.....	29
BIBLIOGRAPHIE	31

CHAPITRE 2 : ARCHITECTURE POUR UN DRIVER MMIC EN TECHNOLOGIE HEMT..... 33

1 INTRODUCTION.....	34
2 TRANSISTORS A HAUTE MOBILITE ELECTRONIQUE (HEMT)	35
2.1 <i>Principe de fonctionnement</i>	35
2.2 <i>Modèle équivalent petit signal d'un HEMT</i>	37
2.3 <i>Caractéristiques des pHEMT du procédé ED02AH</i>	38
2.4 <i>Implantation de diodes</i>	40
3 ARCHITECTURES POUR UN DRIVER DANS UNE LIAISON SDH A 40 GBIT/S EN TECHNOLOGIE HEMT	40
3.1 <i>Limites de performances d'un amplificateur ultra large bande simple étage pour la réalisation de driver intégré</i>	40
3.1.1 <i>Amplificateurs ultra large bande à étage source HEMT</i>	41
3.1.2 <i>Nécessité d'une architecture multi-étages</i>	45
3.2 <i>Principe de l'amplification distribuée</i>	48
3.2.1 <i>Principe de fonctionnement</i>	48

3.2.2	Puissance linéaire dans un amplificateur distribué	52
3.3	<i>Principe des topologies à forte désadaptation</i>	53
3.3.1	Cascade de source commune	53
3.3.2	Topologies à forte désadaptation	54
4	DRIVER A FORTE DESADAPTATION EN TECHNOLOGIE HEMT	56
4.1	<i>Etage de sortie</i>	57
4.2	<i>Etage d'entrée</i>	60
4.3	<i>Etude théorique des étages suiveurs</i>	62
4.3.1	Décalage simple	62
4.3.2	Suiveur multiple	65
4.3.3	Décalage de tension avec diode	66
4.4	<i>Contraintes de layout</i>	67
4.5	<i>Mise en cascade des étages</i>	69
4.6	<i>Topologies de suiveur actif</i>	70
4.6.1	Etat de l'art	70
4.6.2	Suiveur actif à cellule cascode	72
5	CONCLUSION	77
	BIBLIOGRAPHIE	78

CHAPITRE 3 : APPLICATION DE LA METHODE DES FREQUENCES REELLES A LA SYNTHESE DE DRIVER OPTIQUE MMIC

1	INTRODUCTION	82
2	FORMALISME DE LA METHODE DES FREQUENCES REELLES	83
2.1	<i>Contraintes topologiques sur les égaliseurs</i>	83
2.2	<i>Procédure pour un seul égaliseur en situation de double adaptation</i>	84
2.3	<i>Adaptation d'éléments actifs et synthèse multi-étages</i>	87
3	SYNTHESE DES EGALISEURS PASSIFS	88
3.1	<i>Contraintes sur les réseaux passe-bas</i>	88
3.2	<i>Extraction des éléments localisés</i>	89
3.3	<i>Extraction des éléments distribués</i>	90
3.3.1	Extraction des éléments unitaires	90
3.3.2	Extraction des stubs passe-bas	92
4	APPLICATION DE LA METHODE DES FREQUENCES REELLES A LA CONCEPTION DE « DRIVER » MONOLITHIQUE	94
4.1	<i>Intégration monolithique des éléments passifs</i>	94
4.1.1	Eléments distribués	94
4.1.2	Eléments localisés	102
4.1.3	Choix de la structure des égaliseurs passifs	104
4.2	<i>Paramétrage et adaptation de la Méthode des Fréquences Réelles à la contrainte architecturale du circuit</i>	105
4.3	<i>Variante octopolaire de la procédure de synthèse</i>	107
4.4	<i>Exemples d'application</i>	108
4.4.1	Amplificateur 2 $V_{c\text{-à-c}}$ sur substrat microruban	108
4.4.2	Amplificateur 3 $V_{c\text{-à-c}}$ sur substrat coplanaire	110
5	CONCLUSION	112
	BIBLIOGRAPHIE	113

CHAPITRE 4 : RESULTATS DE SIMULATION ET DE MESURE	115	
1	AMPLIFICATEUR 2 V_{C-A-C} SUR SUBSTRAT MICRORUBAN.....	116
1.1	<i>Simulations électriques</i>	116
1.1.1	Simulation des paramètres S	117
1.1.2	Simulation de puissance	119
1.2	<i>Simulations électromagnétiques</i>	120
1.2.1	Simulation des égaliseurs passifs	120
1.2.2	Simulation électromagnétique de la partie passive	122
1.3	<i>Résultats de mesure</i>	124
1.3.1	Mesures des paramètres S	124
1.3.2	Mesures de puissance	128
1.4	<i>Conclusion</i>	128
2	AMPLIFICATEUR 3 V_{C-A-C} SUR SUBSTRAT COPLANAIRE	129
2.1	<i>Simulations électriques</i>	129
2.1.1	Simulation des paramètres S	129
2.1.2	Simulations de puissance	132
2.2	<i>Simulations électromagnétiques</i>	133
3	AMPLIFICATEUR DISTRIBUE.....	137
3.1	<i>Simulations électriques</i>	137
3.2	<i>Bilan comparatif</i>	140
	BIBLIOGRAPHIE	141
	CONCLUSION GENERALE	143
	GLOSSAIRE.....	145
	ANNEXES.....	149
	ANNEXE 1 : RAPPELS SUR LES PROPRIETES DES QUADRIPOLES PASSIFS ..	151
	ANNEXE 2 : ORGANISATION DU PROGRAMME RFCAD.....	165
	ANNEXE 3 : CALCUL DES PARAMETRES DE TRANSMISSION POUR L'ASSOCIATION QUADRIPOLE-OCTOPOLE PAR LES GRAPHS DE FLUENCE	169
	LISTE DES TRAVAUX PUBLIES	175

INTRODUCTION GENERALE

L'évolution rapide des moyens de communications, et donc celle des réseaux, constitue l'un des moteurs principaux du développement des systèmes électroniques. La demande en terme de rapidité des circuits est croissante. De ce fait, les concepteurs de circuits à vocation commerciale sont contraints d'utiliser les technologies faible coût aux limites de leurs performances, pour les innovations les plus récentes. Pour des liaisons sur fibre optique de type ETDM (*Electrical Time Domain Multiplexing*), les systèmes atteignant un débit de 40 Gbit/s sont actuellement en cours de développement. Dans une chaîne de transmission de ce type, l'amplificateur *driver* situé en amont du transducteur électro-optique dans le bloc d'émission, reste le circuit dont les spécifications sont les plus exigeantes. C'est un circuit MMIC (*Monolithic Microwave Integrated Circuit*) qui doit fournir un gain en puissance de 15 dB sur la bande 100 kHz-40 GHz et délivrer une tension d'au minimum 3 V_{c-à-c} aux bornes d'une charge de 50 Ω. Jusqu'à présent, seules les technologies HBT SiGe à coût élevé et les technologies HEMT ou HBT sur substrat en AsGa ou InP permettent d'atteindre de telles performances. D'autre part, la nécessité conjointe de gain aux très basses fréquences, de bande-passante et de puissance linéaire limite les possibilités d'architecture pour l'amplificateur. L'usage d'une technologie HEMT à coût modéré restreint le choix des architectures pour ce type de *driver*, aux topologies distribuées ou aux topologies à forte désadaptation.

La Méthode des Fréquences Réelles (MFR) est une méthode de conception de circuits introduite dans les années soixante-dix par H.J.Carlin, pour la conception d'amplificateur large bande sur terminaisons complexes. Elle permet la synthèse d'amplificateurs construits sur une cascade en série alternée d'égaliseurs passifs et d'étages actifs. Les paramètres S des étages actifs sont traités numériquement. Aucun modèle équivalent n'est nécessaire. Les égaliseurs sont optimisés étage après étage avec pour objectif les spécifications souhaitées (Gain, TOS,...) pour le circuit sur une bande de fréquence. Les coefficients réels d'un polynôme caractéristique de l'égaliseur passif sont utilisés comme variables d'optimisation. On évite ainsi le recours à une fonction de transfert prédéfinie (fonction de Butterworth, fonction de Chebychef,...). Cette méthode a fait ses preuves depuis de nombreuses années, notamment dans la synthèse de filtres et d'amplificateurs microondes en technologie hybride.

Les topologies à forte désadaptation ont une structure à étages cascades en série. Elles sont construites sur la succession d'un étage à transimpédance, d'un étage suiveur de tension et d'un étage à transadmittance. On peut alors intercaler des égaliseurs passifs entre les étages actifs du circuit et appliquer la Méthode des Fréquences Réelles pour en optimiser la réponse. Néanmoins, les *driver* à forte désadaptation réalisés en technologie HEMT sont limités en bande passante. Un pôle dominant apparaît dans la réponse de l'amplificateur suite à la connexion de l'étage à transimpédance et de l'étage suiveur. L'étage à transimpédance est réalisé en technologie HEMT à partir d'un étage source commune non contre-réactionné. L'étage possède alors une impédance de sortie élevée qui crée un pôle de valeur faible. Une bande passante de 40 GHz ne peut être atteinte, même par le biais d'un égaliseur passif d'adaptation.

Différentes configurations existent pour étendre la bande passante de la connexion *étage à transimpédance-étage suiveur de tension*. Dans le cadre de cette thèse, nous avons développé une topologie qui met en oeuvre une cellule cascode passe-bande superposée à l'architecture initiale. Ce montage possède une bande passante étendue par rapport à la configuration initiale mais se dote en contrepartie d'une ondulation élevée de la réponse et de forts coefficients de réflexion sur la bande de travail. L'usage d'une contre-réaction parallèle permet néanmoins de réduire cette ondulation.

On peut alors mettre à profit la Méthode des Fréquences Réelles pour améliorer les performances du circuit (ondulation dans la bande, TOS d'entrée, TOS de sortie,...).

Des travaux récents ont validé la MFR pour des réalisations intégrées (MMIC). Les circuits obtenus sont toutefois de grande taille, dû au nombre d'éléments passifs utilisés, et ont un coût de fabrication élevé. On est contraint à minimiser le nombre d'égaliseurs et le nombre d'éléments par égaliseur si l'on souhaite limiter la surface occupée par le circuit.

Par ailleurs, les étages suiveurs de tension peuvent difficilement être considérés comme des quadripôles unilatéraux. Utilisé comme un étage actif dans une topologie cascadée optimisée par la MFR, il conduit à une répartition déséquilibrée des éléments passifs dans les égaliseurs. Autrement dit, les impédances d'entrée et de sortie de l'étage suiveur sont fortement dépendantes des impédances de source et de charge. Les solutions en terme d'égaliseur sont alors fortement dépendantes du sens choisi pour la mise en cascade (de l'entrée vers la sortie ou de la sortie vers l'entrée).

L'ensemble de ces contraintes ne permet pas d'appliquer la MFR en suivant l'approche habituelle. Nous avons d'abord appliqué la procédure classique sous une forme qui permet d'éviter le problème lié à la bilatéralité de l'étage suiveur. Une variante de la MFR qui tient compte d'une dépendance entre les étages actifs présents dans la cascade a ensuite été proposée. Les étages actifs connectés entre eux sont alors modélisés par les paramètres S d'un octopôle. Cette variante nous a permis d'effectuer l'optimisation d'un égaliseur en présence d'une contre-réaction globale sur l'amplificateur.

Le premier chapitre détaille l'ensemble des spécifications imposées par le système, pour l'amplificateur *driver* d'une liaison optique ETDM à 40 Gbit/s.

Le chapitre 2 fait état des architectures de *driver* en technologie HEMT dédiées à cette application. Après avoir expliciter la nécessité d'une architecture multi-étages pour une technologie à coût modéré, nous présentons la topologie distribuée ainsi qu'un exemple de réalisation satisfaisant au cahier des charges. A des fins comparatives, l'amplificateur distribué a été conçu avec la technologie ED02AH de la fonderie OMMIC, technologie qui a été utilisée pour la réalisation des circuits synthétisés avec la MFR. Nous présentons alors le principe des architectures à forte désadaptation et leur implantation en technologie HEMT. Le montage qui permet d'étendre la bande passante à l'aide de la cellule cascade passe-bande est enfin proposée.

Le chapitre 3 expose en premier lieu le formalisme de la Méthode des Fréquences Réelles. Les contraintes sur la réalisation des éléments passifs intégrés sont alors détaillées. Nous présentons ensuite la forme particulière sous laquelle sera appliquée la procédure classique de la Méthode ainsi que la variante octopolaire que nous proposons. Deux exemples de synthèse d'amplificateur sont enfin donnés.

Ces deux exemples ont conduit à la réalisation d'un amplificateur sur substrat microruban délivrant une tension de $2 V_{c\text{-à-c}}$ et d'un amplificateur contre-réactionné réalisé sur substrat coplanaire délivrant une tension de $3 V_{c\text{-à-c}}$ en sortie. Le premier a été réalisé par la fonderie OMMIC. Il a été testé sous pointe. Le chapitre 4 regroupe les résultats de simulations électriques et électromagnétiques associés aux deux circuits, ainsi que les mesures réalisées sur l'amplificateur $2 V_{c\text{-à-c}}$.

CHAPITRE 1 : CAHIER DES CHARGES D'UN AMPLIFICATEUR EMETTEUR DANS UNE LIAISON SDH ETDM A 40 GBIT/S

<u>PRESENTATION DE LA NORME SDH</u>	14
<u>1.1 Introduction</u>	14
<u>1.2 La hiérarchie synchrone (SDH)</u>	15
<u>2 CHAINE DE TRANSMISSION DANS UNE LIAISON OPTIQUE SDH ETDM A 40 GBIT/S</u>	17
<u>2.1 Récepteur optique</u>	17
<u>2.2 Fibre optique</u>	18
<u>2.3 Transmetteur optique</u>	18
<u>3 SIGNAUX ET BRUIT DANS UNE LIAISON SDH A 40 GBIT/S</u>	19
<u>3.1 Signaux STM-256</u>	19
<u>3.2 Bruit dans une liaison STM-256</u>	20
<u>4 CAHIER DES CHARGES POUR UN AMPLIFICATEUR TRANSMETTEUR FONCTIONNANT A 40 GBIT/S</u>	25
<u>4.1 Charge de l'amplificateur</u>	25
<u>4.2 Caractéristiques d'entrée</u>	26
<u>4.3 Caractéristiques de transfert</u>	27
<u>4.3.1 Fréquence de coupure haute</u>	27
<u>4.3.2 Fréquence de coupure basse</u>	28
<u>4.3.3 Ondulation maximum</u>	29
<u>5 RECAPITULATIF DU CAHIER DES CHARGES</u>	29
<u>BIBLIOGRAPHIE</u>	31

Présentation de la norme SDH

1.1 Introduction

Au départ destinés aux liaisons téléphoniques analogiques, les réseaux de télécommunications n'ont cessé, depuis les trente dernières années, d'étendre leur capacité et leur variété, en terme de transport d'informations et de services offerts. La numérisation du réseau téléphonique et la transmission d'informations binaires sous forme de paquets, associées au multiplexage temporel, ont ouvert la voie à l'usage d'un support commun pour la transmission de la parole et la transmission de données. A travers la mise en place d'une hiérarchie numérique au sein du réseau téléphonique, nommée PDH (*Plesiochronous Digital Hierarchy*), construite par multiplexage temporel successif, les possibilités de dimensionnement des artères en terme de débit se sont étendues, et l'accès simultané en mode « paquet » est devenu possible (des applications telles que le « Minitel » ont ainsi vu le jour) [1].

Depuis les premières expériences d'interconnexion de réseaux locaux, puis le raccordement des réseaux dédiés à la recherche (en France, RENATER) jusqu'au succès d'Internet et l'établissement récent d'un réseau IP (*Internet Protocol*) mondial bâti sur trois niveaux (réseau de collecte, réseau régional et réseau de transit international), le nombre et le type d'utilisateurs de réseaux, la diversité des applications, se sont accrus. Conjointement et pour couvrir des besoins épars tant géographiquement qu'en matière de qualité de service, les méthodes d'accès se sont multipliées, le réseau de transmission, vu sous son aspect global, est devenu un ensemble de sous-réseaux, formant un tout hétérogène en terme de support physique (fil de cuivre, câble coaxial, liaisons hertziennes ou fibre optique) et de support logique (les protocoles sont couplés aux applications à un degré plus ou moins élevé, et répondent à un modèle de référence pour leur interconnexion : la hiérarchie en couche OSI (*Open System Interconnexion*)) [2][3].

Pour satisfaire aux besoins croissants en terme de débits, de flexibilité, de transparence et de rentabilité, compte tenu de la variété du type de trafic (IP, ATM, RTC,..) transporté sur le réseau de transmission, et enfin pour mettre à profit la grande capacité en débit de la fibre optique, la norme SDH (*Synchronous Digital Hierarchy*) a été introduite à la fin des années 80. Mise au norme en 1988 par le CCITT, elle est l'équivalent de la norme SONET (*Synchronous Optical NETWORK*) initiée quelques années auparavant aux Etats-Unis.

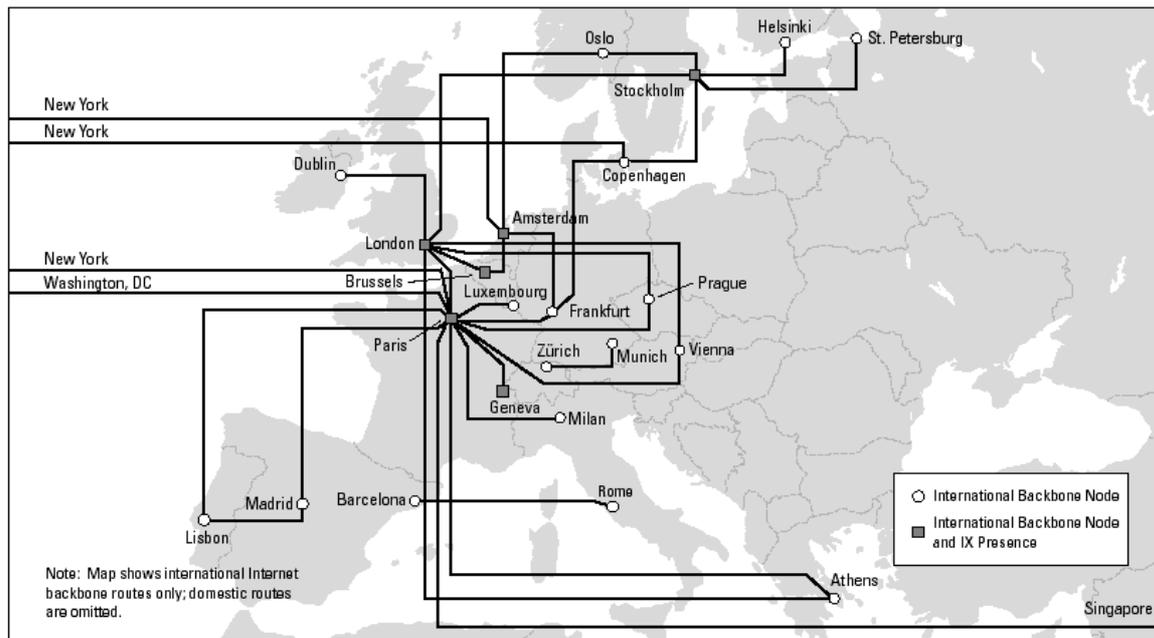


Figure 1.1 : Exemple d'un *backbone* utilisant la technologie SDH et la fibre optique: le réseau de transit international de France Télécom (Opentransit). Il est capable de gérer le transit RTC, téléphone mobile, et Internet (IP).

Actuellement, le réseau de transmission, établi à travers les réseaux de transports internationaux, nationaux, régionaux et métropolitains, est basé, en grande partie sur la technologie SDH et le support « fibre optique » (figure 1.1) [4]. La technologie SDH prend le relais de la technologie PDH en ajoutant une flexibilité d'insertion et d'extraction de signaux affluents, de débits variés, au sein d'une trame résultante de haut débit .

1.2 La hiérarchie synchrone (SDH)

Chaque niveau N de la hiérarchie synchrone s'obtient par un multiplexage temporel de trames « STM » (*Synchronous Transport Module*) de niveau inférieur, réalisé octet par octet, formant une trame STM-N résultante. Le tableau 1.1 est un récapitulatif des différents niveaux de la hiérarchie synchrone en terme de débit.

Niveau de SDH	Débits correspondant
STM-1	155 Mbit/s
STM-4	622 Mbit/s
STM-16	2,5 Gbit/s
STM-64	10 Gbit/s
STM-128	20 Gbit/s
STM-256	40 Gbit/s

Tableau 1.1: Les niveaux de la hiérarchie synchrone.

Une trame STM-N est composée de $N \times 2430$ octets organisés en 9 rangées de $N \times 270$ colonnes (figure 1.2). Sa durée est de $125 \mu\text{s}$ (dictée par les contraintes vocales), et équivaut à une cadence de 8 kHz. Les $N \times 9$ premières colonnes contiennent les octets de gestion et de contrôle de la trame, et les $N \times 261$ colonnes restantes transportent l'information [5].

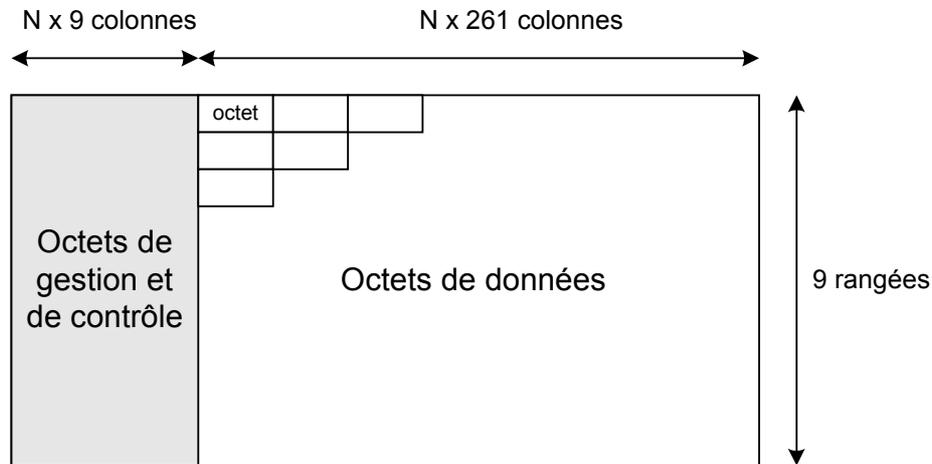


Figure 1.2: Trame STM-N.

La hiérarchie synchrone constitue une solution globale retenue par la communauté internationale comme un principe de base pour les réseaux de transmission. Le débit à 2,5 Gbit/s est très répandu. Il est utilisé depuis 1990 avec la technologie WDM (*Wavelength Division Multiplexing*), technologie complémentaire à la SDH, permettant d'augmenter le débit dans les fibres optiques, pour les artères de plus gros débits. La technologie SDH à 10 Gbit/s (STM-64) apparaît depuis peu, dans les réseaux métropolitains sous forme de boucles locales. Elle est également implantée dans les réseaux locaux de sites tels que les campus universitaires ou les centres d'affaire, où il est nécessaire de relier plusieurs bâtiments entre eux. Le niveau STM-256, correspondant à un débit de 40 Gbit/s, est actuellement en cours de normalisation.

Le champ d'application de la technologie SDH est très vaste. La norme G.975 de l'UIT-T définit différents types d'interfaces optiques, classées suivant la portée de l'application (portée « *intra-site* » concernant les LAN jusqu'à « *ultra-long-haul* » utilisée pour les câbles sous-marins), et le niveau transmis (STM-1,...,STM-256).

Les plus gros débits sont toutefois obtenus de manière rentable par l'utilisation de la technologie WDM. Celle-ci consiste à multiplexer chaque affluent STM sur une longueur d'onde porteuse (optique) différente.

Les composants optiques sont actuellement en plein développement, et dans le souci d'accroître la flexibilité du système, les recherches s'orientent vers d'autres technologies, telles que le multiplexage temporel optique (OTDM), pour la transmission des affluents STM. Toutefois, le coût de production et le volume occupé par les équipements optiques sont encore prohibitifs. Le développement de systèmes à multiplexage temporel électrique (ETDM) et de circuits intégrés ultra rapides fonctionnant à des débits plus élevés, reste alors avantageux.

2 Chaîne de transmission dans une liaison optique SDH ETDM à 40 Gbit/s

La figure 1.3 présente le schéma synoptique d'une transmission optique SDH ETDM à 40 Gbit/s. Les caractéristiques du bloc d'émission, du canal de transmission (fibre optique) et enfin du bloc d'émission sont exposées dans la suite.

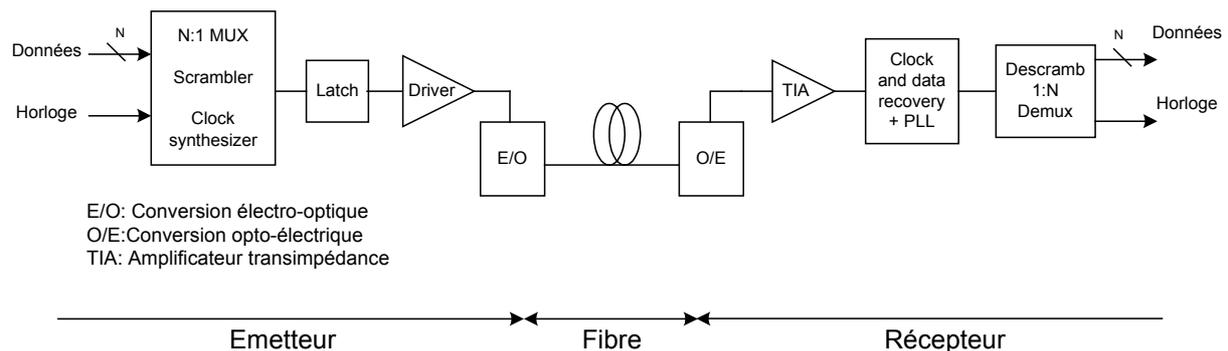


Figure 1.3: Chaîne de transmission d'une liaison SDH à 40 Gbit/s.

2.1 Récepteur optique

Le récepteur optique détecte les signaux optiques sur la fibre et les convertit en signaux électriques. Ces signaux sont ensuite amplifiés, pour pouvoir récupérer les formes d'ondes des affluents et les « pics » d'horloge. Enfin, les trames régénérées sont démultiplexées (conversion série-parallèle) à un ordre inférieur, variant suivant le type d'application considéré, et transmises avec le signal d'horloge qui leur est associé.

Située en amont du récepteur, une photodiode, de type « diode PIN » ou « diode à avalanche » (APD), convertit le flux lumineux provenant de la fibre en courant électrique. Les diodes PIN sont moins chères, mais, ont l'inconvénient d'être plus bruyantes que les diodes à avalanche. Pour cette raison, les diodes APD sont utilisées dans les applications longue-distance.

Le courant électrique fournis par la photodiode est ensuite converti en tension différentielle grâce à un amplificateur transimpédance (TIA). Celui-ci doit être à très faible-bruit pour permettre une grande sensibilité du récepteur. Toutefois, la bande passante requise limite les possibilités de gain élevé (tension en sortie du TIA de 1 à 2 mV). La solution qui reste la plus avantageuse pour la restitution des niveaux logiques, consiste à ajouter en sortie du TIA, un amplificateur limiteur (LA) qui délivre une tension crête-à-crête fixée, indépendante du niveau d'entrée. Après le limiteur, se trouve le circuit de régénération de l'horloge (circuit de décision temporelle) puis le circuit de régénération de données (circuit de décision en amplitude) (CDR). Une PLL est ajoutée, permettant de s'assurer de la synchronisation en alignant l'horloge sur l'instant d'échantillonnage optimal de chaque symbole transmis [6].

2.2 Fibre optique

Les fibres optiques les plus couramment utilisées sont les fibres monomodes. Elles sont fabriquées en silice (SiO_2). On utilise trois fenêtres optiques, présentées figure 1.4 [7], qui correspondent aux plages de longueurs d'onde pour lesquelles l'affaiblissement lumineux est minimal dans la fibre. Dans la première fenêtre (plage « C »), l'atténuation et la dispersion sont relativement élevées (longueur d'onde de 1300 nm). Son utilisation se restreint à des applications « *intra-site* » (LAN). Dans la deuxième fenêtre (plage « A » et « D »), l'atténuation est inférieure à 0,40 dB/km et la dispersion est très proche de 0 dB. La portée atteint 50 km (application « *short-haul* »). La troisième fenêtre (plage « B »), dont l'atténuation est inférieure à 0,23 dB/km, est utilisée pour les applications très longue distance (« *Long-haul* »).

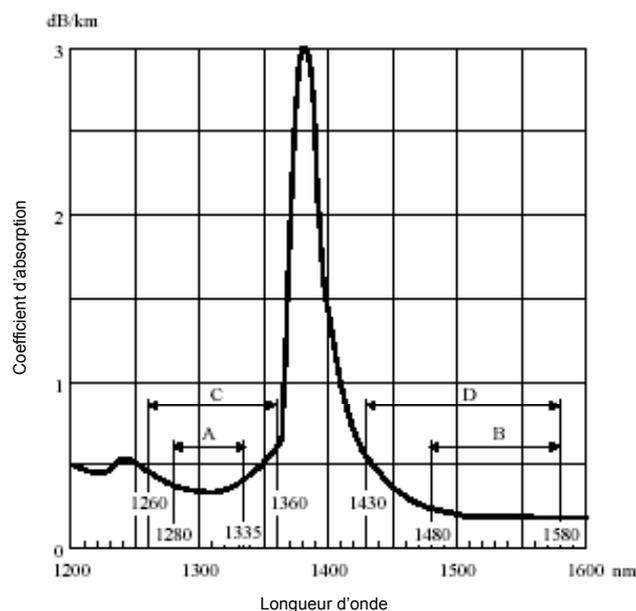


Figure 1.4: Coefficient d'atténuation spectrale d'une fibre optique en SiO_2 .

2.3 Transmetteur optique

Plusieurs types de sources optiques sont utilisables. Les diodes électroluminescentes (LED) sont bon marché et sont utilisées pour les applications à très courte distance. Cependant, elles ne permettent pas d'atteindre les deuxième et troisième fenêtres optiques. Les diodes laser directement modulées sont mises à profit dans la plupart des liaisons moyennes distances, nationales et métropolitaines. Les sources mettant en œuvre des modulateurs optiques (modulateurs Mach-Zehnder ou modulateurs électro-absorbants) ont quant à elles, une très haute pureté spectrale et peuvent fonctionner dans la troisième fenêtre optique ; elles sont utilisées pour les applications très longue distance [8].

Les amplificateurs *driver* fournissent la puissance électrique nécessaire à la diode laser ou au modulateur optique selon le type d'application. Un contrôle automatique de gain est parfois nécessaire afin de pallier aux variations de point de fonctionnement des sources optiques.

Les différentes étapes de « *scrambling* »¹ et de multiplexages, sont réalisées en amont par des circuits LSI en technologie C-MOS ou TTL pour les niveaux bas, et pour les débits élevés, par des circuits VHSIC en technologie ECL ou SCFL. Des bascules Flip-Flop ou Latch sont ajoutées comme partie intégrante du driver ou du multiplexeur de sortie pour diminuer la gigue avant l'émission sur la fibre [9].

3 Signaux et bruit dans une liaison SDH à 40 Gbit/s

3.1 Signaux STM-256

Les liaisons SDH moyenne et longue distance sur fibre optique utilisent essentiellement le principe de la modulation d'intensité lumineuse et détection directe (IM/DD). La modulation du faisceau lumineux s'effectue par « *ON-OFF Keying* » (OOK), qui consiste à associer au symbole binaire « 1 » une puissance optique nominale émise à travers la fibre, et au symbole « 0 », l'absence de signaux lumineux. Le codage en bande de base de type NRZ (*No Return to Zero*), est communément utilisé pour les liaisons STM-16 et STM-64 sur moyenne et longue distance, et en cours de normalisation pour les liaisons STM-256 [8][10]. La figure 1.5 présente le chronogramme d'un signal NRZ. C'est un signal rectangulaire à deux niveaux. Le signal reste à niveau constant pendant la durée complète d'une période. Ce codage est ainsi naturellement compatible avec la modulation IM/DD.

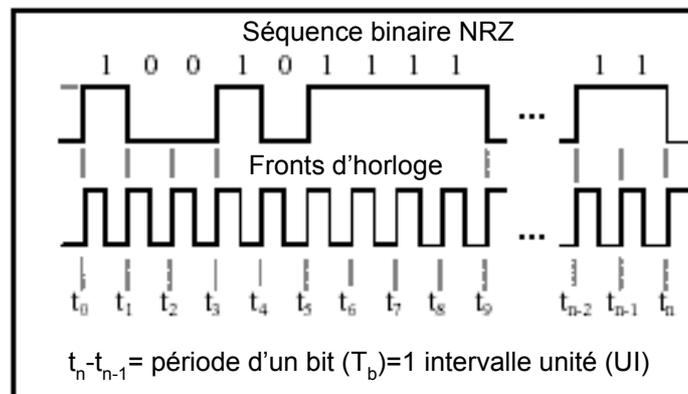


Figure 1.5: Chronogramme d'un signal NRZ.

Le signal transmis est habituellement modélisé par une séquence binaire aléatoire stationnaire. On peut alors déterminer la densité spectrale de puissance du signal codé NRZ. Celle-ci est donnée par la fonction (1.1) dont le graphe est présenté figure 1.6.

¹ «Scrambling»: Etape de codage numérique qui permet d'augmenter l'occurrence des transitions entre états binaires dans le signal.

$$S(f) = \alpha T_b \text{sinc}^2(T_b f) \quad (1.1)$$

α est la puissance moyenne du signal, f la fréquence et T_b la durée d'un bit.

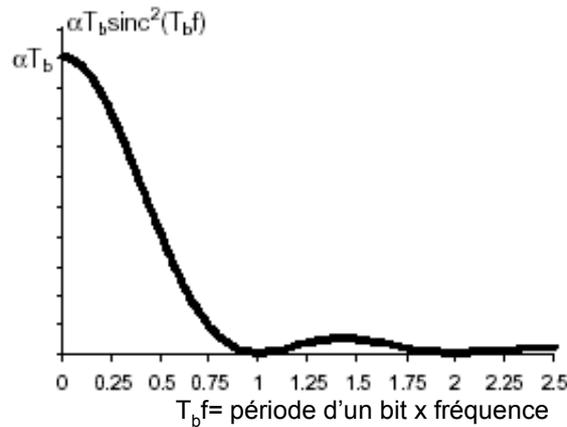


Figure 1.6: Densité spectrale de puissance du signal NRZ.

L'hypothèse sur laquelle est basé ce modèle, d'une probabilité égale d'avoir un symbole « 0 » ou « 1 » à chaque occurrence d'un bit, conduit à une probabilité non nulle d'avoir une succession « infinie » de symboles identiques, se traduisant par la présence de composantes du spectre jusqu'à la fréquence nulle. Les signaux STM, contiennent toutefois des octets de gestion. Des transitions entre états apparaissent ainsi de façon déterministe à la cadence de la trame (8 kHz). De plus, l'étape de « scrambling » permet encore de réduire le contenu harmonique présent aux basses fréquences.

L'UIT-T spécifie pour les liaisons STM-N une valeur de la plus longue séquence de bits identiques (*CID: Consecutive Identical Digit*), estimée à $N \times 72$ bits. Cette séquence correspond aux 9 premières colonnes de la trame STM-N, qui ne sont pas « scramblées » et sont toutes mises à zéro dans certains cas de figure [7].

3.2 Bruit dans une liaison STM-256

Le BER (*Bit Error Rate*), est une mesure générale de performances, utilisée dans les systèmes de communication. Il est fixé à 10^{-12} pour les liaisons SDH à 40 Gbit/s.

Les causes d'erreurs sont liées, d'une part au bruit d'amplitude (incertitude sur le niveau détecté) et d'autre part à la gigue temporelle (jitter) introduisant un décalage entre l'instant d'échantillonnage (instant fixé et choisi pour être optimal) du symbole (niveau 0 ou 1) et l'emplacement temporel du « pic » du signal d'horloge de l'échantillonneur.

Le degré d'intégrité du signal nécessaire au maintien d'une certaine probabilité d'erreur dans un système, peut être spécifié à chaque interface de la liaison à l'aide d'un masque définissant les critères d'ouverture minimale du diagramme de l'œil (Figure 1.7).

La recommandation G.957 de l'UIT-T fournit un masque pour le signal optique à émettre, à l'interface entre le modulateur et la fibre [7]. Les valeurs attribuées aux coordonnées du masque sont données également par la recommandation G.957. Elles dépendent de l'application (*long-haul, short-haul, intra-office,..*) et du type de liaison (STM-1,..STM-256).

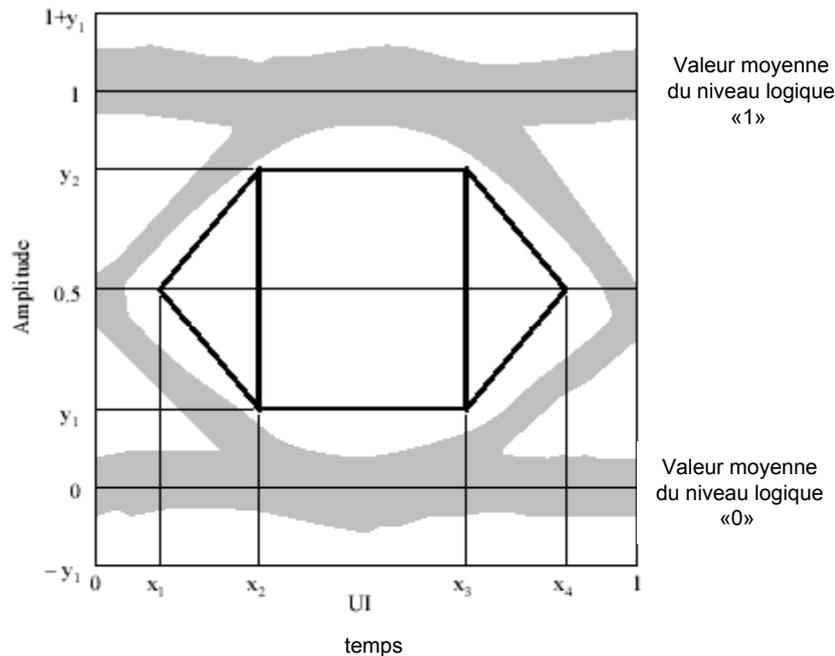


Figure 1.7: Ouverture minimale du diagramme de l'œil spécifié à l'émission par la recommandation G.957 de l'UIT-T.

L'objectif de ce chapitre étant de définir le cahier des charges d'un amplificateur *driver*, chargé de fournir la puissance électrique au modulateur optique pour une liaison ETDM à 40 Gb/s (STM-256), le diagramme de l'œil sera transposé à l'interface entre l'amplificateur et le modulateur. On supposera pour cela que la transduction électro-optique s'effectue de manière parfaitement linéaire et sans apport de bruit supplémentaire.

On considère que le masque spécifie le décalage vertical maximal et le décalage horizontal maximal qui peuvent être tolérés sur le signal en sortie de l'amplificateur. On peut alors répertorier les causes de décalages vertical et horizontal du signal. Ceci permettra de traduire le cahier des charges en terme de paramètres fréquentiels (gain, bande passante, ondulation,...).

Décalage vertical

A l'origine d'un décalage vertical des niveaux électriques « 0 » et « 1 » fournis par le *driver*, on dénombre les causes présentées ci-après.

-La présence d'ondulations dans la réponse fréquentielle de l'amplificateur se traduit par des oscillations dans la réponse indicielle. Elles se manifestent par la présence d'« *overshoot* » et d'« *undershoot* » dans le diagramme de l'œil du signal NRZ (figure 8) [11].

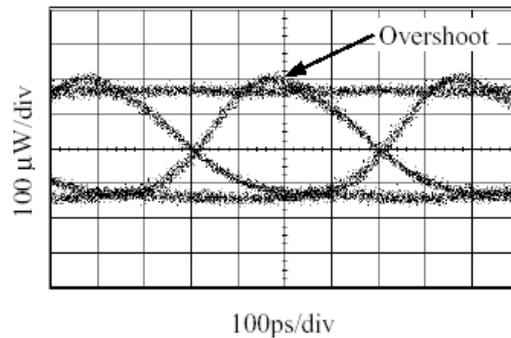


Figure 1.8: Exemple de l'effet d'overshoot sur le diagramme de l'œil.

-La fréquence de coupure haute provoque pour sa part, l'apparition de temps de montée non-nuls et la fréquence de coupure basse induit la présence de « *baseline wander* » plus généralement appelé interférences inter-symbole (ISI). Ces dernières se manifestent par un décalage du signal par rapport à sa valeur moyenne, comme illustré figure 9,(b) [12].

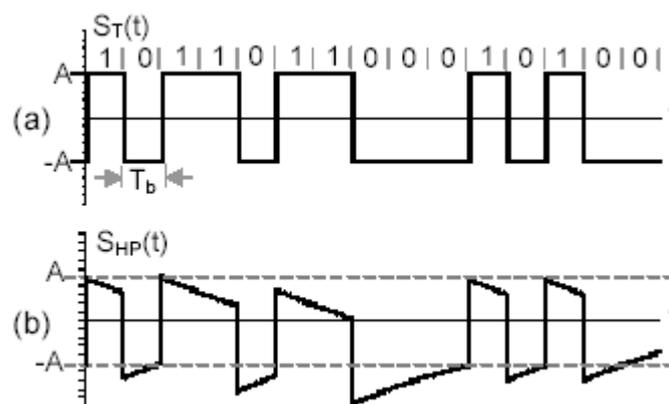


Figure 1.9: Mise en évidence de l'effet « *Baseline Wander* ». (a) Signal NRZ non perturbé. (b) Signal NRZ en sortie d'un réseau passe-haut.

-La puissance de bruit apportée par l'amplificateur ne constitue pas un paramètre critique concernant le bruit d'amplitude, car le rapport signal sur bruit en entrée de l'amplificateur est élevé comparé au rapport signal sur bruit toléré en sortie.

Décalage horizontal

On peut de la même façon identifier différentes sources de gigue temporelle, les plus significatives étant présentées ci-après.

-La gigue aléatoire gaussienne « *Random Jitter*, RJ » est engendrée par un bruit d'amplitude aléatoire gaussien couplé à un temps de montée non-nul. Elle est caractérisée par sa variance σ_{RJ} (Figure 1.10) [13].

$$\sigma_{RJ} = \frac{\sigma_{Noise}}{SR} \tag{1.2}$$

SR représente le « Slew Rate ».

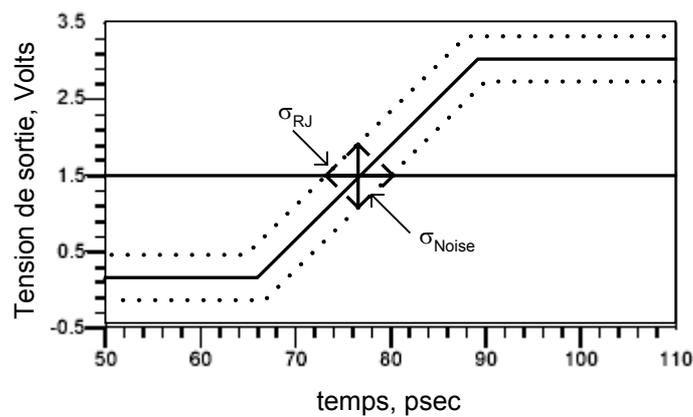


Figure 1.10: Mise en évidence de la gigue aléatoire.

-Une première source de gigue temporelle déterministe apparaît par la présence conjointe de fréquences de coupure basse et haute (Figure 1.11). Celle-ci n'est présente qu'aux basses fréquences. La fréquence de coupure haute est également à l'origine de gigue déterministe (DJ) à haute fréquence (Figure 1.12).

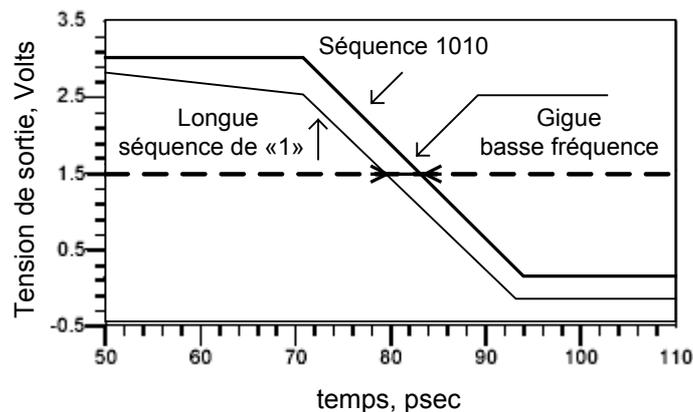


Figure 1.11 : Gigue basse fréquence dépendante des fréquences de coupure basse et haute.

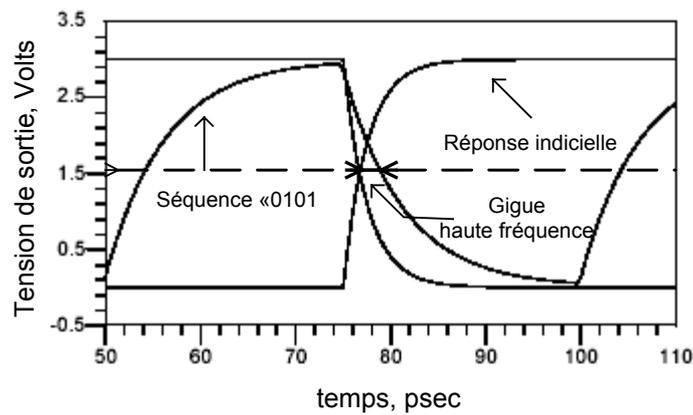


Figure 1.12: Gigue haute fréquence dépendante de la fréquence de coupure haute.

-Une autre source de gigue temporelle déterministe provient du décalage vertical des points de croisement sur le diagramme de l'œil. Elle est nommée gigue « PWD » (*Pulse Width Distortion*) et apparaît en présence d'une composante continue dans le signal (DC offset) ou lorsqu'il existe une différence entre le temps de montée et le temps de descente (Figure 1.13).

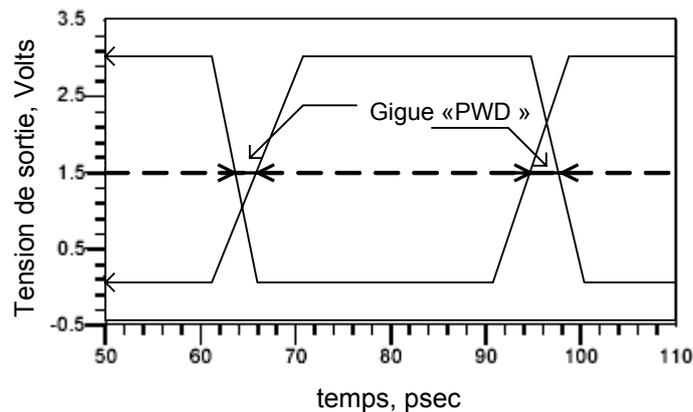


Figure 1.13: Gigue « PWD ».

On fait alors correspondre aux limites horizontales définies par le masque (Figure 1.7) l'addition de toutes les sources de gigue temporelle, et aux limites verticales, le cumul des sources de bruit d'amplitude.

La gigue temporelle totale J_{total} est égale à la somme des valeurs crête-à-crête des différentes sources de gigue déterministe J_{DJ}

Le bruit d'amplitude total s'exprime en pourcentage par rapport à l'écart entre les niveaux « 0 » et « 1 » nominaux.

Le rapport signal sur bruit à l'entrée du *driver* est élevé (rapport signal sur bruit de 90 dB en sortie des bascules Flip-Flop). On pourra ainsi négliger le bruit d'amplitude aléatoire et la gigue temporelle aléatoire.

Toutefois, pour établir des spécifications en termes de paramètres fréquentiels, il est nécessaire de disposer d'une valeur maximale impartie à chacune des sources de bruit d'amplitude et de gigue temporelle répertoriées ci-avant. Pour cela, on ajoutera aux valeurs des coordonnées du masque, un budget de répartition pour les différentes source de bruit.

4 Cahier des charges pour un amplificateur transmetteur fonctionnant à 40 Gbit/s

La norme définie pour le bloc d'émission dans une liaison SDH, varie suivant le débit d'émission considéré et le type de distance ciblé. L'UIT-T (G.691)[15] recommande pour la plupart des applications l'utilisation de sources laser monomodes fonctionnant à la longueur d'onde de 1550 nm.

Pour disposer de données quantitatives nécessaires à la constitution du cahier des charges de l'amplificateur, on supposera une application visant une liaison simple point-à-point à 40 Gbit/s de type longue distance (long-haul) ou très longue distance (very long haul).

4.1 Charge de l'amplificateur

Pour les liaisons point-à-point sur longue et très longue distance, la conversion electro-optique s'effectue à l'aide d'un modulateur optique.

Les deux types de modulateur les plus utilisés sont les modulateurs électro-absorbants (EA) et les interféromètres Mach-Zehnder (MZI).

Les modulateurs électro-absorbants sont réalisés le plus souvent sur substrat InP, soit en guide d'onde (modulateur « Frantz-Keldysh » (FK)), soit à partir d'une structure à murs quantiques multiple (MQW). Leur réalisation est moins coûteuse que celle des interféromètres Mach-Zehnder et leur intégration sur un substrat commun à celui de source laser DFB à été réalisée avec succès [16]. L'InP étant un substrat performant pour la réalisation de transistors hyperfréquences, on peut envisager la possibilité d'un transducteur entièrement monolithique. De plus, malgré une technologie moins mature que celle des interféromètres Mach-Zehnder et des pertes d'insertion plus élevées, l'excursion en tension nécessaire à la transition « ON-OFF » est moins grande pour les modulateurs électro-absorbants [17]. Un modulateur électro-absorbant de type FK pourra donc être retenu comme transducteur électro-optique pour le cahier des charges.

Dans ce type de modulateur, la lumière émise par une source laser à la longueur d'onde de 1550 nm est guidée par une couche semi-conductrice (généralement InGaAsP) placée entre une couche d'InP dopée p^+ et une couche dopée n. Cet empilement constitue une structure p-i-n. Une tension à ses bornes influe sur le coefficient d'absorption optique de la couche centrale, de telle sorte qu'en l'absence de polarisation, celle-ci devient transparente à la longueur d'onde de 1550 nm (correspondant à l'état « ON »), et absorbante dans le cas inverse (état « OFF »).

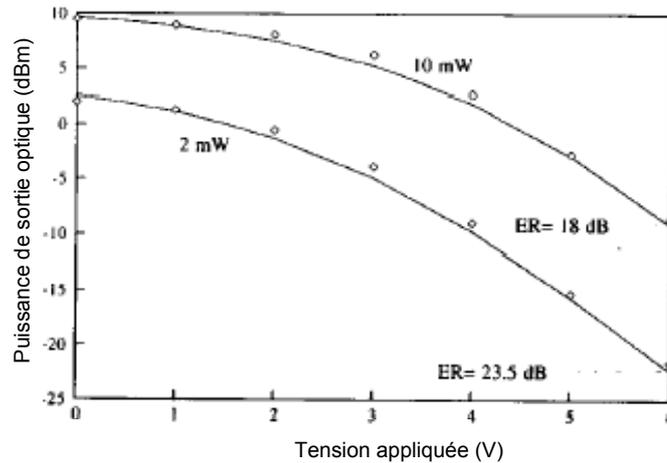


Figure 1.14: Puissance optique en sortie d'un modulateur en fonction de la tension appliquée à ses bornes et de la puissance lumineuse de la source.

Le taux d'extinction (ER) est une figure de mérite couramment utilisée pour ce type de modulateur. Il est défini comme le rapport de la puissance optique de sortie correspondant à l'état « ON » sur la puissance de sortie correspondant à l'état « OFF ». Il est spécifié dans la recommandation G.791 [18] de l'UIT-T comme devant être supérieur à 8,2 ou 10 dB dans la majorité des cas. Une puissance optique de sortie moyenne du signal NRZ transmis (mean launched power), fixée par la distance ciblée, est également spécifiée (au moins 10 dBm pour les applications STM-64 très longue distance). Elle dépend de l'intensité lumineuse fournie par la source. Toutefois, comme le montre la figure 1.14 [8], une intensité trop élevée aura pour effet de diminuer le taux d'extinction.

- L'excursion en tension devra être d'**au minimum 3 V crête-à-crête** pour les applications considérées [17].
- La structure p-i-n étant polarisée en inverse, elle constituera une **charge essentiellement capacitive** vis-à-vis de l'amplificateur.

Pour des besoins d'adaptation et de polarisation les modulateurs sont habituellement montés **en parallèle avec une résistance de 50 Ω**. La puissance fournie à la charge totale par l'amplificateur doit être alors **supérieure à 45 mW**.

Afin de minimiser les réflexions multiples du signal et le phénomène de « patterning » provoquant la fermeture du diagramme de l'œil, **l'adaptation en sortie** doit être maintenue inférieure à **-10 dB** sur toute la bande passante.

4.2 Caractéristiques d'entrée

En amont de l'amplificateur, se trouve le multiplexeur présentant à sa sortie un train binaire à 40 Gbit/s. Le multiplexeur doit pouvoir fonctionner avec une horloge de fréquence $1/T_b$ (T_b étant la durée d'un bit), c'est-à-dire 40 GHz dans la situation considérée.

Il est souvent associé à une bascule « latch » ou « Master Slave Flip-Flop » qui améliore « la propreté » du signal avant l'amplification. Cette partie numérique est réalisée par des portes

ECL ou SCFL en technologie HBT ou HEMT sur substrat InGaAs ou InP. Des multiplexeurs ont également fait l'objet de réalisation en technologie BiCMOS sur substrat SiGe [9]. Le *buffer* de sortie des portes ECL ou SCFL est constitué d'un étage suiveur, dont l'excursion en tension nominale crête-à-crête est comprise entre 0,7 et 1 V, et la résistance de sortie proche de 50 Ω .

Pour minimiser les réflexions à l'interface entre partie numérique et amplificateur, le paramètre **S₁₁ de l'amplificateur devra être maintenu inférieur à -10 dB** sur toute la bande.

Le gain transducique **de l'amplificateur devra avoir une valeur minimum de 15,5 dB** pour pouvoir délivrer une tension de 3 V crête-à-crête au modulateur optique, à partir d'une tension de 1 V au générateur.

4.3 Caractéristiques de transfert

Pour s'affranchir de contraintes supplémentaires provoquées par distorsions, on imposera une **réponse de l'amplificateur linéaire sur la bande passante**.

Les caractéristiques de transfert peuvent être obtenues à partir du diagramme de l'œil (Figure 1.7). Les coordonnées du masque (référencées sur la figure 1.7) n'étant pas encore normalisées pour les liaisons STM-256, elles seront approximées à partir de celles fournies pour une liaison STM-16.

Comme l'illustre la figure 7, elles sont les suivantes :

$$\begin{aligned} y_1 &= 0,25 \text{ UI}, y_2 = 0,75 \text{ UI}, \\ x_1 &= 0,15 \text{ UI}, x_4 = 0,85 \text{ UI}, x_3 - x_2 = 0,2 \text{ UI}. \end{aligned} \tag{1.5}$$

Pour un signal NRZ d'un débit de 40 Gbit/s, l'intervalle de temps minimal entre deux transitions est : UI = 25 ps.

4.3.1 Fréquence de coupure haute

D'après le spectre du signal NRZ présenté figure 1.6, pour un débit de 40 Gbit/s, une fréquence de coupure haute comprise entre 30 et 40 GHz, permet la restitution du signal à 98 %.

Toutefois une réponse passe-bas induit la présence de gigue temporelle à haute fréquence. L'abscisse x_1 constitue une limite pour la gigue tolérée. En supposant que la gigue déterministe due à une fréquence de coupure haute est la seule présente sur la partie haute du spectre, son amplitude est de $0,15 \times 25 \text{ ps} = 3,75 \text{ ps}$.

En supposant une réponse passe-bas du premier ordre, la dépendance entre la fréquence de coupure f_{Hc} et le décalage temporel Δt est donnée par :

$$f_{Hc} = \frac{1}{2T_b \tan\left(\frac{\pi\Delta t}{T_b}\right)} \quad (1.6)$$

On obtient ainsi pour l'amplificateur, une **fréquence de coupure haute minimum de 39 GHz**.

4.3.2 Fréquence de coupure basse

En considérant que dans la partie basse du spectre, la gigue due à la présence d'une fréquence de coupure basse est la source de gigue temporelle dominante, une approximation de la fréquence de coupure basse f_{Bc} maximum en fonction de la gigue maximum tolérée est alors donnée par l'expression (1.7) [19]:

$$f_{Bc} = \frac{\ln(1 - \sigma_{UI})}{-CID \cdot T_b} \quad (1.7)$$

Ici, $\sigma_{UI}=2x_2$ et $CID = 256 \times 72 \text{ bits} = 18432 \text{ bits}$.

En appliquant l'équation (1.7), la **fréquence de coupure basse** de l'amplificateur devra être **au moins inférieure à 700 kHz**. Toutefois, cette valeur devra être choisie plus faible, car la gigue introduite par la présence d'une fréquence de coupure basse n'est pas la seule source de bruit temporelle aux basses fréquences. La limite maximum tolérée pour la gigue doit être prise inférieure à x_2 .

Par ailleurs, les variations tolérées sur l'amplitude du signal donnée par l'ordonnée y_2 , sont également plus restrictives quant à la fréquence de coupure basse. En effet, la présence de « *Baseline Wander* » $W(t)$ a pour effet de décaler verticalement le diagramme de l'œil du signal. Une approximation linéaire permet d'exprimer $W(t)$ en fonction de la différence de bits cumulés $CBD(n)$ et de la constante de temps associée à la réponse passe-haut du système [12]. On peut donc évaluer la fréquence de coupure basse à partir de l'expression (1.8).

$$f_{Bc} = \frac{W_{\max}}{CBD_{\max} \cdot T_b} \quad (1.8)$$

W_{\max} (exprimé en pourcentage) est le décalage maximum toléré de l'amplitude du diagramme de l'œil.

Une bonne approximation de la différence de bit cumulés maximum CBD_{\max} rencontrée dans une trame STM-256, peut être :

$$CBD_{\max} = CID - 1 \quad (1.9)$$

Au terme d'un budget où une certaine puissance est allouée à chaque source de bruit d'amplitude considérée, on répartit habituellement la variation totale d'amplitude Δu_{total} tolérée de la manière décrite dans le tableau 1.2.

Δu_{total}	$\Delta u_{ondulation}$	Δu_{wander}
$\pm 0,25 \%$	$\pm 0,20 \%$	$\pm 0,05 \%$

Tableau 1.2: Budget de répartition des source de bruit en amplitude.

D'après l'équation (1.8), et en posant $W_{max} = |\Delta u_{wander}|$, la **fréquence de coupure basse** correspondante est de **100 kHz**.

4.3.3 Ondulation maximum

L'ondulation maximum tolérée sur le gain transducique de l'amplificateur peut s'exprimer de la manière suivante :

$$D = \pm 20 \log(1 - |\Delta u_{ondulation}|) \quad (1.10)$$

On peut ainsi considérer **une ondulation maximum de $\pm 1,9$ dB** pour le gain transducique de l'amplificateur.

5 Récapitulatif du cahier des charges

Cette analyse quantitative des performances requises par un amplificateur émetteur pour une liaison STM-256 permet de fixer le cadre dans lequel sera appliquée la « Méthode des Fréquences Réelles ». D'autre part, elle va permettre de décider d'un choix technologique et topologique pour la conception de l'amplificateur.

Les performances ciblées pour l'amplificateur sont résumées dans le tableau 1.3.

Niveau d'entrée	Niveau de sortie	Puissance de sortie linéaire (sur 50Ω)	Adaptation en entrée	Adaptation en sortie	Gain transducique	Bande passante
1 V _{C-à-c}	3 V _{C-à-c}	45 mW (13,5 dBm)	<-10 dB	<-10 dB	15,5±1,9 dB	100 kHz-40 GHz

Tableau 1.3: Récapitulatif du cahier des charges.

Au vue des performances désirées, les choix s'orienteront vers des technologies rapides : transistors à haute mobilité électronique (HEMT) sur substrat AsGa et InP, transistors

bipolaires à hétérojonction sur substrat AsGa, InP et SiGe. Ils s'orienteront également vers une intégration complète de la fonction d'amplification : circuit MMIC ou VHSIC. Le chapitre qui suit détaille le fonctionnement du transistor « HEMT », ainsi que les architectures imposées par l'intégration monolithique de ce type de *driver*.

Bibliographie

- [1] LECOY P. *Technologie des Télécom*. Hermès, Réseaux et Télécommunications, 1995.
- [2] PARFAIT R. *Les Réseaux de Télécommunications*. Hermès Sciences Publications, Lavoisier, Paris 2002.
- [3] PEREZ A. *Architecture des Réseaux de Télécommunications*. Hermès, Lavoisier, 2002.
- [4] *Global Internet Geography 2003* / ed. par Telegeography, Inc. 2003.
- [5] IEC (INTERNATIONAL ENGINEERING CONSORTIUM). Synchronous Digital Hierarchy (SDH). *The IEC Web Proforum Tutorials* [en ligne]. 1994. Disponible sur : <http://www.iec.org/>
- [6] MAXIM APPLICATION NOTES. Optical/Electrical Conversion in SDH/SONET Fiber Optic Systems. *Application Notes* [en ligne]. APP649, June 2000. Disponible sur : http://www.maxim-ic.com/appnotes10.cfm/ac_pk/11
- [7] *ITU-T Recommendations* [cédérom], International Communication Union, Sector of Normalizations [G.957: Optical Interfaces for equipments and systems relating to the Synchronous Digital Hierarchy], June 1999.
- [8] SABELLA R., LUGLI P. *High Speed Optical Communications*. Kluwer Academic Publisher, 1999.
- [9] JÄCKEL H., ELLINGER F., SCHWARZ V. *Integrated Circuits for High Speed Communication*. Chapitre 11 [en ligne]. Laboratoire d'électronique IFE, Zürich, 2003. Disponible sur: <http://www.ife.ee.ethz.ch/~ichsc/>
- [10] MAXIM APPLICATION NOTES. NRZ Bandwidth – HF Cutoff vs. SNR. . *Application Notes* [en ligne]. APP870, December 2001. Disponible sur : http://www.maxim-ic.com/appnotes10.cfm/ac_pk/11
- [11] MAXIM APPLICATION NOTES. Interfacing Maxim Laser Driver with Laser Diodes. *Application Notes* [en ligne]. APP274, December 2001. Disponible sur : http://www.maxim-ic.com/appnotes10.cfm/ac_pk/11
- [12] MAXIM APPLICATION NOTES. NRZ Bandwidth – LF Cutoff and Baseline Wander. *Application Notes* [en ligne]. APP1738, September 2002. Disponible sur : http://www.maxim-ic.com/appnotes10.cfm/ac_pk/11
- [13] MAXIM APPLICATION NOTES. Jitter in Digital Communication System, Part 1. *Application Notes* [en ligne]. APP794, August 2001. Disponible sur : http://www.maxim-ic.com/appnotes10.cfm/ac_pk/11

- [14] MAXIM APPLICATION NOTES. Converting Between RMS and Peak-to-peak Jitter at a specified BER. *Application Notes* [en ligne]. APP337, December 2000. Disponible sur : http://www.maxim-ic.com/appnotes10.cfm/ac_pk/11
- [15] *ITU-T Recommendations* [cédérom], International Communication Union, Sector of Normalizations. [G.691: Optical interfaces for single channel STM-64, STM-256 systems and other SDH systems with optical amplifiers], October 2000.
- [16] KARSTENSEN H., ROŽMANN M., BONTHRON A., ALBARS J. Requirements for Modulator Driver Integrated Circuits for Long-Haul Transmission Systems. *2nd Joint Symp. on Opto&Microelectronic Devices and Circuits*, Stuttgart, Germany, 2002.
- [17] LEE T., MARTIN M. High Performance Broadband Optical Modulator Driver Amplifiers to Power the Optical Network. *Business Briefing: Global Optical Communications*. Section: Technology and Services, pp. 1-5, 2002.
- [18] *ITU-T Recommendations* [cédérom], International Communication Union, Sector of Normalizations. [G.791: General considerations on transmultiplexing equipments], November 1988.
- [19] MAXIM APPLICATION NOTES. A Brief Introduction to Jitter in Optical Receiver. *Application Notes* [en ligne]. APP340, December 2000. Disponible sur : http://www.maxim-ic.com/appnotes10.cfm/ac_pk/11

CHAPITRE 2 : ARCHITECTURE POUR UN DRIVER MMIC EN TECHNOLOGIE HEMT

<u>1</u>	<u>INTRODUCTION</u>	34
<u>2</u>	<u>TRANSISTORS A HAUTE MOBILITE ELECTRONIQUE (HEMT)</u>	35
<u>2.1</u>	<u>Principe de fonctionnement</u>	35
<u>2.2</u>	<u>Modèle équivalent petit signal d'un HEMT</u>	37
<u>2.3</u>	<u>Caractéristiques des pHEMT du procédé ED02AH</u>	38
<u>2.4</u>	<u>Implantation de diodes</u>	40
<u>3</u>	<u>ARCHITECTURES POUR UN DRIVER DANS UNE LIAISON SDH A 40 GBIT/S EN TECHNOLOGIE HEMT</u>	40
<u>3.1</u>	<u>Limites de performances d'un amplificateur ultra large bande simple étage pour la réalisation de driver intégré</u>	40
<u>3.1.1</u>	<u>Amplificateurs ultra large bande à étage source HEMT</u>	41
<u>3.1.2</u>	<u>Nécessité d'une architecture multi-étages</u>	45
<u>3.2</u>	<u>Principe de l'amplification distribuée</u>	48
<u>3.2.1</u>	<u>Principe de fonctionnement</u>	48
<u>3.2.2</u>	<u>Puissance linéaire dans un amplificateur distribué</u>	52
<u>3.3</u>	<u>Principe des topologies à forte désadaptation</u>	53
<u>3.3.1</u>	<u>Cascade de source commune</u>	53
<u>3.3.2</u>	<u>Topologies à forte désadaptation</u>	54
<u>4</u>	<u>DRIVER A FORTE DESADAPTATION EN TECHNOLOGIE HEMT</u>	56
<u>4.1</u>	<u>Etage de sortie</u>	57
<u>4.2</u>	<u>Etage d'entrée</u>	60
<u>4.3</u>	<u>Etude théorique des étages suiveurs</u>	62
<u>4.3.1</u>	<u>Décalage simple</u>	62
<u>4.3.2</u>	<u>Suiveur multiple</u>	65
<u>4.3.3</u>	<u>Décalage de tension avec diode</u>	66
<u>4.4</u>	<u>Contraintes de layout</u>	67
<u>4.5</u>	<u>Mise en cascade des étages</u>	69
<u>4.6</u>	<u>Topologies de suiveur actif</u>	70
<u>4.6.1</u>	<u>Etat de l'art</u>	70
<u>4.6.2</u>	<u>Suiveur actif à cellule cascode</u>	72
<u>5</u>	<u>CONCLUSION</u>	77
	<u>BIBLIOGRAPHIE</u>	78

1 Introduction

Les performances requises pour le *driver* d'une liaison optique à 40 Gbit/s ne sont pas réalisables à partir d'un circuit intégré sur silicium. Comme cela a été décrit dans le précédent chapitre, le circuit doit fournir une puissance en sortie relativement élevée, sur une bande passante qui s'étend jusqu'au domaine millimétrique. Malgré les performances des dernières technologies SiGe, la grande majorité des circuits dédiés à ce type d'application sont réalisés à partir de composants semi-conducteurs III-V : HEMT ou HBT sur substrats AsGa ou InP. Ceux-ci offrent une densité de courant drain-source ou collecteur-émetteur à haute fréquence nettement supérieure à celle des transistors intégrés sur silicium.

Les dernières technologies III-V proposées sur le marché, présentent des performances haute fréquence amplement suffisantes pour l'intégration d'un tel circuit, mais restent d'un coût élevé. Des amplificateurs *driver* MMIC pour une liaison optique à 40 Gbit/s ont néanmoins fait l'objet de réalisation à partir de technologies HEMT sur substrat AsGa, au coût modéré [1][2]. La fréquence de transition des transistors est alors située entre 60 et 90 GHz, et les circuits sont basés sur des architectures multi-étages distribuées ou différentielles « à forte désadaptation ».

Ces travaux de thèse ont pour objectif de mettre à profit la Méthode des Fréquences Réelles (MFR) pour la conception de ce type de *driver*. Les architectures de circuit sous-jacentes à cette méthode sont de type cascade de quadripôles en série. Cette disposition des étages se retrouve également dans les amplificateurs à forte désadaptation. C'est pourquoi cette architecture sera utilisée comme base à l'application de la MFR.

Réalisée à partir de HEMT, les circuits à forte désadaptation sont limités en bande passante. Leurs performances ne peuvent être améliorées par l'usage de la MFR sans modifications substantielles de l'étage « suiveur de tension », étage requis dans ce type d'architecture.

Ce chapitre présente dans un premier temps le fonctionnement du HEMT et les performances des transistors issus du procédé ED02AH proposée par la fonderie OMMIC. C'est une technologie 0,2 μm pHEMT sur AsGa au coût modéré, que nous avons utilisé pour la simulation et la réalisation des circuits durant ces travaux de thèse. Nous montrons alors l'impossibilité de réaliser à partir de cette technologie, un amplificateur à un seul étage satisfaisant au cahier des charges. Nous présentons ensuite le principe de l'amplification distribuée et celui des topologies à forte désadaptation. A des fins comparatives, un *driver* optique distribué fonctionnant à 40 Gbit/s a été réalisé et simulé en utilisant la technologie ED02AH. La troisième partie de ce chapitre est consacrée à l'implantation d'un *driver* à forte désadaptation en technologie HEMT. Les limites de performances des étages suiveur de tension à transistors HEMT sont détaillées. Nous proposons alors une architecture de circuit qui permet d'étendre la bande passante des étages suiveurs. Cette architecture servira de base à l'application de la MFR.

2 Transistors à Haute Mobilité Electronique (HEMT)

Le premier transistor à haute mobilité électronique ou HEMT (High Electron Mobility Transistor) a été réalisé en 1981 avec une structure AlGaAs/GaAs grâce aux techniques d'épithaxie MOCVD (Metal Oxide Chemical Vapor Deposition). Il offre des performances dans le domaine microonde, bien meilleures que son prédécesseur, le MESFET (Metal Semiconductor FET). Baptisé également MODFET (MODulation Doped FET), il appartient à la famille des transistors à effet de champ et possède une couche supplémentaire insérée dans la structure entre métal et semi-conducteur, qui sépare les électrons libres du canal, des atomes dopants.

2.1 Principe de fonctionnement

Comme l'indique la figure 2.1 [3], l'hétérojonction AlGaAs/AsGa ou AlGaAs/GaInAs permet d'obtenir à l'équilibre thermodynamique, un puits de potentiel bidimensionnel (dans lequel se forme un gaz électronique 2D) à leur interface dû à la différence de bande interdite et d'affinité électronique des matériaux en contact.

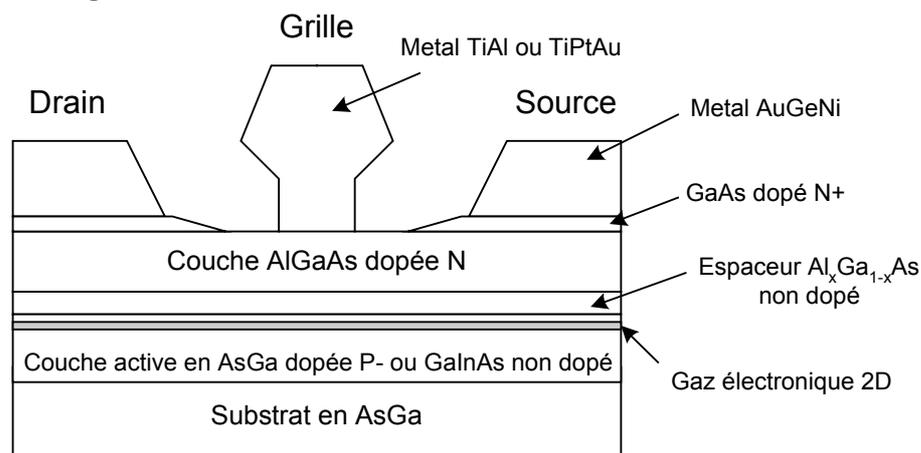


Figure 2.1: Coupe transversale d'un HEMT.

Par l'intermédiaire d'un contact Schottky à l'interface de grille métal/N-AlGaAs, la densité d'électrons libres présents dans le puits, responsable d'un courant entre le drain et la source, est contrôlée en appliquant une tension V_g sur la grille.

Le HEMT possède une vitesse de saturation des porteurs et une mobilité dans le canal supérieures à celles des FET sur silicium (tableau 2.1) [4].

	AsGa (HEMT)	Si (N-MOS)
Mobilité ($\text{cm}^2/\text{V}\cdot\text{s}$)	9000	2000
Vitesse de saturation maximale des porteurs (cm/s)	$2,2 \cdot 10^7$ (Champ élec. : 3kV/cm)	$8,0 \cdot 10^6$ (Champ élec. : 15kV/cm)

Tableau 2.1: Comparatif de performances des FET sur AsGa et sur Silicium.

HEMT pseudomorphique

Le « pHEMT » ou « HEMT pseudomorphique » possède une couche fine supplémentaire, composée d'un matériau à faible bande interdite, l'InGaAs, dont la maille cristalline est proche de celle de l'AsGa, évitant ainsi la dégradation des performances du transistor par la présence de pièges DX (à l'origine de bruit). Intercalée entre la couche espaceuse et la couche en AsGa, elle supporte en grande partie le canal bidimensionnel et permet d'augmenter la hauteur du puits de potentiel (Figure 2.2) [5].

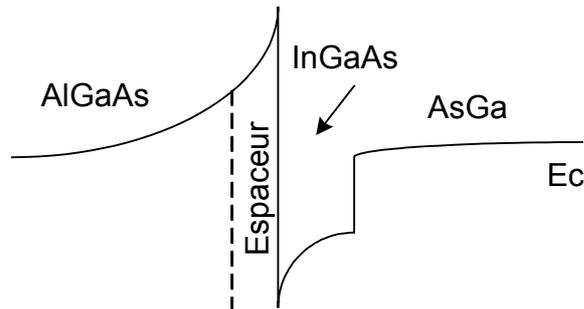


Figure 2.2: Diagramme de bande d'un pHEMT.

Les performances haute fréquence du pHEMT sont ainsi supérieures à celles des HEMT sur substrat en AsGa, en raison d'une mobilité supérieure dans un canal InGaAs par rapport au canal en AsGa et de l'amélioration du confinement. Les transistors que nous avons utilisés pour ces travaux de thèse sont des pHEMT.

Implantation

Le pHEMT implanté sur le substrat d'intégration est représenté figure 2.3.

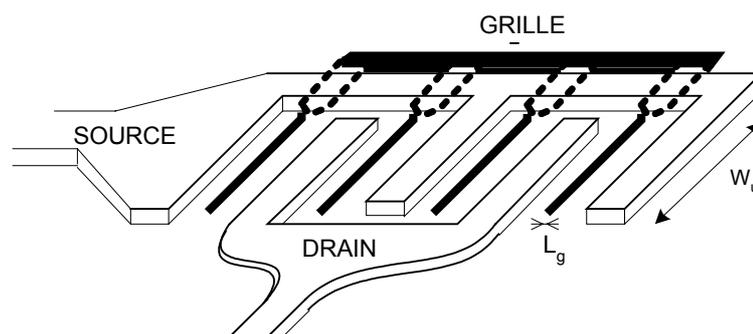


Figure 2.3: Dessin d'un pHEMT à 4 doigts de grille.

Le concepteur dispose de la largeur de grille comme paramètre de conception au sein d'une même puce, contrairement à la longueur de grille L_g qui est fixée pour l'ensemble des transistors inclus dans un même processus de fabrication.

Le choix de la largeur de grille W_{tot} détermine le courant de saturation drain source I_{dss} (en ampère) du transistor.

Les différentes tailles s'obtiennent par variation de la dimension « W_u » (largeur d'un doigt) et par mise en parallèle de plusieurs doigts de grille, comme l'illustre la figure 2.3.

La largeur totale s'exprime par $W_{tot} = \text{Nombre de doigts} \times W_u$.

2.2 Modèle équivalent petit signal d'un HEMT

Le modèle équivalent petit-signal d'un HEMT est représenté figure 2.4 [5]. Deux types d'éléments composent ce modèle :

- une partie dite « intrinsèque » (sur fond gris) pour laquelle la valeur des éléments dépend du point de polarisation,
- une partie extrinsèque, composée d'éléments parasites qui n'en dépend pas ($R_g, L_g, C_g, R_d, L_d, C_d, R_s$ et C_s).

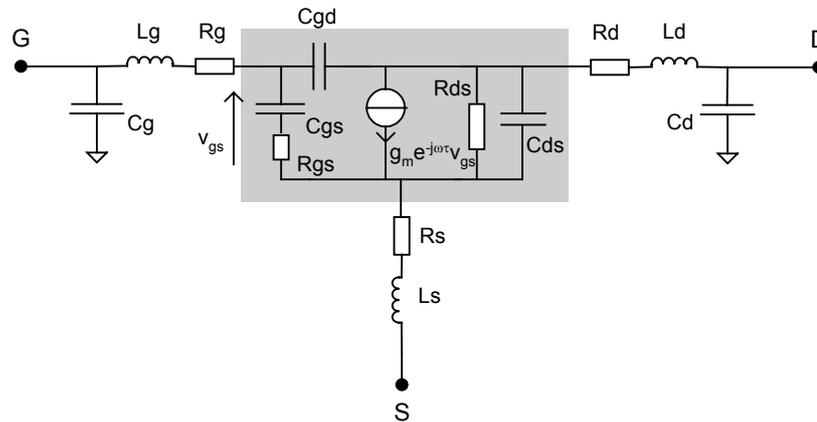


Figure 2.4: Modèle équivalent petit-signal d'un HEMT.

Le fondeur fournit les valeurs des différents éléments intrinsèques par unité de largeur de grille. Les valeurs des éléments équivalents intrinsèques pour un transistor d'une largeur de grille totale donnée W_{tot} , s'exprime par [6]:

$$\begin{aligned} C_x &= c_x \times W_{tot} \\ G_x &= g_x \times W_{tot} \\ R_x &= r_x / W_{tot} \end{aligned} \quad (2.1)$$

Les valeurs de c_x , g_x et r_x sont caractéristiques de la technologie (à longueur de grille fixée) et dépendent du point de polarisation.

Les valeurs des éléments extrinsèques dépendent de la largeur unitaire d'un doigt de grille et du nombre de doigts choisis pour le transistor.

On peut définir à partir des éléments du modèle petit-signal, la fréquence de transition f_T et la fréquence maximale d'oscillation f_{max} qui permettent d'évaluer les performances haute-fréquence d'un transistor. En ne tenant compte que des paramètres intrinsèques, on obtient :

$$f_T = \frac{g_m}{2\pi(C_{gs} + C_{gd})} \quad (2.2)$$

$$f_{max} = f_T \sqrt{\frac{R_{ds}}{4R_{gs}}}$$

Ces figures de mérite donnent une vision plus réaliste des limites en fréquence du HEMT, notamment lorsque la longueur de grille est faible (inférieure à 0,1 μm), si on inclut les éléments parasites. Elles peuvent ainsi s'exprimer par [5]:

$$f_T = \frac{g_m/2\pi}{[C_{gs} + C_{gd}][1 + (R_s + R_d)/R_{ds}] + C_{gd}g_m(R_s + R_d)} \quad (2.3)$$

$$f_{max} = \frac{f_T}{\sqrt{4g_{ds}\left(R_{gs} + \frac{R_s + R_g}{1 + g_m R_s}\right) + \frac{4}{5}\frac{C_{gd}}{C_{gs}}\left(1 + \frac{2.5C_{gd}}{C_{gs}}\right)(1 + g_m R_s)^2}}$$

Les expressions (2.2) de la fréquence de transition et de la fréquence maximale d'oscillation montre que la largeur de grille choisie n'influe pas à première vue sur les performances haute fréquence du HEMT. Toutefois, la prise en compte des éléments parasites dans ces expressions met en évidence la dépendance entre la taille du transistor et ses limites en fréquences de fonctionnement.

Les relations (2.3) et le modèle petit signal présenté figure 2.4, s'avèrent d'autre part insuffisants pour des transistors à largeur de grille totale élevée. Un nombre de doigts de grille élevé nécessitera une modélisation distribuée à très haute fréquence. Un des circuits réalisé pour ces travaux de thèse utilise un transistor d'une largeur de grille de 450 μm . Cette valeur peut être considérée comme une largeur « limite » vis-à-vis du modèle petit-signal présenté ici, mais nous conserverons néanmoins ce modèle pour sa simplicité.

2.3 Caractéristiques des pHEMT du procédé ED02AH

La figure 2.5 présente la caractéristique courant-tension du HEMT pseudomorphique de la technologie ED02AH (longueur de grille 0,2 μm), d'une largeur de grille totale de 90 μm , développée par la fonderie OMMIC. La tension de seuil V_{th} pour ces transistors est de -0,9 V. Leur tension de claquage est d'environ 10 V [6].

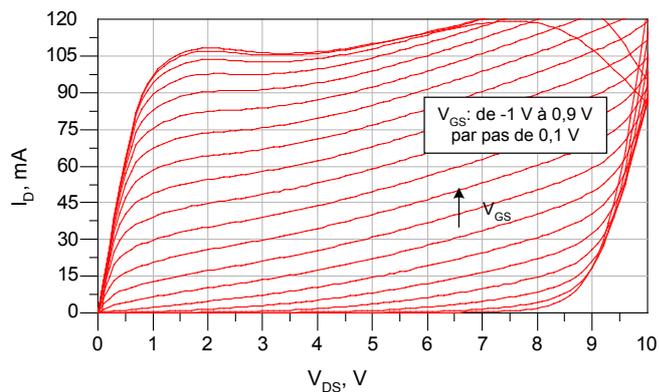


Figure 2.5: Caractéristique courant-tension d'un pHEMT "ON". Largeur de grille : 8x25 μm .

Le processus de fabrication ED02AH permet également de réaliser des transistors possédant une tension de seuil plus élevée par une gravure supplémentaire de la couche AlGaAs. Elle offre ainsi un degré de liberté supplémentaire pour le concepteur notamment par la possibilité d'un décalage en tension. La figure 2.6 représente la caractéristique courant-tension de ces HEMT qui possèdent une tension de seuil de 0,225 V.

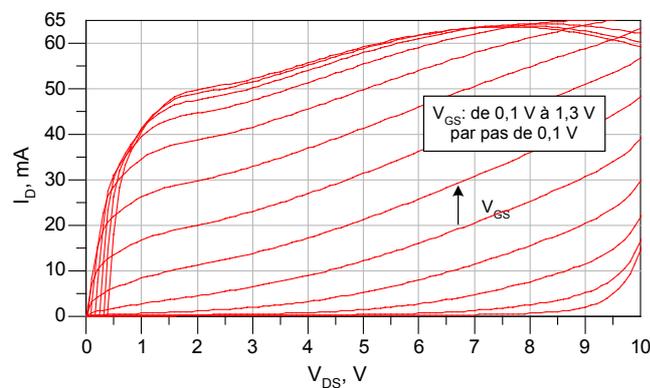


Figure 2.6: Caractéristique courant-tension d'un pHEMT "OFF". Largeur : 8x25 μm .

Les transistors « ON » du procédé ED02AH ont une fréquence de transition comprise entre 80 et 90 GHz et une fréquence maximale d'oscillation de 120 GHz. Le tableau 2.2 donne les paramètres petit signal d'un transistor « ON » d'une largeur de grille totale de 6x15 μm dont la caractéristique courant-tension a été présentée figure 5. Le point de polarisation est : $V_{GS}=0\text{ V}$ et $V_{DS}=3\text{ V}$.

g_m	C_{gs}	R_{gs}	C_{ds}	R_{ds}	C_{gd}	R_g	R_d	R_s	L_g	L_d	L_s	C_g	C_d
129mS	208fF	0.7 Ω	49fF	128 Ω	34fF	0.65 Ω	2.7 Ω	2.7 Ω	9pH	9pH	6pH	10fF	3.6fF

Tableau 2.2: Valeurs des paramètres du modèle équivalent petit-signal d'un HEMT « ON » (ed02AH OMMIC). A $V_{GS}=0\text{ V}$, $V_{DS}=3\text{ V}$. $W_{tot}=8 \times 25\ \mu\text{m}$.

2.4 Implantation de diodes

Outre les transistors, les diodes sont des composants actifs fréquemment utilisés dans la conception de circuits intégrés microondes.

Afin d'en limiter le coût, elles sont généralement obtenues à partir des étapes déjà existantes dans le processus de fabrication. Elles sont le plus souvent réalisées à partir du contact Schottky grille-canal pour les technologies à HEMT.

Dans le cadre de cette étude, un modèle petit signal discret de ce type de diode, qu'on rappelle ici (figure 2.7), peut suffire [6].

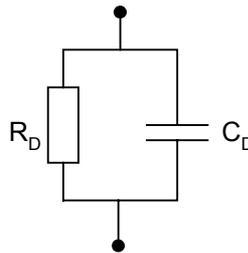


Figure 2.7: Schéma petit signal d'une diode.

Toutefois, les contacts grille-GaAlAs utilisés dans les technologies HEMT ne peuvent être réalisés que sur des surfaces faibles, limitant ainsi le courant continu que peuvent supporter les diodes lorsqu'elles sont polarisées dans le sens direct.

La fonderie OMMIC propose un autre type de diode Schottky au sein du processus de fabrication de la technologie HEMT, permettant de supporter des densités de courant plus élevées que les précédentes. L'électrode métallique du contact Schottky est obtenue à partir d'une autre couche de métallisation que celle constituant la grille des transistors. Un contact d'une largeur de $3\ \mu\text{m}$ ($0,2\ \mu\text{m}$ pour le contact de grille) peut ainsi être implanté.

3 Architectures pour un driver dans une liaison SDH à 40 Gbit/s en technologie HEMT

3.1 Limites de performances d'un amplificateur ultra large bande simple étage pour la réalisation de driver intégré

Les spécifications exposées dans le chapitre 1, peuvent être atteinte à partir d'un seul étage à transistor monté en source commune, si la technologie possède des performances hautes fréquences suffisantes. On montre que l'usage d'une technologie HEMT comme celle issue du procédé ED02AH (OMMIC) nécessite une architecture à plusieurs étages de gain.

3.1.1 Amplificateurs ultra large bande à étage source HEMT

Etage source commune HEMT

Un modèle équivalent petit signal simplifié de l'étage source commune HEMT est présenté figure 2.8.

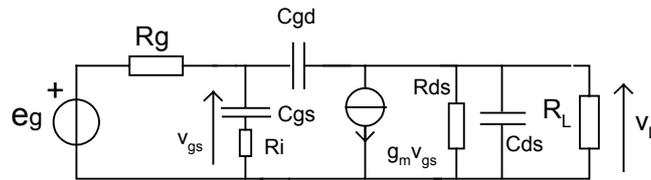


Figure 2.8: Schéma équivalent petit signal d'un HEMT monté en source commune.

A partir de ce modèle, on peut mettre en évidence les propriétés amplificatrices du montage.

Le gain en tension (v_L/v_e), où $v_{gs}=v_e$, s'exprime par :

$$A_v = \frac{-g_m + jC_{gd}\omega}{g_d + 1/R_L + j(C_{gd} + C_{ds})\omega} \quad (2.4)$$

En négligeant la résistance R_i , l'admittance d'entrée est donnée par :

$$Y_e = j \left[C_{gs} + C_{gd} \left[1 - \frac{jC_{gd}\omega}{g_m + g_{ds} + 1/R_L + j(C_{gd} + C_{ds})\omega} \right] \right] \omega \quad (2.5)$$

avec $g_{ds}=1/R_{ds}$.

L'admittance de sortie est donnée par :

$$Y_s = g_{ds} + jC_{ds}\omega + j \left[\frac{g_m + 1/R_G + jC_{gs}\omega}{1/R_G + j(C_{gs} + C_{gd})\omega} \right] C_{gd}\omega \quad (2.6)$$

Les paramètres S de l'étage source commune s'expriment analytiquement par :

$$|S_{21}|^2 = 4|A_v|^2 \left| \frac{1}{1 + R_0 Y_e} \right|^2 \quad (2.7)$$

$$|S_{11}|^2 = \left| \frac{1 - R_0 Y_e}{1 + R_0 Y_e} \right|^2 \quad (2.8)$$

$$|S_{22}|^2 = \left| \frac{1 - R_0 Y_s}{1 + R_0 Y_s} \right|^2 \quad (2.9)$$

avec $R_G=R_L=R_0$, où R_0 est l'impédance de référence des paramètres S.

Les paramètres S d'un pHEMT « ON » d'une largeur de $8 \times 25 \mu\text{m}$, polarisé à $V_{GS} = 0 \text{ V}$ et $V_{DS} = 3 \text{ V}$, sont présentés figure 2.9, 2.10 et 2.11. Ils sont comparés aux paramètres S d'un amplificateur ultra large bande satisfaisant au cahier des charges du *driver*.

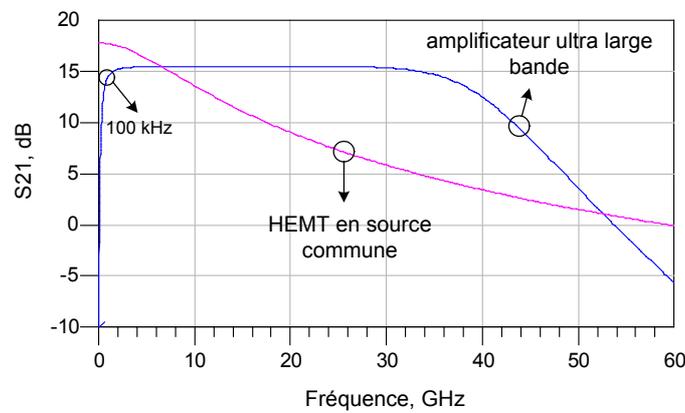


Figure 2.9: Gain transductique d'un étage source commune pHEMT et d'un *driver* ultra large bande.

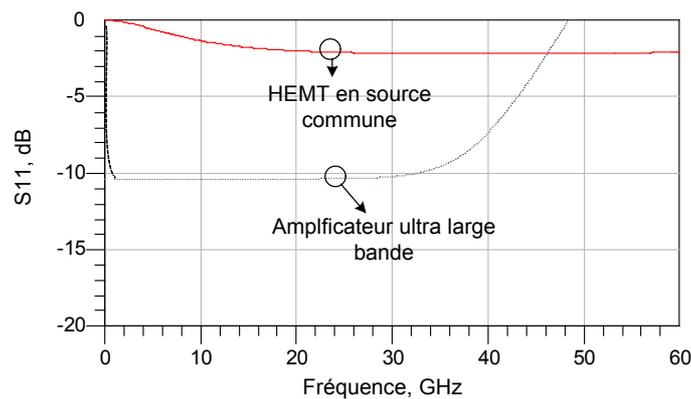


Figure 2.10: Coefficient de réflexion en entrée d'un étage source commune HEMT et d'un *driver* ultra large bande.

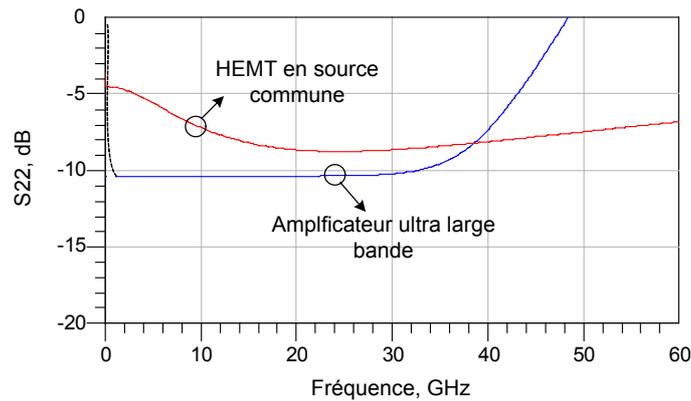


Figure 2.11: Coefficient de réflexion en entrée d'un étage source commune HEMT et d'un *driver* ultra large bande.

Amplificateur ultra-large bande

L'étage source commune n'atteint pas intrinsèquement les spécifications souhaitées pour l'amplificateur ultra large bande (figure 2.9, 2.10 et 2.11). L'approche classique de conception d'amplificateur microonde consiste alors à insérer des égaliseurs passifs en entrée et en sortie du transistor pour atteindre les performances de gain et de coefficients de réflexion spécifiés sur la bande passante (figure 2.12).

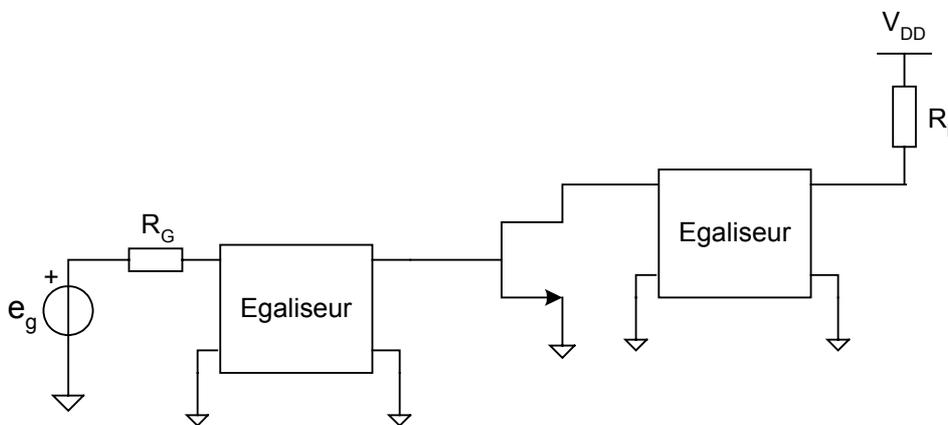


Figure 2.12: Transistor adapté en entrée et en sortie par des égaliseurs passifs.

D'après l'expression (2.5), l'entrée de l'étage source commune est purement capacitive. Aux très basses fréquences le coefficient de réflexion d'entrée tend vers 0 dB (figure 2.10). A une fréquence basse inférieure à quelques centaines de mégahertz, les éléments passifs, inductances et capacités constituant l'égaliseur, doivent être de valeur élevée pour diminuer le coefficient de réflexion en entrée sans dégrader le gain transductique. Ces valeurs sont généralement incompatibles avec l'intégration monolithique.

Les spécifications sur le coefficient de réflexion d'entrée imposées par le cahier des charges (-10 dB depuis la fréquence nulle) conduisent à intégrer une résistance en parallèle sur la grille du transistor (figure 2.13). Cette résistance permet de plus de stabiliser l'étage source commune à très basse fréquence.

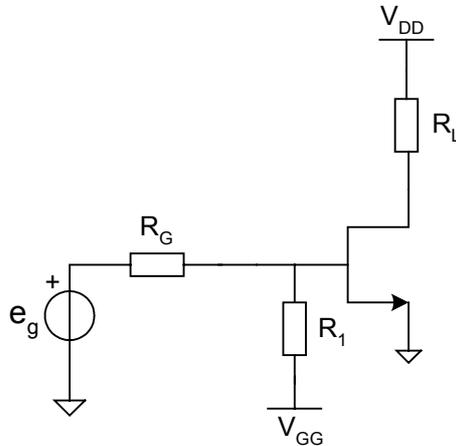


Figure 2.13 : Etage source commune adapté à perte.

En présence de la résistance R_1 , l'admittance d'entrée Y_e de l'étage source commune devient:

$$Y_e' = 1/R_1 + Y_e \quad (2.10)$$

D'après (2.8), le coefficient de réflexion d'entrée s'exprime à la fréquence nulle par :

$$|S_{11}(0)|^2 = \left| \frac{R_1 - R_0}{R_1 + R_0} \right|^2 \quad (2.11)$$

La résistance R_1 fixe ainsi la valeur du coefficient de réflexion d'entrée à la fréquence nulle. La figure 2.14 compare le coefficient de réflexion en entrée de l'étage avec et sans la résistance en parallèle sur la grille, pour $R_1=88 \Omega$.

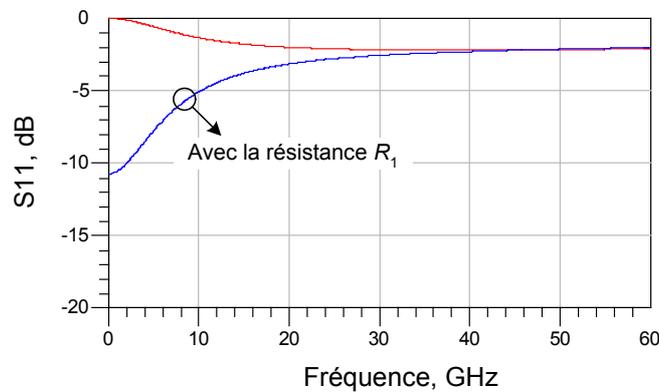


Figure 2.14: Coefficient de réflexion en entrée de l'étage source commune avec et sans résistance en parallèle sur la grille.

Le rôle d'un égaliseur d'adaptation en entrée (figure 2.15) est alors de maintenir le coefficient de réflexion en entrée en dessous de sa valeur DC sur la bande passante considérée. Cette étage est appelé habituellement « cellule adapté à perte ».

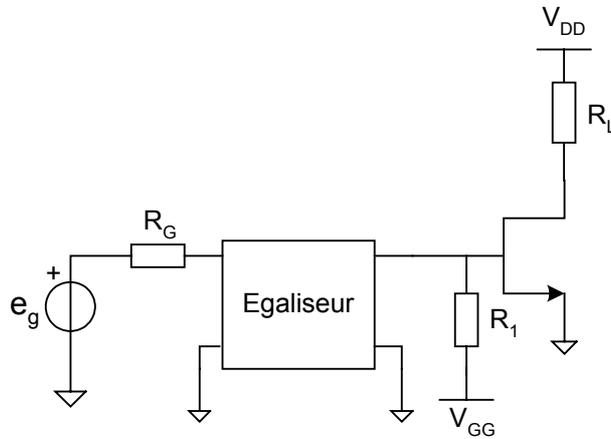


Figure 2.15: Adaptation en entrée d'un étage source commune adapté à perte.

3.1.2 Nécessité d'une architecture multi-étages

On montre alors à partir des paramètres de la technologie, qu'un égaliseur passif (non-dissipatif) d'entrée ne permet pas d'atteindre les spécifications de gain, de bande passante et de coefficient de réflexion en entrée fixées par le cahier des charges.

Pour cela, on considère un modèle unilatéral pour le transistor, obtenu à l'aide du théorème de Miller (figure 2.16).

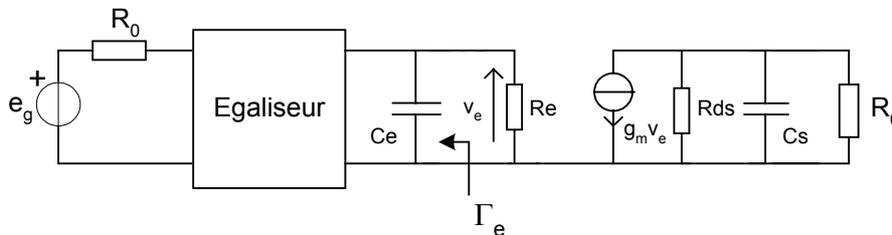


Figure 2.16: Approximation par le théorème de Miller d'un étage source commune adapté à perte en présence d'un égaliseur d'entrée.

En présence d'un gain en tension DC, la capacité C_{gd} mise en contre-réaction est ramenée en entrée du montage, multipliée par le gain en tension.

Les capacités équivalentes en entrée C_e et en sortie C_s s'expriment alors par :

$$\begin{aligned}
 C_e &= C_{gd}(1 - A_{DC}) + C_{gs} \\
 C_s &= C_{gd} \frac{1 - A_{DC}}{A_{DC}} + C_{ds} \\
 A_{DC} &= -g_m R_s \\
 R_s &= R_{ds} // R_L
 \end{aligned}
 \tag{2.12}$$

La capacité C_e en parallèle avec la résistance R_e fait croître le module du coefficient de réflexion d'entrée avec la fréquence. Le critère de restriction gain-bande permet alors de déterminer jusqu'à quelle fréquence il est possible de maintenir le coefficient de réflexion en dessous d'une certaine valeur spécifiée, par le biais d'un égaliseur passif sans perte. En utilisant l'expression développée dans l'annexe 1, cette fréquence est donnée par :

$$f_c \leq \frac{1}{2R_e C_e \ln \left| \frac{R_e + R_0}{R_e - R_0} \right|} \quad (2.13)$$

L'égaliseur étant transparent à la fréquence nulle, le coefficient de réflexion d'entrée et le gain transductique de l'amplificateur s'expriment par :

$$|S_{11}(0)| = \left| \frac{R_e - R_0}{R_e + R_0} \right| \quad (2.14)$$

$$|S_{21}(0)| = 2 \frac{g_m R_0 R_e R_s}{(R_0 + R_e)(R_0 + R_s)} \quad (2.15)$$

Une valeur maximale de -10 dB pour le coefficient d'entrée à la fréquence nulle impose une plage de valeur possible pour la résistance R_e , telle que :

$$28\Omega \leq R_e \leq 88\Omega \quad (2.16)$$

A partir des relations (2.15) et (2.1), on peut exprimer la résistance R_e en fonction du gain $|S_{21}(0)|$ souhaité, de la largeur de grille totale W du transistor et des paramètres intrinsèques à la technologie. On obtient :

$$R_e = \frac{|S_{21}(0)| R_0}{\frac{2g_{m0} W R_0 R_{ds0}}{R_{ds0} + W R_0} - |S_{21}(0)|} \quad (2.17)$$

g_{m0} (en mS/mm) et R_{ds0} (en Ω .mm) dépendent uniquement de la technologie utilisée.

Des relations (2.12), on tire une expression de la capacité C_e en fonction de la largeur de grille et des paramètres C_{gd0} (en pF/mm) et C_{gs0} (en pF/mm) intrinsèques à la technologie:

$$C_e = W \left[C_{gd0} \left(1 + g_{m0} \frac{W R_0 R_{ds0}}{R_{ds0} + W R_0} \right) + C_{gs0} \right] \quad (2.18)$$

En substituant dans la relation (2.13) les expressions (2.17) et (2.18) de R_e et C_e , on obtient une expression de la bande passante maximale à gain plat que l'on peut obtenir en fonction de la largeur de grille du transistor, pour une technologie donnée et sur charges fixées (ici $R_G=R_L=R_0=50\Omega$).

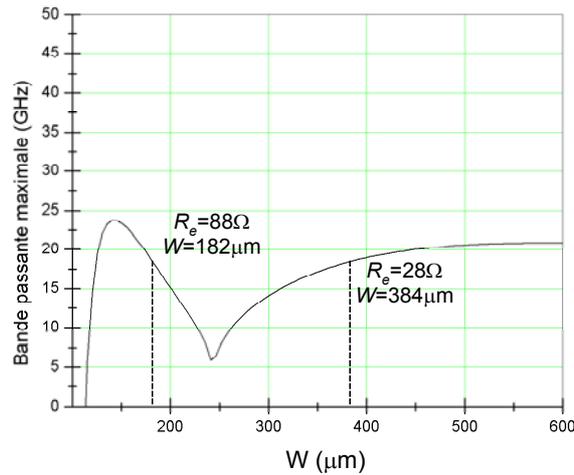


Figure 2.17: Bande passante maximale réalisable en présence d'un égaliseur d'entrée en fonction de la largeur de grille..

La figure 2.17 représente la fonction obtenue pour un HEMT « ON » du procédé ED02AH², polarisé à $V_{GS}=0$ V et $V_{DS}=3$ V. Le gain DC est fixé à 15,5 dB. Il apparaît clairement qu'une bande passante de 40 GHz ne peut pas être atteinte avec la technologie considérée, et ceci quelque soit la largeur de grille choisie pour le transistor.

Un seul transistor ne sera donc pas suffisant pour satisfaire conjointement les exigences de gain, d'adaptation en entrée, et d'une bande passante de 40 GHz. Ainsi, le cahier des charges imposé et l'usage d'une technologie MMIC commerciale à coût modéré, nécessite la réalisation d'un amplificateur à plusieurs étages de gain. Toutefois, la mise en cascade d'étages source commune impose l'usage de capacités de liaison entre étages. Ces capacités, à l'origine d'une fréquence de coupure basse dans la réponse de l'amplificateur, doivent être de forte valeur (>5 nF) pour atteindre une fréquence inférieure à 100 kHz. De telles valeurs ne sont pas compatibles avec l'intégration monolithique.

Les topologies d'amplificateurs distribués et d'amplificateurs à forte désadaptation avec étages suiveur de tension sont des architectures multi-étages qui s'affranchissent de capacités de liaisons. D'autre part, elles ont des caractéristiques très large-bande qui font d'elles un usage commun dans la réalisation de *driver* intégré à transistor HEMT.

² HEMT "ON": $V_{GS}=0$ V, $V_{DS}=3$ V, $g_{m0}=0,644$ mS/mm, $C_{gs0}=981$ fF/mm, $C_{gd0}=112$ fF/mm, $R_{ds0}=25.58$ Ω .mm.

3.2 Principe de l'amplification distribuée

Le concept d'amplification distribuée, initié au début des années trente pour satisfaire aux exigences des amplificateurs vidéo, est un recours habituel lorsque les performances demandées en terme de bande passante sont aux limites de celles que propose la technologie. Outre l'absence de capacités de liaisons, les amplificateurs distribués ont un produit gain-bande et une puissance de sortie linéaire plus élevés qu'une réalisation cascadée comptant la même largeur totale de grille des transistors. C'est pourquoi, ils sont encore la solution la plus utilisée pour le *driver* d'une liaison sur fibre optique à 40 Gbit/s.

3.2.1 Principe de fonctionnement

Le schéma d'un amplificateur distribué, construit avec des transistors FET est représenté sur la figure 2.18. Les transistors sont répartis de telle sorte que leur grille et leur drain soient inclus séparément dans deux lignes de transmission artificielles [7][8].

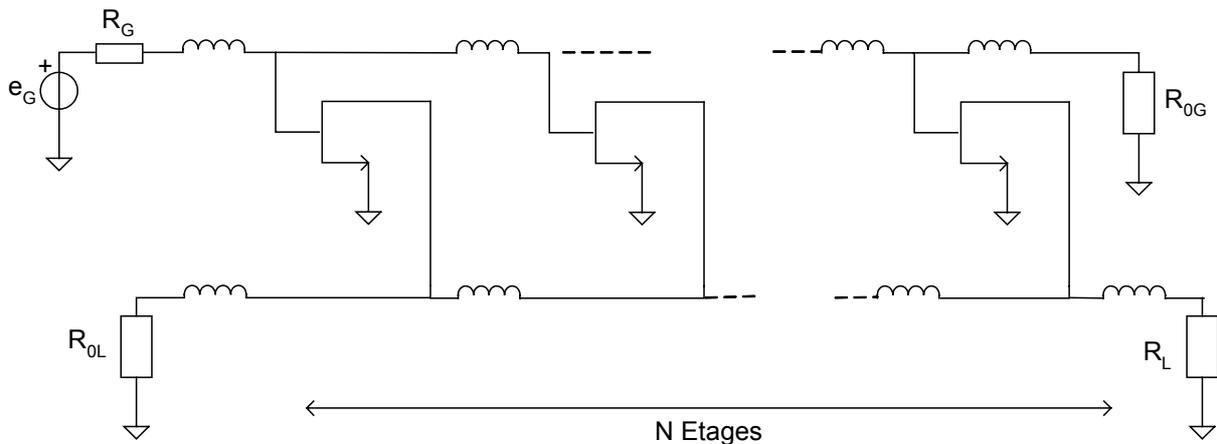


Figure 2.18: Disposition des transistors dans un amplificateur distribué.

Le réseau élémentaire en Té ou en Pi de chacune des lignes est formé d'éléments inductifs (des lignes de transmission inductives pour les MMIC) et de la capacité C_{gs} (figure 2.19,a) ou C_{ds} (figure 2.19,b), si l'on se réfère au modèle du transistor en source commune présenté figure 2.8. On négligera cependant C_{gd} , en supposant que chaque transistor est de petite taille.

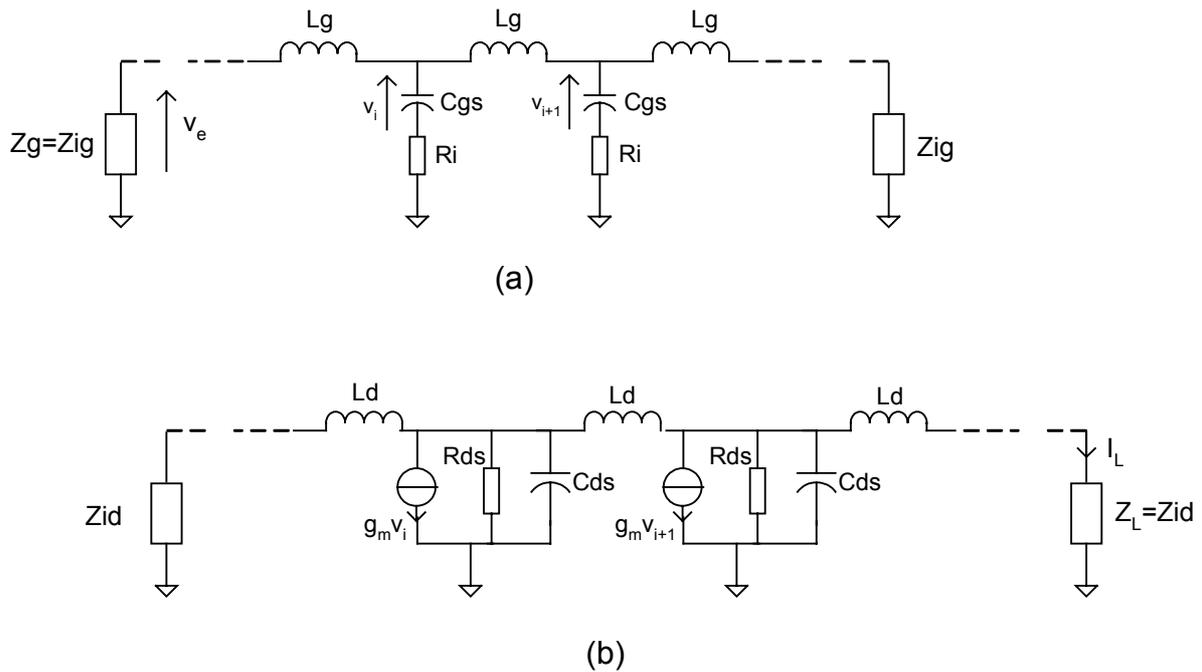


Figure 19: Schémas équivalents de la ligne artificielle de grille, a), et de la ligne artificielle de drain, b).

L'entrée s'effectue sur la ligne de grille, et la sortie sur la ligne de drain. L'amplification opère par le couplage entre les deux lignes artificielles réalisé par les transconductances g_m , qui sont « distribuées » dans la ligne de drain.

On modélise les lignes artificielles par leurs paramètres images (θ_g, Z_{I_g}) et (θ_d, Z_{I_d}) , où les paramètres θ_g et θ_d sont les fonctions de propagation et les paramètres Z_{I_g} et Z_{I_d} , les impédances caractéristiques des quadripôles symétriques équivalents aux lignes.

Lorsque les lignes sont fermées par leur impédance caractéristique, l'impédance vue en chaque nœud de la ligne, en direction de l'une ou l'autre de ses terminaisons, est cette impédance caractéristique. Les fonctions de propagation se mettent sous la forme :

$$\begin{aligned}\theta_g &= A_g + j\Phi_g \\ \theta_d &= A_d + j\Phi_d\end{aligned}\quad (2.19)$$

où A_g et A_d sont les fonctions d'atténuation.

Le couplage entre les lignes nécessite la synchronisation des ondes propageantes et donc l'égalité de vitesse de phase, imposant $\Phi_g = \Phi_d$. Cette condition conduit de ce fait à l'égalité des fréquences de coupure des lignes.

On peut exprimer la puissance d'entrée P_e ainsi que la puissance délivrée à la charge P_L par :

$$P_e = \frac{|v_e|^2}{2|Z_{I_g}|^2} \operatorname{Re}(Z_{I_g}) = \frac{1}{2} \frac{|v_e|^2}{\sqrt{\frac{L_g}{C_g} \left(1 - \left(\frac{\omega}{\omega_c}\right)^2\right)}} \quad (2.20)$$

$$P_L = \frac{1}{2} |I_L|^2 \operatorname{Re}(Z_{I_d}) = \frac{1}{2} |I_L|^2 \sqrt{\frac{L_d}{C_d} \left(1 - \left(\frac{\omega}{\omega_c}\right)^2\right)}$$

où ω_c est la pulsation de coupure de la ligne.

Pour N transistors identiques, le courant I_L est donné par :

$$I_L = \frac{1}{2} g_m e^{-\theta_d/2} \left[\sum_{i=1}^N v_i e^{-(N-i)\theta_d} \right] \quad (2.21)$$

La tension v_i s'exprime en fonction de la tension d'entrée v_e , par :

$$v_i = \frac{v_e e^{-(2i-1)\theta_g/2 - j \tan(\omega/\omega_g)}}{\sqrt{\left[1 + \left(\frac{\omega}{\omega_g}\right)^2\right] \left[1 - \left(\frac{\omega}{\omega_c}\right)^2\right]}} \quad (2.22)$$

Le gain en puissance est donné finalement par,

$$G = \frac{P_L}{P_e} = \frac{g_m^2 R_{01} R_{02} \sinh^2\left(\frac{N}{2}(A_d - A_g)\right) e^{-N(A_d + A_g)}}{4 \left[1 + \left(\frac{\omega}{\omega_g}\right)^2\right] \left[1 - \left(\frac{\omega}{\omega_c}\right)^2\right] \sinh^2\left[\frac{1}{2}(A_d - A_g)\right]} \quad (2.23)$$

où $R_{01} = \sqrt{L_g/C_g}$ et $R_{02} = \sqrt{L_d/C_d}$, sont les parties réelles des impédances caractéristiques de la ligne de grille et de la ligne de drain.

$$\omega_g = 1/R_i C_{gs} \quad \omega_d = 1/R_{ds} C_d$$

$$\omega_c = \frac{2}{\sqrt{L_g C_{gs}}} = \frac{2}{\sqrt{L_d C_d}} \quad (2.24)$$

L'atténuation s'exprime alors par :

$$A_g = \frac{(\omega_c / \omega_g) X_k^2}{\sqrt{1 - \left[1 - \left(\frac{\omega_c}{\omega_g} \right)^2 \right] X_k^2}} \quad (2.25)$$

$$A_d = \frac{\omega_d / \omega_c}{\sqrt{1 - X_k^2}}$$

avec $X_k = \omega / \omega_c$.

En posant $R_{01}=R_{02}=R_0$, le gain transducique DC (et par extension le gain en milieu de bande) est donné par:

$$G_T(0) = \left(\frac{Ng_m R_0}{4} \right)^2 \quad (2.26)$$

En négligeant l'atténuation dans les lignes, la bande passante de l'amplificateur distribué est égale à la fréquence de coupure ω_c des lignes.

Toutefois, bien que la résistance R_i puisse être parfois négligée, la conductance G_{ds} ($1/R_{ds}$) est trop élevée pour pouvoir considérer la ligne de drain comme étant sans pertes.

En tenant compte des pertes dans les deux lignes, on peut montrer qu'à une fréquence donnée, il existe un nombre optimal de transistors N_{opt} qui maximise le gain de l'amplificateur :

$$N_{opt} = \frac{\ln(A_d / A_g)}{A_d - A_g} \quad (2.27)$$

L'atténuation dans les lignes, qui dégrade en premier lieu la bande passante de l'amplificateur, est un paramètre critique qu'il faut minimiser.

D'autre part, la capacité C_{gd} , qui n'a pas été prise en compte dans cette analyse, contribue également, par l'effet Miller, à diminuer la fréquence de coupure maximale que l'on peut réaliser pour la ligne de grille. Son influence est toutefois minime lorsque les transistors sont de petite taille.

Pour diminuer la capacité équivalente à l'entrée de chaque transistor et pour compenser les pertes dans la lignes de sortie, l'étage source commune est habituellement remplacé par un étage cascode (figure 2.20) [9][10].

Sur la figure 2.20, les lignes inductives l_1 et l_2 sont ajoutées à chaque cellule cascode : l'une pour réaliser un « peaking »³ sur la cellule, l'autre pour compenser les pertes dans la ligne de sortie par effet de résistance négative.

³ Le «peaking» est une technique pour étendre la bande passante d'une réponse passe-bas par mise en résonance d'un pôle d'atténuation. A partir d'une réponse du premier ordre, on peut obtenir une réponse d'ordre deux à gain plat maximal

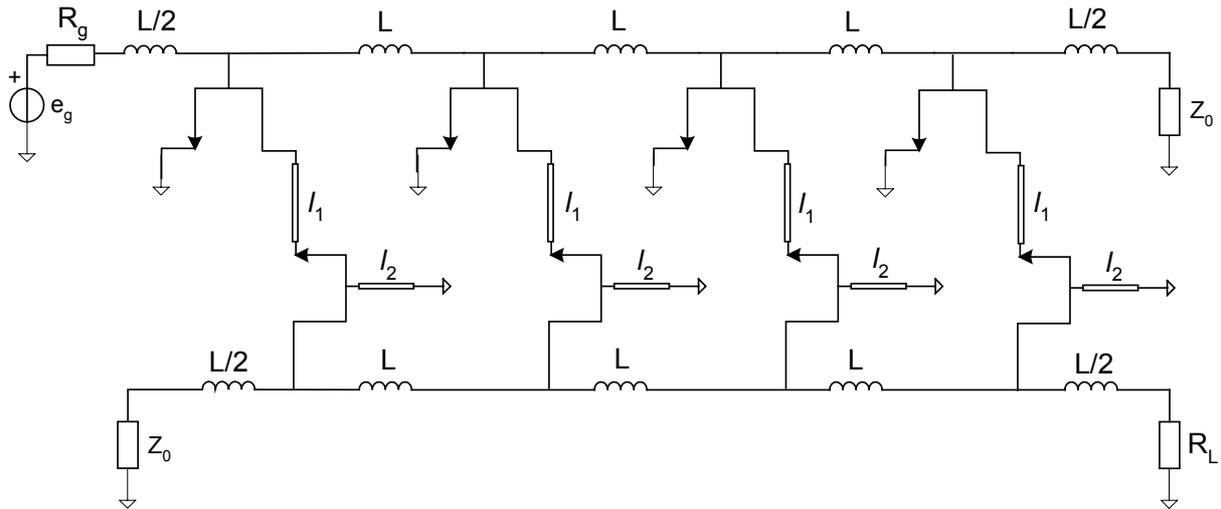


Figure 2.20: Amplificateur à cellule cascode distribuée.

3.2.2 Puissance linéaire dans un amplificateur distribué

En terme de puissance linéaire maximale, la configuration distribuée est plus avantageuse qu'une topologie de circuit basée sur une cascade d'étages source commune.

En effet, bien que la moitié de la puissance soit perdue dans les résistances de terminaison, chaque transistor contribue à la puissance fournie à la charge, contrairement à une cascade série où seul le transistor de sortie est responsable de la puissance maximale qui peut être fournie à la charge [11][12].

Ainsi pour un amplificateur distribué comptant n étages, le courant de saturation I_{DSS} pour chaque transistor, dont dépend leur largeur de grille, devra avoir une valeur d'au moins :

$$I_{DSS \min} = \frac{2\Delta V_{Lpp}}{nZ_L} \quad (2.28)$$

où l'on suppose que l'impédance de charge Z_L est égale à l'impédance caractéristique des lignes.

Ainsi à puissance linéaire maximale identique en sortie de l'amplificateur, les transistors pourront avoir une largeur de grille bien plus faible que dans le cas d'une topologie en cascade série.

Ou, à largeur de grille identique, la technologie mise en œuvre pourra être de longueur de grille plus faible (fréquence de coupure plus élevée), et pourra fournir la même puissance.

3.3 Principe des topologies à forte désadaptation

Développée initialement pour améliorer les performances des amplificateurs vidéos, l'approche de conception dite « à forte désadaptation » (« Strong Mismatch ») a été introduite par E.M.Cherry et D.E.Hooper en 1963 et appliquée en premier lieu à la conception d'amplificateurs à transistors bipolaires en technologie hybride [13]. C'est une architecture de type cascade série, qui permet, sans égaliseur passif d'adaptation, d'obtenir un produit gain-bande en tension plus élevé qu'une cascade série d'étage source commune.

3.3.1 Cascade de source commune

On considère le modèle de l'étage source commune présenté figure 2.16. Dans une cascade série d'étages source commune identiques (figure 2.26), le gain en tension de deux étages source commune successifs vaut:

$$A_v = \frac{v_s}{v_e} = \left(\frac{-g_m R_{tot}}{1 + jR_{tot} C_{tot} \omega} \right)^2 \quad (2.29)$$

avec $R_{tot} = R_C // R_{ds}$ et $C_{tot} = C_e + C_s$.

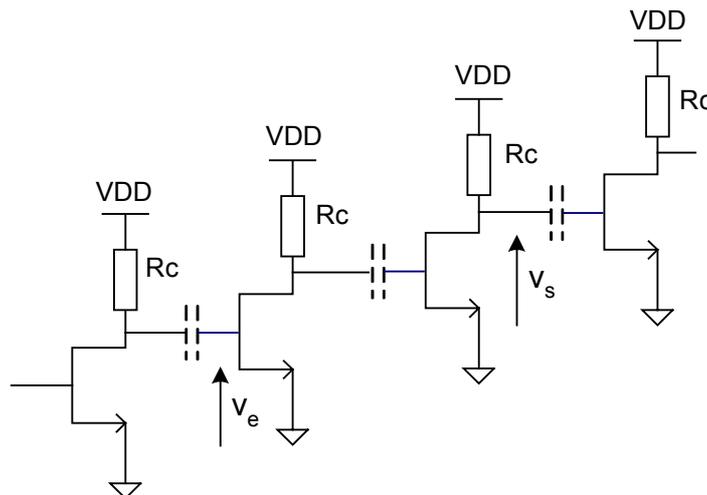


Figure 2.26: Schéma générique d'une cascade d'étages source commune.

La fréquence de coupure à -3 dB pour le gain en tension est dominée par le pôle $p_0 = 1/R_{tot}C_{tot}$ [9]. La bande passante peut être augmentée par diminution de la résistance R_{tot} ,

mais au détriment du gain dans la bande. La valeur élevée de la capacité ramenée entre les étages, due à l'effet Miller, limite dans tous les cas la bande passante. La situation est à peu près similaire pour des transistors bipolaires, bien que la bande passante soit encore réduite par la présence de la résistance d'accès à la base.

3.3.2 Topologies à forte désadaptation

Le principe des montages à forte désadaptation est illustré par le schéma idéalisé de la figure 2.27 [14]. Dans une cascade série de quadripôles, le transfert en tension entre étages s'effectue sans atténuation, lorsque la résistance de sortie r du premier étage est très faible devant la résistance d'entrée R de l'étage suivant.

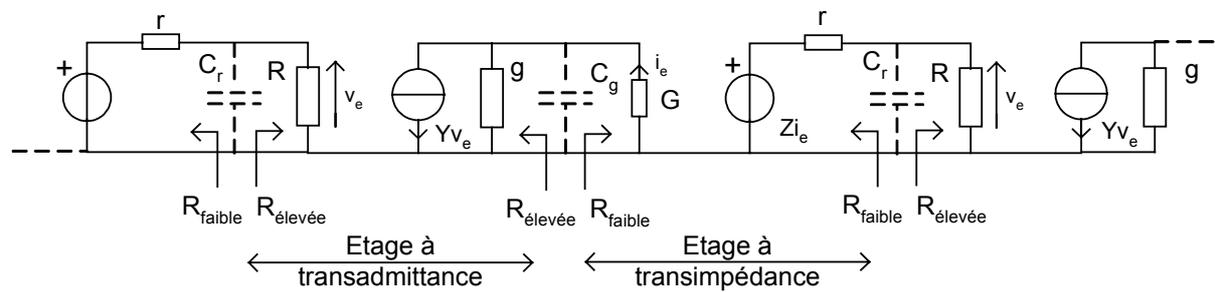


Figure 2.27: Principe de la topologie à forte désadaptation.

Il en est de même pour le transfert en courant lorsque $g \ll G$. La résistance totale vue aux nœuds d'interconnexion est environ égale à r ou $1/G$ et possède alors une valeur faible. Les pôles d'atténuation $-1/rC_r$ et $-G/C_g$ ramenés par des capacités parallèle C_r ou C_g aux nœuds d'interconnexion, ont ainsi une valeur élevée. Un étage à transadmittance *TAS* possède idéalement des impédances d'entrée et de sortie très élevées. Un étage à transimpédance *TIS* possède des impédances d'entrée et de sortie très faibles. Ainsi une cascade alternée d'étages *TAS* et *TIS* permet le transfert en tension ou en courant sans atténuation entre étage.

Le gain en tension d'un étage à transadmittance suivi d'un étage à transimpédance, en supposant que les deux étages sont insérés au sein d'une succession infinie de ce même double étage, s'exprime par :

$$A_v = ZY \frac{R}{r+R} \frac{G}{g+G} \frac{1}{(1+j(R//r)C_r\omega)} \frac{1}{\left(1+j\frac{C_g}{(G+g)}\omega\right)} \quad (2.30)$$

ou Z représente le gain de transimpédance et Y , le gain de transadmittance.

Le gain A_v est donné après simplification ($r \ll R$ et $g \ll G$) de l'expression (2.30), par :

$$A_v \approx ZY \frac{1}{(1+jrC_r\omega)} \frac{1}{\left(1+j\frac{C_g}{G}\omega\right)} \quad (2.31)$$

$-1/rC_r$ et $-G/C_g$ sont alors deux pôles simples de valeurs très élevées. La bande passante pour le gain en tension est ainsi très étendue.

De ce fait, on peut considérer que les performances large-bande du montage cascode, sont régies non seulement par la réduction de l'effet Miller, mais également par le principe de forte désadaptation : la succession *émetteur commun* – *base commune* ou *source commune-grille commune*, pouvant être vue comme la cascade d'un étage à transadmittance et d'un étage de gain en courant.

Le double étage *TAS/TIS* mis au point par E.M.Cherry et D.E.Hooper (figure 2.28), est constitué d'un transistor bipolaire monté en émetteur commun pourvu d'une contre-réaction série, améliorant ses propriétés d'étage à transadmittance (impédances d'entrée R_e et de sortie R_s élevées, gain Y « large bande » supérieur à $1/R_s$), suivi d'un transistor bipolaire doté d'une contre-réaction parallèle, dont le modèle corrobore de manière satisfaisante celui d'un étage à transimpédance (impédance d'entrée R_e et de sortie R_s faibles, gain Z « large bande » et supérieur à R_s).

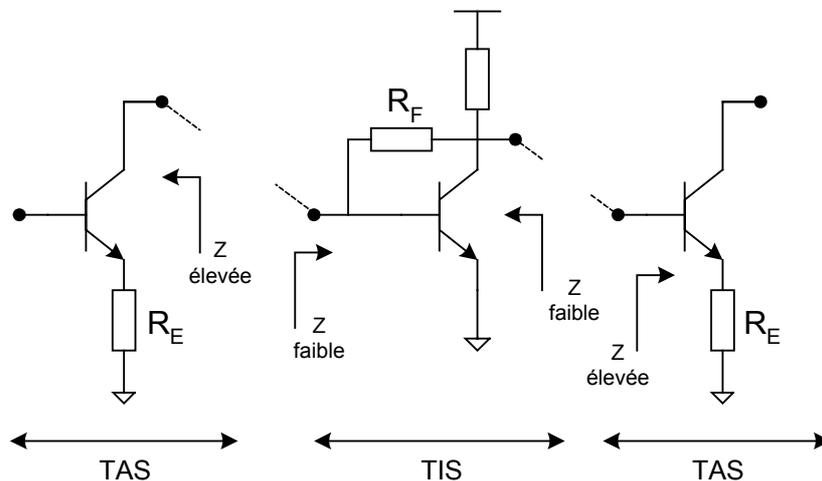


Figure 2.28: Architecture à forte désadaptation proposée par E.M.Cherry et D.E.Hooper.

Le principe de forte désadaptation s'est avéré particulièrement adéquat pour la conception VLSI, suite à l'introduction d'un étage supplémentaire : un transistor monté en « suiveur de tension » (Figure 2.29). Cette configuration permet d'une part la compatibilité des tensions de polarisation entre étages en évitant les capacités de liaison. Elle permet d'autre part, d'augmenter le taux de désadaptation par l'impédance d'entrée très élevée et l'impédance de sortie très faible que présente ce type de montage [16].

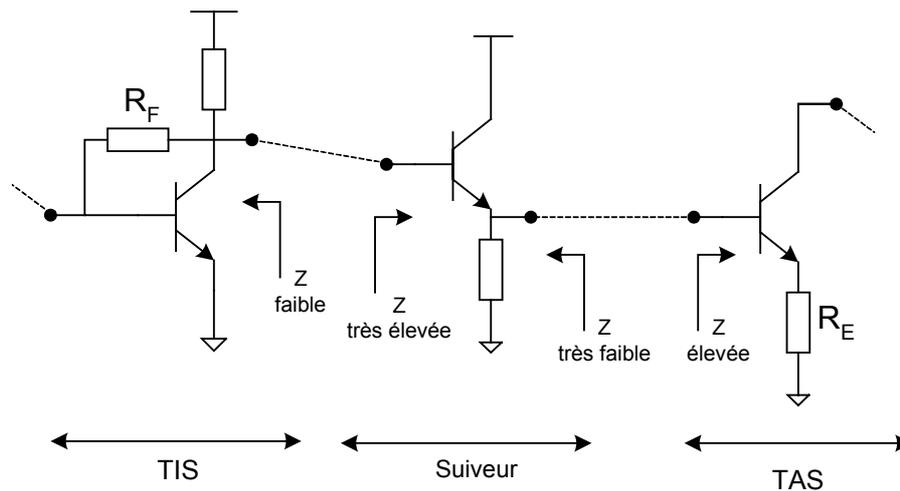


Figure 2.29: Topologie à forte désadaptation avec ajout d'un étage suiveur.

Offrant la possibilité de réaliser des circuits passe bas large bande sans un recours à des éléments passifs, ce type de configuration est ainsi couramment utilisé, sous une forme différentielle, pour l'intégration dense sur silicium.

Mais elle trouve également sa place dans l'intégration monolithique sur substrat « microonde », notamment pour la conception de circuits logiques ultra-rapides ou de circuits analogiques dédiés aux télécommunications à haut débit, en émission comme en réception.

Des drivers de modulateurs optiques pour une liaison à 40 Gbit/s, utilisant ce type de topologie appliqué à des transistors bipolaires à hétérojonction (HBT) sur substrat InP, ont fait l'objet de réalisations [17].

Des drivers pour le même type d'application ont également été développés en technologie HEMT sur substrat GaAs/InGaAs [1].

4 Driver à forte désadaptation en technologie HEMT

La nécessité conjointe de gain et de bande passante élevés pour le circuit *driver* d'une liaison optique, associée aux contraintes de taille de puce, restreint les possibilités d'implantation d'étages à transadmittance ou à transimpédance contre-réactionnés en technologie HEMT. La valeur relativement faible de la résistance drain-source d'un HEMT comparée à celle d'un MOS sur silicium ou comparée à la résistance collecteur-émetteur d'un transistor bipolaire ne permet pas de réaliser des étages contre-réactionnés à produit gain bande élevé. Un grand nombre de cellules de gain serait alors nécessaire pour atteindre les spécifications souhaitées.

Ainsi, la topologie d'un tel amplificateur en technologie HEMT, se limitera généralement à :

- un simple **étage source commune en sortie**, capable de fournir du gain et de la puissance à la charge,
- un **étage source commune en entrée** (préamplificateur), apportant du gain et réalisant l'adaptation 50 Ohm en entrée dans le cas d'un *driver* externe,

-un **étage suiveur intercalé entre les deux**, à l'origine de la forte désadaptation, et permettant le couplage DC entre les étages.

Dans le cas d'un montage différentiel et d'une intégration commune avec la partie numérique en amont, un étage suiveur serait également nécessaire en entrée afin d'assurer la compatibilité des niveaux logiques.

4.1 Etage de sortie

Pour les besoins de bande passante et de puissance linéaire, le montage source commune fonctionnant en classe A s'avère être le candidat favori pour un étage de sortie dédié à ce type d'application.

En effet, cette configuration du transistor permet de disposer d'un gain de transadmittance et de la puissance linéaire maximale la plus élevée. La puissance linéaire maximale que peut fournir le transistor monté en source commune, dépend de sa largeur de grille et du réseau de polarisation de sortie qui constitue la charge vue entre drain et source. D'une manière générale, plus la charge est faible et plus l'excursion en courant nécessaire à maintenir une tension crête-à-crête dans cette charge devra être élevée, et nécessitera un transistor à grande largeur de grille. Différents circuits de polarisation de drain passe bas sont possibles pour le transistor (figures 2.30, 2.31 et 2.32). Dans tous les cas de figure, la tension de polarisation V_{GS} des pHEMT « ON » ED02AH est fixée entre $-0,1$ V et 0 V pour disposer d'une transconductance maximale. Q représente le point de fonctionnement de l'étage.

-Dans la configuration « drain ouvert » (figure 2.30), le transistor peut être dimensionné pour la charge R_L de l'amplificateur. Pour obtenir une excursion de 3 V_{c-à-c} aux bornes d'une charge R_L de 50 Ω , avec une tension d'alimentation V_{DD} inférieure à $4,5$ V, il faut utiliser un pHEMT d'une largeur de grille d'au moins 130 μm . Toutefois, ce système de polarisation impose à la charge R_L de pouvoir être traversée par un courant continu.

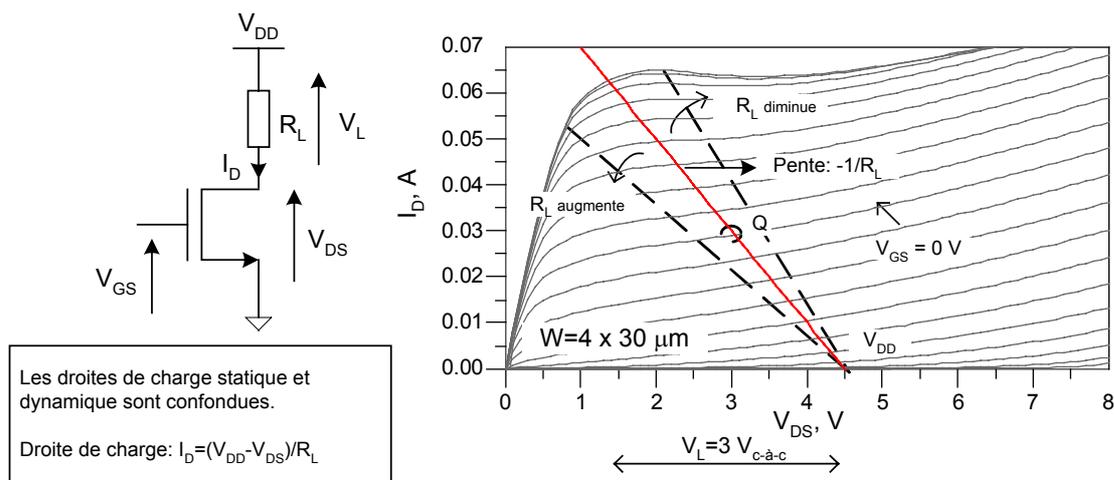


Figure 2.30: Polarisation de sortie en drain ouvert.

-Lorsque la charge de l'amplificateur est externe, il est possible d'utiliser un réseau de polarisation passe haut, ou « Té de polarisation », constitué d'une inductance parallèle et d'une capacité série (figure 2.31). Ces éléments doivent être implantés à l'extérieur de la puce, au regard de la fréquence de coupure basse, qui impose l'usage d'éléments passifs de grande taille. La droite de charge dynamique est identique à celle de la configuration drain ouvert et conduira au même dimensionnement du transistor. De plus, le Té de polarisation permet de fixer la tension de repos drain-source, indépendamment du courant de drain. On peut alors utiliser une tension d'alimentation plus faible que dans la polarisation à drain ouvert.

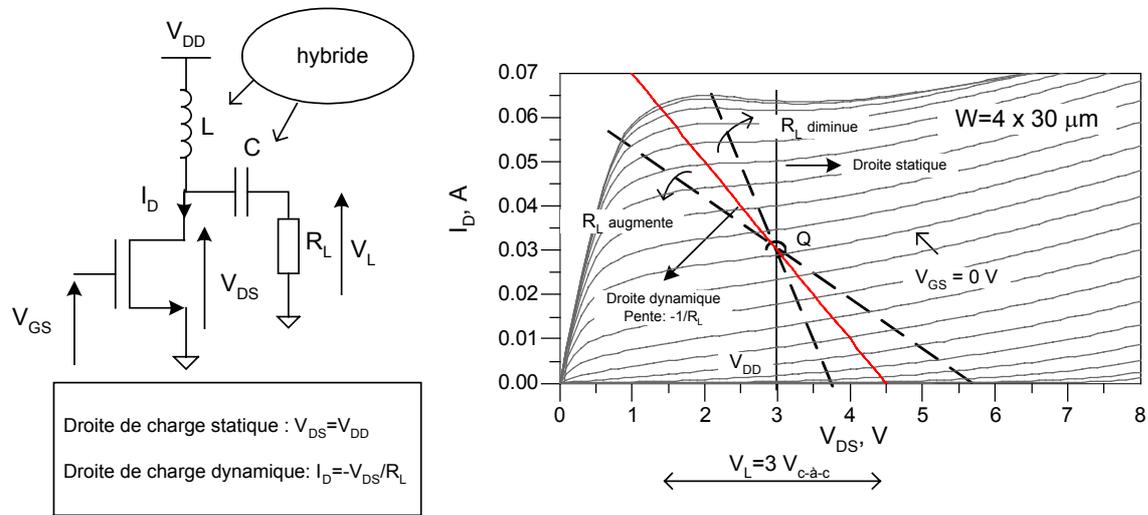


Figure 2.31: Polarisation avec un réseau passe-haut.

-La configuration illustrée figure 2.32, est un système de polarisation résistif. La tension de repos V_{DS} est fixée par l'intermédiaire de l'alimentation V_{DD} et d'une résistance R_{pol} qui peut être intégrée sur la puce. Toutefois, la charge dynamique du transistor est constituée de la résistance R_L en parallèle avec la résistance R_{pol} . Elle est alors plus faible que la charge R_L seule, et impose d'utiliser un transistor de largeur de grille supérieure à celle requise dans les deux configurations précédentes. De plus, des restrictions sur le choix des valeurs de la résistance R_{pol} , nécessitent une tension d'alimentation V_{DD} élevée. En considérant une résistance R_L de 50Ω , une résistance de polarisation de 80Ω réduit la charge totale à une valeur de 31Ω , et augmente la taille minimale du transistor, à $450 \mu\text{m}$. La tension V_{DD} doit être de $7,5 \text{ V}$. L'usage d'une résistance pour polariser le drain du transistor offre toutefois l'avantage majeur de réduire la valeur du coefficient de réflexion en sortie aux très basses fréquences, au même titre que les étages microondes adaptés à perte. On obtient un coefficient de réflexion en sortie $S_{22} = -10,5 \text{ dB}$ à la fréquence nulle dans cette configuration.

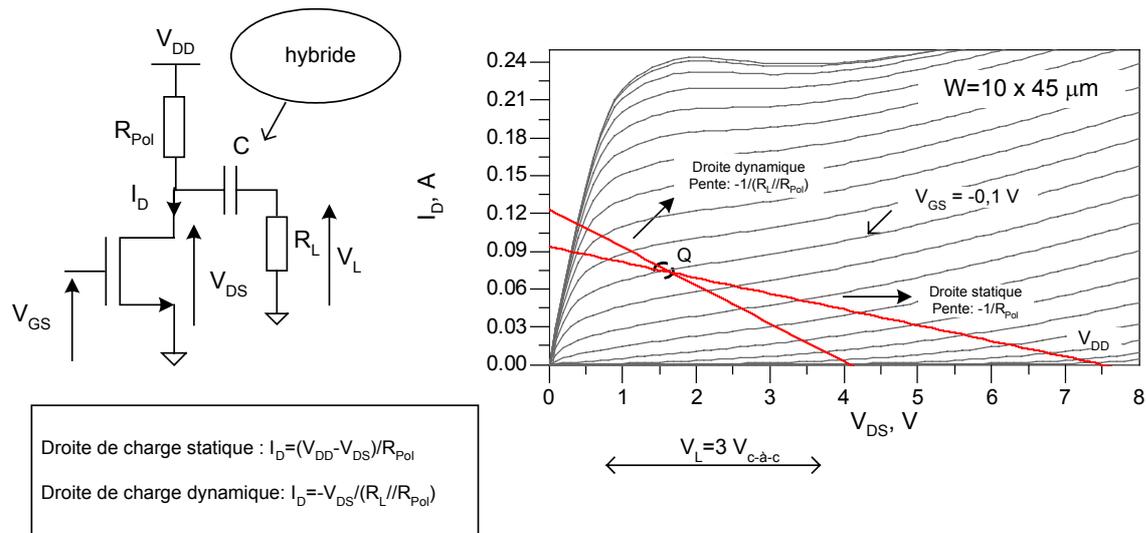


Figure 2.32: Circuits de polarisation passe-bas résistif.

Le principe reste le même pour une topologie différentielle. La taille du transistor servant de source de courant à une paire différentielle de sortie, est conditionnée par le courant qu'il faut pouvoir délivrer à la charge. On notera également que l'usage d'un seul bloc d'alimentation en tension négative, s'applique plus facilement aux topologies différentielles qu'aux topologies simples.

4.2 Etage d'entrée

Le transistor monté en source commune, constituant l'étage d'entrée, doit fournir une partie du gain total de l'amplificateur et permettre l'adaptation en entrée sur une charge de 50Ω .

L'adaptation aux très basses fréquences nécessite d'implanter une résistance en parallèle sur la grille du transistor, et finalement, d'utiliser une cellule de type « adaptée à perte », de façon similaire à l'amplificateurs microondes ultra large bande décrit dans le paragraphe 3.1.1. Le schéma électrique de la cellule est rappelé figure 2.33. Les lignes inductives L_1 et L_2 jouent en partie le rôle des égaliseurs d'entrée et de sortie. Elles réalisent un « peaking » sur la réponse de l'étage.

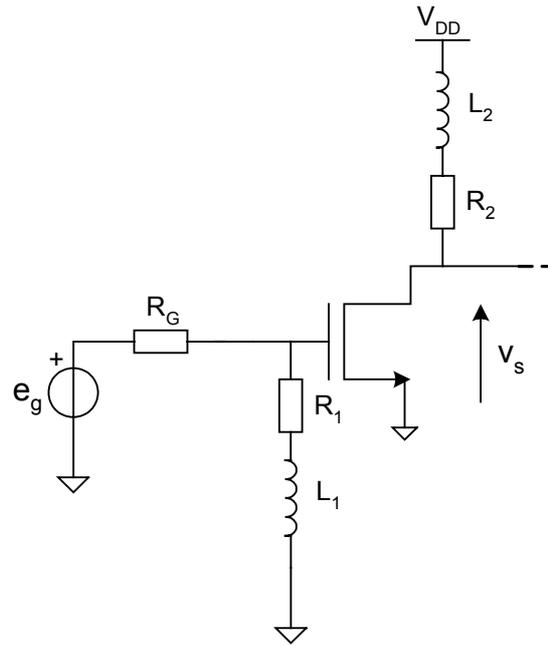


Figure 2.33: Etage source commune d'entrée.

Les d-HEMT, ou HEMT « ON », possède une transconductance maximale pour une tension V_{GS} de 0 V et une tension V_{DS} supérieure à 2 V. La polarisation de grille peut s'effectuer en connectant le dipôle (R_1, L_1) à la masse. A tension d'alimentation V_{DD} fixée, la résistance R_2 est choisie à l'issue d'un compromis entre gain en tension de la cellule, et tension de polarisation de drain. Sa valeur dépend par ailleurs de la taille du transistor.

Une résistance R_1 de 30 Ω , permet de maintenir à très basse fréquence le coefficient de réflexion d'entrée de l'amplificateur à une valeur inférieure à -10 dB, pour une résistance de générateur R_G de 50 Ω . La faible valeur de R_1 conduit à une bande passante élevée, en contrepartie d'un gain en tension v_s/e_g faible. Une résistance R_2 d'une valeur de 65 Ω , offre une tension de polarisation V_{DS} de 2,3 V, pour une largeur de grille du transistor de 150 μm et une tension d'alimentation de 4,5 V.

A très basse fréquence, le gain en tension v_s/e_g s'exprime par :

$$\frac{v_s}{e_g} = \frac{R_1}{R_G + R_1} g_m R_{tot} \quad (2.32)$$

$$R_{tot} = R_2 // R_{ds}$$

L'impédance de sortie de l'étage, à très basse fréquence, est donnée par :

$$R_s \approx R_2 // R_{ds} \quad (2.33)$$

La valeur de R_s est de 50 Ω , dans cette configuration.

4.3 Etude théorique des étages suiveurs

4.3.1 Décalage simple

La figure 2.34 représente le schéma électrique d'un circuit source suiveuse, permettant de réaliser un décalage de la tension continue de 0,7 V, à l'aide d'un e-HEMT qui peut être polarisé à transconductance maximale autour de $V_{GS}=0,7$ V.

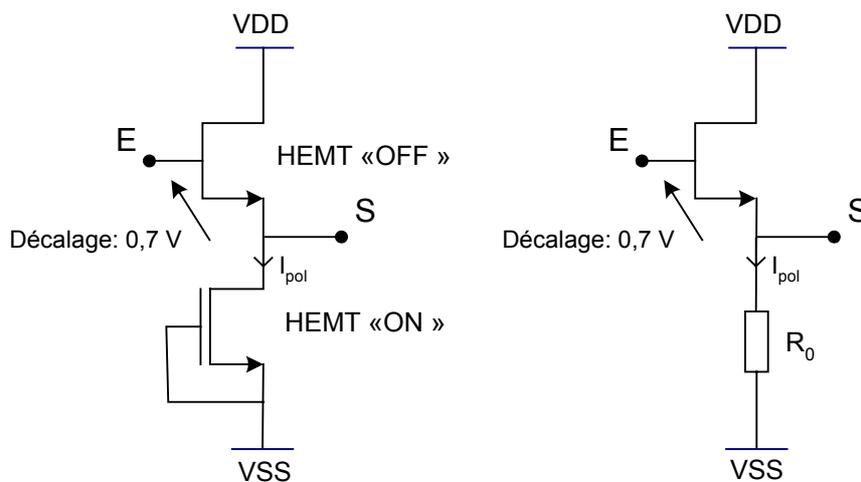


Figure 2.34: Montage source suiveuse polarisé avec une source de courant ou une résistance.

Le courant de polarisation de drain peut être fourni par une tension négative au travers d'une résistance ou d'un transistor monté en source de courant. L'usage de celle-ci nécessite généralement une tension d'alimentation plus faible que dans le cas d'une simple résistance, le courant délivré par la source restant relativement indépendant de la tension drain-source qui lui est appliquée.

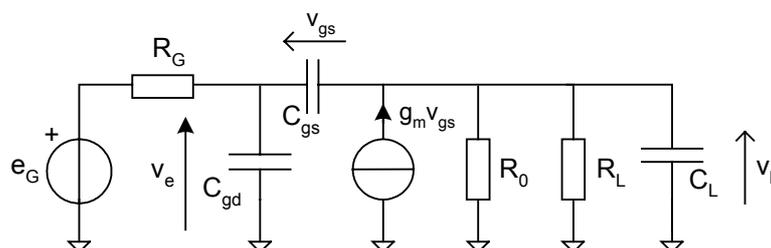


Figure 2.35: Schéma équivalent petit signal simplifié du montage source suiveuse.

On considère le schéma équivalent petit signal simplifié de l'étage source suiveuse présenté figure 2.35. C_L représente la capacité d'entrée de l'étage en aval, à laquelle s'ajoute la capacité C_{ds} du transistor.

$$A_v = \frac{v_s}{v_e} = \frac{g_m R_{tot}}{1 + g_m R_{tot}} \frac{1 + j \frac{C_{gs}}{g_m} \omega}{1 + j \frac{R_{tot} C_{gs}}{1 + g_m R_{tot}} \omega} \quad (2.34)$$

avec $R_{tot} = R_0 // R_L$.

Si l'on omet dans un premier temps la capacité C_{gd} , l'impédance d'entrée est donnée par :

$$Z_e(j\omega) = \frac{1}{jC_{gs}\omega} + \left(1 + \frac{g_m}{jC_{gs}\omega}\right) \frac{R_{tot}}{1 + jR_{tot}C_L\omega} \quad (2.35)$$

On constate qu'elle est capacitive et qu'elle dépend de la charge R_{tot} du suiveur. Aux moyennes fréquences, si l'on suppose $R_{tot}C_L\omega \ll 1$, la capacité C_{gs} est ramenée en entrée, multipliée par un facteur de transformation $1/(1 + g_m R_{tot})$ qui est inférieur à un. Ainsi, la capacité globale ramenée en entrée de l'étage, est égale à la capacité C_{gd} plus une fraction de la capacité C_{gs} .

De plus, la partie réelle de l'impédance d'entrée, donnée par :

$$\text{Re}(Z_e) = \frac{R_L \left(1 - \frac{g_m R_{tot} C_L}{C_{gs}}\right)}{1 + R_{tot}^2 C_L^2 \omega^2} \quad (2.36)$$

devient négative quelque soit la fréquence pour $\frac{g_m}{C_{gs}} > \frac{1}{R_{tot} C_L}$, ce qui est généralement le cas. Le montage est alors conditionnellement stable.

L'impédance de sortie s'exprime par:

$$Z_s(j\omega) = \frac{R_0}{1 + g_m R_0} \frac{(1 + jR_G C_{gs})}{\left(1 + j \frac{R_G C_{gs}}{1 + g_m R_0}\right)} \quad (2.37)$$

Elle a une valeur faible aux basses fréquences et possède un comportement inductif si l'on suppose $1/g_m \ll R_0$. On peut l'approximer par :

$$Z_s(j\omega) \approx \frac{1}{g_m} + j \frac{R_G C_{gs}}{g_m} \omega \quad (2.38)$$

On notera toutefois que la résistance équivalente à R_0 n'est jamais infinie et que l'impédance de sortie devient capacitive à haute fréquence.

Le suiveur se comporte ainsi comme un transformateur d'impédance, et plus généralement, comme un quadripôle dont les impédances d'entrée et de sortie dépendent fortement des impédances de charge et de source.

En présence d'une résistance de générateur R_G non nulle et en supposant la résistance R_{tot} infinie, le gain en tension $v_L/e_g s$ s'exprime par [18]:

$$A_v(j\omega) = \frac{v_L}{e_g} = \frac{(1 + j \frac{g_m}{C_{gs}} \omega)}{\left[1 + j \left(R_G C_{gd} + \frac{C_{gs} + C_L}{g_m} \right) \omega - \frac{R_G (C_{gs} C_{gd} + C_{gs} C_L + C_{gd} C_L)}{g_m} \omega^2 \right]} \quad (2.39)$$

La fonction de transfert (2.39) possède un zéro dans le plan complexe gauche de valeur élevée et deux pôles réels simples. Si l'on suppose les deux pôles suffisamment éloignés l'un de l'autre, la magnitude ω_p du pôle dominant peut être approximée par :

$$\omega_p \approx \frac{1}{R_G C_{gd} + \frac{C_{gs} + C_L}{g_m}} \quad (2.40)$$

La fréquence de coupure pour le gain en tension dépend ainsi de la résistance de générateur R_G et diminue lorsque R_G augmente.

Toutefois, la valeur relativement faible de la résistance R_{ds} des HEMT, ne permet pas de considérer la résistance R_{tot} comme étant infinie. Le gain en tension $v_L/e_g s$, s'exprime en fonction de la résistance R_{tot} par :

$$A_v(j\omega) = A_{v0} \frac{(1 + j \frac{g_m}{C_{gs}} \omega)}{\left[1 + j \left(R_G C_{gd} + \frac{R_{tot} (C_{gs} + C_L) + R_G C_{gs}}{(1 + g_m R_{tot})} \right) \omega - \frac{R_{tot} R_G (C_{gd} C_{gs} + C_{gs} C_L + C_{gd} C_L)}{(1 + g_m R_{tot})} \omega^2 \right]} \quad (2.41)$$

$$A_{v0} = \frac{g_m R_{tot}}{1 + g_m R_{tot}}$$

La fonction de transfert (2.41) est similaire à la fonction (2.39). Mais l'hypothèse de deux pôles simples éloignés s'avère moins évidente. Il est alors difficile de donner une expression analytique de la bande passante. Néanmoins, on peut considérer que la fréquence de coupure reste dépendante du terme $R_G C_{gd}$ et que celle-ci diminue lorsque la résistance de générateur augmente.

Lorsque l'étage suiveur est chargé par un étage de puissance, la capacité C_L est élevée. Le transistor suiveur et la source de courant requièrent une taille minimale. L'étage suiveur doit posséder une impédance de sortie suffisamment faible, autrement dit une transconductance g_m suffisamment élevée, pour compenser la valeur faible du pôle de sortie. En grand signal le

slew rate de l'étage est limité par un terme I_{pol}/C_L [19] qui dépend du courant de polarisation et donc de la même façon, de la taille des transistors.

Ainsi une largeur de grille optimale existe, puisque la capacité C_{gd} augmente avec la taille de transistor.

4.3.2 Suiveur multiple

La mise en cascade de n étages suiveurs e-HEMTs, permet de réaliser un décalage en tension de $n \times 0,7$ V. (figure 2.36).

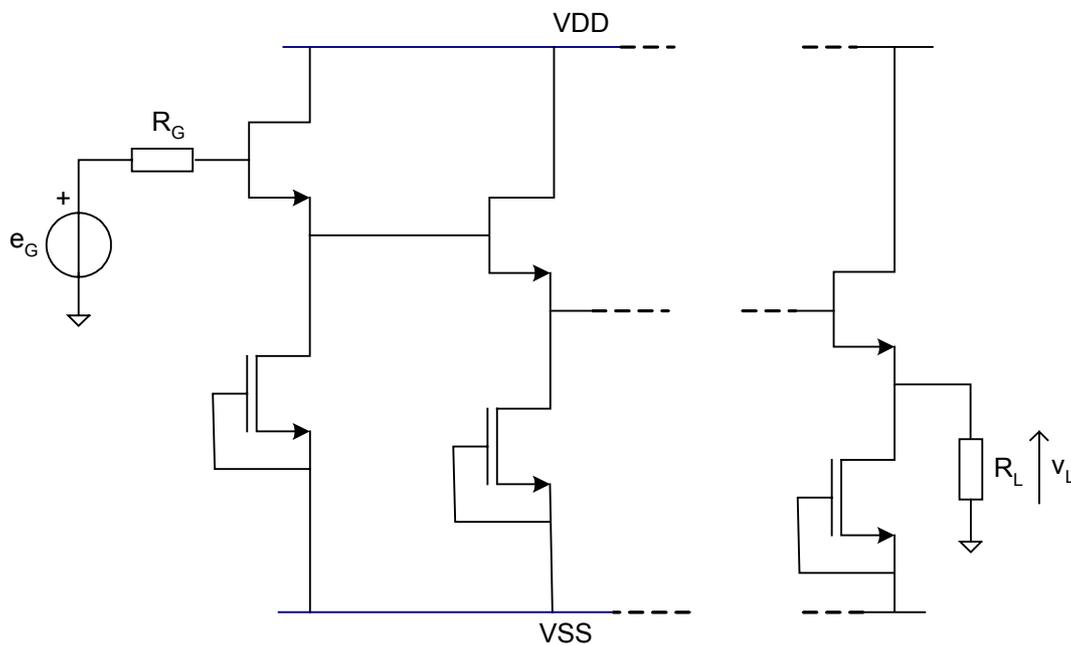


Figure 2.36: Suiveur de tension à plusieurs étages.

Dans le cas d'un décalage réalisé par deux transistors, la réponse est d'ordre 3. Elle possède deux pôles complexes conjugués qui dépendent d'un grand nombre de paramètres. L'expression analytique de la bande passante obtenue à partir de ces pôles est difficilement exploitable.

Pour un nombre supérieur d'étages, l'expression devient inutilisable en raison de sa taille et du nombre de paramètres qu'elle contient.

Des résultats de simulation (figure 2.37) donnent malgré tout une idée qualitative de la réponse en fréquence lorsque le nombre d'étages suiveur augmente.

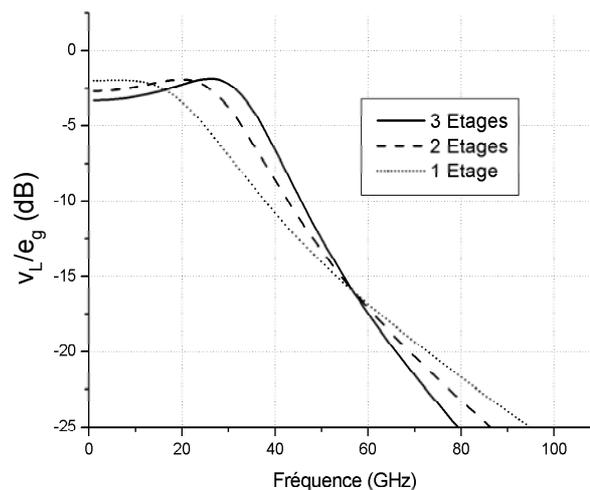


Figure 2.37: Simulation du gain petit signal v_L/e_g de suiveurs de tension à plusieurs étages.

On constate que la bande passante augmente légèrement avec le nombre d'étages mais tend vers une limite finie.

Si l'on considère que le comportement général du montage reste similaire à celui d'un étage simple, le facteur de transformation $1/(1 + g_m R_{tot})$ est mis approximativement à la puissance du nombre d'étages. Le facteur de transformation étant inférieur à 1, la capacité ramenée en entrée diminue, le pôle d'entrée supposé dominant augmente ainsi que la bande passante, lorsque le nombre d'étages augmente. Mais conjointement à cela, les termes de couplages capacitifs de premier ordre (terme de second ordre dans la fonction de transfert) s'ajoutent et contribuent à diminuer la fréquence de la résonance présente dans la réponse.

D'une manière générale et quelque soit le nombre d'étages, la bande passante restera malgré tout dépendante de la valeur de la résistance du générateur R_G .

D'autre part, les capacités ramenées entre les étages par les capacités C_{gd} et C_{ds} des transistors suiveur et de leur source de courant rendent négative la partie réelle de l'impédance d'entrée. Le montage devient alors conditionnellement stable.

Chaque transistor est optimisé en taille en fonction de la charge capacitive qu'il voit et qu'il crée. Celle-ci conduit généralement à une disposition des transistors suivant leur largeur croissante.

4.3.3 Décalage de tension avec diode

On peut remplacer, dans un montage réalisant un décalage multiple, des étages suiveurs par des diodes (figure 2.38).

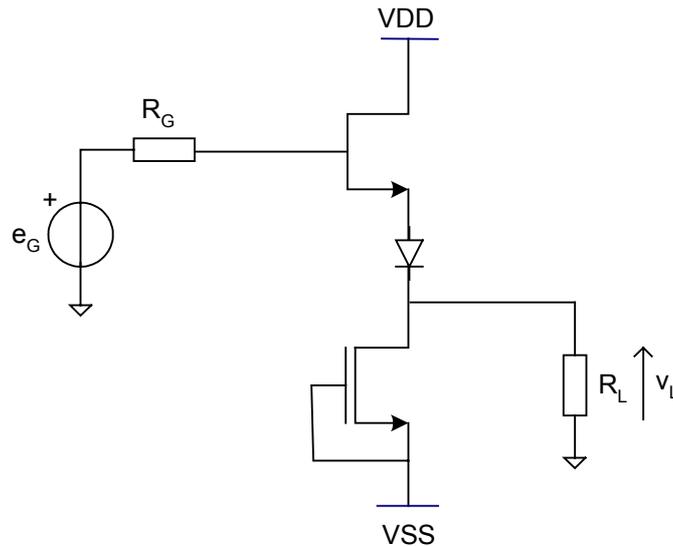


Figure 2.38: Décalage en tension réalisé par un étage source suivieuse et une diode.

L'usage d'une diode permet de limiter la consommation et d'économiser de la place sur la puce, puisqu'elle peut se substituer à un étage suiveur sans utiliser de source de courant supplémentaire.

Elle peut contribuer d'autre part, à rendre le montage stable, lorsqu'elle est intercalée entre les étages suiveurs.

En contrepartie, elle provoque une diminution du gain DC, qui s'exprime dans le cas d'une étage drain commun suivi d'une diode :

$$A_{v0} = \frac{v_L}{e_g} = \frac{g_m R_{tot}}{1 + g_m (R_{tot} + R_D)} \quad (2.42)$$

$$R_{tot} = R_0 // R_L$$

où R_D représente la résistance équivalente petit-signal de la diode, et R_0 la résistance équivalente de la source de courant (la résistance R_{ds} du transistor servant de source de courant).

La diminution de gain provoquée par une résistance mise en série avec le suiveur, reflète la nécessité d'avoir des transistors suffisamment « larges » afin de limiter la résistance parasite d'accès de source.

Pour une valeur trop grande de la résistance série (la résistance R_S du modèle équivalent de la figure 2.4), la bande passante est également réduite.

4.4 Contraintes de layout

Deux structures de propagation sont classiquement utilisées dans la conception de MMIC : les lignes microruban et les guides d'ondes coplanaires.

Le choix de l'une ou l'autre se répercute sur la topologie du circuit à travers les possibilités de connexion à la masse et l'implantation des circuits et des lignes de polarisation.

Les pistes métalliques qui permettent d'amener les tensions de polarisation jusqu'aux transistors, ou encore les « bonding », mis en externe, ont un comportement inductif qui peut

perturber les caractéristiques de transmission du circuit. Des capacités de découplage sont habituellement mises en parallèle avec ces inductances parasites pour annuler leur effet dans la bande de travail. Toutefois, le dipôle L-C créé forme un circuit résonant parallèle, dont la fréquence de résonance doit être placée en deçà de la bande de travail en choisissant une capacité de forte valeur. Les contraintes d'intégration ne permettent pas d'implanter « on-chip » des capacités de valeur suffisamment élevée pour exclure la fréquence de résonance de la bande de travail imposée par le cahier des charges.

Ces dipôles parasites présents en série avec les résistances de polarisation d'un étage source commune, provoquent de l'ondulation dans la réponse de l'étage. Pour un étage source suiveuse, une simple inductance parasite mise en série à l'accès de drain, conduit à une impédance de sortie à partie réelle négative sur une certaine bande de fréquence, introduisant une condition supplémentaire de stabilité sur l'étage. L'accès au drain doit être ainsi le moins inductif possible.

La conception à partir de guide d'onde coplanaire, par la disposition latérale des plans de masse et l'absence de via, permet une topologie plus dense, des accès à la masse et des plans d'alimentation faiblement inductifs.

Des lignes microrubans de grande longueur, comme le sont généralement les lignes d'accès de polarisation, doivent être de largeur très élevée pour être faiblement inductives. Ceci introduit des précautions supplémentaires dans la conception des lignes, afin d'éviter l'apparition de résonances ou de modes de propagation parasites.

On peut ajouter une résistance (ou un réseau résistif) de « dumping » afin d'étouffer un effet inductif produit par la ligne de polarisation (figure 2.39) [20]. Les valeurs des résistances sont alors choisies à l'issue d'un compromis entre consommation (courant perdu ou augmentation de la tension d'alimentation), perte de gain et efficacité à limiter les résonances.

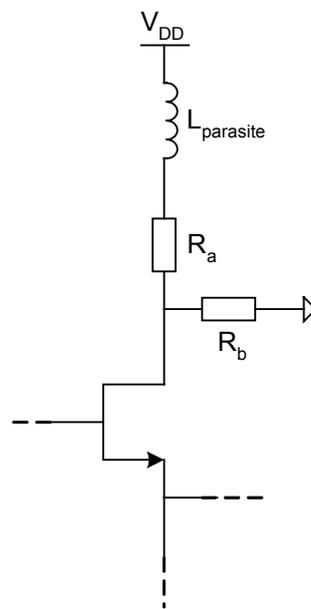


Figure 2.39: Réseau résistif de "Dumping" placé sur le drain d'un transistor monté en suiveur.

4.5 Mise en cascade des étages

On considère la mise en cascade des étages d'entrée et de sortie décrite précédemment, entre lesquels on insère un étage décaleur de tension. Les contraintes de linéarité et de polarisation à transconductance maximale, qui s'appliquent conjointement sur les étages source commune d'entrée et de sortie, imposent d'avoir généralement 3 ou 4 étages de décalage, composés de transistors montés en suiveur et/ou de diodes.

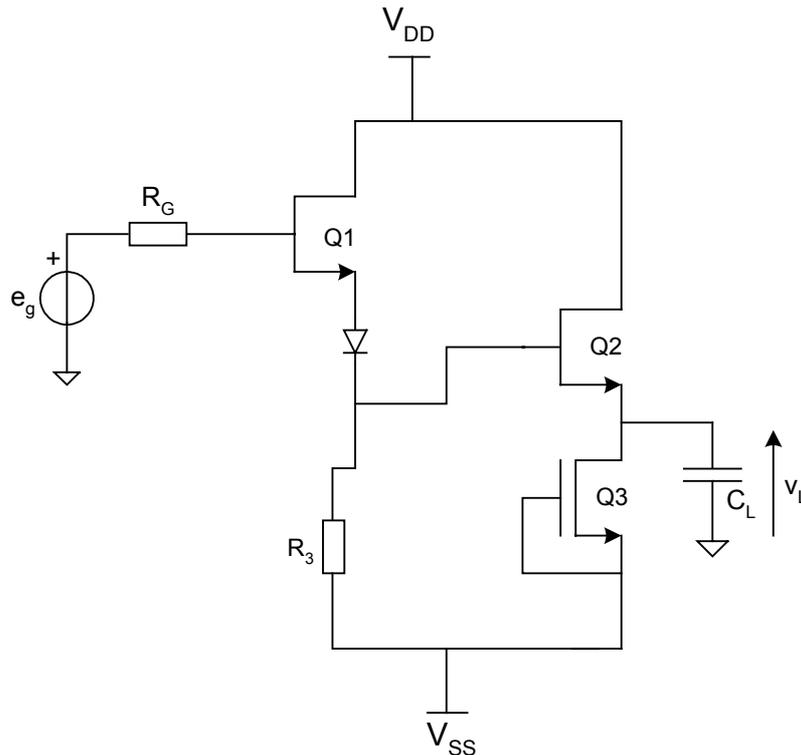


Figure 2.40: Architecture de suiveur de tension proposée.

La topologie proposée de suiveur de tension (figure 2.40), incluant deux transistors montés en source suiveuse et une diode⁴, offre un décalage de tension de 2,5 V entre l'entrée et la sortie de l'étage. En réalisant la connexion *étage source commune d'entrée- suiveur de tension-étage source commune de sortie*, l'étage d'entrée peut être polarisé à $V_{DS}=2,5$ V et l'étage de sortie à $V_{GS}=0$ V.

La figure 2.41 met en évidence la dépendance entre la bande passante de l'étage suiveur de tension présenté figure 2.40, et la résistance équivalente de générateur R_G .

⁴ La diode utilisée ici est polarisée à $V_D=1$ V (cf. §2.4).

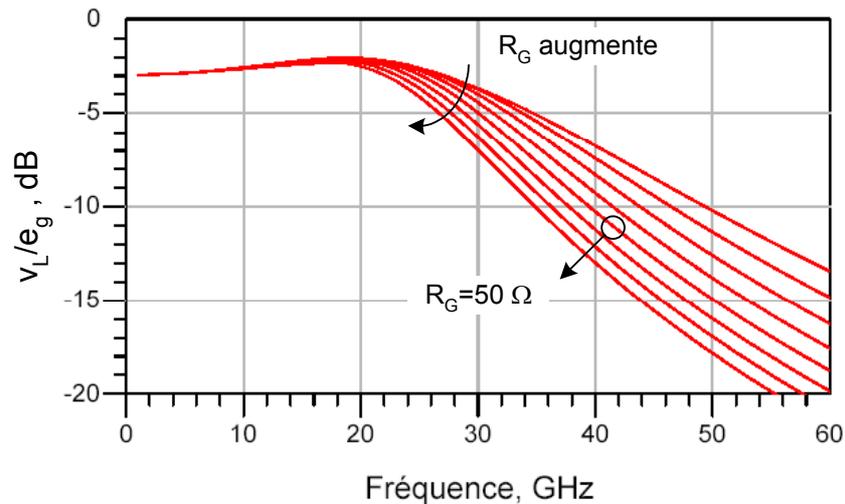


Figure 2.41: Variation de la réponse en fréquence pour le gain en tension v_L/e_g en fonction de la résistance R_G .

Comme cela a été explicité dans le paragraphe 4.2, la résistance de sortie de l'étage source commune d'entrée, est proche de 50Ω . Cette résistance est égale à la résistance équivalente du générateur de Thévenin vu en sortie de cet étage source commune. Celle-ci peut être identifiée à la résistance de générateur R_G de l'étage suiveur.

Comme l'indique la figure 2.41, la bande passante -3 dB de l'étage suiveur de tension pour une résistance R_G de 50Ω est limitée à environ 30 GHz. Le pôle qui limite la bande passante de l'étage suiveur de tension, apparaît dans la réponse globale de l'amplificateur (connexion des trois étages en cascade), sans que celui-ci puisse être annulé. La bande passante de l'amplificateur constitué des trois étages en cascade est ainsi limitée.

4.6 Topologies de suiveur actif

4.6.1 Etat de l'art

Plusieurs méthodes permettant d'améliorer la bande passante de la connexion *source commune – suiveur de tension*, ont été proposées dans la littérature.

-De manière générale, la mise en parallèle d'une capacité sur les diodes de décalage, notamment lorsque celles-ci sont de petite taille (résistance équivalente en série de valeur élevée), permet dans une certaine mesure d'étendre la bande passante.

-Mais des moyens plus efficaces ont été utilisés tels que le couplage AC des sources de courant qui peut être implanté commodément dans un montage différentiel (figure 2.42) [1].

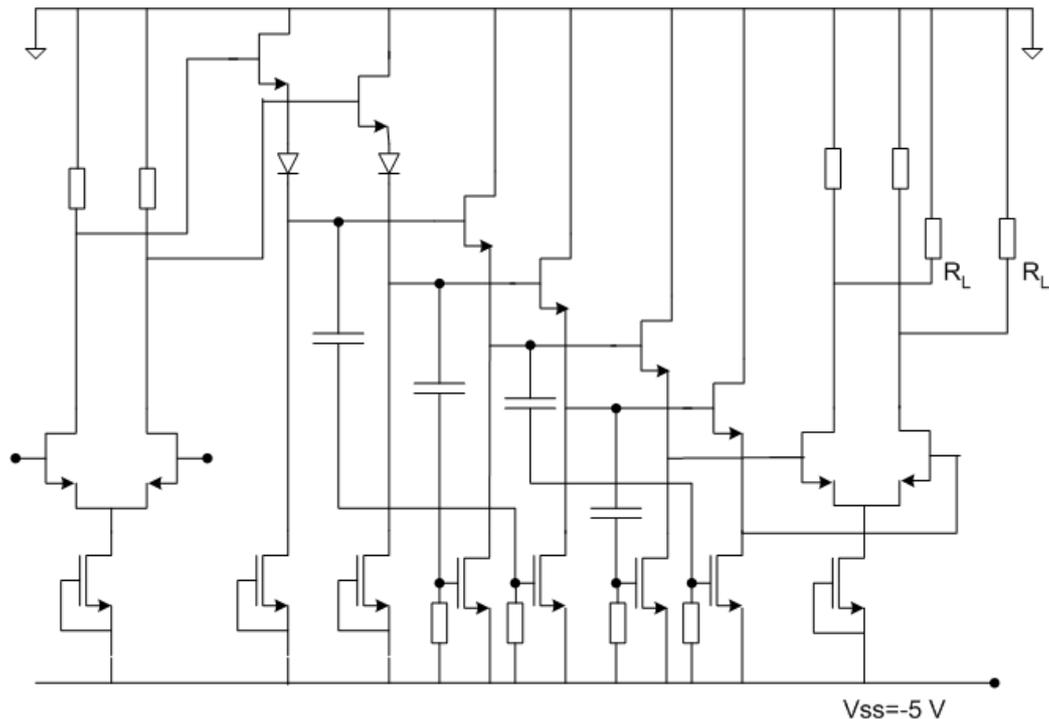


Figure 2.42: Amplificateur différentiel à forte désadaptation, incluant la technique de suiveur actif.

-La réutilisation de sources de courant s'implante également dans les montages non-différentiels. Un exemple d'architecture, appliqué à une technologie de FET sur AsGa est présenté figure 2.43 [21]. Dans cet exemple, le transistor Q1 est monté en source commune et le transistor Q2 en suiveur de tension. La source de courant Q3 est « attaquée » par le générateur d'entrée parallèlement à Q1 et fonctionne comme un étage source commune en régime petit signal. Les courants de drain des transistors Q2 et Q3 s'ajoutent en phase, créant un gain additif en sortie de la cellule. Le gain transducique de la cellule est présenté figure 2.34.

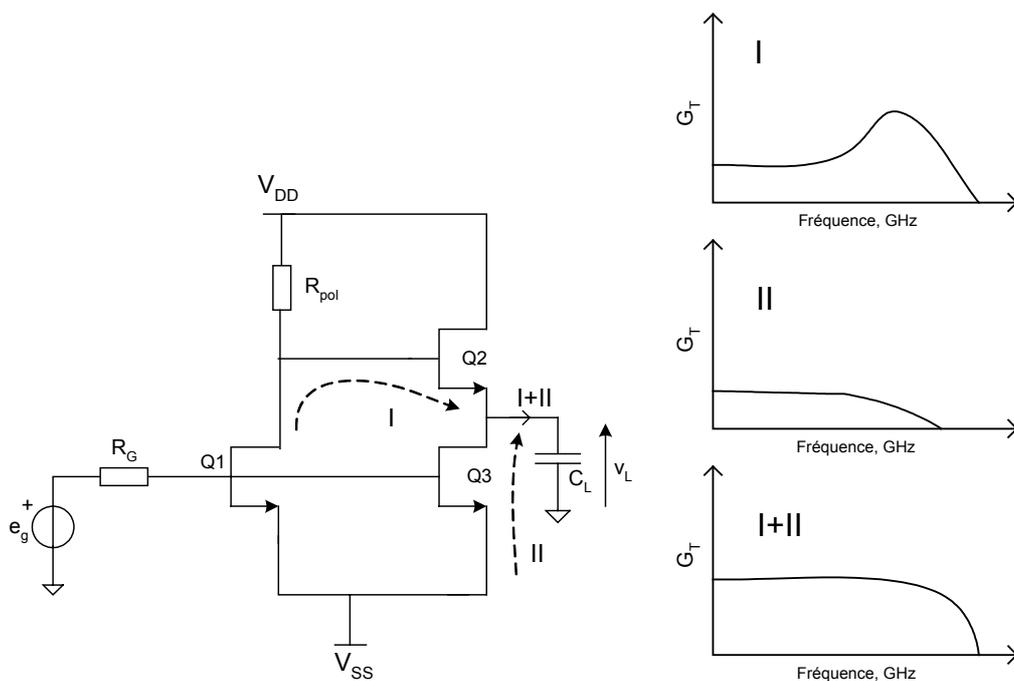


Figure 2.43: Méthode de réutilisation d'une source de courant en technologie FET sur AsGa.

D'une manière générale, les techniques évoquées précédemment sont dérivées du principe de « bootstrap » (neutrodynage).

4.6.2 Suiveur actif à cellule cascode

Dans le cadre de cette thèse, un montage suiveur mettant en œuvre la réutilisation d'une source de courant de façon originale, et intégré dans un amplificateur large-bande MMIC, a été réalisé et a fait l'objet d'une publication [22].

La figure 2.44 représente le schéma électrique simplifié du montage. Les éléments entourés en pointillé sont ajoutés par rapport à l'architecture de base pour rendre l'étage suiveur actif. Le transistor constituant la source de courant du deuxième étage suiveur, est « attaqué » en grille commune par l'intermédiaire d'un réseau de couplage AC. Ce réseau passe-haut est constitué d'une capacité en série C_1 et d'une inductance en parallèle L_p qui peut inclure un éventuel effet inductif provenant de l'accès de polarisation de source. La capacité C_2 est ajoutée entre la grille de Q3 et la masse pour assurer le fonctionnement du transistor en grille commune à haute fréquence.

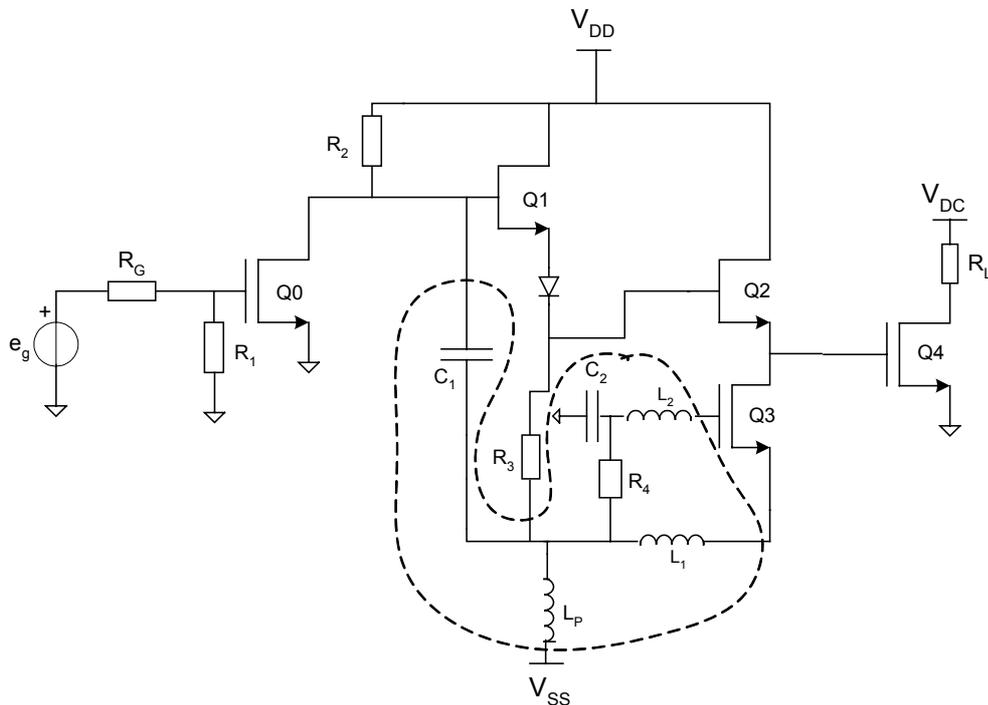


Figure 2.44: Topologie du suiveur actif à cellule cascode.

La paire de transistors Q0 et Q3 fonctionne comme un montage cascode au-delà de la fréquence de coupure du réseau passe-haut C_1-L_p . Les inductances L_1 et L_2 réalisent un *peaking* sur l'étage cascode [23]. Le schéma équivalent petit signal est présenté figure 2.45.

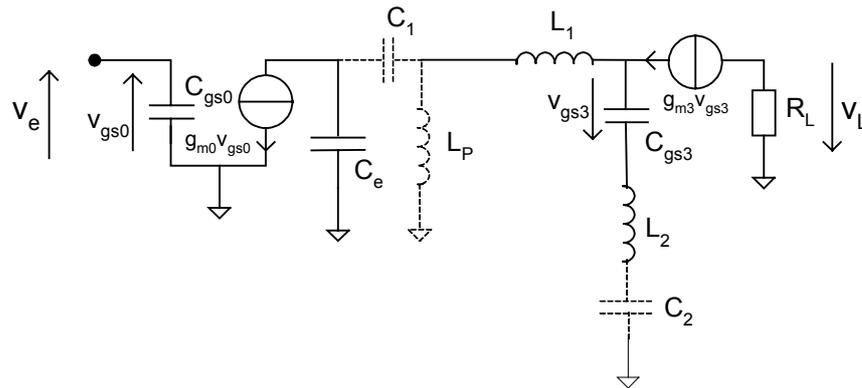


Figure 2.45: Schéma équivalent petit signal de la paire cascode Q0-Q3.

On considère les capacités C_1 et C_2 comme des court-circuits et l'inductance L_p comme un circuit ouvert sur la plage de fonctionnement du cascode. Le gain en tension v_L/v_e s'exprime par :

$$\frac{v_L}{v_e} = \frac{g_{m0} Z_L}{1 + j \frac{(C_e + C_{gs3})}{g_{m3}} \omega - L_1 C_e \omega^2 - j \frac{(L_1 + L_2) C_e C_{gs3}}{g_{m3}} \omega^3} \quad (2.43)$$

La capacité C_e inclut plusieurs composantes : les capacités C_{ds0} et C_{gd0} du transistor Q0, la capacité C_{gd1} du transistor Q1 et une fraction de la capacité C_{gs1} .

La réponse obtenue présente une résonance. Si l'on suppose que la fréquence de cette résonance peut être approximée par :

$$f_0 \approx \frac{1}{2\pi \sqrt{L_1 C_e}} \quad (2.44)$$

le gain à cette fréquence est donné par :

$$\left| \frac{v_L}{v_e} (j2\pi f_0) \right| \approx \frac{g_{m0} g_{m3}}{2\pi f_0 \left| C_e - \frac{L_2}{L_1} C_{gs3} \right|} |Z_L(j2\pi f_0)| \quad (2.45)$$

Cette expression ne prend pas en compte la résistance équivalente entre le drain et source de Q0, qui diminue la valeur du gain. On observe néanmoins d'après (2.45) qu'il est possible de régler la valeur du gain à la fréquence de résonance en faisant varier le rapport L_2/L_1 . La figure 2.46 montre la réponse haute fréquence de l'amplificateur (seule la partie cascode est activée) pour différente valeur de l'inductance L_2 , avec $C_e = C_{gs3}$ et $L_1 > L_2$. Dans ces circonstances, on notera que la valeur de L_2 telle que $L_1 = L_2$ correspond à une situation oscillante que nous chercherons à éviter.

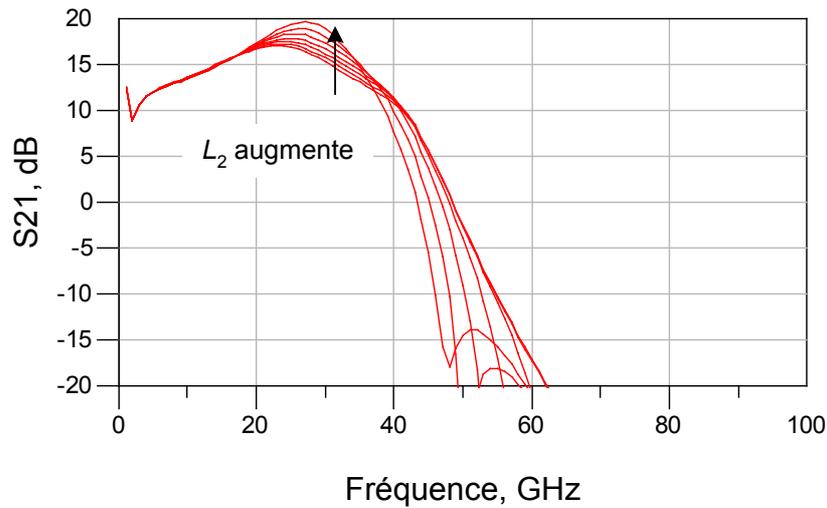


Figure 2.46: Gain de l'amplificateur (partie cascode seulement) pour différentes valeurs de L_2 . (0,05 nH à 0,4 nH par pas de 0,05 nH).

La valeur élevée du gain de résonance que l'on peut obtenir permet de compenser le terme $|Z_L(2\pi f_0)|$, de faible valeur lorsque Z_L est l'impédance d'entrée de l'étage de sortie. Le réseau passe-haut (C_1, L_p, C_2) a pour effet de diminuer le gain et de décaler la fréquence de résonance vers les hautes fréquences.

Le montage réalise un gain additif en sortie de l'étage suiveur. A haute fréquence, la capacité C_1 est un court-circuit. Les tensions v_1 et v'_1 sont identiques. Le courant i'_1 est créé en opposition de phase par rapport à i_2 . i'_1 et i_2 s'ajoutent constructivement (figure 2.47).

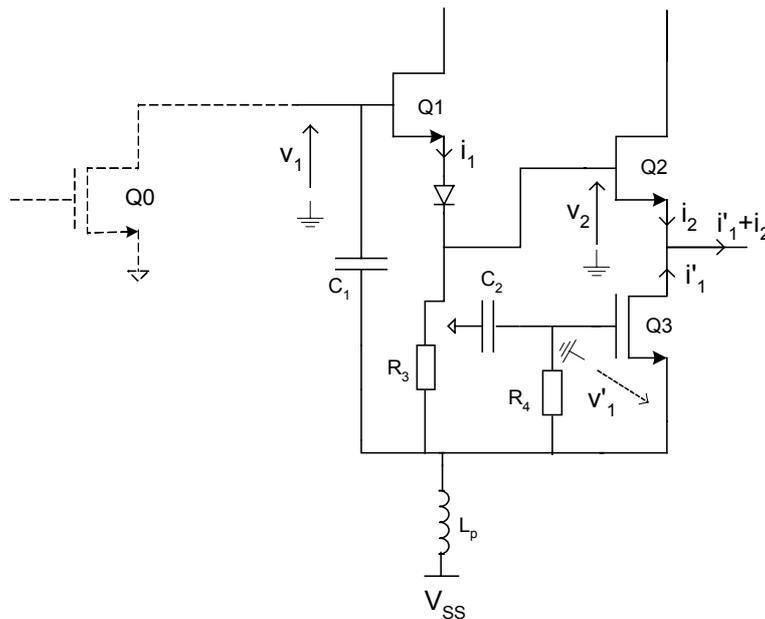


Figure 2.47: Gain additif en sortie de l'étage suiveur.

Le gain total de l'amplificateur est la superposition d'un gain basse fréquence transmis par les transistors en suiveur de tension et d'un gain haute fréquence transmis par l'étage cascode. La figure 2.48 présente la réponse en terme de gain transducique de l'amplificateur proposé, simulée à partir du schéma électrique présenté figure 2.44, avec et sans les éléments passifs entourés en pointillés.

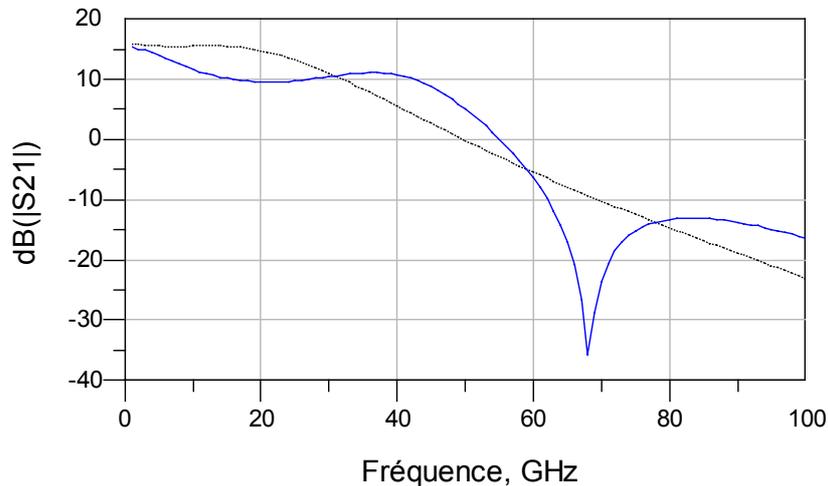


Figure 2.48: Réponse de l'amplificateur avec le suiveur actif (—) et sans le suiveur actif (...).

La réponse du circuit présente une bande passante étendue mais également un taux d'ondulation élevé.

La Méthode des Fréquences Réelles sera appliquée dans le cadre de cette thèse à la réalisation d'amplificateurs basés sur cette architecture. On tentera à l'aide d'égaliseurs passifs inter-étages, de diminuer l'ondulation dans la bande et d'étendre la bande passante de l'architecture de base proposée.

Usage d'une contre-réaction

L'amplificateur dont la réponse est présentée figure 2.48, a été conçu pour un transistor de sortie de largeur de grille $W_{tot}=200 \mu\text{m}$. Si l'on souhaite implanter un réseau de polarisation résistif sur le transistor de sortie (cf. paragraphe 4.1), le transistor doit posséder une largeur de grille de $W_{tot}=450 \mu\text{m}$. L'adaptation de l'architecture proposée conduit en de telles circonstances à une chute élevée du gain transducique aux basses fréquences. L'ondulation élevée qui en résulte reste difficile à compenser par des égaliseurs passifs intégrés.

On peut introduire une contre-réaction résistive (figure 2.49) entre la grille du transistor d'entrée et celle du transistor de sortie sans perturber la polarisation du montage, les HEMT « ON » étant polarisés à $V_{GS}=0 \text{ V}$. Cette contre-réaction permet de réduire le gain aux très basses fréquences sans le dégrader dans la partie haute de la bande (figure 2.50).

Une variante de la Méthode des Fréquences Réelles, présentée dans le chapitre 3, permettra la synthèse d'un égaliseur optimal en présence d'une contre-réaction.

5 Conclusion

Ce chapitre a été consacré aux architectures de drivers optiques intégrés réalisés à partir d'une technologie HEMT à coût modéré. Après avoir mis en évidence la nécessité d'une topologie multi-étages pour atteindre les spécifications visées, les deux architectures principalement utilisées ont été présentées.

Un amplificateur distribué a été réalisé et simulé à partir de la technologie pHEMT ED02AH (OMMIC). Celui-ci affiche d'excellentes performances large bande et satisfait entièrement au cahier des charges présenté dans le premier chapitre. La consommation et la taille du circuit restent néanmoins très élevées.

Enfin, nous avons détaillé les limites de performance des étages suiveurs en technologie HEMT dans une architecture à forte désadaptation (TAS/TIS). Nous avons proposé une solution qui permet d'étendre la bande passante du montage, en superposant à très haute fréquence une cellule cascode à l'étage suiveur. Une contre-réaction parallèle permet d'améliorer encore les performances du circuit. La réponse présente néanmoins une ondulation élevée dans la bande. Se présentant comme une cascade de quadripôles mis en série, cette architecture sera choisie comme base à l'application de la Méthode des Fréquences Réelles. On tentera par cette procédure, de diminuer l'ondulation dans la bande et les coefficients de réflexion aux accès du circuit.

Bibliographie

- [1] LAO Z., THIEDE A., NOWOTNY U., *et al.* 40-Gb/s High-Power Modulator Driver IC for Lightwave Communication Systems. *IEEE Journal of Solid State Circuits*, Vol. 33, No. 10, pp 1520-1526, Oct. 1998.
- [2] KIMURA S., IMAI Y., UMEDA Y., ENOKI T. Loss-Compensated Distributed Baseband Amplifier IC's for Optical Transmission Systems. *IEEE Transaction on MTT*, Vol. 44, No. 10, pp 1688-1693, Oct. 1996.
- [3] RIAZIAT M.L. *Introduction to High-Speed Electronics & Optoelectronics*. Wiley-Interscience, 1995.
- [4] CHANG K. *Microwave Solid State Circuit & Application*. John Wiley & Son, 1994.
- [5] *The RF and Microwave Handbook* / ed. Mike Golio, CRC Press LLC, 2001.
- [6] *ED02AH OMMIC Process Design Guide*. Guide du processus de fabrication ed02AH [cédérom]. Version 2.6, 2003.
- [7] POZAR D.M. *Microwave Engineering*. John Wiley & Son, 1998.
- [8] BEYER J.B., PRASAD S.N., BECKER R.C., *et al.* MESFET Distributed Amplifier Design Guidelines. *IEEE Microwave Theory & Techniques*, Vol. 32, pp 261-268, Mars 1984.
- [9] DEIBELE S., BEYER J.B. Attenuation Compensation in Distributed Amplifier Design. *IEEE Microwave Theory & Techniques*, Vol. 37, pp 1425-1433, September 1989.
- [10] KIMURA S., IMAI Y., UMEDA Y., *et al.* Loss-Compensated Distributed Baseband Amplifier IC's for Optical Transmission Systems. *IEEE Microwave Theory & Techniques*, Vol. 44, No. 10, October 1996.
- [11] WALKER J.L.B. Some Observation on the Design and Performances of Distributed Amplifiers. *IEEE Microwave Theory & Techniques*, Vol. 40, No. 1, pp164-168, January 1992.
- [12] NICLAS K.B., PEREIRA P.R., CHANG A.P. On Power Distribution in Additive Amplifiers. *IEEE Microwave Theory & Techniques*, Vol. 38, pp 1692-1700, November 1990.
- [13] CHERRY E.M., HOOPER D.E. The Design of Wide-band Transistor Feedback Amplifiers. *Proceedings of the IEEE*, Vol. 110, No. 2, pp 375-379, February 1963.
- [14] GHAUSI M.S. *Principles and Design of Linear Active Circuits*. McGraw-Hill, 1965.
- [15] JÄCKEL H., ELLINGER F., SCHWARZ V. *Chapitre 11: « Integrated Circuits for High Speed Communication »* [cours en ligne], Laboratoire d'électronique IFE, Zürich. [réf. Avril 2003].

- [16] REIN H.M., MÖLLER M. Design Considerations for Very-High-Speed Si-Bipolar IC's Operating up to 50 Gb/s. *IEEE Journal of Solid State Circuits*, Vol. 31, No. 8, pp 1076-1090, August 1996.
- [17] MEGHELLI M., BOUCHE M., M.; KONCZYKOWSKA, A. High Power and High Speed InP DHBT Driver IC's for Laser Modulation. *IEEE Journal of Solid State Circuits*, Vol. 33, No. 9, pp1411-1416, September 1998.
- [18] RAZAVI B. *Design of Analog CMOS Integrated Circuits*. McGraw-Hill, 2001.
- [19] KENNEY J.G., RANGAN G., RAMAMURTHY K., *et al.* An Enhanced Slew Rate Source Follower. *IEEE Journal of Solid State Circuits*, Vol. 30, No. 2, pp 144-146, February 1995.
- [20] HAGERAATS H., HOOIJMANS P.W., TOMESSEN M.T. A New Wideband Input Compensation for Packaged Analog and Digital Multigigabit IC's. *IEEE Journal of Solid State Circuits*, Vol. 29, No. 1, pp 23-30, January 1994.
- [21] HO I.E., VAN TUYL R.L. Inductorless Monolithic Microwave Amplifiers with directly cascaded cells. *IEEE Microwave Theory & Techniques-Symposium Digest*, L-6, pp 515-518, 1990.
- [22] COURCELLE L.; KERHERVE E.; JARRY P. An Improved Follower Stage for the design of 40 Gb/s Wideband MMIC pHEMT modulator driver amplifier. *European Microwave Conference Symposium Digest*. 2004 (A paraître).
- [23] MAJIDI-AHY R., NISHIMOTO C., RIAZIAT M., *et al.* 100 GHz High-Gain InP MMIC Cascode Amplifier. *IEEE Journal of Solid State Circuits*, Vol. 26, No. 10, October 1991.

CHAPITRE 3 : APPLICATION DE LA METHODE DES FREQUENCES REELLES A LA SYNTHESE DE *DRIVER* OPTIQUE MMIC

<u>1</u>	<u>INTRODUCTION</u>	82
<u>2</u>	<u>FORMALISME DE LA METHODE DES FREQUENCES REELLES</u>	83
<u>2.1</u>	<u>Contraintes topologiques sur les égaliseurs</u>	83
<u>2.2</u>	<u>Procédure pour un seul égaliseur en situation de double adaptation</u>	84
<u>2.3</u>	<u>Adaptation d'éléments actifs et synthèse multi-étages</u>	87
<u>3</u>	<u>SYNTHESE DES EGALISEURS PASSIFS</u>	88
<u>3.1</u>	<u>Contraintes sur les réseaux passe-bas</u>	88
<u>3.2</u>	<u>Extraction des éléments localisés</u>	89
<u>3.3</u>	<u>Extraction des éléments distribués</u>	90
<u>3.3.1</u>	<u>Extraction des éléments unitaires</u>	90
<u>3.3.2</u>	<u>Extraction des stubs passe-bas</u>	92
<u>4</u>	<u>APPLICATION DE LA METHODE DES FREQUENCES REELLES A LA CONCEPTION DE</u> <u>« DRIVER » MONOLITHIQUE</u>	94
<u>4.1</u>	<u>Intégration monolithique des éléments passifs</u>	94
<u>4.1.1</u>	<u>Éléments distribués</u>	94
<u>4.1.2</u>	<u>Éléments localisés</u>	102
<u>4.1.3</u>	<u>Choix de la structure des égaliseurs passifs</u>	104
<u>4.2</u>	<u>Paramétrage et adaptation de la Méthode des Fréquences Réelles à la contrainte</u> <u>architecturale du circuit</u>	105
<u>4.3</u>	<u>Variante octopolaire de la procédure de synthèse</u>	107
<u>4.4</u>	<u>Exemples d'application</u>	108
<u>4.4.1</u>	<u>Amplificateur 2 $V_{c\text{-}\hat{a}\text{-}c}$ sur substrat microruban</u>	108
<u>4.4.2</u>	<u>Amplificateur 3 $V_{c\text{-}\hat{a}\text{-}c}$ sur substrat coplanaire</u>	110
<u>5</u>	<u>CONCLUSION</u>	112
	<u>BIBLIOGRAPHIE</u>	113

1 Introduction

Parmi les méthodes de conception utilisées pour le filtrage passif, la Méthode des Fréquences Réelles (MFR) est reconnue pour son très vaste champ d'application. C'est une méthode numérique qui génère directement l'impédance (ou réflectance) d'entrée du quadripôle à synthétiser sous forme d'une fonction rationnelle positive réelle (et donc réalisable), à partir des coefficients d'un polynôme caractéristique de ce quadripôle. Les paramètres sont optimisés suivant les objectifs souhaités sans utiliser de fonction de transfert prédéfinie (fonction de Butterworth, de Chebyshev, ou fonction à phase linéaire). Le degré de liberté supplémentaire dont on dispose peut être mis à profit pour satisfaire des contraintes d'ordre topologique, comme par exemple imposer pour l'égaliseur un réseau en échelle sans transformateur. De plus, les contraintes apportées par les terminaisons du quadripôle d'adaptation sont traitées numériquement. Un modèle électrique d'une charge complexe n'est alors pas nécessaire et le nombre d'éléments réactifs modélisant cette charge ne constitue plus une limite [1]. Elle offre ainsi des solutions numériques optimales lorsque le pendant analytique n'existe pas.

Depuis son introduction, par H.J.Carlin en 1977 [2], la Méthode des Fréquences Réelles s'est vue déclinée sous de nombreuses formes. Une première version baptisée « *Méthode d'approximation de segments de lignes* » [2] se base sur une approximation de la partie réelle de l'impédance d'entrée de l'égaliseur à synthétiser sous forme de segments. Ces segments sont utilisés comme variables d'optimisation. La relation de Hilbert est ensuite utilisée pour reconstruire la partie imaginaire de l'impédance d'entrée à partir de sa partie réelle. Cette forme de la méthode s'applique plutôt en situation de « simple adaptation ». Elle a déjà fait ses preuves lors de la synthèse de filtres passifs [3], et d'amplificateurs microondes à un étage sur charges résistives, adaptés en entrée et en sortie par des égaliseurs passifs [4].

Une autre variante appelée « *Méthode des Fréquences Réelles Simplifiée* », fait intervenir les paramètres S de l'égaliseur sous leur forme de Belevitch. Les coefficients d'un des polynômes définissant ces paramètres S sont utilisés comme variables d'optimisation. Cette approche s'avère particulièrement adéquate pour la synthèse d'amplificateurs multi-étages par optimisation d'égaliseurs passifs inter-étages et plus généralement, dans une situation de « double adaptation ». Pour cette raison, cette méthode sera mise en œuvre ici. Elle a par ailleurs fait l'objet de diverses extensions pour la conception et l'optimisation d'amplificateurs faible bruit [5] ou celle d'amplificateurs de puissance en bande étroite [6] (dans le cadre de travaux de recherche effectués au Laboratoire IXL). Dans le cas présent, il sera nécessaire d'adapter la procédure multi-étages aux contraintes « système » (gabarit passe-bas et gain plat), aux contraintes imposées par les choix topologiques (notamment l'usage d'étages suiveurs), et aux contraintes de taille liées à l'intégration monolithique.

La Méthode des Fréquences Réelles Simplifiée sera exposée dans un premier temps. La procédure multi-étages sera ensuite mise en œuvre pour la conception d'un amplificateur MMIC basé sur l'architecture de circuit proposée dans le chapitre 2. Enfin, une variante de la procédure multi-étages permettant d'optimiser un égaliseur en présence d'une contre-réaction globale, sera présentée. Ces différentes procédures seront illustrées par la synthèse d'un *driver* optique délivrant une tension de $2 V_{c\text{-à-c}}$ sur 50Ω réalisé sur substrat microruban et celle d'un *driver* optique délivrant une tension de $3 V_{c\text{-à-c}}$ sur 50Ω , réalisé sur substrat coplanaire.

2 Formalisme de la Méthode des Fréquences Réelles

2.1 Contraintes topologiques sur les égaliseurs

On présente en premier lieu les propriétés topologiques des réseaux passifs choisis pour effectuer la synthèse.

Les éléments passifs utilisables pour la réalisation de quadripôles d'adaptations sont classés en deux catégories : les éléments distribués et les éléments localisés.

Deux structures de quadripôle passif, non dissipatif et dont on peut exprimer une fonction de transfert pour le gain transducique sous la forme d'une fonction rationnelle et réelle, sont ainsi couramment utilisées.

-La première est la cascade de lignes et de stubs uniformes commensurés, d'impédances caractéristiques différentes, qui permet la synthèse d'égaliseurs en éléments distribués. En appliquant la transformation de Richards :

$$\begin{aligned} t &= j\Omega \\ \Omega &= \tan\left(\frac{\pi}{2} \frac{\omega}{\omega_0}\right) \end{aligned} \quad (3.1)$$

on montre que le gain transducique d'une cascade de n lignes et q stubs passe-bas uniformes, de pulsation de référence ω_0 , dotée d'une terminaison résistive unitaire à chacun de ses ports, peut toujours s'exprimer sous la forme :

$$T = S_{21}S_{21}^* = \frac{(1-t^2)^n}{P_{n+q}(-t^2)} \quad (3.2)$$

P_{n+q} est un polynôme d'Hurwitz pair.

-Une deuxième fonction prototype permet la synthèse de réseaux en échelle passe bas comptant n zéros de transmission à l'infini et éventuellement k paires de zéros finis (et différents de zéro) conjugués sur l'axe $j\omega$.

Avec $s=j\omega$, on a :

$$T(-s^2) = S_{21}S_{21}^* = \frac{\prod_{i=1}^k (s^2 + \omega_i^2)^2}{P_n(-s^2)} \quad (3.3)$$

P_n est un polynôme d'Hurwitz pair et les ω_i sont les zéros de transmission finis.

Pour un réseau ne comptant que des zéros de transmission à l'infini, c'est-à-dire constitué uniquement d'inductances série et de capacités parallèle,

$$T(-s^2) = \frac{1}{P_n(-s^2)} \quad (3.4)$$

et le nombre de zéros n est égal au nombre d'éléments passifs constituant le réseau.

2.2 Procédure pour un seul égaliseur en situation de double adaptation

On souhaite réaliser un quadripôle sans perte permettant d'établir une fonction de transfert pour le gain transducique T_0 sur une bande de fréquence choisie, entre un générateur de tension d'impédance interne z_G complexe et une charge complexe z_L (normalisées) supposées positives réelles. En utilisant les quadripôles équivalents de Darlington (cf. annexe 1) de l'impédance de générateur et de l'impédance de charge, terminés par une résistance unitaire, on peut représenter le système par le schéma de la figure 3.1. Les matrices $[g]$ et $[l]$ représentent les matrices S des quadripôles équivalents de l'impédance de générateur et de l'impédance de charge supposées connues et fixées sur la bande choisie. $[e]$ représente la matrice S de l'égaliseur sans perte à optimiser.



Figure 3.1 : Egaliseur en situation de double adaptation.

On montre que le gain transducique de l'ensemble G-E-L, s'exprime en fonction des paramètres S des différents quadripôles par :

$$T = \frac{|g_{21}|^2}{|1 - g_{22}e_1|^2} \frac{|e_{21}|^2}{|1 - e_{22}l_{11}|^2} |l_{21}|^2 \quad (3.5)$$

$$\text{avec } e_1 = e_{11} + \frac{e_{21}^2 l_{11}}{1 - e_{22} l_{11}}$$

L étant un quadripôle passif sans perte, on a :

$$|l_{21}|^2 = 1 - |l_{11}|^2 \quad (3.6)$$

En restreignant la topologie de l'égaliseur E à celle d'un réseau passe-bas en échelle possédant n zéros de transmission à l'infini (n éléments) ou à celle d'une cascade de n lignes et stubs passe-bas, sa matrice S prend la forme de Belevitch suivante :

$$\begin{aligned} e_{11} &= \frac{h}{g} = \frac{h_0 + h_1s + \dots + h_n s^n}{g_0 + g_1s + \dots + g_n s^n} \\ e_{22} &= \pm \frac{h^*}{g} = \frac{h_0 - h_1s + \dots + (-1)^n h_n s^n}{g_0 + g_1s + \dots + g_n s^n} \\ e_{21} &= e_{12} = \frac{f}{g} = \pm \frac{1}{g_0 + g_1s + \dots + g_n s^n} \end{aligned} \quad (3.7a)$$

ou

$$\begin{aligned} e_{11} &= \frac{h}{g} = \frac{h_0 + h_1t + \dots + h_n t^n}{g_0 + g_1t + \dots + g_n t^n} \\ e_{22} &= \pm \frac{h^*}{g} = \frac{h_0 - h_1t + \dots + (-1)^n h_n t^n}{g_0 + g_1t + \dots + g_n t^n} \\ e_{21} &= e_{12} = \frac{f}{g} = \pm \frac{(1+t)^{n-q}}{g_0 + g_1t + \dots + g_n t^n} \end{aligned} \quad (3.7b)$$

(Le formalisme de Belevitch pour la matrice S d'un quadripôle passif sans perte est rappelé dans l'annexe 1).

La procédure d'optimisation se déroule alors comme suit :

-On choisit le vecteur $H = [h_0, h_1, \dots, h_n]$, formé par les coefficients réels du polynôme h , comme variable d'optimisation, initialisé en début de procédure.

-La propriété de para-unitarité de la matrice S de l'égaliseur E permet de déterminer de façon unique un polynôme d'Hurwitz g à partir du polynôme h , et donc de façon unique, la matrice S de l'égaliseur. On calcule ainsi le polynôme pair à coefficient réel :

$$G(-s^2) = h^* h + f^* f = h^* h + 1 \quad (3.8a)$$

$$\text{ou} \quad G(-t^2) = h^* h + f^* f = h^* h + (1-t^2)^n \quad (3.8b)$$

-Il est toujours possible de réaliser la factorisation spectrale de G telle que :

$$G(-s^2) = g^* g \quad (3.9a)$$

$$\text{ou} \quad G(-t^2) = g^* g \quad (3.9b)$$

-On construit alors la matrice S de l'égaliseur à partir du polynôme d'Hurwitz g et des relations (3.7a) ou (3.7b).

-Pour chaque valeur de fréquence ω_i de la bande sur laquelle on a choisi d'optimiser le gain transductique $T(\omega_i)$, on calcule T à partir de l'expression (3.5).

-On optimise ensuite la norme $\|T(\omega_i) - T_0\|$, en construisant un vecteur erreur ε que l'on minimise selon le critère des moindres carrés, sur le vecteur inconnu H , tel que :

$$\varepsilon^2 = \sum_{i=1}^m \left(\frac{T(\omega_i, H)}{T_0} - 1 \right)^2 \quad (3.10)$$

où m désigne le nombre de fréquences d'optimisation.

L'algorithme de minimisation habituellement employé est la méthode de Levenberg-Marquardt. Celle-ci a toutefois été améliorée par l'usage de l'algorithme de J.J.More [7], qui permet d'éviter les minima locaux.

On généralise la méthode en ayant recours à une optimisation multi-objectif, qui conduit à la minimisation d'une erreur du type :

$$\varepsilon^2 = \sum_{i=1}^m \left[W_1 \left(\frac{T(\omega_i, H)}{T_0} - 1 \right)^2 + W_2 \left(\frac{TOS_{in}(\omega_i, H)}{TOS_{in}(0)} - 1 \right)^2 + \dots \right] \quad (3.11)$$

où les W_j sont des constantes de pondérations.

-A partir des valeurs obtenues des coefficients de h et de g correspondant aux valeurs optimales du gain transductique, on peut exprimer l'impédance d'entrée de l'égaliseur E terminé par une résistance unitaire de la façon suivante (cf. annexe 1):

$$z_e = \frac{g + h}{g - h} \quad (3.12)$$

et appliquer les procédures d'extraction d'éléments passifs (synthèse de Darlington, synthèse de Richards), suivant la topologie de l'égaliseur choisie. Le polynôme g étant un polynôme d'Hurwitz, l'égaliseur E sera toujours réalisable.

2.3 Adaptation d'éléments actifs et synthèse multi-étages

Il est possible d'étendre la méthode présentée, à l'adaptation de circuits actifs, en assimilant les paramètres S des quadripôles passifs G et L, à ceux de quadripôles actifs, comme des transistors montés en source commune par exemple. Cette méthode peut également être intégrée dans une procédure de synthèse multi-étages.

On suppose une chaîne de n quadripôles actifs entre lesquels on insère un égaliseur passif (figure 3.2).

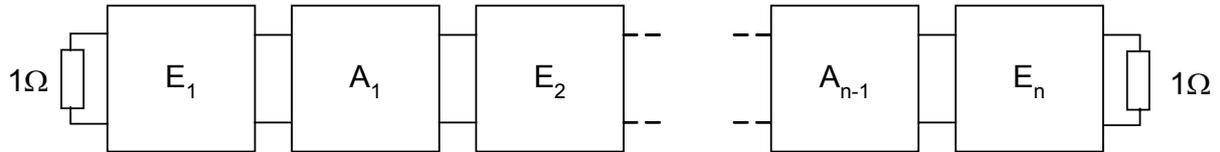


Figure 3.2 : Synthèse multi-étages.

En supposant que la synthèse commence par l'étage d'entrée, à l'étage k , on identifie la matrice $[g]$ dans l'expression (3.5) à celle du quadripôle actif équivalent à toute la partie en amont (Figure 3.3).

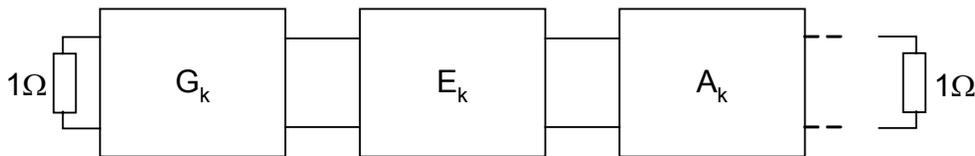


Figure 3.3 : Synthèse du k-ième égaliseur.

Le gain transducique T_{k-1} de la partie en amont est tel que :

$$T_{k-1} = |g_{21}|^2 \quad (3.13)$$

L'expression (3.5) devient alors :

$$T_k = T_{k-1} \frac{|e_{21k}|^2 |l_{21k}|^2}{|1 - g_{22k} e_{1k}|^2 |1 - e_{22k} l_{11k}|^2} \quad (3.14)$$

$$\text{avec } e_{1k} = e_{11k} + \frac{e_{21k}^2 l_{11k}}{1 - e_{22k} l_{11k}}$$

où la matrice $[l]$ représente la matrice S du k -ième quadripôle actif A_k .

L'expression (3.14) permet de construire une procédure itérative qui optimise étage après étage en partant de l'étage d'entrée, le gain transducique T_k , et finalement le gain transducique global du circuit.

$$T_g = T_0 T_1 \dots T_k \dots T_{n-1} E_n \quad (3.15)$$

où E_n représente le gain transducique d'un égaliseur de sortie.

La procédure exposée ici, commence par la synthèse de l'étage d'entrée et finit par l'étage de sortie. Il est également possible de donner une expression récursive du gain transductique à l'étape k , similaire à (3.14), pour une procédure débutant par la sortie. En conséquence, une imbrication des étages de façon alternée est une troisième possibilité envisageable.

3 Synthèse des égaliseurs passifs

Après obtention des polynômes h et g optimisés, caractérisant chaque égaliseur passif terminé par des résistances unitaires, ces derniers doivent être synthétisés.

La construction d'un réseau en échelle passe-bas nécessite l'extraction d'éléments passifs non-dissipatifs localisés (inductance et capacité) par la procédure de synthèse de Darlington. La réalisation de structure sous forme de cascade de lignes nécessite l'extraction d'éléments unitaires d'impédance caractéristique différente, à une fréquence de référence donnée.

3.1 Contraintes sur les réseaux passe-bas

De manière générale, pour un réseau passe-bas sans perte terminé à ses ports par des résistances identiques, dont la matrice S de la variable s ou t , normalisée par rapport à cette résistance est $[e]$, on a toujours :

$$|e_{11}(0)| = 0 \quad \text{et} \quad |e_{21}(0)| = 1 \quad (3.16)$$

$$|e_{11}(\infty)| = 1 \quad \text{et} \quad |e_{21}(\infty)| = 0 \quad (3.17)$$

On notera que la propriété (3.17) ne s'applique que pour les réseaux strictement passe-bas (et ne s'applique pas pour les réseaux de type passe-tout).

En utilisant le formalisme de Belevitch rappelé par l'expression (3.7),

$$|e_{11}(0)| = 0 \Rightarrow e_{11}(0) = \frac{h_0}{g_0} = 0 \Rightarrow \boxed{h_0 = 0} \quad (3.18)$$

$$|e_{21}(0)| = 1 \Rightarrow e_{21}(0) = \frac{1}{g_0} = 1 \Rightarrow \boxed{g_0 = 1} \quad (3.19)$$

$$|e_{11}(\infty)| = 1 \Rightarrow e_{11}(\infty) = \frac{h_n}{g_n} = \pm 1 \Rightarrow \boxed{h_n = \pm g_n} \quad (3.20)$$

$$|e_{21}(\infty)| = 0 \Rightarrow e_{21}(\infty) = \frac{1}{g_n s^n} \Big|_{s \rightarrow \infty} \quad \text{ou} \quad e_{21}(\infty) = \frac{1}{g_n t^n} \Big|_{t \rightarrow \infty} \quad (3.21)$$

3.2 Extraction des éléments localisés

On exprime l'impédance ou l'admittance d'entrée de l'égaliseur terminé par une résistance unitaire par :

$$z(s) = \frac{g(s) + h(s)}{g(s) - h(s)} \quad (3.22a)$$

ou

$$y(s) = \frac{g(s) - h(s)}{g(s) + h(s)} \quad (3.22b)$$

On synthétise commodément les réseaux en échelle, suivant la procédure de Darlington, en extrayant les dipôles réactifs (inductances ou capacités) successivement à partir de l'impédance d'entrée z ou de l'admittance y .

Si $h_n = g_n$, z est de la forme :

$$z = z_1(s) = \frac{1 + a_1s + \dots + a_ns^n}{1 + b_1s + \dots + b_{n-1}s^{n-1}} \quad (3.23)$$

On peut extraire une inductance série l_1 de l'impédance $z_1(s)$, laissant une impédance $z_2(s)$ de degré inférieur à celui de $z_1(s)$, telle que :

$$z_2(s) = z_1(s) - l_1s \quad (3.24)$$

avec
$$l_1 = \frac{a_n}{b_{n-1}}$$

Si $h_n = -g_n$, y est de la forme :

$$y = y_1(s) = \frac{1 + b_1s + \dots + b_ns^n}{1 + a_1s + \dots + a_{n-1}s^{n-1}} \quad (3.25)$$

On peut extraire une capacité parallèle c_1 de l'admittance $y_1(s)$, laissant une impédance $y_2(s)$ de degré inférieur à celui de $y_1(s)$, telle que :

$$y_2(s) = y_1(s) - c_1s \quad (3.26)$$

Avec
$$c_1 = \frac{b_n}{a_{n-1}}$$

On construit ainsi le réseau en extrayant de façon alternée un pôle de l'impédance et de l'admittance d'entrée, jusqu'à ce que l'impédance ou l'admittance restante soit égale à un.

3.3 Extraction des éléments distribués

3.3.1 Extraction des éléments unitaires

Dans un premier temps, l'égaliseur est choisi comme une cascade de tronçons de lignes qui est alors de type passe-tout. On appelle élément unitaire (E.U) une ligne uniforme de longueur fixe ou de fréquence de référence fixe (cf. chapitre 2) et paramétrée par son impédance caractéristique. On utilise l'élément unitaire comme motif élémentaire pour la constitution d'un réseau en éléments distribués.

On considère alors, un quadripôle formé par une cascade d'E.U et terminé par des résistances unitaires (figure 3.4).

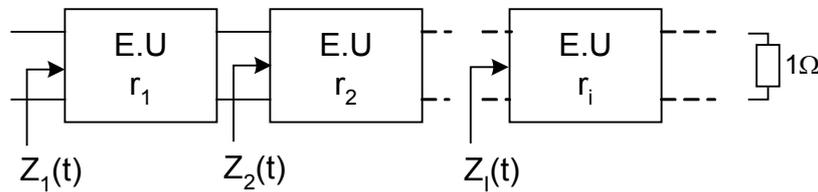


Figure 3.4 : Cascade d'éléments unitaires.

Exprimée en fonction de la variable de Richards t , l'impédance d'entrée Z_1 d'un élément unitaire d'impédance caractéristique r_1 , chargé par une impédance Z_2 est :

$$Z_1(t) = r_1 \frac{Z_2(t) + r_1 t}{r_1 + t Z_2(t)} \quad (3.27)$$

avec :

$$\begin{aligned} Z_1(1) &= r_1 \\ Z_1(-1) &= -r_1 \end{aligned} \quad (3.28)$$

En inversant la relation (3.26), on obtient :

$$Z_2(t) = r_1 \frac{Z_1(t) - r_1 t}{r_1 - t Z_1(t)} \quad (3.29)$$

Le théorème de Richards stipule qu'il est toujours possible d'extraire un élément unitaire d'impédance caractéristique $r_1 > 0$ à partir d'une impédance positive réelle $Z_1(t)$ et laissant une impédance $Z_2(t)$ également positive réelle à partir de l'expression (3.29).

D'autre part, puisque $Z_1(1) = r_1$, alors $t = 1$ est racine du numérateur et du dénominateur dans (3.29) et comme $Z_1(-1) = -r_1$, alors $t = -1$ est également racine de numérateur et du dénominateur dans l'expression (3.29).

On peut alors exprimer $Z_2(t)$ sous la forme :

$$Z_2(t) = \frac{(1-t^2)u_2(t)}{(1-t^2)v_2(t)} \quad (3.30)$$

où $u_2(t)$ et $v_2(t)$ sont des polynômes.

Dans l'expression (3.29), en supposant le dipôle Z_1 de degré n , Z_2 apparaît de degré $n+1$. La simplification dans (3.30), permet de réduire le degré de Z_2 de 2. Le degré de Z_2 est donc $n-1$.

On peut donc extraire les éléments unitaires les uns après les autres, le degré de l'impédance restante à chaque itération diminuant jusqu'à obtenir 0, correspondant à la terminaison résistive.

La procédure de synthèse se déroule alors comme suit :

$$Z_1(t) = \frac{g(t) + h(t)}{g(t) - h(t)} = \frac{u_1(t)}{v_1(t)} \quad (3.31)$$

Soit r_1 l'impédance caractéristique de l'élément unitaire à extraire et $Z_2(t)$ l'impédance restante. Puisque $Z_1(1) = r_1$, on obtient :

$$r_1 = \frac{g(1) + h(1)}{g(1) - h(1)} \quad (3.32)$$

D'après la relation (3.29), on peut exprimer :

$$Z_2(t) = \frac{p_2(t)}{q_2(t)} = \frac{r_1 u_1(t) - t r_1^2 v_1(t)}{r_1 u_1(t) - t v_1(t)} \quad (3.33)$$

On obtient ainsi les expressions des polynômes $p_2(t)$ et $q_2(t)$.

Sachant que chacun d'eux possède les racines 1 et -1 , on peut les extraire et construire l'impédance $Z_2(t)$ irréductible, restante après extraction de l'élément unitaire.

On obtient ainsi $Z_2(t) = \frac{u_2(t)}{v_2(t)}$ après identification polynomiale des relations (3.34):

$$\begin{aligned} u_2(t)(1-t^2) &= p_2(t) \\ v_2(t)(1-t^2) &= q_2(t) \end{aligned} \quad (3.34)$$

On peut alors réitérer l'opération d'extraction d'un élément unitaire, à partir de $Z_2(t)$.

3.3.2 Extraction des stubs passe-bas

Les stubs de type passe-bas sont les stubs en circuit ouvert (CO) mis en parallèle et les stubs en court-circuit (CC) mis en série.

Ils ont un comportement similaire respectivement à celui d'une capacité parallèle et d'une inductance série.

En fonction de la variable de Richards, l'impédance d'un stub en circuit ouvert s'exprime par :

$$z = \frac{r}{t} \quad (3.35)$$

et celle d'un stub en court circuit s'exprime par :

$$z = rt \quad (3.36)$$

avec r l'impédance caractéristique de la ligne formant le stub.

On considère un égaliseur passif dont on connaît les polynômes g et h , optimisés à partir d'une structure composée de n éléments unitaires et de q stubs passe-bas (eq. (3.2)). On appellera $N = n + q$, le nombre total d'éléments.

On montre que la synthèse de stubs CO parallèles et CC séries, similairement à celle les capacités parallèles et inductances séries, permet d'extraire des pôles à l'infini de l'admittance ou de l'impédance d'entrée d'un quadripôle passif.

Pour réaliser l'extraction et réduire en même temps le degré de l'immittance⁵ d'entrée, il est nécessaire d'avoir au numérateur et au dénominateur des polynômes de degré différent.

Cette condition se réalise à la première extraction, car le caractère strictement passe-bas du réseau impose $h_N = \pm g_N$.

On obtient dans le cas du signe (+) :

$$Z_1(t) = \frac{g(t) + h(t)}{g(t) - h(t)} = \frac{1 + u_1 t + \dots + u_N t^N}{1 + v_1 t + \dots + v_{N-1} t^{N-1}} \quad (3.37)$$

et dans le cas du signe (-) :

$$Y_1(t) = \frac{g(t) - h(t)}{g(t) + h(t)} = \frac{1 + v_1 t + \dots + v_N t^N}{1 + u_1 t + \dots + u_{N-1} t^{N-1}} \quad (3.38)$$

Dans le cas où $h_N = g_N$, on extraira un stub CC série d'impédance caractéristique r_1 , laissant une impédance $Z_2(t)$, telle que :

⁵Immittance signifie impédance ou admittance.

$$Z_2(t) = Z_1(t) - r_1 t \quad (3.39)$$

avec $r_1 = \frac{u_N}{v_{N-1}}$

Dans le cas où $h_N = -g_N$, on extraira un stub CO parallèle d'impédance caractéristique r_1 , laissant une admittance $Y_2(t)$, telle que :

$$Y_2(t) = Y_1(t) + \frac{t}{r_1} \quad (3.40)$$

avec $r_1 = \frac{v_N}{u_{N-1}}$

Toutefois, l'implantation de plusieurs stubs dans le même plan principal, ou dans certains cas, la réalisation de stubs CC série, ne sont pas structurellement envisageables. On peut alors utiliser les identités de Kuroda, qui permettent d'intercaler des éléments unitaires et des stubs mais qui permettent également de réaliser des transformations de stub CC série en stub CO parallèle.

-L'identité passe-bas de Kuroda, représentée figure 3.5, est donnée par les relations (3.41):

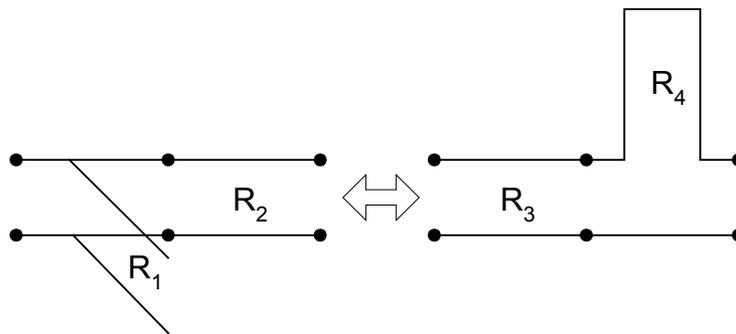


Figure 3.5: Identité passe-bas de Kuroda.

$$\begin{aligned} R_3 &= \frac{R_1 R_2}{R_1 + R_2} \quad \text{et} \quad R_1 = R_3 \left(1 + \frac{R_3}{R_4} \right) \\ R_4 &= \frac{R_2^2}{R_1 + R_2} \quad R_2 = R_3 + R_4 \end{aligned} \quad (3.41)$$

Une synthèse basée uniquement sur les stubs passe-bas peut également être conduite par une fonction de transfert de type réseau en échelle passe-bas, les deux types de structures (distribuée et localisée) produisant des zéros de transmission à l'infini. On peut ensuite séparer spatialement les stubs en insérant en début ou en fin de la structure des E.U d'impédance caractéristique égale à l'impédance de terminaison (l'élément est alors transparent) que l'on « décale » ensuite en utilisant les identités de Kuroda.

4 Application de la Méthode des Fréquences Réelles à la conception de « driver » monolithique

La Méthode des Fréquences Réelles, est applicable dans de nombreuses situations pour la conception de circuits actifs, notamment d'amplificateurs. Toutefois, elle repose sur la présence d'égaliseurs non-dissipatifs et débouche sur la synthèse de circuits qui comptent un nombre élevé d'éléments passifs. D'autre part l'aspect itératif de la méthode et l'architecture de type « quadripôles mis en série » nécessite l'usage de blocs actifs cascadables. Il faut pouvoir implanter ces blocs indépendamment les uns des autres, et ceci, de façon systématique. La plupart des travaux qui présentent des applications de la Méthode des Fréquences Réelles s'appuient sur la réalisation de circuits microondes hybrides [8][9][10], ou celle de MMIC dont les surfaces de puce sont grandes ($<1,5 \text{ mm}^2$) [11]. Les étages actifs cascades sont composés d'un transistor microonde monté en source commune et sont couplés entre eux par des capacités de liaison. De manière générale, les transistors sont pourvus de blocs de polarisation passe-bande.

Les spécifications et les contraintes topologiques, associées à la réalisation d'un amplificateur *driver* MMIC pour une liaison à 40 Gbit/s, ont été présentées dans les chapitres précédents. Les contraintes liées à l'intégration monolithique des éléments passifs vont être détaillées dans la suite. L'ensemble de ces restrictions ne permet pas l'usage de la méthode par l'approche systématique qu'il en est fait habituellement.

La Méthode des Fréquences Réelles sera utilisée ici, plutôt comme outil d'amélioration d'une topologie de circuit déjà construite, que comme base de l'architecture globale de l'amplificateur.

Le programme « RFCAD97 », créé par l'équipe Hyperfréquence du Laboratoire IXL, a d'abord été corrigé, et modifié pour l'utiliser dans le cadre applicatif considéré ici. Son organigramme est donné en annexe 2. On présente dans cette partie le paramétrage de la méthode et la configuration particulière dans laquelle elle sera mise en œuvre. Une variante de la procédure multi-étages sera ensuite exposée. Dans celle-ci, les performances du système sont optimisées à partir d'un seul égaliseur passif associé à tout le « reste » du circuit, que l'on considère comme un octopôle.

Un amplificateur délivrant une tension de sortie de $2 V_{c\text{-à-c}}$ sur 50Ω a été synthétisé à l'aide de la version modifiée de « RFCAD97 » et un amplificateur délivrant une tension de $3 V_{c\text{-à-c}}$ sur 50Ω a été réalisé à partir de la variante « octopolaire » de la procédure.

4.1 Intégration monolithique des éléments passifs

4.1.1 Éléments distribués

Au-delà d'une dizaine de gigahertz, une piste métallique d'une longueur de quelques centaines de microns déposée sur un substrat semi-isolant, révèle un comportement inductif ou capacitif dominant suivant la largeur de la piste choisie.

Plus précisément, elle pourra être modélisée comme une ligne de transmission commensurée (de longueur finie), représentée par sa longueur (ou sa fréquence de référence) et son impédance caractéristique qui dépend des paramètres structurels du guide (géométrie et

caractéristiques électriques des matériaux). De nombreuses méthodes d'analyse électromagnétique permettent de remonter aux différents paramètres de la ligne, à partir des éléments structurels (paramètres électriques et géométriques des matériaux utilisés). Des logiciels de calcul comme « LINECALC »⁶ donnent au concepteur les dimensions des pistes à partir des paramètres de ligne en utilisant un modèle analytique de la structure. Des vérifications (éventuellement réoptimisations) à l'aide de simulateurs électromagnétiques type « momentum, sonnet ou hfss » conduisent à des résultats fiables [12].

La présentation des structures de lignes de transmission intégrables dans les circuits microondes monolithiques se limitera, aux lignes capables de propager le mode quasi-TEM fondamental (mode dont la fréquence de coupure s'étend jusqu'à la fréquence nulle), la conception des circuits s'orientant ici vers des gabarits passe-bas.

Deux familles de guides d'ondes quasi-TEM couramment rencontrées dans la conception monolithique sont les lignes microrubans (microstrip) et les guides d'ondes coplanaires (CPW: CoPlanar Waveguide).

Le choix de la structure détermine la topologie globale du circuit. Les structures microrubans nécessitent la présence du plan de masse sur la face arrière de la puce et par suite, l'utilisation de vias pour établir des connexions à la masse. Dans les guides d'ondes coplanaires, le potentiel "froid" se trouve sur le même plan, de part-et-d'autre de la piste. L'accès à la masse est facilité et constitue un gain de place sur la puce, mais l'implantation des éléments du circuits s'avère plus délicate.

Dans les deux cas de figure, le modèle idéal de la ligne commensurée présente des limitations, au travers des phénomènes de pertes et de dispersion, qui seront exposées dans la suite. Une autre structure issue des deux précédentes, le guide coplanaire avec plan de masse sur face arrière (GCPW: Grounded CoPlanar Waveguide) sera également présentée.

4.1.1.1 Pertes dans les lignes de transmission

Les pertes *série* modélisées par la résistance par unité de longueur R , dépendent de la résistivité ρ non-nulle (ou conductivité σ) et de la section des conducteurs [13]. Les niveaux de métallisation, réalisé en Platine-Or, ont une conductivité de $6,67 \cdot 10^7$ S/m.

Des conducteurs à grande section sont pénalisés par "l'effet de bord": plus la fréquence augmente, plus les lignes de courant s'écartent du centre de la section, augmentant ainsi la résistivité effective des conducteurs.

Pour un milieu non-magnétique, les pertes dans le milieu de propagation ou pertes diélectriques sont représentées par la conductance par unité de longueur G et s'expriment en fonction de la permittivité diélectrique ϵ_r et de la conductivité σ du matériau constituant le substrat.

On utilise communément la tangente des pertes du milieu, définie par :

$$\tan \delta \approx \frac{\sigma}{\omega \epsilon} \quad (3.42)$$

⁶ Logiciel Agilent ADS.

avec σ la conductivité du milieu et ε sa permittivité.

Dans l'AsGa, $\delta=1,6.10^{-3}$ à 10 GHz.

La valeur faible de la tangentes des pertes dans l'AsGa et la conductivité élevé du Platine-Or permettent de maintenir l'approximation de non-dissipativité sur des lignes bâties dans cette technologie.

Les phénomènes de dispersions dans les microrubans et les guides d'ondes coplanaires sont présentés dans la suite. Ceci permettra de définir les limites de réalisabilité des éléments distribués selon le type de structure employée.

4.1.1.2 Lignes microruban

Les lignes microruban sont constituées d'un substrat de hauteur h , recouvert d'un plan de masse sur sa face inférieure et d'une piste conductrice de largeur W sur sa face supérieure (figure 3.6).

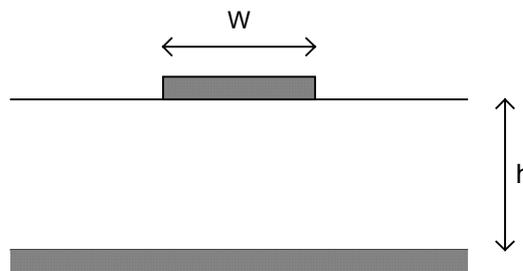


Figure 3.6: Coupe transversale d'une ligne microruban.

Dispersion dans les microrubans

Les limitations connues pour les lignes microruban comme la dépendance en fréquence de l'impédance caractéristique, les possibilités de couplage du mode quasi-TEM avec un mode TM_0 , ou les possibilités d'excitation d'un mode transverse électrique TE ne constituent pas des contraintes au regard de la bande passante visée (fréquence haute de 40 GHz) [14][15][16].

En effet, les variations de la permittivité effective du milieu de propagation en fonction de la fréquence, conduisant à des variations d'impédance caractéristique Z_c , peuvent être négligées en deçà d'une fréquence f_p telles que:

$$f_p = \frac{Z_c}{2\mu_0 h} \quad (3.43)$$

où μ_0 désigne la perméabilité du vide et h , l'épaisseur du substrat.

Une hauteur maximale⁷ de 100 μm associée à une impédance caractéristique⁸ de 30 Ω donne $f_p=120$ GHz.

⁷ Epaisseur d'un substrat en AsGa permettant l'implantation de vias.

Le mode TM_0 qui possède une fréquence de coupure égale à zéro, ne se couple au mode quasi-TEM qu'en situation de vitesse de phase identique pour les deux modes. Cette condition de couplage est obtenue pour une fréquence f_c telle que:

$$f_c = \frac{c}{2\pi h} \sqrt{\frac{2}{\epsilon_r - 1} \frac{1}{\tan \epsilon_r}} \quad (3.44)$$

Pour un substrat en AsGa ($\epsilon_r=12,9$) d'épaisseur inférieure à 100 μm , elle est supérieure à 134 GHz.

Un mode transverse résonant TE peut être excité à une discontinuité et possède une fréquence de coupure basse:

$$f_0 = \frac{228,3}{\sqrt{\epsilon_r} (W + 0,4h)} 10^3 \quad (3.45)$$

Sur un substrat en AsGa ($\epsilon_r=12,9$) d'épaisseur inférieure à $h=100 \mu\text{m}$, et une largeur $W=200 \mu\text{m}$, cette fréquence est supérieure à 178 GHz.

Limite de réalisabilité des valeurs d'impédance caractéristique

Les valeurs de l'impédance caractéristique pour le mode quasi-TEM dépendent du rapport W/h . Toutefois, la plage de grandeur sur laquelle ces valeurs sont synthétisables, est limitée par des contraintes liées à l'intégration monolithique.

Les substrats d'intégration réalisés avec un plan de masse sur la face arrière ont une épaisseur h amincie à 100 μm , permettant l'implantation de vias.

Dans les processus de fabrication des technologies MMIC, la largeur minimale des pistes qu'il est possible de lithographier est habituellement comprise entre 3 et 5 μm . Afin de minimiser les pertes série, on pourra considérer une largeur minimale de 5 μm .

Des lignes uniformes commensurées seront utilisées ici pour la construction d'égaliseurs intégrés, constituant une mise en cascade d'éléments d'impédances caractéristiques différentes. La grandeur h étant fixée, les variations d'impédance caractéristique s'obtiennent par changement de la largeur W de la piste. De trop grandes discontinuités de largeur seront sources de rayonnement et seront à éviter. D'autre part, compte tenu de la surface totale de la puce dont on dispose pour réaliser le circuit (1,5 à 2 mm^2), et pour pouvoir y implanter plusieurs égaliseurs contenant un nombre suffisant d'éléments (jusqu'à 4 ou 5), on peut considérer empiriquement que la surface de chaque élément ne pourra pas excéder 200 x 200 μm^2 . Enfin, pour maintenir un comportement de ligne de transmission, la longueur de la ligne devra être supérieure à $\lambda_d/8$ et supérieure à sa largeur [14]. Les éléments devront donc avoir une longueur d'au moins 250 μm dans un substrat en AsGa pour voir réellement l'effet distribué à des fréquences inférieures à 40 GHz. On peut ainsi estimer pour une telle longueur, une largeur de piste maximale utilisable comprise entre 120 et 150 μm .

⁸ Valeur minimale d'impédance caractéristique réalisable en technologie microruban. Cette valeur est explicitée plus loin.

L'empilement de couches disponibles dans les processus de fabrication des circuits sur AsGa, comme le processus ED02AH proposé par la fonderie OMMIC est présenté figure 3.7.

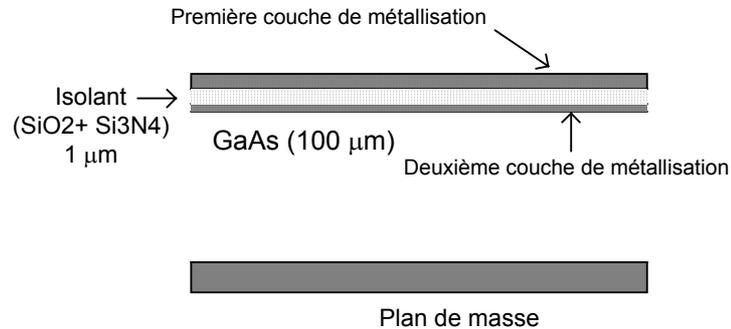


Figure 3.7: Structure de couches pour la technologie ED02AH.

Des simulations à l'aide du logiciel Momentum (Agilent) sur ce type de structure permettent d'établir une plage de réalisation d'impédance caractéristique de 30Ω à 118Ω , pour une largeur de piste comprise entre $5 \mu\text{m}$ et $150 \mu\text{m}$.

Stubs microruban

L'utilisation de microrubans sur substrat en AsGa permet d'implanter commodément des stubs CO en parallèle et des stubs CC en parallèle (figure 3.8). Ces derniers nécessitent toutefois l'emploi d'un via, généralement encombrant.

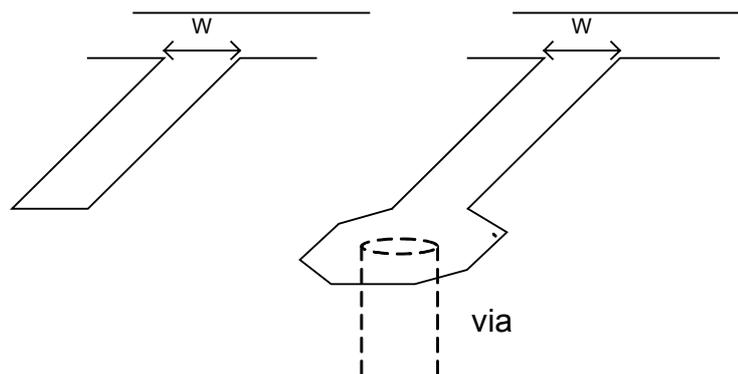


Figure 3.8: Implantation des stubs en technologie microruban.

Pour des raisons de construction, les stubs en série sont difficilement réalisables en technologie microruban.

4.1.1.3 Guides d'ondes coplanaires (CPW)

La structure "idéale" d'un guide d'ondes coplanaire possède un plan de masse infini de part et d'autre d'une piste centrale constituant le conducteur "chaud", reposant sur un substrat d'épaisseur infinie (figure 3.9).

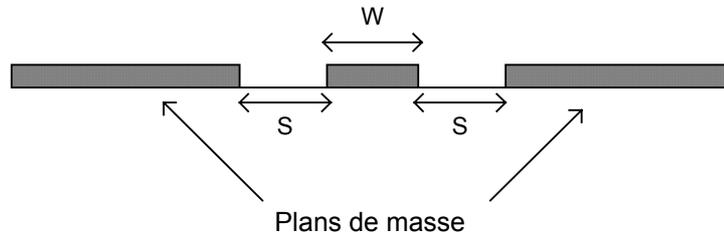


Figure 3.9: Coupe transversale du guide d'ondes coplanaire.

Les valeurs d'impédance caractéristique dépendent de la largeur W de la piste centrale, et des espacements S entre la piste et les plans de masse latéraux. Le concepteur dispose ainsi d'un degré de liberté supplémentaire comparé aux microrubans, pour la réalisation d'éléments d'impédance caractéristique différente. Bien qu'il puisse être plus épais que pour les circuits en technologie microruban, puisque que les vias ne sont pas nécessaires pour des connexions à la masse, le substrat aura de manière inhérente, une hauteur finie.

Dispersion dans les guides d'ondes coplanaires

L'épaisseur finie du substrat conduit à l'existence de modes parasites [17]. Dans le cas où les espacements S sont très faibles, la structure est proche de celle d'un guide d'onde formé par un bloc diélectrique dont l'une des faces est recouverte d'un plan conducteur. Les modes d'ordres les plus bas propageables dans ce type de guide (semblables aux modes parasites présents dans les microrubans) sont les modes d'ondes de surface TM_0 , possédant une fréquence de coupure nulle, et TE_0 dont la fréquence de coupure (basse) est telle que :

$$2h \approx \frac{\lambda_d}{4} \quad (3.46)$$

où h est l'épaisseur du substrat et λ_d la longueur d'onde dans le substrat.

On montre d'autre part, que l'on évite la synchronisation entre le mode coplanaire et le mode TM_0 pour $h < 0.15\lambda_d$. D'après l'équation (3.46), on s'affranchit ainsi de dispersions pour une épaisseur telle que $h < 0.125\lambda_d$. La fréquence maximale d'utilisation est ainsi supérieure à 35 GHz pour une hauteur inférieure à 635 μm (épaisseur maximale disponible au sein du processus OMMIC ED02AH).

Lorsque les conducteurs ne recouvrent qu'une très faible partie du substrat, la structure se rapproche de celle d'un guide formé d'un simple bloc de diélectrique, possédant deux interfaces diélectrique-air. Des modes TM_0 et TE_0 à fréquence de coupure nulle peuvent être propagés dans ce type de guide [18]. Les conditions de synchronicité avec le mode coplanaire

pourront être évitées si $h < 0,1\lambda_d$. Toutefois, on montre que le recouvrement de champ nécessaire au couplage de mode dépend fortement de la distance $W+2S$. En pratique, l'interaction entre le mode coplanaire et l'un de ces modes est négligeable lorsque $W+2S \ll h$. Il est ainsi nécessaire d'utiliser des substrats plus épais qu'en technologie microruban, si l'on veut disposer d'une plage suffisante pour la réalisation d'impédances caractéristiques. OMMIC propose pour ce type de circuit des épaisseurs de substrat de 200 et 635 μm .

En pratique, les guides coplanaires auront également des plans de masse de largeur finie. Dans ce type de structure, un mode pair baptisé « *coupled slot line mode*, mode fentes couplées » existe simultanément au mode impair, nommé « mode coplanaire », et qui est utilisé ici. Le mode pair est peu influencé par la largeur du conducteur central lorsque celle-ci est faible devant la hauteur du substrat. Il peut être approximé dans ce cas par un mode de fente simple (single slot mode). Le mode pair est généralement excité dans les situations de dissymétrie des plans de masse. Il est malgré tout possible de le court-circuiter en reliant les deux plans de masse par un tunnel construit avec une couche de métallisation inférieure ou par un pont à air.

Limite de réalisabilité des valeurs d'impédance caractéristique

Prenant en considération les contraintes énoncées précédemment, une largeur maximale ($W+2S$) de 150 μm ainsi qu'une largeur minimale de 5 μm pour W et S , peuvent être allouées pour chaque élément.

Sur un substrat en AsGa d'une épaisseur de 635 μm recouvert d'une couche mince de polyamide, les résultats de simulation donnent des valeurs d'impédance caractéristique comprises entre 29 Ω et 122 Ω .

Les pertes sont toutefois plus élevées que dans les microrubans. On obtient 0,28 dB à 40 GHz pour une ligne de 118 Ω et 200 μm de longueur (0,13 dB en technologie microruban).

Guides d'ondes coplanaires à très faible impédance caractéristique

La présence d'une deuxième couche de métallisation dans le procédé de fabrication, permet également de construire des lignes d'impédance caractéristique beaucoup plus faible [19]. Comme l'indique la figure 3.10, on peut implanter des « ailettes » afin de rapprocher le conducteur central des plans de masse.

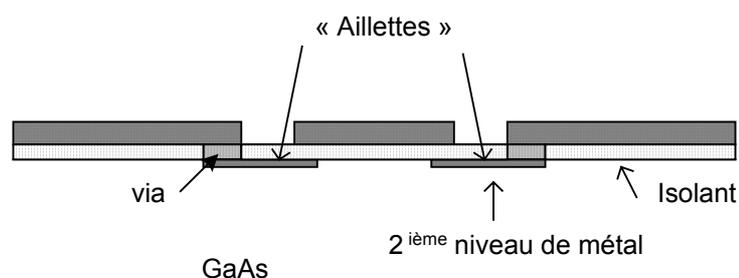


Figure 3.10: Ligne à très basse impédance en technologie coplanaire.

Une ligne d'impédance caractéristique de 14Ω (valeur obtenue par simulation Momentum) peut être construite dans les limites d'encombrement définies précédemment, sans pertes excessives jusqu'à 40 GHz.

Stubs en guides d'ondes coplanaires

On peut implanter sans difficulté des stubs parallèle ou série dans les structures uniplanaires comme c'est le cas des guides d'ondes coplanaires. La figure 3.11 présente différentes possibilités d'implantation des stubs en guides d'ondes coplanaires [20].

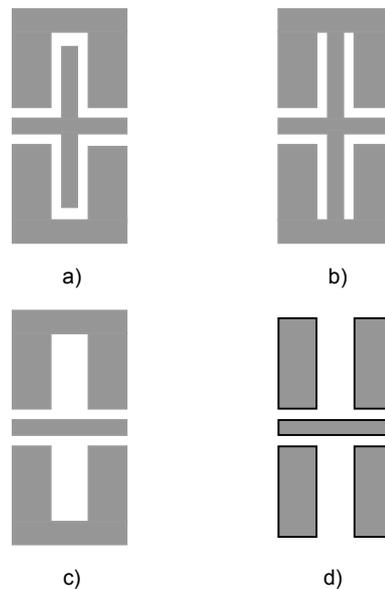


Figure 3.11: Exemple de réalisation de stubs en technologie coplanaire. a) Stub parallèle CO. b) Stub parallèle CC. c) Stub série CC. d) Stub série CO.

Guides d'ondes coplanaires avec plan de masse sur la face arrière (GCPW)

Cette structure est similaire aux guides d'ondes coplanaires. L'ajout d'un plan de masse sur la face arrière a pour effet de diminuer les valeurs d'impédance caractéristique par rapport à une structure de guide d'onde coplanaire. Cette diminution sera plus ou moins significative suivant l'épaisseur du substrat. Elle reste toutefois de l'ordre de 20% pour $h=(W+2S)/2$.

La structure possède un mode de plaques parallèles TEM à fréquence de coupure nulle (mode utilisé dans les microrubans), des modes de plaques parallèles d'ordre supérieur TE_1 et TM_1 ainsi que les modes de surface TM_0 et TE_0 (guide diélectrique recouvert d'un plan de masse) susceptibles de la parasiter [18]. Le mode TEM constitue une perte de puissance vis-à-vis du mode coplanaire qui se propage. Ces pertes seront limitées si la condition $(W+2S) \ll h$ est maintenue. La condition de synchronisation du mode coplanaire avec les modes de plaques parallèles TE_1 et TM_1 pourra être évitée si la condition $h < 0.125\lambda_d$ est maintenue. Cette

condition exclue également l'apparition des modes de surface TM_0 et TE_0 . On pourra ainsi considérer comme optimale, une épaisseur de substrat de 200 μm , et restreindre la largeur maximale ($W+2S$) à 100 μm .

La plage d'impédance caractéristique réalisable est de l'ordre de 25 à 100 Ω .

Cette structure possède les avantages des guides d'ondes coplanaires mais également quelques atouts supplémentaires :

-Un plan de masse sur la face arrière désensibilise la ligne des variations d'impédance caractéristique qu'elle pourrait subir, par l'ajout d'un boîtier métallique à l'étape d'assemblage, introduisant un plan de masse supplémentaire.

-D'autre part, ce plan de masse a pour effet d'éliminer le mode « slot » présent dans les guides d'onde coplanaires et évite ainsi le recours aux techniques de court-circuitage des plans de masse par pont ou tunnel.

4.1.2 *Éléments localisés*

Pour les besoins de flexibilité de design, les technologies sur AsGa ou InP, incluent dans leur processus d'intégration les moyens de disposer d'éléments discrets réactifs tels que des capacités ou des inductances.

La synthèse de ces composants s'effectue sur une plage de valeurs limitée.

-Une limite maximale provient physiquement de la surface restreinte disponible sur une puce et conceptuellement du modèle de type « discret ». On préconise pour celle-ci la dimension limite inférieure à $\lambda/10$, au-delà de laquelle se manifeste l'effet distribué [14].

-Un minimum des valeurs de composant réalisables est donné par la précision du procédé de fabrication.

Les éléments discrets verront également des limites dans leur plage fréquentielle de fonctionnement, modélisées par des éléments parasites, et dans leur plage linéaire de fonctionnement [21].

4.1.2.1 Capacités

Plusieurs types de capacités discrètes peuvent être intégrées, notamment grâce aux couches minces isolantes incluses dans le processus de fabrication.

La fonderie OMMIC propose deux couches minces isolantes Si_3N_4 et SiO_2 , permettant de réaliser des capacités précises sur différentes échelles de valeurs.

Des capacités construites à partir de la couche de Si_3N_4 permettent d'obtenir des valeurs comprises entre 0,06 pF et 25 pF (surface de 250 x 250 μm^2) jusqu'à 40 GHz et supportent des tensions supérieures à 15 V [21].

A titre d'exemple, le facteur de qualité pour une capacité de 1 pF à 10 GHz est compris entre 80 et 100.

Des capacités bâties sur les deux couches d'isolant donnent des valeurs plus facilement reproductibles sur la gamme inférieure à 3 pF.

Des effets capacitifs discrets de faible valeur (<1 pF) peuvent également être réalisés à l'aide de lignes de transmission courtes et d'impédance caractéristique faible.

En effet, une ligne courte sans perte de longueur l et d'impédance caractéristique Z_c est équivalente à une capacité C_{eq} , telle que [16] :

$$C_{eq} = \frac{l}{Z_c v_\phi} \text{ lorsque } Z_c \ll Z_L. \quad (3.47)$$

Z_L est l'impédance de charge de la ligne et v_ϕ la vitesse de propagation de l'onde dans le matériau.

4.1.2.2 Inductances

Il est possible d'implanter des inductances planaires en disposant une piste conductrice étroite sous forme d'une spirale et en connectant l'une des extrémités à l'aide d'un pont ou d'un tunnel. La valeur d'inductance s'obtient au dépend du nombre d'enroulements de piste et donc de la surface utilisée.

Un élément occupant la surface de $200 \times 200 \mu\text{m}^2$ possède une valeur d'inductance de 5 nH.

Toutefois, dans une technologie incorporant un plan de masse sur la face arrière (microruban ou guide coplanaire avec plan de masse), une capacité parasite de substrat, dont la valeur augmente avec la surface de piste occupée, apparaît.

Ainsi sur un substrat d'épaisseur $100 \mu\text{m}$, un élément de 5 nH aura un comportement inductif uniquement en deçà de 10 GHz.

Un comportement inductif jusqu'à 40 GHz ne sera obtenu qu'avec des éléments ne dépassant pas 0,8 nH.

Des effets inductifs de valeur faible (<0,1 nH) pourront être obtenus à l'aide de ligne courte sans perte et d'impédance caractéristique élevée [16]. Pour $\beta l \ll 1$ et $Z_c \gg Z_L$,

$$L_{eq} \approx \frac{Z_c l}{v_\phi} \quad (3.48)$$

4.1.3 Choix de la structure des égaliseurs passifs

Les possibilités d'implantation d'éléments passifs en technologie MMIC viennent d'être détaillées. Le tableau 3.1 récapitule la réalisabilité des différents éléments passifs passe-bas sur la plage de fonctionnement 0-40 GHz, au sein de la technologie ED02AH.

	Guides Coplanaire		Microrubans	
	L ou elt à Z_c élevée	C ou elt à Z_c faible	L ou elt à Z_c élevée	C ou elt à Z_c faible
<i>Eléments localisés</i>	Jusqu'à 0,8 nH. Encombrement en fonction de la taille.	Jusqu'à 1 pF. Peu encombrante.	Jusqu'à 0,8 nH. Encombrement en fonction de la taille.	Jusqu'à 1 pF. Encombrante (par la présence des vias).
<i>Eléments unitaires</i>	$Z_c=100\Omega$ max. Lignes encombrantes (on ne peut pas les replier).	$Z_c=5\Omega$ min. Lignes encombrantes (on ne peut pas les replier).	$Z_c=120\Omega$ max. Lignes peu encombrantes (on peut les replier).	$Z_c=30\Omega$ min. Lignes encombrantes (elles sont larges)
<i>Stubs</i>	(stub série CC). $Z_c=100\Omega$ max. Peu encombrant (disposition transverse possible).	(Stub parallèle CO) $Z_c=5\Omega$ min. Peu encombrant (disposition transverse possible).	(stub série CC). Non réalisable.	(Stub parallèle CO) $Z_c=30\Omega$ min. Peu encombrant (disposition transverse possible).

Tableau 3.1: Plage de réalisabilité des éléments localisés et distribués sur la plage de fonctionnement 0-40 GHz pour une technologie à coût modéré. (*): Réalisable avec une deuxième couche de métallisation.

Il en ressort que dans une approche de conception de type microruban comme dans une approche de type « coplanaire », les divers éléments passe-bas distribués (hormis les stubs série court-circuit), sont réalisables sur une certaine plage d'impédance caractéristique, qui diffère selon le type de structure.

Toutefois, dans la situation considérée ici, le rapport « *surface de puce/longueur d'onde maximale de fonctionnement dans le substrat* » est généralement trop faible, pour que l'on puisse implanter un nombre élevé d'éléments unitaires, dont la fréquence de référence est proche de la fréquence haute de la bande passante. On est amené à choisir une fréquence de référence élevée pour les éléments unitaires et à considérer ces derniers comme des éléments de type « ligne de transmission courte ». Il est alors plus fidèle de considérer les lignes dans un régime quasi-stationnaire et de les modéliser comme des composants localisés.

Les éléments discrets sont également limités en terme de valeur maximum et minimum réalisable. Leurs modèles sont accompagnés d'éléments parasites qui restreignent leur domaine fréquentiel de fonctionnement.

La diversité des contraintes imposées par l'intégration monolithique des éléments passifs ne permet pas d'envisager une topologie particulière, et ceci de façon systématique, pour les égaliseurs.

Les formes connues et pour lesquelles on est capable d'extraire des éléments passifs non-dissipatifs, ont été présentées dans le paragraphe 3. Elles conduisent à des solutions exclusivement distribuées ou localisées. De plus les éléments unitaires doivent être extraits sous forme de tronçons de ligne dont les longueurs sont toutes identiques, introduisant une certaine « rigidité » dans la construction de l'égaliseur. Toutefois, l'utilisation de moyens de transformation tels que l'identité passe-bas de Kuroda ou l'approximation sur l'équivalence *stub-élément localisé* offrent une « souplesse de réalisation » que l'on pourra mettre à profit.

Dans certains cas, ces techniques de transformation permettent également de réduire la surface occupée par l'égaliseur.

On optera ainsi, lors de l'application de la méthode, pour l'une ou l'autre des formes topologiques prédéfinies pour les égaliseurs, conduisant à des solutions réalisables en pratique, le plus souvent au prix d'une étape de transformation supplémentaire.

-Dans le cas d'une synthèse en microruban, nous serons amenés à utiliser une fonction prototype de type « ligne de transmission et stub passe-bas » pour aboutir aux solutions les moins encombrantes. Les éléments d'impédance caractéristique élevée (largeur faible) pourront être repliés. Les éléments unitaires ou les stubs CO d'impédances caractéristique faible pourront être remplacés par des capacités localisés.

-Dans le cas d'une synthèse en guide d'ondes coplanaire, on préférera une fonction prototype en éléments localisés. La synthèse en éléments localisé s'avère être moins encombrante lorsque les valeurs des éléments L et C sont élevées, qu'une synthèse en éléments distribués lorsque de manière équivalente, les écarts entre impédances caractéristiques sont élevés.

4.2 Paramétrage et adaptation de la Méthode des Fréquences Réelles à la contrainte architecturale du circuit

Dans une synthèse multi-étages, le sens de la cascade (entrée vers sortie, sortie vers entrée ou alterné) et le nombre d'étages, sont à choisir en fonction d'une stratégie de conception globale. Dans le cas d'une conception passe-bas, les égaliseurs sont transparents à la fréquence nulle et ne perturbent en rien la valeur du gain DC. Le nombre d'étages actifs à mettre en cascade est donc fixé par la valeur souhaitée du gain DC.

Il est d'autre part nécessaire de fournir une valeur de référence pour les paramètres à optimiser à chaque étape d'optimisation d'un nouvel étage.

Dans le cas où l'on cherche à obtenir une réponse à gain plat depuis la fréquence nulle, on peut utiliser la valeur DC comme valeur de référence pour l'objectif de gain sur toute la bande passante. Ainsi, à l'étape k , une valeur de référence pour le gain transducique peut être choisie telle que :

$$T_{0k} = \frac{|g_{21k}(0)|^2 |l_{21k}(0)|^2}{|1 - g_{22k}(0) l_{11k}(0)|^2} \quad (3.48)$$

De plus, si l'on considère un sens de cascade « entrée vers sortie », l'impédance équivalente de charge de l'étage actif qui se trouve en aval de l'égaliseur k à optimiser est bien entendu inconnue à l'étape k , puisqu'elle dépend de l'égaliseur $k+1$. Le bon déroulement de la procédure itérative et notamment la validité de l'expression (3.14), imposent une terminaison égale à l'impédance de référence des paramètres S pour l'étage actif k .

Le gain transducique de l'étage actif k dépend de la terminaison de l'étage. Une erreur est ainsi introduite dans la synthèse de l'égaliseur k et sera compensée lors de la synthèse de l'égaliseur $k+1$. Lorsqu'un étage actif a un paramètre d'isolation faible (paramètre S_{12} élevé), son impédance d'entrée dépend fortement de son impédance de terminaison. L'erreur qu'il faudra compenser à l'étape $k+1$, sera élevée, ce qui entraînera un déséquilibre dans la

constitution des égaliseurs passifs et un résultat final éloigné de la solution optimale. Le problème reste inchangé quelque soit le sens choisi pour la mise en cascade lors de la synthèse.

Les solutions en terme d'architecture de circuit, préconisées dans le chapitre 2, mettent en œuvre des étages actifs de type suiveur, dont le paramètre S_{12} est élevé. Il est généralement difficile de considérer les étages suiveurs indépendamment des structures qui leur sont connectées en amont et en aval. L'étage suiveur devra faire partie intégrante de l'étage actif en amont ou de l'étage actif en aval.

Par ailleurs, les contraintes de l'intégration monolithique limitent le nombre d'égaliseurs passifs utilisables.

Pour ces diverses raisons, la procédure multi-étages reste délicate à mettre en œuvre dans un tel contexte. La MFR sera appliquée ici dans le cadre de l'amélioration des performances d'une architecture de circuit initialement établie. On considérera pour cela, l'optimisation d'un seul égaliseur placé en un point « sensible » qui peut être à priori n'importe quel plan principal de la cascade série (de quadripôles) que constitue le circuit initial.

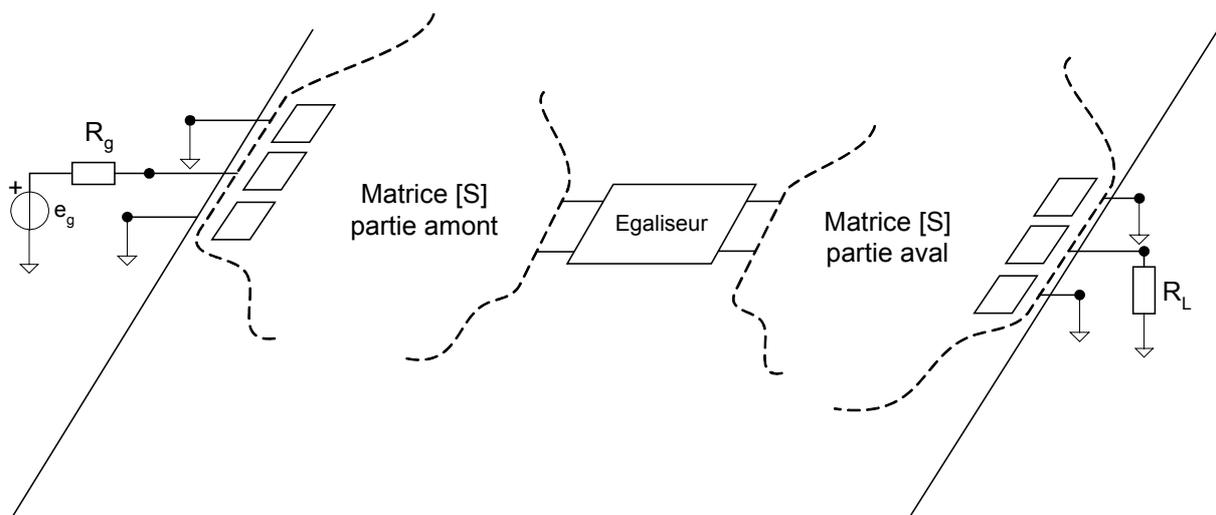


Figure 3.12 : Application de la Méthode des Fréquences Réelles à l'architecture considérée.

Comme l'illustre la figure 3.12, la synthèse globale peut s'effectuer simplement à partir de deux étages actifs, équivalents à la partie amont et aval du plan d'insertion de l'égaliseur.

Si l'on considère les impédances de générateur et de charge comme étant les impédances de référence des matrices S des quadripôles, on évite toute approximation sur la terminaison de l'étage actif situé en aval de l'égaliseur.

4.3 Variante octopolaire de la procédure de synthèse

Dans la mesure où l'on souhaite améliorer les performances d'une topologie de circuit déjà établie à l'aide d'un seul égaliseur passif, il est avantageux de pouvoir considérer les parties actives en amont et en aval de l'égaliseur comme étant dépendantes l'une de l'autre. Pour cela, on peut modéliser le circuit dont les performances sont à améliorer comme un octopôle. Deux ports de l'octopôle sont connectés au quadripôle d'adaptation à optimiser et les deux autres ports constituent l'entrée et la sortie du circuit (figure 3.13). L'unique égaliseur est représenté par sa forme de Belevitch et les coefficients du polynôme h sont utilisés comme variables d'optimisation.

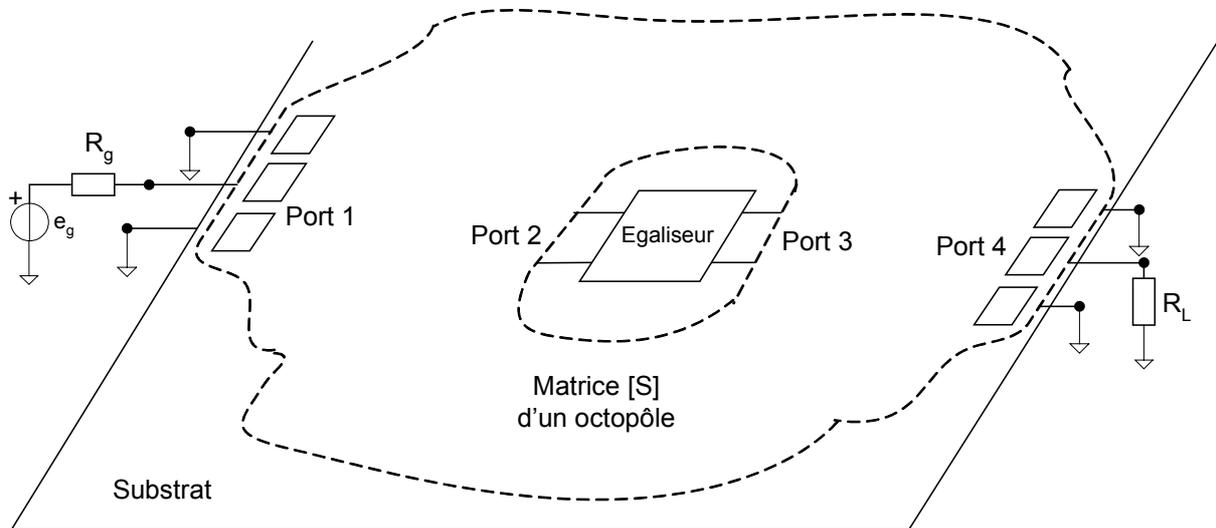


Figure 3.13: Application de la Méthode des Fréquences Réelles sous forme octopolaire.

En représentant l'association *octopôle actif* – *quadripôle d'adaptation* par son graphe de fluence, on détermine en utilisant la règle de Mason, le transfert de puissance de l'entrée vers la sortie du système, le coefficient de réflexion d'entrée et le coefficient de réflexion de sortie. Les calculs de ces paramètres en fonction de la matrice S de l'égaliseur passif et de la matrice S de l'octopôle sont présentés dans l'annexe 3. La procédure d'optimisation est identique à celle présentée dans le paragraphe 2.2. Celle-ci permettra d'optimiser la réponse de l'amplificateur proposée dans le chapitre 2 en présence d'une contre-réaction globale de l'étage de sortie sur l'étage d'entrée.

4.4 Exemples d'application

4.4.1 Amplificateur $2 V_{c-à-c}$ sur substrat microruban

On considère le montage amplificateur, incluant un étage suiveur actif, proposé dans le chapitre 2, et réalisé en technologie microruban. Pour des raisons d'encombrement, nous avons choisi un réseau de polarisation de type « Té passe-haut » externe. Une tension de $2 V_{c-à-c}$ nous a conduit à choisir une largeur de grille de $W=200 \mu\text{m}$ pour le transistor de sortie. La réponse en fréquence pour le gain transductique du circuit est pourvue d'une ondulation élevée. On souhaite, en plaçant un égaliseur passif en un point « sensible » du montage, utiliser la Méthode des Fréquences Réelles pour optimiser la réponse globale et la rendre la plus plate possible sur la bande de travail.

Différentes tentatives d'optimisation ont été menées avec une position différente pour l'égaliseur passif. Plusieurs d'entre-elles conduisaient à une amélioration des performances à partir des solutions théoriques pour l'égaliseur, mais seule la solution présentée figure 3.14 a pu être implantée en pratique.

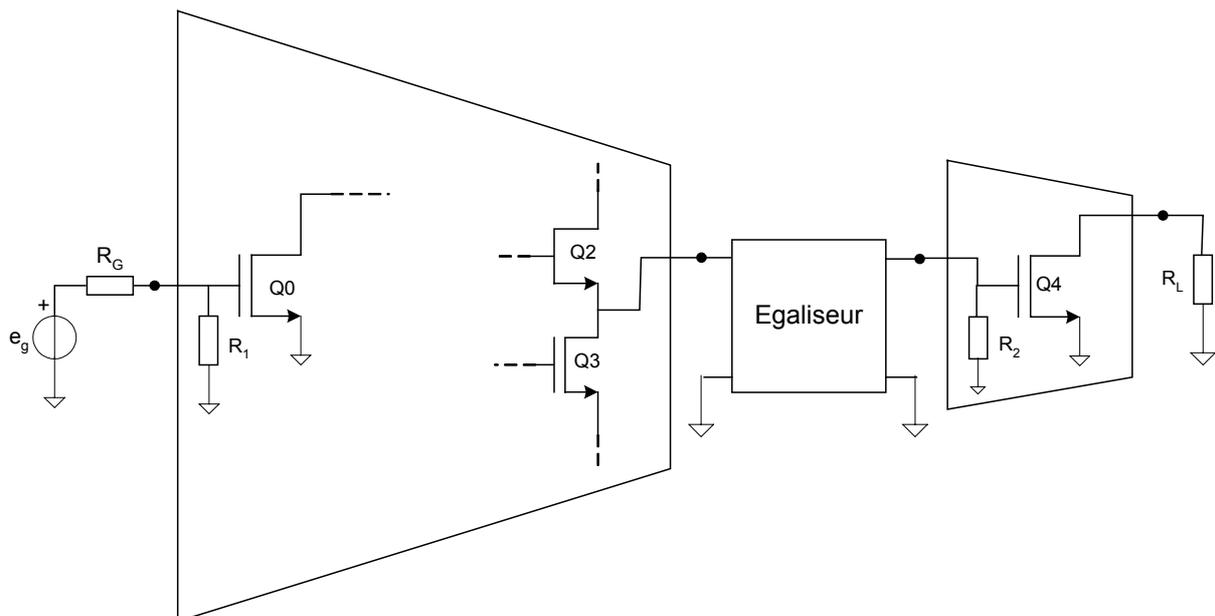


Figure 3.14 : Disposition de l'égaliseur d'adaptation dans la synthèse sur substrat microruban.

La réalisation du montage considéré, en technologie microruban, et sur une surface de puce totale de $1,5 \text{ mm}^2$, ne permet pas de disposer d'un espace suffisant pour prévoir plus d'un égaliseur passif (et donc une optimisation ultérieure), notamment suite à l'encombrement des vias et à la taille relativement élevée des transistors, imposée par les spécifications de puissance. L'implantation en technologie microruban du premier étage actif mis en jeu dans la synthèse (un étage source commune suivi de l'étage suiveur actif), a été réalisé au préalable et optimisée "manuellement" de façon à ce que celui-ci soit inconditionnellement stable. Les lignes de polarisation de drain des transistors montés en source suiveuse, construites dans une structure de microruban sont difficilement réalisables sans être inductives et doivent être

dimensionnées précautionneusement afin de limiter les phénomènes de résonance qui peuvent être générés dans la cellule.

La réponse globale de l'amplificateur, avant optimisation par la Méthode des Fréquences Réelles, est pourvue d'une ondulation élevée dans les basses fréquences.

Au terme de différentes tentatives d'optimisation, les solutions obtenues ne sont pas implantables en pratique et une réduction significative de l'ondulation dans la réponse conduit toujours à une forte diminution de la bande passante.

On choisit alors d'ajouter une résistance en parallèle sur la grille du transistor de sortie afin de désadapter son gain, très élevé aux basses fréquences. Elle contribue, malgré sa valeur faible, à diminuer sensiblement l'ondulation sans entraîner une chute élevée du gain total de l'amplificateur (figure 3.15).

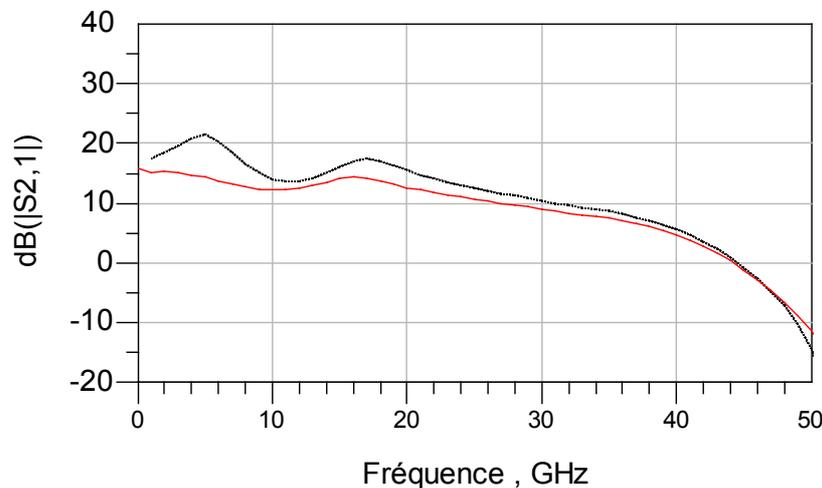


Figure 3.15: Réponses avec (—) et sans (---) la résistance en parallèle sur la grille du dernier transistor.

L'optimisation de l'égaliseur par application de la méthode des Fréquences Réelles, en présence de ce nouvel étage de sortie, permet cette fois-ci, de réduire encore l'ondulation dans la bande de travail et d'étendre la bande passante de l'amplificateur jusqu'à 40 GHz. Toutefois, les géométries possibles pour le prototype final de l'égaliseur restent incompatibles avec la surface de puce préalablement allouée. Une synthèse aboutissant à une réalisation pratique de l'égaliseur a été possible après l'ajout d'une ligne inductive en série avec la résistance de désadaptation du transistor de sortie (Etage de sortie de type « adapté à perte »).

La solution obtenue pour l'égaliseur se compose de :

-1 Stub parallèle circuit ouvert : $Z_c=12 \Omega$ à $f_0=250$ GHz

-1 Elément Unitaire : $Z_c=72 \Omega$ à $f_0=250$ GHz

La réalisation du stub d'une impédance caractéristique de 12Ω sur un substrat AsGa d'une épaisseur de $100 \mu\text{m}$ est trop spacieuse, mais peut être remplacée par une capacité parallèle réalisée sur couche fine connectée à la masse par un via, d'une valeur de $0,09 \text{ pF}$. On peut réajuster les valeurs obtenues à partir de simulations sur des modèles électriques des composants prenant en compte des éléments parasites. Une simulation électromagnétique permet de compléter et de confirmer le résultat.

Ce circuit a été réalisé à la fonderie OMMIC en Juillet 2003 et fait l'objet d'une publication [22].

L'ensemble des résultats de simulations électriques et électromagnétiques ainsi que les résultats de mesures, concernant cette amplificateur sont regroupés dans le chapitre 4.

4.4.2 Amplificateur 3 $V_{c\text{-}\grave{a}\text{-}c}$ sur substrat coplanaire

On réalise sur un substrat coplanaire, l'amplificateur muni d'une contre-réaction résistive présenté dans le chapitre 2. Grâce à la contre-réaction, il est possible de dimensionner le transistor de sortie à $W=450 \mu\text{m}$ sans que ceci entraîne une différence élevée entre le gain haute fréquence et le gain basse fréquence. On peut ainsi obtenir une tension de sortie de $3 V_{c\text{-}\grave{a}\text{-}c}$ en présence d'un réseau de polarisation résistif et diminuer le coefficient de réflexion aux basses fréquences grâce à la résistance de polarisation ramenée en parallèle sur la sortie. Il subsiste néanmoins dans la réponse une ondulation élevée et les coefficients de réflexion en entrée et en sortie de l'amplificateur sont élevés à haute fréquence ($>-4 \text{ dB}$). On souhaite alors les maintenir dans les spécifications établies au chapitre 1. On effectue une première optimisation en considérant un égaliseur situé entre l'étage source commune d'entrée et l'étage suiveur associé à l'étage de sortie. Les parties en amont et en aval de l'égaliseur dépendent l'une de l'autre par l'intermédiaire de la résistance de contre-réaction. On utilise la variante octopolaire de la procédure d'optimisation pour tenir compte de cette dépendance (figure 3.16).

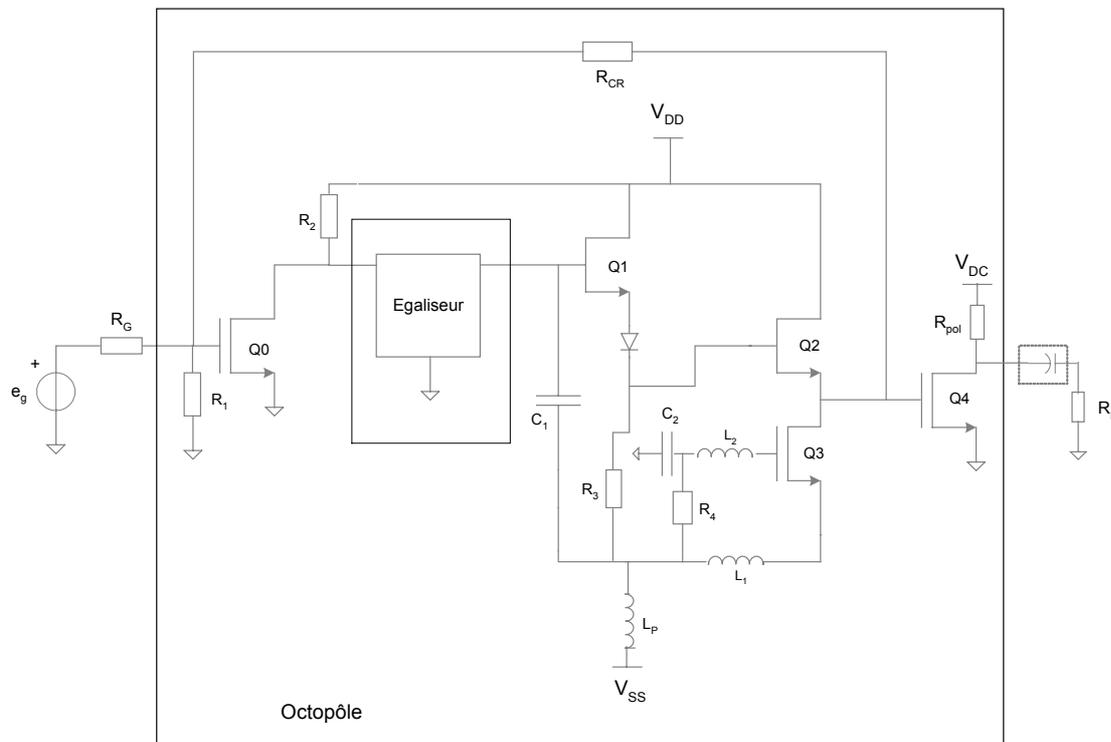


Figure 3.16: Optimisation de l'égaliseur central par la procédure octopolaire.

Le choix retenu pour la position de l'égaliseur est celui qui donne les meilleures performances pour le circuit.

Pour un réseau passif contenant quatre éléments localisés, la solution obtenue est la suivante:

- Une capacité : $C_1=0,057$ pF
- Une inductance : $L_1=0,221$ nH.
- Une capacité : $C'_1=0,175$ pF
- Une inductance : $L'_2=0,208$ nH

Cette configuration permet d'obtenir un gain plat (ondulation $<\pm 1$ dB) jusqu'à 45 GHz, mais ceci, au détriment du TOS d'entrée et du TOS de sortie. Pour améliorer l'adaptation aux accès du circuit, on ajoute un égaliseur en entrée et un égaliseur en sortie, optimisés par la procédure classique de la MFR (figure 3.17).

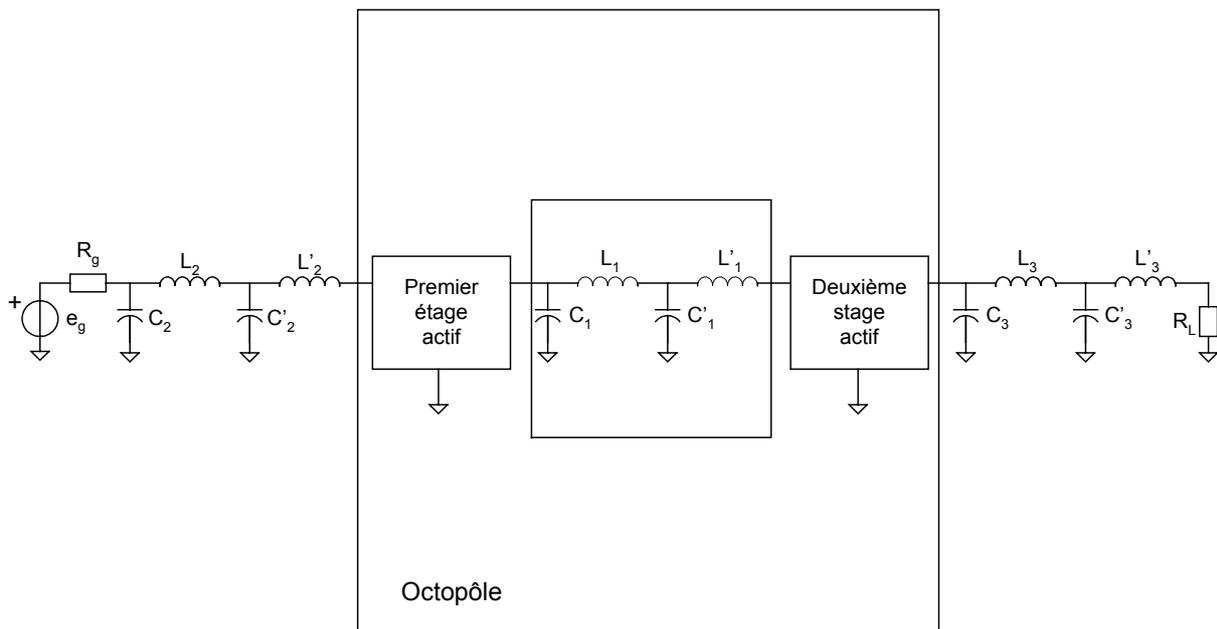


Figure 3.17 : Application de la MFR pour l'optimisation d'égaliseurs en entrée et en sortie.

Les solutions obtenues pour des égaliseurs contenant quatre éléments localisés sont :

-pour l'égaliseur d'entrée :

- Une capacité : $C_2=0,084$ pF
- Une inductance : $L_2=0,259$ nH
- Une capacité : $C'_2=0,213$ pF
- Une inductance : $L'_2=0,147$ nH

-pour l'égaliseur de sortie :

-Une inductance : $L_3=0,121$ nH

-Une capacité : $C_3=0,214$ pF

-Une inductance : $L'_3=0,196$ nH.

-Une capacité: $C'_3=0,072$ pF

Les résultats de simulation pour cette amplificateur sont regroupés dans le chapitre 4.

5 Conclusion

Dans ce chapitre, nous avons appliqué la Méthode des Fréquences Réelles à la réalisation de *driver* monolithique ultra large bande. Ceci nous a permis d'évaluer dans quelle mesure et sous quelle forme il est avantageux de mettre à profit la Méthode des Fréquences Réelles pour la synthèse de circuits MMIC à coût modéré. Les contraintes d'architecture imposées par le cahier des charges et les contraintes de place liées à l'intégration des éléments passifs nous ont conduit à utiliser la MFR comme outil d'amélioration ou d'optimisation des performances d'une topologie déjà établie. Pour étendre les possibilités d'application à l'égard de la diversité des situations rencontrées, nous avons développé une procédure alternative à la procédure initiale. C'est une variante octopolaire qui permet d'optimiser un égaliseur passif inclus dans une boucle de réaction.

Deux exemples d'application ont été donnés. Ils ont mené à la réalisation de deux amplificateurs MMIC ultra large bande dédiés aux liaisons optiques. Les résultats de simulation électrique, électromagnétique et les résultats de mesures associés à ces deux circuits sont regroupés dans le chapitre 4.

Bibliographie

- [1] CARLIN H.J., CIVALLERI P.P. *Wideband Circuit Design*. CRC Press LLC, 1998.
- [2] CARLIN H.J. A New Approach to Gain-Bandwidth Problem. *IEEE Transaction on Circuit & Systems*, vol. CAS-24, no.4, pp.170-175, April 1977.
- [3] CARLIN H.J., AMSTUTZ P. On Optimum Broad-band Matching. *IEEE Transaction on Circuit & Systems*, vol. CAS-28, no.5, pp.401-405, May 1981.
- [4] JUNG W.L., WU J. Stable Broad-band Microwave Amplifier Design. *IEEE Transaction on Microwave Theory & Techniques*, vol.38, no.8, pp.1079-1085, Aug. 1990.
- [5] KERHERVE E. *Conception et Réalisation d'Amplificateurs Microondes Faible Bruit à Eléments Distribués par la Méthode des Fréquences Réelles*. Thèse, Septembre 1994.
- [6] HAZOUARD M. *Conception et Réalisation d'Amplificateurs Microondes de Puissance à l'Aide de la Méthode des Fréquences Réelles*. Thèse, Janvier 2002.
- [7] PERENNEC A. *Synthèse et Réalisation d'Amplificateurs Micro-ondes par la Méthode des Fréquences Réelle*. Thèse, Juillet 1988.
- [8] NGONGO OLOMO A. *Synthèse et Réalisation d'Amplificateurs Micro-ondes Faible Bruit et Transimpédance par la Méthode des Fréquences Réelles*. Thèse, Octobre 1992.
- [9] KERHERVE E., JARRY P., MARTIN P.M. Design of Broad-band Matching Network with Lossy Junctions Using the Real-Frequency Technique. *IEEE Transaction on Microwave Theory and Techniques (MTT)*, Vol. 46, N°3, pp. 242-249, 1998.
- [10] HAZOUARD M., KERHERVE E., JARRY P. An alternative process for solid state powers amplifiers using large S parameters. *ICECS 2000, 7th IEEE International Conference on Electronics, Circuits and Systems*, December 17-20, 2000, Kaslik (Liban).
- [11] KERHERVE E., HAZOUARD M., JARRY P. The real frequency technique applied to a narrow band MMIC active filter with transmission zeros at finite frequencies. *ICECS 2001, 8th IEEE Int. Conf. on Elec. Circ. & Syst.*, pp. 161-164, Malte, 2-5 Sept. 2001.
- [12] *Agilent ADS2002 Manual*. Documentation du logiciel ADS2002.
- [13] PENNOCK S.R., SHEPERD P.R. *Microwave Engineering*. McGraw Hill, 1998.
- [14] PUCEL R.A. Design Considerations for Monolithic Microwave Circuits. *IEEE Transaction on Microwave Theory and Techniques*, Vol. 29, n°6, pp. 513-534, June 1981.
- [15] CHANG K. *Microwave Solid State Circuit & Application*. John Wiley & Son, 1994.
- [16] POZAR D.M. *Microwave Engineering*. John Wiley & Son, 1998.

- [17] RIAZIAT M., MAJIDI-ALIJ R., FENG I.J. Propagation Modes and Dispersion Characteristics of Coplanar Waveguides. *IEEE Transaction on Microwave Theory and Techniques*, Vol. 38, n°3, pp.245-251, Mars 1990.
- [18] GHIONE G., NALDI C.U. Coplanar Waveguide for MMIC Applications: Effect of Upper Shielding, Conductor Backing, Finite-Extent Ground Planes and Line to Line Coupling. *IEEE Transaction on Microwave Theory and Techniques*, Vol. 35, n°3, pp.260-267, Mars 1987.
- [19] GILLICK M., ROBERTSON I. Ultra Low Impedance CPW Transmission Lines for Multilayer MMIC's. *IEEE Microwave Theory & Techniques Symposium Digest*, F-3, pp 145-148, 1993.
- [20] ZHU L., WU K. Characterization of Finite-Ground CPW Reactive Series-Connected Elements for Innovative Design of Uniplanar M(H)MICs. *IEEE Transaction on Microwave Theory and Techniques*, Vol. 50, n°2, pp.549-557, Feb. 2002.
- [21] *ED02AH OMMIC Process Design Guide*. Guide du processus de fabrication ed02AH [cédérom]. Version 2.6, 2003.
- [22] COURCELLE L., KERHERVE E., JARRY P. DC-40 GHz Amplifier for High-speed Optical Communications Designed with the Real Frequency Technique. *Proceedings of the 10th IEEE International Conference on Electronics, Circuits and Systems*, Vol. 2, pp.408-411, Dec. 2003.

CHAPITRE 4 : RESULTATS DE SIMULATION ET DE MESURE

<u>1</u>	<u>AMPLIFICATEUR 2 V_{C-A-C} SUR SUBSTRAT MICRORUBAN</u>	116
<u>1.1</u>	<u>Simulations électriques</u>	116
<u>1.1.1</u>	<u>Simulation des paramètres S</u>	117
<u>1.1.2</u>	<u>Simulation de puissance</u>	119
<u>1.2</u>	<u>Simulations électromagnétiques</u>	120
<u>1.2.1</u>	<u>Simulation des égaliseurs passifs</u>	120
<u>1.2.2</u>	<u>Simulation électromagnétique de la partie passive</u>	122
<u>1.3</u>	<u>Résultats de mesure</u>	124
<u>1.3.1</u>	<u>Mesures des paramètres S</u>	124
<u>1.3.2</u>	<u>Mesures de puissance</u>	128
<u>1.4</u>	<u>Conclusion</u>	128
<u>2</u>	<u>AMPLIFICATEUR 3 V_{C-A-C} SUR SUBSTRAT COPLANAIRE</u>	129
<u>2.1</u>	<u>Simulations électriques</u>	129
<u>2.1.1</u>	<u>Simulation des paramètres S</u>	129
<u>2.1.2</u>	<u>Simulations de puissance</u>	132
<u>2.2</u>	<u>Simulations électromagnétiques</u>	133
<u>3</u>	<u>AMPLIFICATEUR DISTRIBUE</u>	137
<u>3.1</u>	<u>Simulations électriques</u>	137
<u>3.2</u>	<u>Bilan comparatif</u>	140
	<u>BIBLIOGRAPHIE</u>	141

Ce chapitre fait un bilan des résultats de simulations électriques et électromagnétiques associés aux deux amplificateurs MMIC présentés dans le chapitre 3. L'amplificateur $2 V_{c\text{-à-c}}$ sur substrat microruban a été réalisé en fonderie. On expose également les résultats de mesures sous pointes effectuées sur la puce. Les réponses obtenues pour l'amplificateur $3 V_{c\text{-à-c}}$ sur substrat coplanaire sont comparées à celle de l'amplificateur distribué présenté dans le chapitre 2.

1 Amplificateur $2 V_{c\text{-à-c}}$ sur substrat microruban

1.1 Simulations électriques

Les circuits présentés dans ce travail ont été conçus et simulés à partir des modèles électriques des divers composants disponibles au sein du processus de fabrication ED02AH de la fonderie OMMIC. Ces modèles ont été développés par le fondeur pour fonctionner avec le logiciel de simulation ADS (Agilent).

Des modèles linéaires et non linéaires sont donnés pour les éléments actifs (HEMTs et diodes), permettant des simulations de type petit signal, des simulations transitoires ou des simulations de puissance de type « équilibrage harmonique ».

Les éléments passifs distribués, sont simulés à partir des modèles analytiques développés pour les lignes microruban. Le comportement des éléments passifs discrets est modélisé à partir d'éléments parasites dépendant des caractéristiques structurelles et géométriques du composant.

Le schéma équivalent utilisé pour les simulations électriques petit signal et grand signal du circuit sur substrat microruban est présenté figure 4.1.

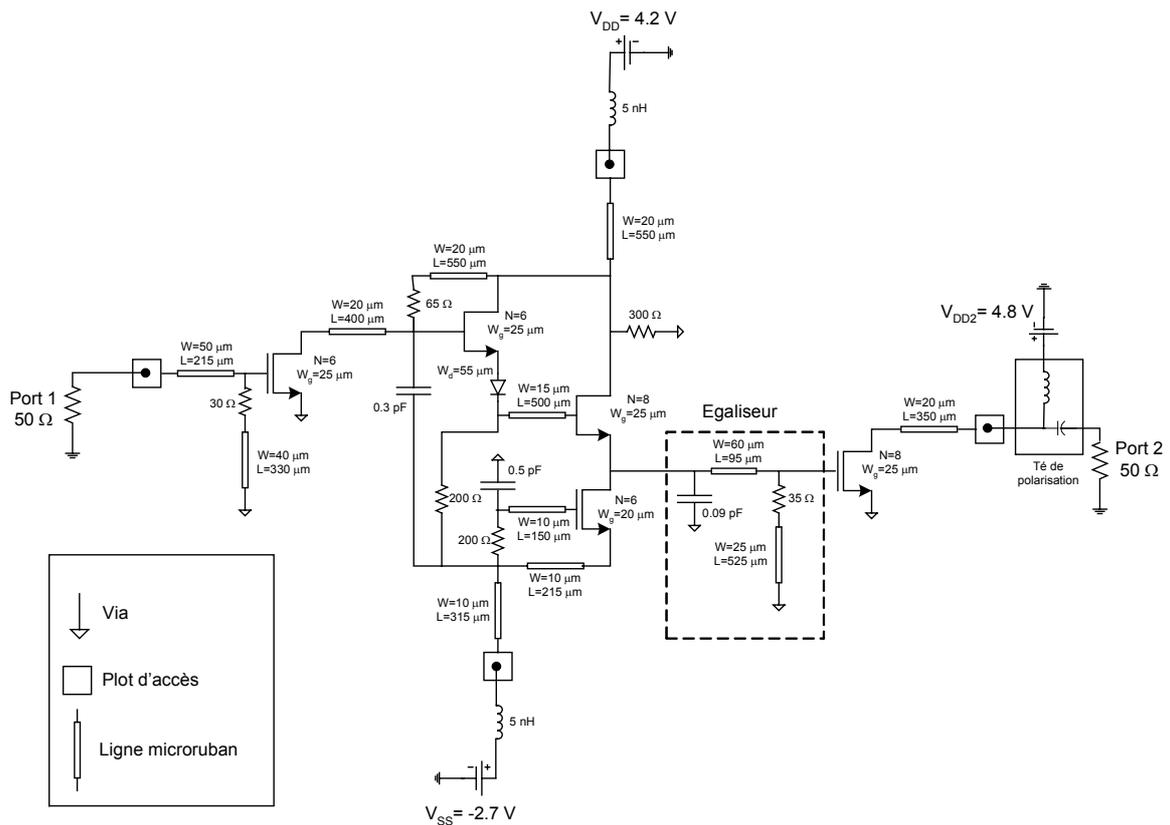


Figure 4.1 : Schéma électrique de l'amplificateur 2 V_{c-a-c} sur substrat microruban.

1.1.1 Simulation des paramètres S

Les figures 4.2, 4.3 et 4.4 présentent les résultats de simulations électriques obtenus pour l'amplitude des paramètres S_{21} , S_{11} , S_{22} de l'amplificateur, avec et sans l'égaliseur optimisé par la Méthode des Fréquences Réelles.

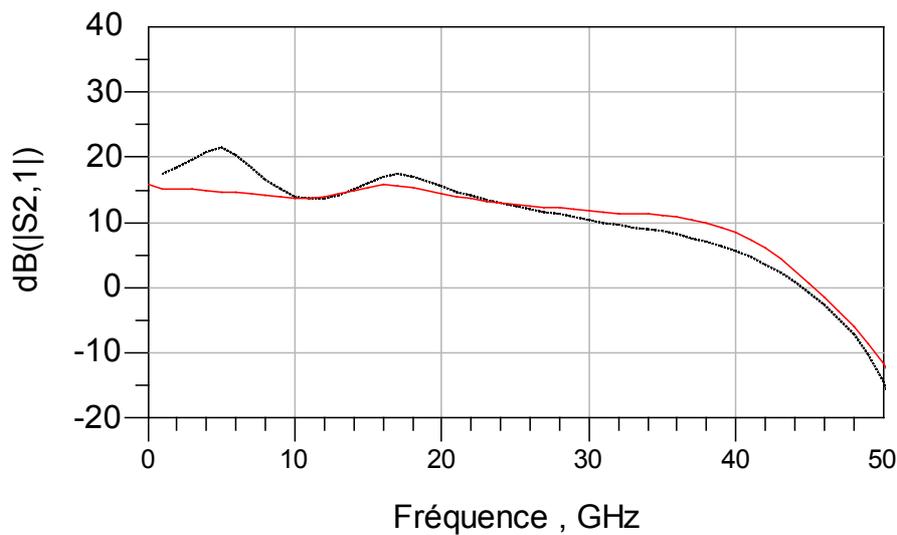


Figure 4.2 : (...) : Sans égaliseur. (—) : Avec égaliseur.

Sans égaliseur, le gain obtenu est de $17,3 \pm 3,7$ dB et la fréquence de coupure à -3 dB, de 22 GHz (figure 4.2). Avec l'égaliseur, on obtient $|S_{21}| = 13,55 \pm 2,25$ dB, $F_{-3dB} = 37$ GHz. On constate une augmentation de la bande passante de 15 GHz et une diminution sensible de l'ondulation (1,5 dB de moins) par la présence de l'égaliseur. Toutefois la construction de ce dernier a nécessité une étape d'optimisation supplémentaire et a nécessité d'inclure un élément à perte (cf. chapitre 3).

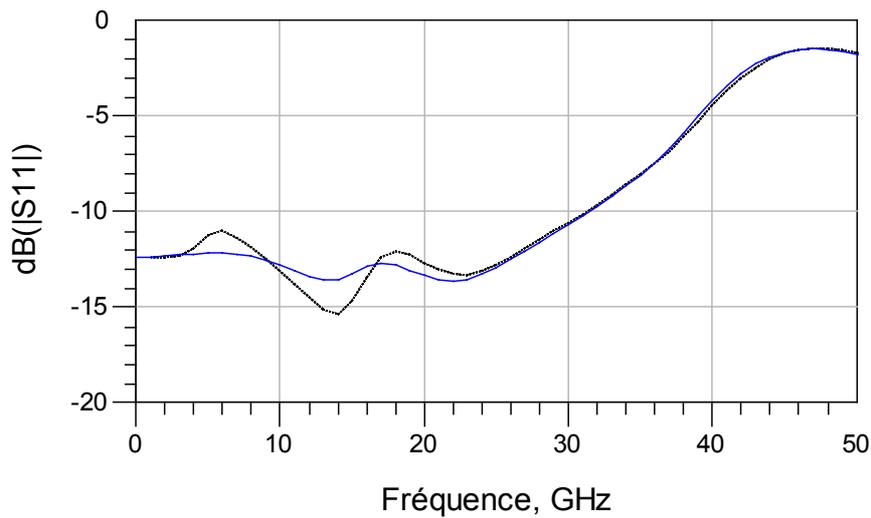


Figure 4.3 : (...) : Sans égaliseur. (—) : Avec égaliseur.

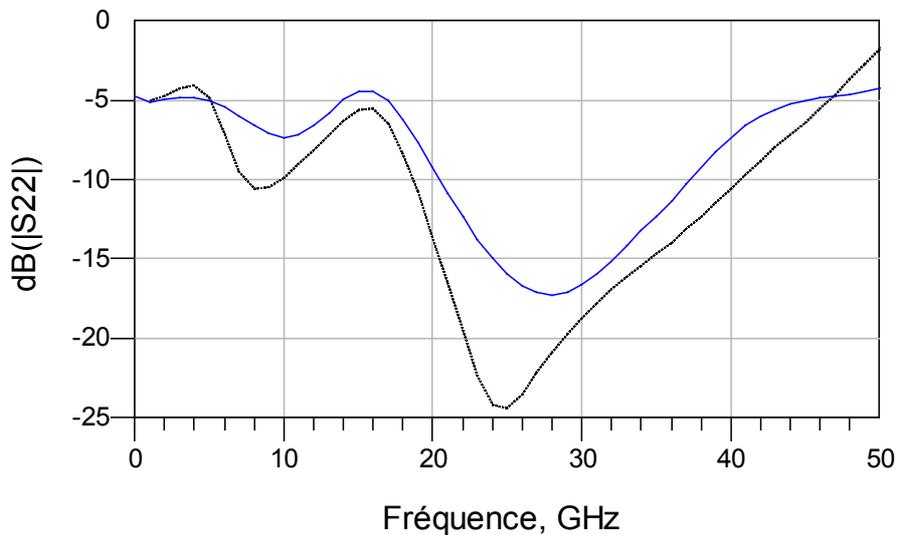


Figure 4.4 : (...) : Sans égaliseur. (—) : Avec égaliseur.

Sans égaliseur, le coefficient de réflexion en entrée est inférieur à -11 dB jusqu'à 27 GHz, et le coefficient de réflexion en sortie est inférieur à -4 dB sur toute la bande. Avec l'égaliseur, ils sont respectivement inférieur à -12 dB jusqu'à 27 GHz, et inférieur à -4,4 dB sur toute la bande. On observe ainsi une légère amélioration du coefficient de réflexion d'entrée (valeur maximale diminuée de 1 dB dans la bande) et une diminution de 0,4 dB de la valeur maximale du coefficient de réflexion en sortie, en présence de l'égaliseur. La valeur élevée du coefficient de sortie aux basses fréquences (-4,8 dB), provient du réseau de polarisation. Pour des raisons d'encombrement, nous avons choisi un réseau de polarisation externe et un transistor de sortie de largeur de grille $W=200 \mu\text{m}$. Aux basses fréquences, le coefficient de réflexion de sortie dépend essentiellement de la résistance drain source du transistor. Celle-ci est supérieure à 150Ω et ne peut-être diminuée puisque aucune résistance de polarisation n'est ramenée en parallèle sur la sortie.

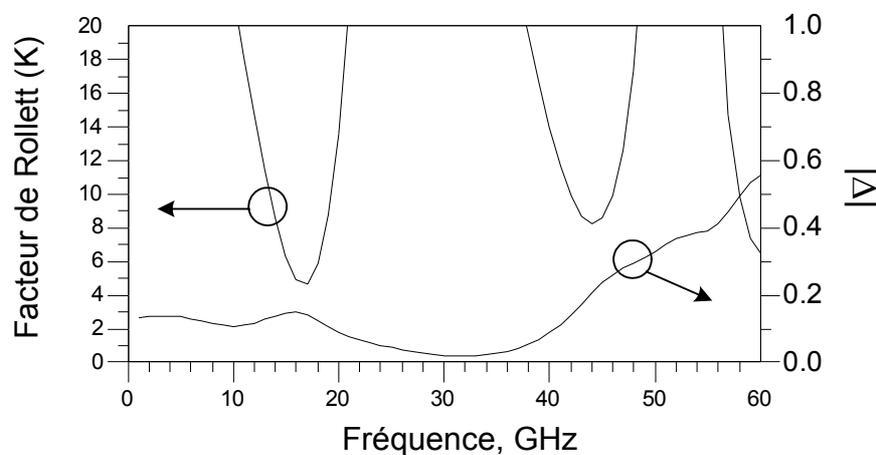


Figure 4.5 : Facteur de Rollett (K) et coefficient $|\Delta|$.

La figure 4.5 montre la stabilité inconditionnelle du circuit, c'est-à-dire $K > 1$ et $|\Delta| < 1$ ⁹ (en présence de l'égaliseur) sur la bande 0-60 GHz.

1.1.2 Simulation de puissance

Une simulation d'équilibrage harmonique mettant en œuvre une source à un seul ton, a été effectuée à partir du schéma électrique de la figure 4.1. Un balayage de la fréquence de la source par pas de 5 GHz a permis de déterminer la linéarité de l'amplificateur en ces différents points. Une estimation du point de compression sur toute la bande passante a pu être établie à partir de l'interpolation de ces données (figure 4.6). On obtient une valeur moyenne de 7,5 dBm sur la bande.

⁹ $\Delta = \det S$

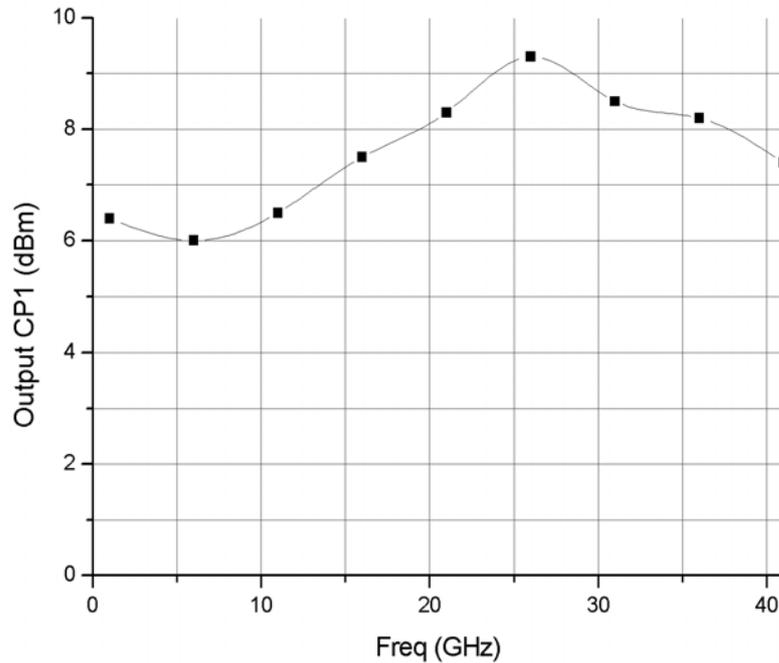


Figure 4.6 : Simulation du point de compression.

La puissance consommée par le circuit a été simulé à 662 mW.

1.2 Simulations électromagnétiques

Les simulations électromagnétiques présentées ici, ont été réalisées avec le logiciel « MoMentum » (Agilent), qui constitue une extension du logiciel « ADS ». C'est un simulateur 2,5D basé sur la « Méthode des Moments ». Il effectue un maillage planaire de la structure à étudier qui peut éventuellement être multicouche et résout pour chaque motif du maillage, les équations de Maxwell pour des conditions aux limites fixées par les motifs adjacents. Le découpage suivant l'axe vertical (l'épaisseur de la structure) est défini par les différentes couches constituant la structure, dont les paramètres de matériau et les épaisseurs doivent être spécifiés. Un certain nombre de ports est défini à travers la structure et la matrice S de degré identique au nombre de port est déterminée.

La taille de mémoire nécessaire et le temps de calcul sont affinement liée à N^2 où N correspond au nombre total de côtés définis par le maillage [2].

1.2.1 Simulation des égaliseurs passifs

La figure 4.7 représente le dessin l'égaliseur et le maillage effectué pour la simulation électromagnétique.

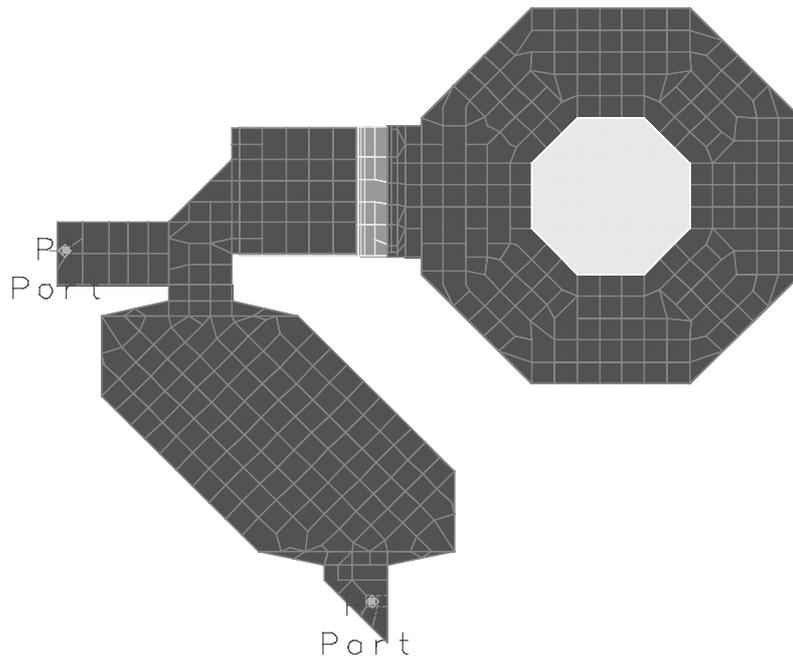


Figure 4.7 : Egaliseur réalisé en technologie microruban.

Sur la figure 4.8, on compare les amplitudes des paramètres S obtenues par simulation électrique à celles obtenues par simulation électromagnétique.

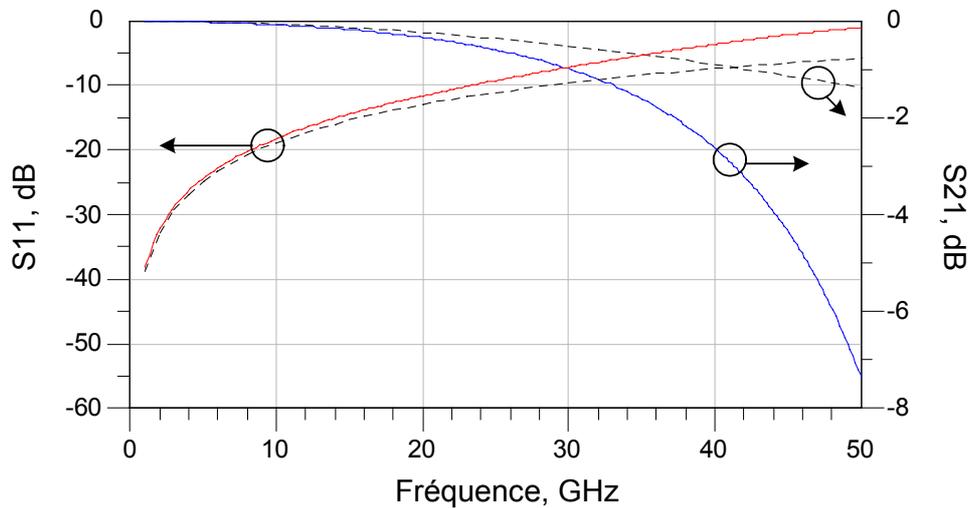


Figure 4.8 : Paramètres S de l'égaliseur sur substrat microruban : (...) :Modèle analytique. (—) :Simulation électromagnétique.

Les différences observées sur les réponses de la figure 4.8, entre le modèle analytique et la simulation « Momentum » proviennent de l'inductance parasite du via ajoutée en série avec la

capacité en parallèle. Le zéro de transmission originellement prévu à l'infini se transforme en un zéro de transmission fini (formation d'un dipôle résonant série mis en parallèle), mais qui reste toutefois de fréquence élevée.

1.2.2 Simulation électromagnétique de la partie passive

Le simulateur « Momentum » permet également de créer des « composants », multiports définis à partir des matrices S obtenues par simulation électromagnétique, et auxquels un simulateur électrique peut accéder par les ports. On peut effectuer ainsi une simulation qui résulte du couplage entre une simulation électromagnétique de la partie passive d'un circuit et la simulation électrique de sa partie active. La figure 4.9 représente la partie passive simulée électromagnétiquement.

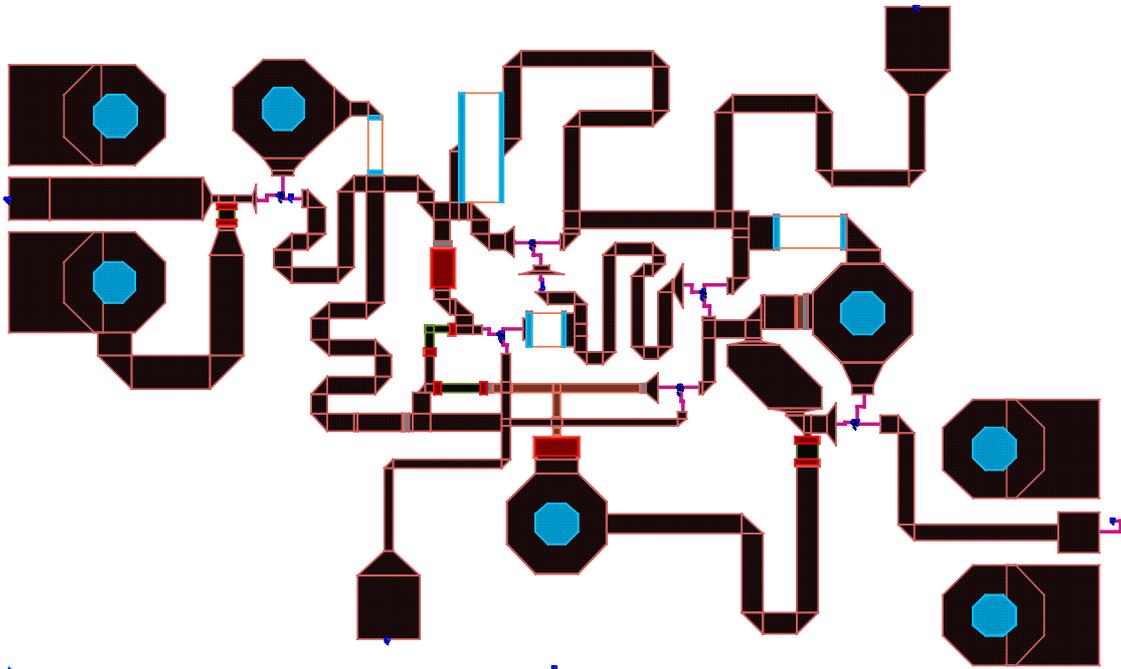


Figure 4.9 : Dessin du masque du circuit en microrubans, utilisé pour la simulation EM.
Dimension : 1 x 1,5 mm².

Le temps de simulation avec un microprocesseur « Duron, 1 GHz » a été de 2h32min. La taille de mémoire utilisée a été de 185 Mo.

Les figures 4.10, 4.11 et 4.12, présentent les amplitudes des paramètres S obtenus à partir des simulations électromagnétique et rappellent à titre de comparaison les résultats de la simulation électrique.

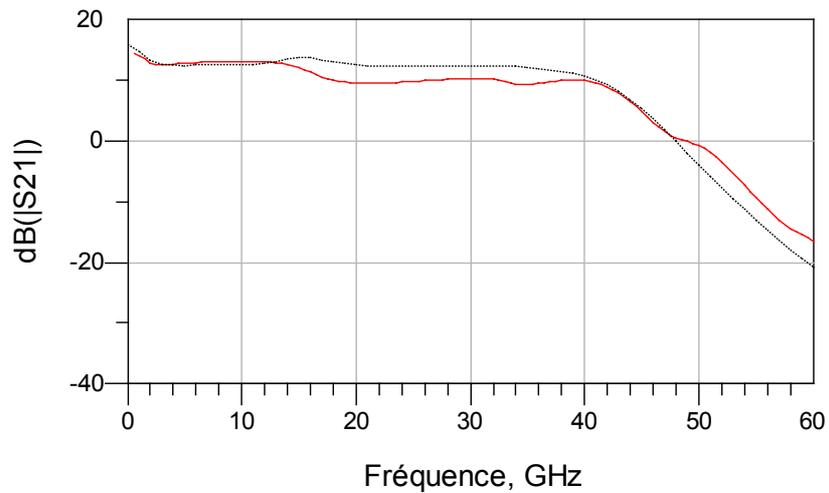


Figure 4.10 : (—) : $|S_{21}| = 12,0 \pm 2,5$ dB, $F_{-3dB} = 42$ GHz. :
 (...) : Simulation électrique. (—) : Simulation EM.

La réponse de gain obtenu par simulation électrique est $|S_{21}| = 13,55 \pm 2,25$ dB avec une fréquence de coupure $F_{-3dB} = 37$ GHz. Par simulation EM, on obtient : $|S_{21}| = 12,0 \pm 2,5$ dB avec une fréquence de coupure de 42 GHz (figure 4.10).

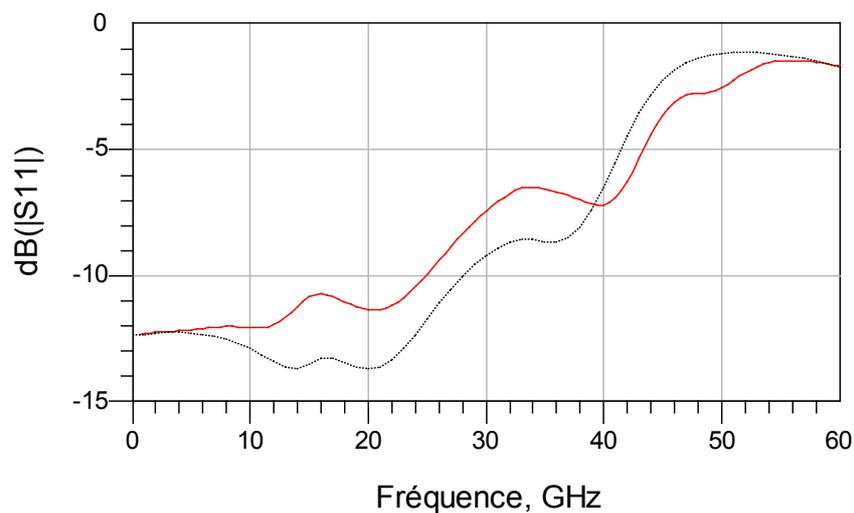


Figure 4.11 : (—) : $|S_{11}| < -8,9$ dB, jusqu'à 27 GHz :
 (...) : Simulation électrique. (—) : Simulation EM.

On obtient pour le coefficient de réflexion d'entrée (figure 4.11), une valeur inférieure à -8,9 dB jusqu'à 27 GHz par simulation EM et une valeur inférieure à -11 dB par simulation électrique.

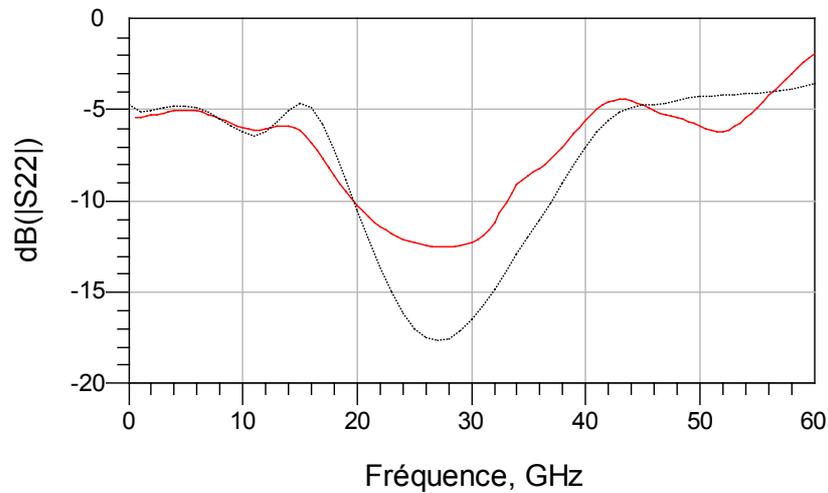


Figure 4.12 : (—) : $|S_{22}| < -5$ dB, sur toute la bande considérée.
 (...) : Simulation électrique. (—) : Simulation EM.

Par simulation EM, on obtient un coefficient de réflexion en sortie inférieur à -5 dB sur toute la bande, contre $-4,4$ dB par simulation électrique.

Les réponses obtenues par simulation EM correspondent qualitativement aux réponses obtenues par simulation électrique. Elles diffèrent toutefois de plusieurs dB à très haute fréquence. Les résultats de simulation électromagnétique ont révélé d'autre part un coefficient de réflexion d'entrée et une ondulation de la réponse plus élevés que ceux obtenus par simulation électrique.

1.3 Résultats de mesure

Le circuit sur substrat microruban a été réalisé en fonderie selon le processus de fabrication ED02AH d'OMMIC (Technologie pHEMT à longueur de grille de $0,2 \mu\text{m}$).

1.3.1 Mesures des paramètres S

Des mesures de paramètres S ont été faites sur un banc de mesure sous pointes à l'aide d'un analyseur de réseaux Anritsu 360B (figure 4.13) [3]. La bande passante de mesure est 45 MHz-65 GHz. Les mesures à très basses fréquences (sur la bande 300 kHz-3 GHz) ont été effectuées à l'aide de l'analyseur HP8753B.

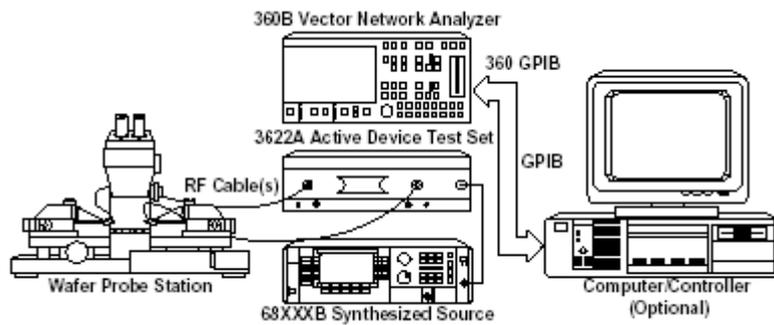


Figure 4.13 : Système de mesure.

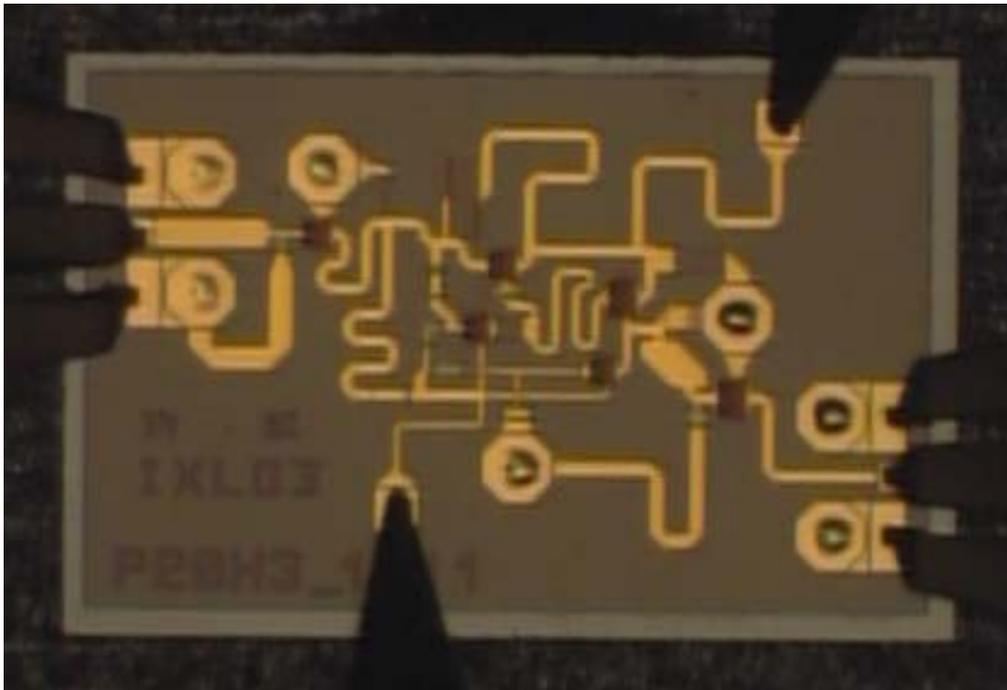


Figure 4.14: Photographie de la puce. Taille : 1x1,5 mm².

La figure 4.14 est une photographie de la puce. Sa surface est de 1x1,5 mm².

Les figures 4.15, 4.16, 4.17 et 4.18 comparent les paramètres S du circuit, issus des simulations électriques, électromagnétiques et des mesures sous pointes.

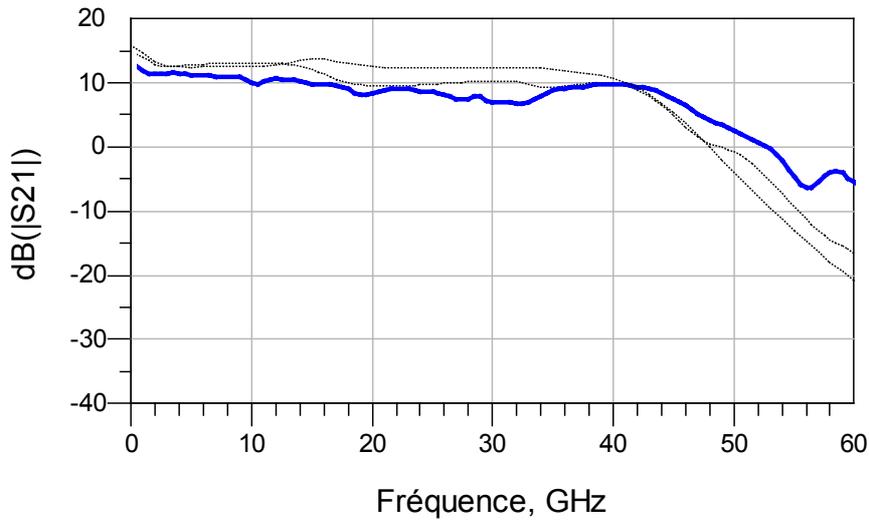


Figure 4.15 : (...) :Simulation électrique. (---) :Simulation EM. (—) :Mesure.

La valeur mesurée du gain est de $9,8 \pm 2,9$ dB avec une fréquence de coupure $F_{-3dB} = 45,5$ GHz. L'écart entre la réponse de gain mesuré et la réponse obtenue par simulation EM est inférieure à 3 dB sur la bande 300 kHz-45 GHz (figure 4.15). L'ondulation mesurée est toutefois supérieure de 0,5 dB par rapport à sa valeur simulée.

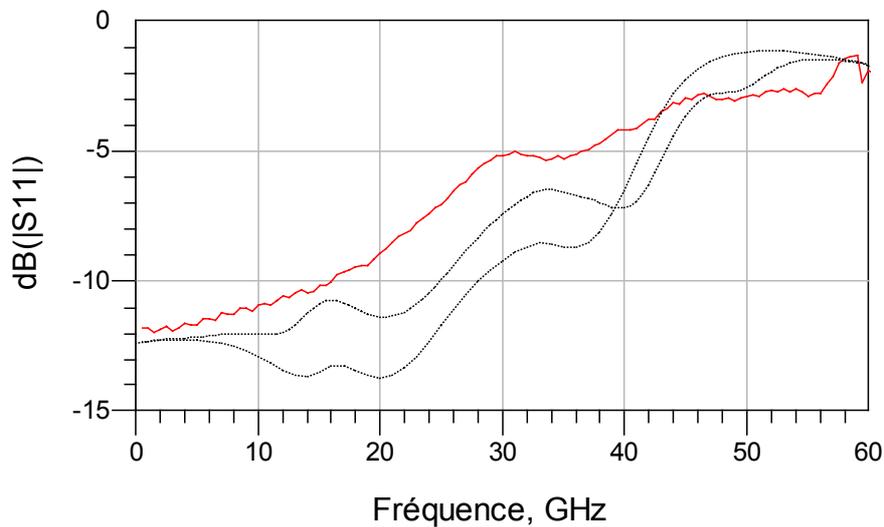


Figure 4.16 : $|S_{11}| < -6,2$ dB, jusqu'à 27 GHz.
 (...) :Simulation électrique. (---) :Simulation EM. (—) :Mesure.

Le coefficient de réflexion mesuré en entrée de l'amplificateur sur la bande 300 kHz-60 GHz est de $-6,2$ dB jusqu'à 27 GHz. Il est environ 3 dB au dessus de sa valeur simulée (figure 4.16).

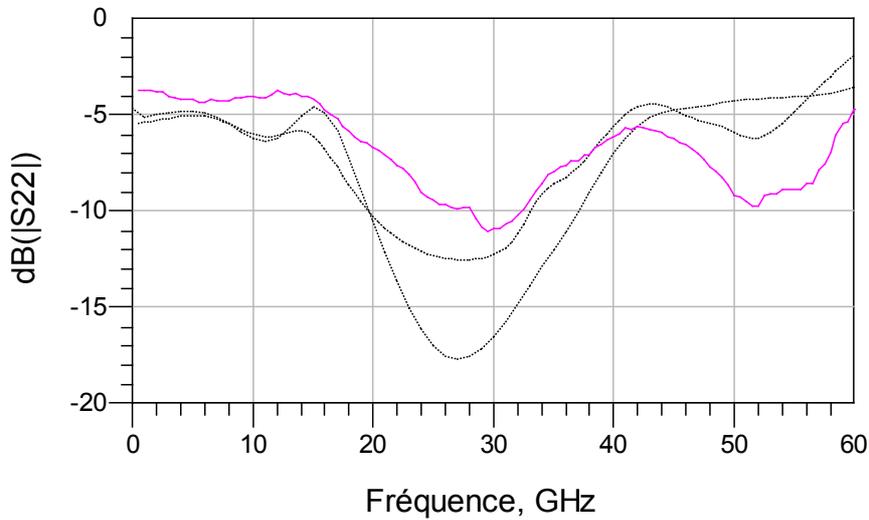


Figure 4.17 : $|S_{22}| < -3,8$ dB, sur toute la bande considérée.
 (...) :Simulation électrique. (- -) :Simulation EM. (—) :Mesure.

Le coefficient de réflexion de sortie mesuré est inférieur à $-3,8$ dB sur toute la bande considérée. Il est supérieur au plus de 5 dB à sa valeur simulée sur la bande 300 kHz-45 GHz (figure 4.17).

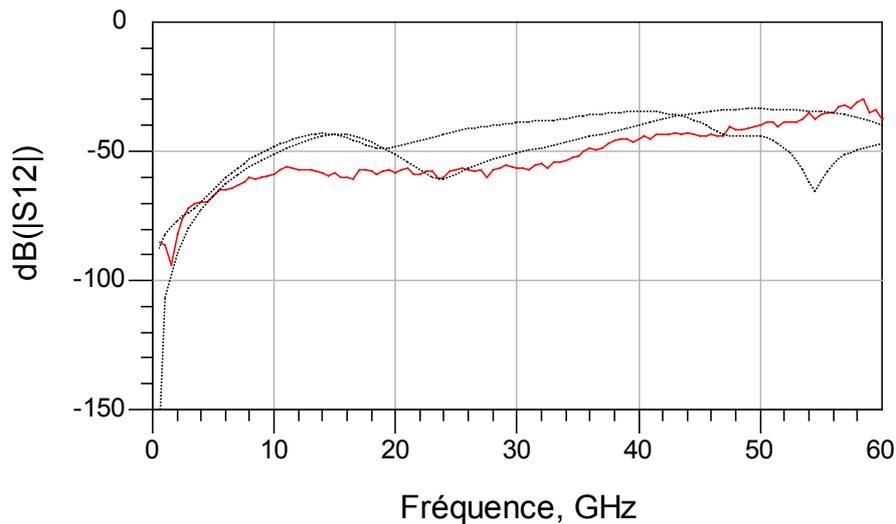


Figure 4.18: $|S_{12}| < -40$ dB, sur toute la bande considérée.
 (...) :Simulation électrique. (- -) :Simulation EM. (—) :Mesure.

L'isolation (figure 4.18) est supérieure à 40 dB aussi bien en mesure qu'en simulation. Ceci montre un comportement unilatéral correcte de l'amplificateur.

1.3.2 Mesures de puissance

Le matériel dont nous disposons ne nous a pas permis d'effectuer la mesure du point de compression à -1 dB au delà d'une fréquence de 20 GHz pour le signal source. Sa valeur moyenne jusqu'à 20 GHz a été mesurée à 6,2 dBm.

La puissance consommée par le circuit a été mesurée à environ 700 mW.

1.4 Conclusion

Malgré les différences qui subsistent entre les réponses obtenues pour les paramètres S, les résultats de simulations et de mesures effectuées sur ce circuit sont en bonne correspondance. Malgré la présence d'un élément à perte dans l'égaliseur et la réoptimisation effectuée après la synthèse par la MFR (cf. chapitre 3), les résultats obtenus nous permettent de valider partiellement la Méthode des Fréquences Réelles.

Les performances de gain haute fréquence mesurées reflètent d'autre part le fonctionnement correct de l'étage suiveur actif à cellule cascode. Ceci nous permet de valider le principe du montage.

2 Amplificateur 3 $V_{c\text{-à-c}}$ sur substrat coplanaire

2.1 Simulations électriques

La figure 4.19 présente le schéma électrique de l'amplificateur 3 $V_{c\text{-à-c}}$ utilisé pour les simulations électriques petit signal et grand signal. Les égaliseurs sont les réseaux passe-bas en échelle obtenus à l'issue de la synthèse par la MFR. Les simulations électriques ont été réalisées à l'aide de capacités et d'inductances idéales.

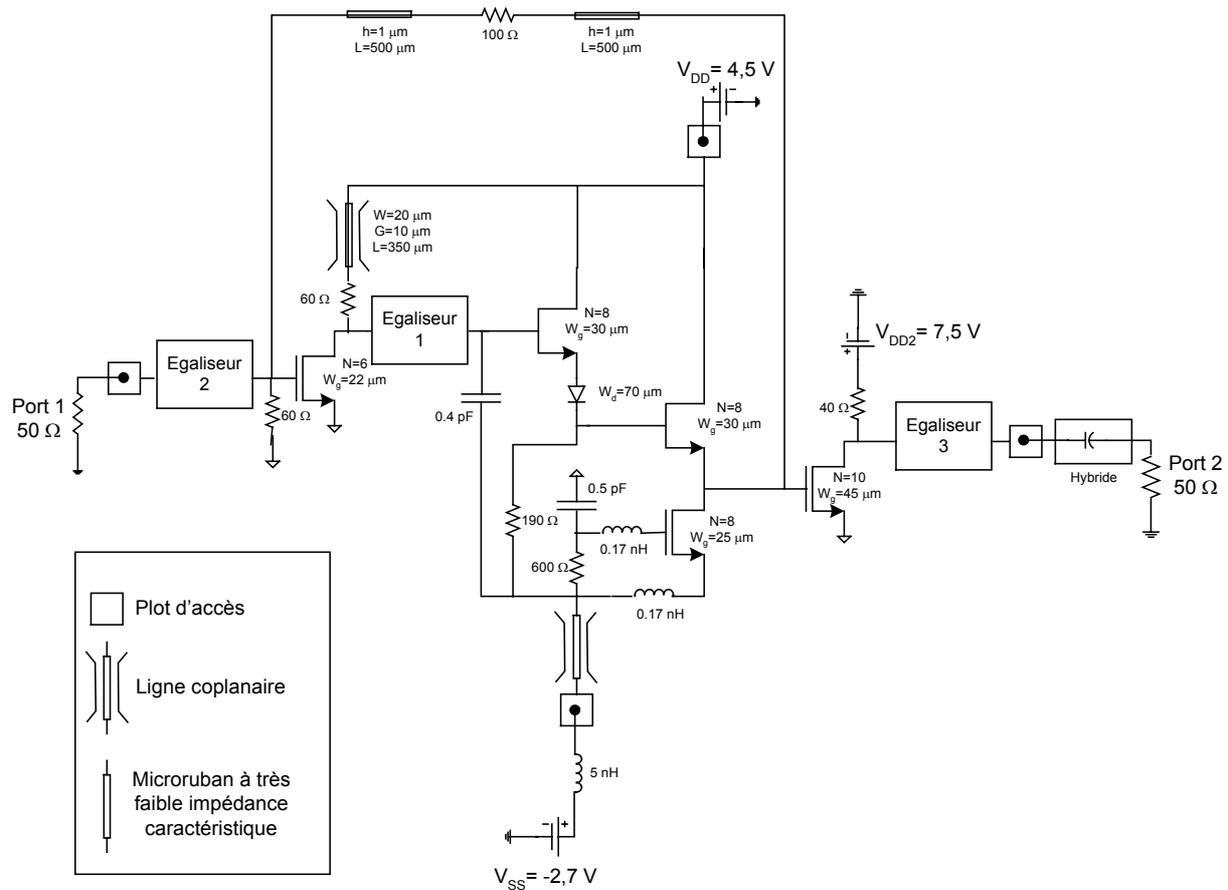


Figure 4.19: Schéma électrique utilisé pour la simulation des paramètres S.

2.1.1 Simulation des paramètres S

Les figures 4.20, 4.21 et 4.22 présentent les paramètres S du circuit avec et sans les égaliseurs optimisés.

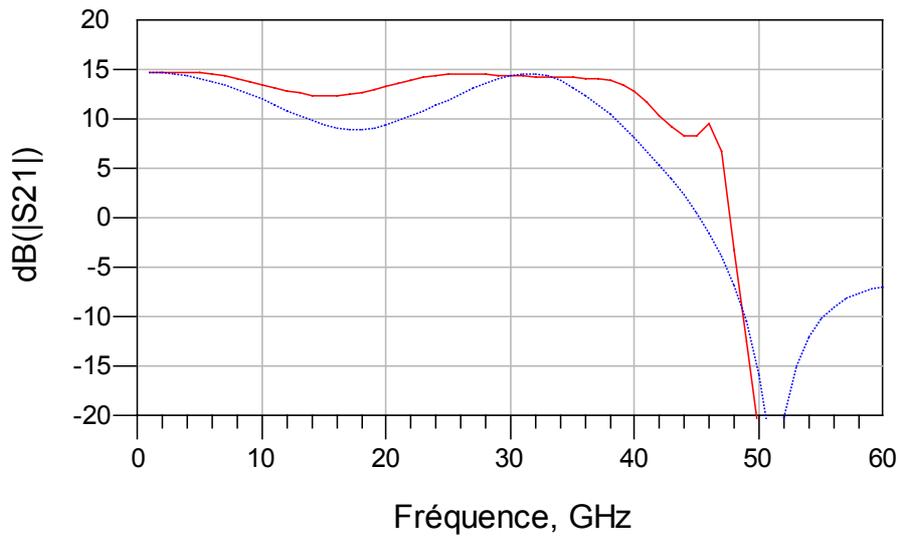


Figure 4.20: . (...) : Simulation électrique sans les égaliseurs. (—) : Simulation électrique avec les égaliseur.

En l'absence d'égaliseurs, le gain est de $12,3 \pm 2,5$ dB et la fréquence de coupure est de 39 GHz. En présence des égaliseurs on obtient $|S_{21}| = 13,6 \pm 1,2$ dB et $F_{-3dB} = 42$ GHz. La bande passante est ainsi étendue de 3 GHz et l'ondulation est diminuée de plus de 2 dB sur la bande (figure 4.20).

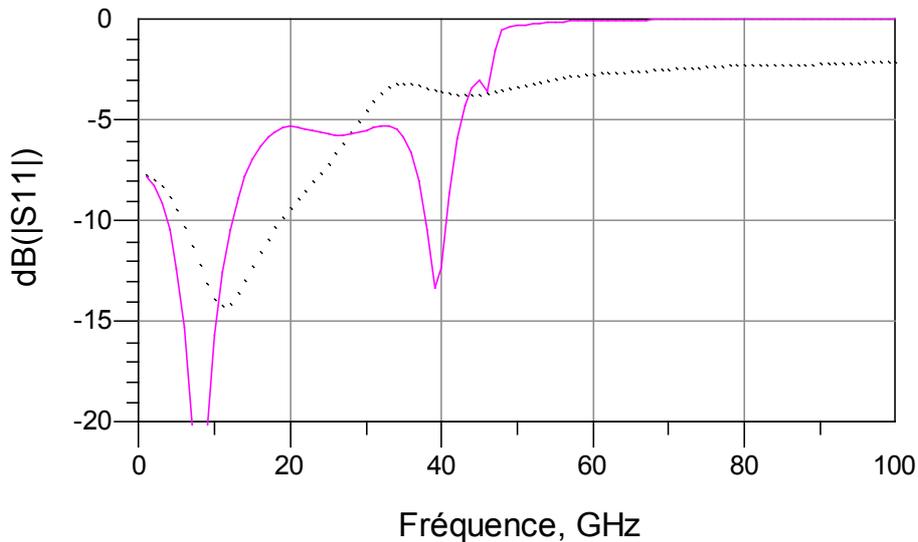


Figure 4.21: (...) : Simulation électrique sans les égaliseurs. (—) : Simulation électrique avec les égaliseurs.

Le coefficient de réflexion d'entrée (figure 4.21) est inférieur à -3 dB sans les égaliseurs et inférieur à $-5,3$ dB en présence de ceux-ci. La valeur maximale du coefficient de réflexion d'entrée sur la bande est ainsi diminué de 3 dB.

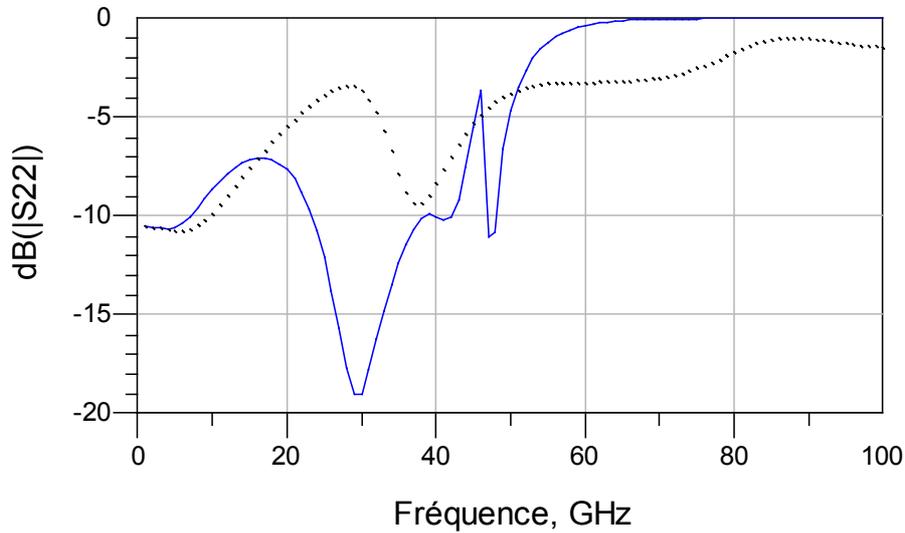


Figure 4.22: (...) :Simulation électrique sans les égaliseurs. (—) :Simulation électrique avec les égaliseurs.

Sans égaliseur, le coefficient de réflexion de sortie est inférieur à -3 dB. En présence des égaliseurs, il devient inférieur à -7 dB. De ce fait, sa valeur maximale est diminuée de 4 dB (figure 4.22).

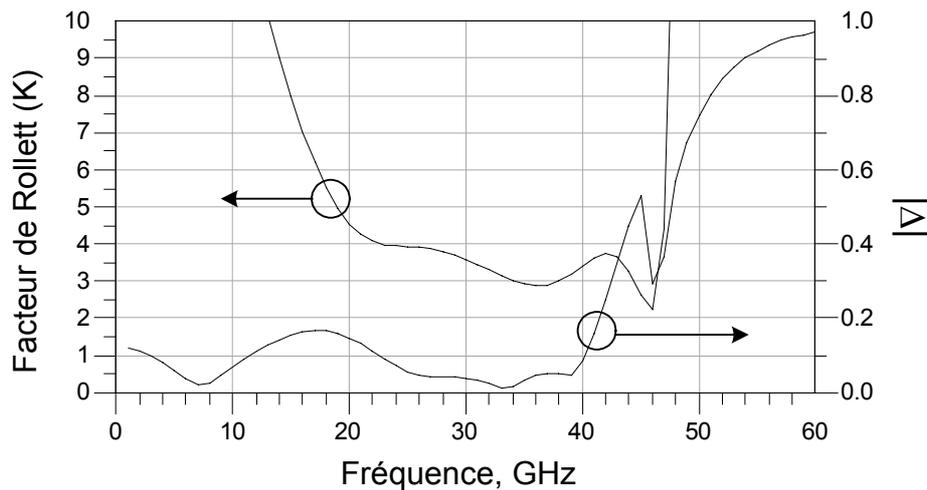


Figure 4.23 : Facteur de Rollett K et coefficient $|\Delta|$ de l'amplificateur avec les simulations électromagnétiques des égaliseurs. $K > 1$ et $|\Delta| < 1$ sur la bande 0-60 GHz.

La figure 4.23 représente le facteur de stabilité K et le coefficient $|\Delta|$. K est supérieur à 1 et $|\Delta|$ est inférieur à 1 sur toute la bande considérée. L'amplificateur est inconditionnellement stable.

La figure 4.24 affiche le temps de propagation de groupe en fonction de la fréquence de l'amplificateur en présence des égaliseurs simulés électromagnétiquement. Jusqu'à 36 GHz, les variations du temps de propagation sont au maximum de ± 14 ps.

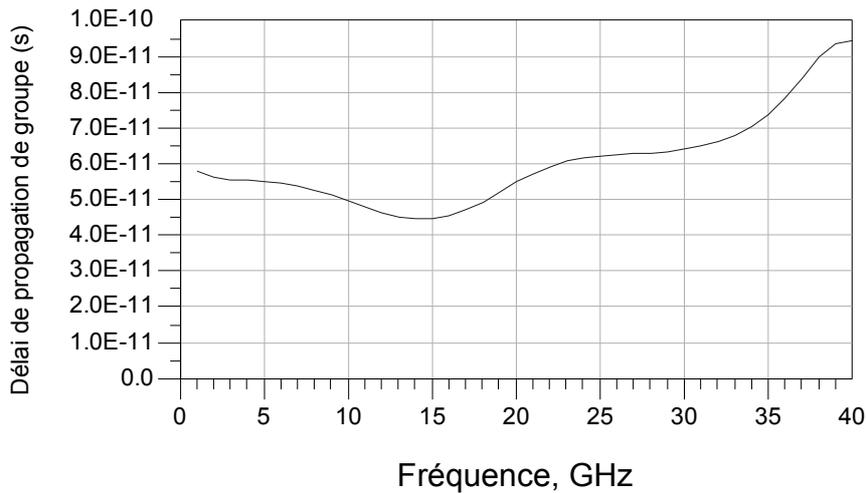


Figure 4.24 : Délai de propagation de groupe de l'amplificateur avec la simulation électromagnétique des égaliseurs. Délai $\leq \pm 14$ ps.

2.1.2 Simulations de puissance

Point de compression

Le point de compression est représenté figure 4.25 pour un balayage de la fréquence de la source par pas de 5 GHz. La valeur moyenne sur la bande est de 15 dBm.

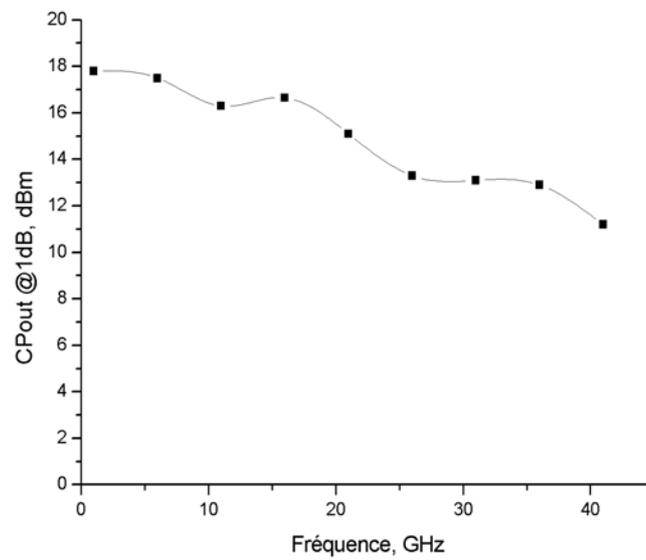


Figure 4.25: Simulation du point de compression.

Consommation

La puissance consommée à été simulée à 1076 mW.

2.2 Simulations électromagnétiques

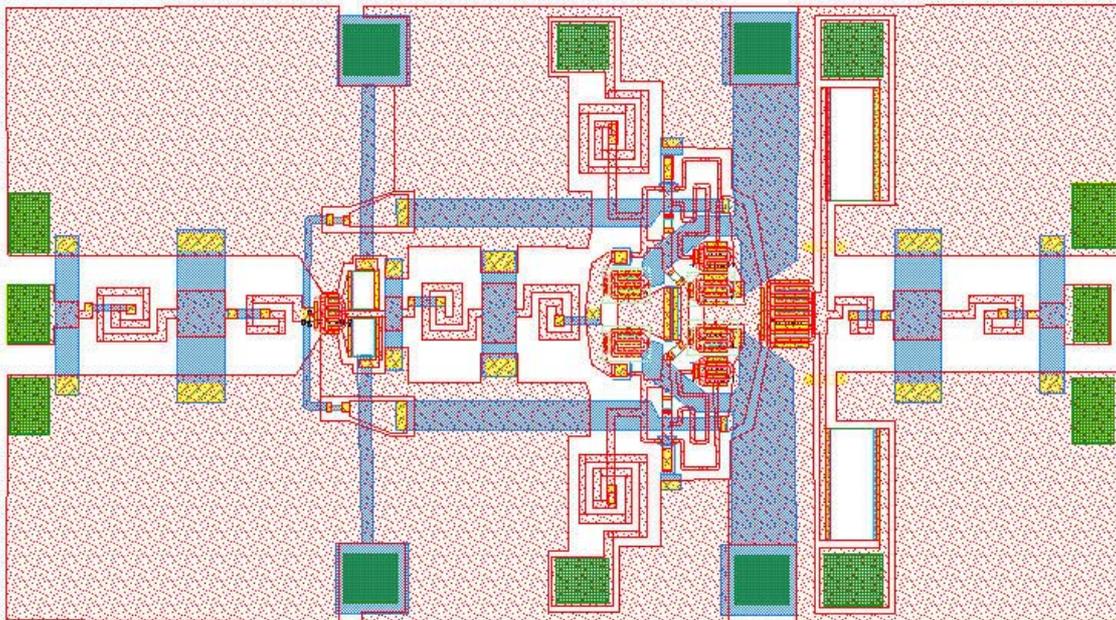


Figure 4.26 : Layout de l'amplificateur 3 $V_{c-à-c}$ sur substrat coplanaire. Taille : 0,85 x 1,5 mm².

La figure 4.26 représente le *layout* du circuit. Sa taille est de 0,85 x 1,5 mm².

Une simulation électromagnétique complète de la structure coplanaire demande une taille de mémoire très élevée pour disposer d'un maillage suffisamment fin et refléter correctement le comportement haute fréquence du circuit. Nous avons simulé individuellement les égaliseurs (figure 4.27). Nous avons ensuite réalisé une simulation du circuit à partir du schéma électrique de la figure 4.19, incluant les paramètres S des égaliseurs obtenus par simulation électromagnétique.

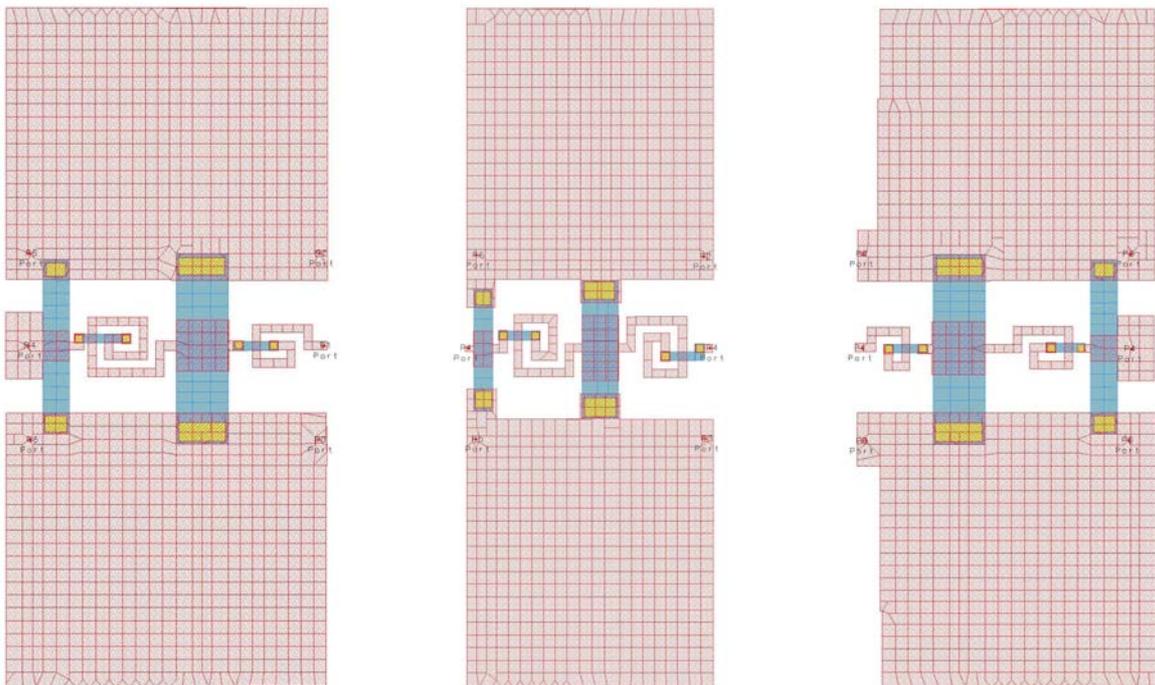


Figure 4.27 : Maillage réalisé sur les égaliseurs pour les simulations électromagnétiques. De gauche à droite : Egaliseur d'entrée, égaliseur central et égaliseur de sortie.

Les figures 4.28, 4.29 et 4.30 comparent les paramètres S de l'amplificateur obtenus à partir des modèles théoriques des égaliseurs et ceux obtenus à partir des simulations électromagnétiques des égaliseurs.

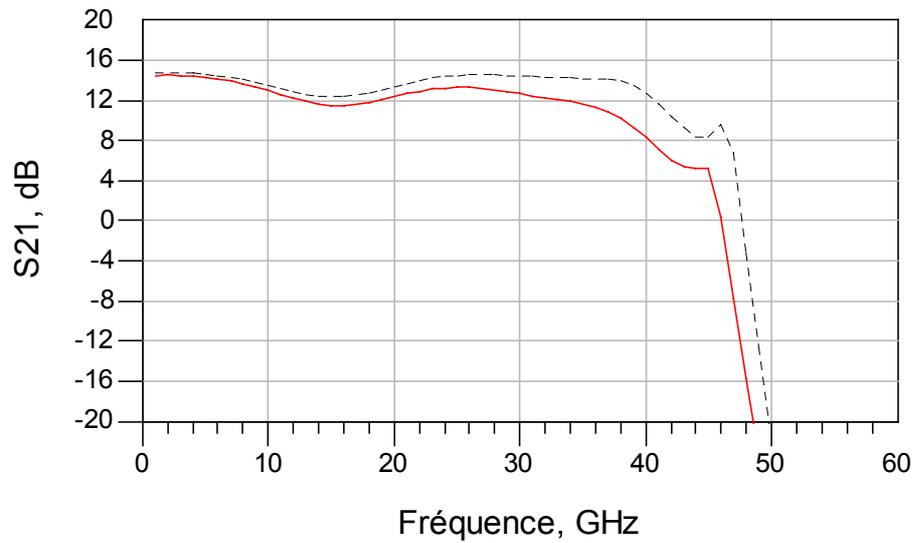


Figure 4.28 : (...) :Simulation électrique. (—) :Simulation électromagnétique des égaliseurs.

Le gain obtenu à partir des simulations électromagnétiques (figure 4.28) est de $13,0 \pm 1,5$ dB sur une bande passante de 38,5 GHz. Les simulations électriques ont donné $|S_{21}| = 13,6 \pm 1,2$ dB avec une fréquence de coupure de 42 GHz.

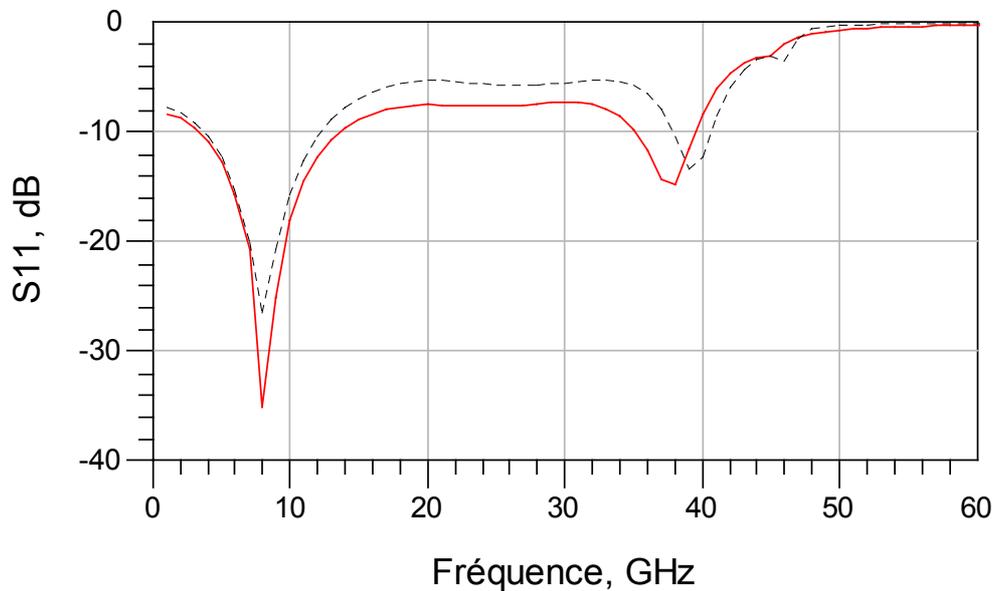


Figure 4.29 : (...) :Simulation électrique. (—) :Simulation électromagnétique des égaliseurs.

Le coefficient de réflexion d'entrée (figure 4.29) est inférieur à $-7,5$ dB jusqu'à 40 GHz dans le cas de la simulation électromagnétique, et inférieur $-5,3$ dB jusqu'à 42 GHz dans le cas de la simulation électrique.

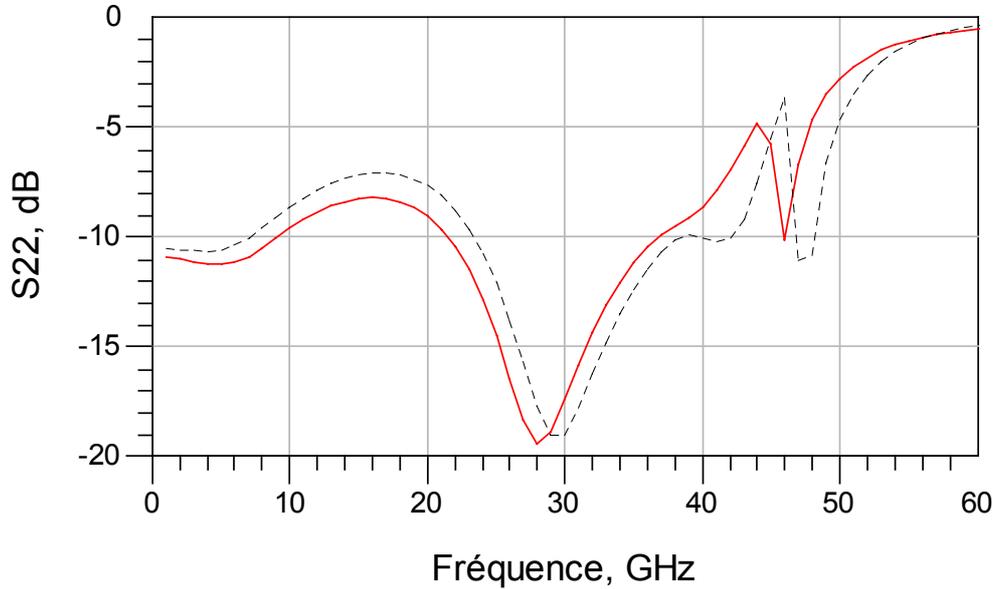


Figure 4.30 : (...) :Simulation électrique. (—) :Simulation électromagnétique des égaliseurs.

Le coefficient de réflexion de sortie (figure 4.30) est inférieur à $-8,5$ dB dans le cas de la simulation électromagnétique et inférieur à -7 dB dans le cas de la simulation électrique.

Les coefficients de réflexion obtenus en entrée et en sortie de l'amplificateur sont légèrement inférieurs dans le cas des simulations électromagnétiques. Les réponses en gain diffèrent par contre de plusieurs dB à haute fréquence.

Ceci est dû aux pertes série dans les pistes conductrices qui sont prises en compte lors des simulations électromagnétiques. Ceci montre la limite de réalisabilité des égaliseurs considérés comme non dissipatif dans les structures coplanaires. Les pertes série peuvent être néanmoins réduites en construisant des pistes conductrices sur plusieurs niveaux de métallisation. Mais ceci aura pour conséquence d'élever le coût du procédé de fabrication et par suite, le coût de la technologie utilisée.

3 Amplificateur distribué

3.1 Simulations électriques

Un amplificateur à cellule cascode distribuée a été simulé à partir de la technologie OMMIC ED02AH. L'amplificateur compte 10 étages cascode. La surface du circuit est 0,9 x 2,7 mm² (figure 2.21).

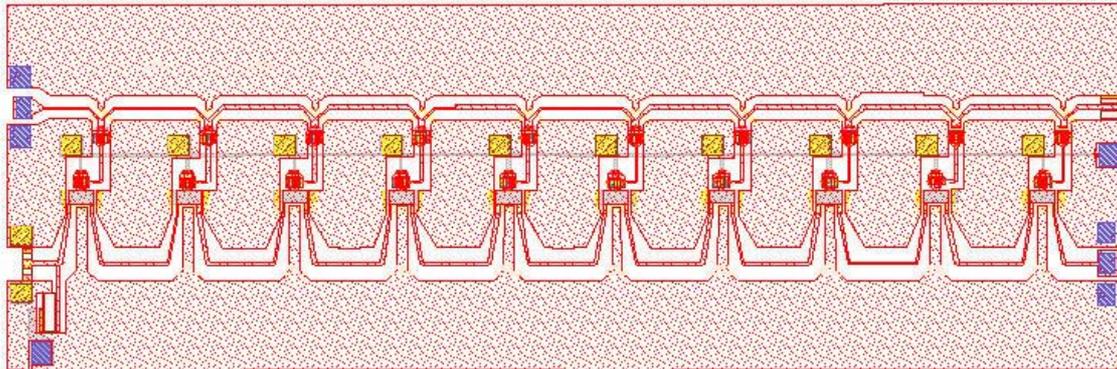


Figure 2.21: amplificateur à cellule cascode distribuée. Technologie OMMIC ED02AH. Taille : 0,9 x 2,7 mm²

Le gain dans la bande est de $15,35 \pm 1,05$ dB. La bande passante à -3 dB est de 58 GHz (figure 2.22).

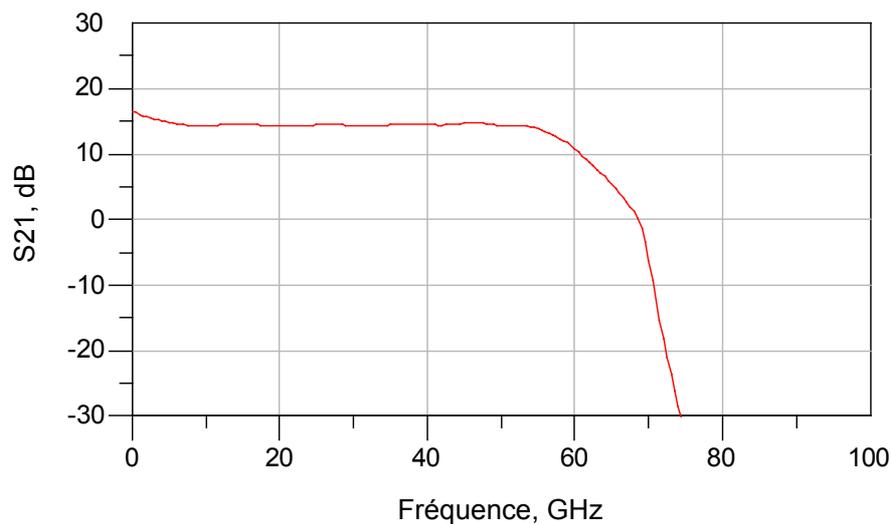


Figure 2.22: Gain transducique de l'amplificateur distribué.

Les coefficients de réflexion en entrée et en sortie de l'amplificateur sont présentés figure 2.23.

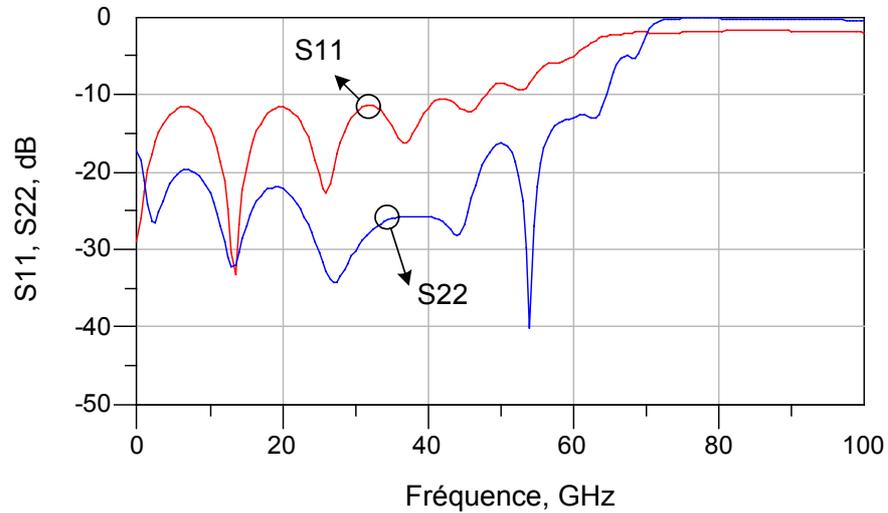


Figure 2.23: Coefficients de réflexion en entrée et en sortie.

Le coefficient de réflexion en entrée est inférieur à -10 dB jusqu'à 44 GHz. Le coefficient de réflexion en sortie est inférieur à $-13,6$ dB sur toute la bande considérée. Le point de compression à -1 dB en sortie a été simulé pour différentes valeurs de la fréquences fondamentales (de 1 GHz à 55 GHz). La valeur moyenne sur la bande de la puissance de sortie à -1 dB de la puissance linéaire est de 18,5 dBm (figure 2.24).

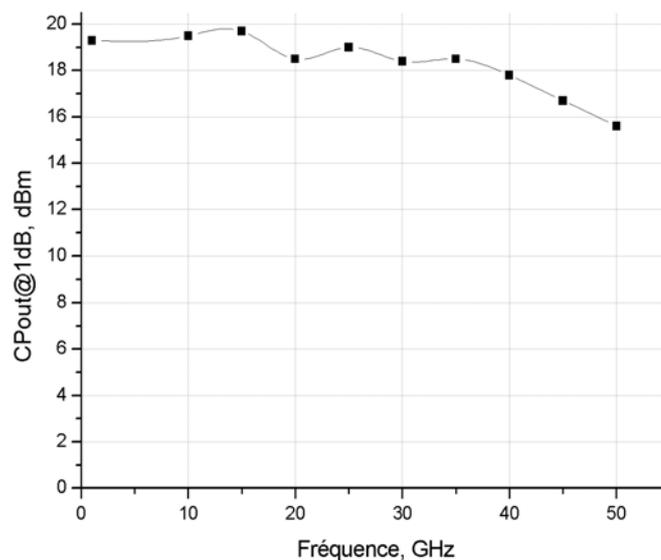


Figure 2.24: Point de compression à -1 dB en sortie.

La consommation du circuit dépend du réseau de polarisation choisi pour les drains des transistors montés en grille commune. Avec un réseau de polarisation passe-haut (de type T_é de polarisation) la tension d'alimentation de drain peut être fixée à 6 V. La consommation obtenue est alors de 1,4 W.

Il n'est pas possible d'intégrer sur la puce un réseau de polarisation passe-haut à fréquence de coupure suffisamment basse (100 kHz) en raison de la taille des éléments passifs. Un réseau passe-bas résistif peut être implanté, mais conduit à une tension d'alimentation de 14,5 V. Dans une telle situation la consommation atteint 2W.

Le temps de propagation de groupe est représenté figure 2.25. Les variations du temps de propagation sur la bande 0,5-40 GHz sont de $\pm 6,5$ ps.

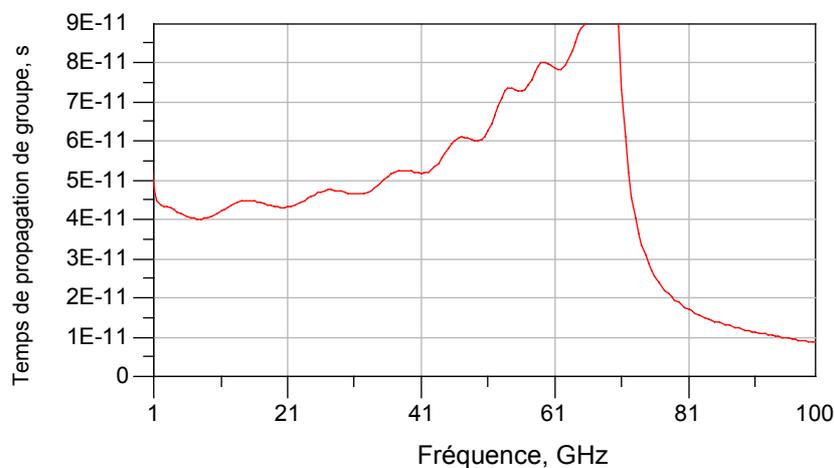


Figure 2.25: Temps de propagation de groupe : $\pm 6,5$ ps sur la bande 0,5-40 GHz.

Les résultats obtenus montrent les performances excellentes de l'architecture distribuée pour la réalisation de *driver* ultra large bande passe-bas, à partir d'une technologie AsGa à coût modéré. Néanmoins, la puissance consommée est très élevée ($>2W$) lorsque le bloc de polarisation de drain est intégré et le circuit obtenu est de grande taille (>2 mm²).

3.2 Bilan comparatif

Le tableau 4.1 récapitule les performances simulées de l'amplificateur distribué présenté dans le chapitre 2, celles de l'amplificateur 3 $V_{c\text{-à-c}}$ sur substrat coplanaire conçu à l'aide de la MFR et les compare au cahier des charges. On constate que l'amplificateur distribué comme l'amplificateur réalisé par la MFR satisfont globalement au cahier des charges.

	Cahier des charges	Ampli. distribué	Amplificateur 3 $V_{c\text{-à-c}}$
Gain	15,5±1,9 dB	15,35±1,05 dB	13,6±1,3 dB
Bande passante	40 GHz	58 GHz	42 GHz
Compression en sortie à -1 dB	13,5 dBm	18,5 dBm	15,5 dBm
Coef. de réflexion d'entrée (max)	-10 dB	-10 dB jusqu'à 44 GHz	-5 dB
Coef. de réflexion de sortie (max)	-10 dB	-13,6 dB	-7 dB
Variations du temps de propag. de groupe	±12 ps	±6,5 ps	±14 ps
Taille du circuit	minimum	0,9 x 2,7 mm ²	0,85 x 1,5 mm ²
Consommation	minimum	2 W	1 W

Tableau 4.1 : Récapitulatif des performances obtenues.

L'amplificateur distribué possède toutefois un produit gain bande légèrement plus élevé que notre amplificateur ainsi que des variations deux fois plus faible du temps de propagation de groupe. En contrepartie, la taille et la consommation de l'amplificateur distribué sont deux fois plus élevées que celles de l'amplificateur 3 $V_{c\text{-à-c}}$ conçu à l'aide de la MFR.

Bibliographie

- [1] *ED02AH OMMIC Process Design Guide*. Guide du processus de fabrication ed02AH [cédérom]. Version 2.6, 2003.
- [2] *Agilent ADS2002 Manual*. « Momentum ». Documentation du logiciel ADS2002.
- [3] *Anritsu Application Note*. Network Analyzer « 360B/37XXXA/B ».

CONCLUSION GENERALE

Durant cette thèse nous avons conçu deux amplificateurs *driver* MMIC dédiés aux liaisons optiques à 40 Gbit/s par la Méthode des Fréquences Réelles. Pour nous maintenir dans le cadre de contraintes « faible coût », nous avons utilisé une technologie HEMT à coût modéré et réalisé des circuits de faible surface ($<1,5 \text{ mm}^2$). Les amplificateurs sont construits dans une architecture à forte désadaptation sur laquelle on superpose une cellule cascode afin d'augmenter la bande passante.

Le premier amplificateur a été réalisé sur un substrat microruban. La surface disponible pour des égaliseurs passifs était réduite et la synthèse a été effectuée par la procédure classique de la MFR à partir d'un seul égaliseur. Les contraintes de place n'ont pas permis d'implanter une solution en terme d'éléments passifs qui améliore sensiblement les performances de l'architecture initialement choisie. Néanmoins les mesures réalisées sur le circuit permettent de valider l'architecture à forte désadaptation que nous avons proposée.

Le deuxième amplificateur a été réalisé sur substrat coplanaire. Il est muni d'une contre-réaction globale. La procédure multi-étages a dû être modifiée pour permettre d'inclure un égaliseur passif dans la boucle de contre-réaction. Ceci nous a conduit à développer une variante octopolaire de la procédure de synthèse qui permet de tenir compte d'une dépendance entre les étages actifs mis en jeu dans le circuit. Sous cette forme, la MFR permet d'obtenir une solution en terme d'égaliseur qui améliore nettement les performances du circuit contre-réactionné. De plus, l'absence de via dans les structures coplanaires nous a permis d'ajouter deux égaliseurs supplémentaires en entrée et en sortie de l'amplificateurs par rapport au circuit réalisé en microruban. L'amplificateur atteint alors les spécifications souhaitées pour le *driver*. Il possède une taille et une consommation en courant deux fois inférieures à celles d'une réalisation en topologie distribuée, architecture utilisée habituellement pour réaliser ce type de *driver*.

Pour des circuits MMIC dont les spécifications imposent des contraintes sur le choix de l'architecture, la Méthode des Fréquences Réelles s'avère être avantageuse dès lors qu'elle est utilisée comme un outil d'amélioration « ponctuelle » des performances du circuit plutôt que comme base de construction de celui-ci. La variante octopolaire de la méthode peut être utilisée comme outil d'amélioration dans de nombreuses situations puisqu'elle n'impose pas a priori d'architecture en cascade.

La Méthode des Fréquences Réelles reste une technique de conception de circuit qui repose sur l'optimisation d'égaliseurs passifs. Dans une technologie à coût modéré, les pertes des éléments passifs considérés comme non dissipatifs peuvent être négligées jusqu'à 40 GHz. Pour la conception de circuits travaillant à des fréquences supérieures à 40 GHz, les pertes devront être soit prises en compte pour la synthèse des égaliseurs, soit réduites par l'usage de structures passives plus complexes. A l'heure actuelle, cette dernière solution conduira irrémédiablement à une augmentation du prix de la technologie.

GLOSSAIRE

APD : Avalanche PhotoDiode

ATM : Asynchronous Transfer Mode

BER : Bit Error Rate

BiCMOS : Bipolaire-CMOS

CBD : Cumulative Bit Difference

CC : Court-Circuit

CCITT : Consultative Committee on International Telegraphy and Telephony (actuellement l'UIT-T).

CDR : Clock and Data Recovery

CID : Common Identical Digit

CO : Circuit Ouvert

CPW : Coplanar WaveGuide

DD : Direct Detection

DFB : Distributed FeedBack (laser)

DJ : Deterministic Jitter

EA(M) : Electro-Absorbant (Modulator)

ECL : Emitter Coupled Logic

ER : Extinction Ratio

ETDM : Electrical Time Domain Multiplexing

EU : Élément Unitaire

FK(M) : Frantz-Keldysh Modulator

HBT : Heterojunction Bipolar Transistor

HEMT : High Electron Mobility Transistor

IM : Intensity Modulation

IP : Internet Protocol

ISI: Inter-Symbol Interferences

LA : Limiting Amplifier

LAN : Local Access Network

LSI : Large Scale Integration

MFR : Méthode des Fréquences Réelles

MMIC : Monolithic Microwave Integrated Circuit

MQW : Multiple Quantum Well (Diode)

MZI : Mach-Zehnder Interferometer

NRZ : No Return to Zero

OOK : On-Off Keying

OTDM : Optical Time Domain Multiplexing

PDH : Plesiochronous Digital Hierarchy

PIN (Diode): Positive Intrinsic Negative (Diode)

PLL : Phase Locked Loop

PWD : Pulse Width Distortion

RENATER : Réseau NATional de Télécommunication pour la Technologie, l'Enseignement et la Recherche

RJ : Random Jitter

RTC : Réseau Téléphonique Commuté

SCFL : Source Coupled FET Logic

SDH: Synchronous Digital Hierarchy

SONET : Synchronous Optical NETwork

STM-N : Synchronous Transfer Module of order N

TAS : TransAdmittance Stage

TIA : TransImpedance Amplifier

TIS : TransImpedance Stage

UIT-T : Union Internationale des Télécommunications, secteur normalisation.

VHSIC : Very High Speed Integrated Circuit

WDM : Wavelength Domain Multiplexing

ANNEXES

ANNEXE 1 : RAPPELS SUR LES PROPRIETES DES QUADRIPOLES PASSIFS

<u>1</u>	<u>RAPPELS PRELIMINAIRES SUR LES FONCTIONS RESEAUX</u>	152
<u>2</u>	<u>REPRESENTATION DES MULTIPTS</u>	152
<u>3</u>	<u>PROPRIETES DES MULTIPTS PASSIFS</u>	155
<u>4</u>	<u>REPRESENTATION D'UN QUADRIPOLE PASSIF ET NON DISSIPATIF PAR LE FORMALISME DE BELEVITCH</u>	157
<u>5</u>	<u>QUADRIPOLE EQUIVALENT DE DARLINGTON D'UNE CHARGE PASSIVE</u>	160
<u>6</u>	<u>CRITERE DE RESTRICTION GAIN BANDE DE BODE-FANO</u>	161
	<u>BIBLIOGRAPHIE</u>	164

1 Rappels préliminaires sur les fonctions réseaux

Les fonctions réseaux, définies par le rapport d'une réponse (courant ou tension), à un signal d'excitation sinusoïdal (courant ou tension), que l'on peut établir à travers un réseau linéaire, invariant dans le temps, réel et comptant un nombre fini d'éléments, peuvent se mettre sous la forme de fonctions rationnelles d'une variable $s = \sigma + j\omega$ (ou $t = \Sigma + j\Omega$), à coefficients réels.

Ces fonctions possèdent alors, des zéros (zéros de transmissions) et des pôles (fréquences naturelles), réels ou complexes conjugués.

Une fonction réseau possédant des pôles p_k est stable si et seulement si $\text{Re}(p_k) \leq 0$, et p_k de multiplicité 1 lorsque $\text{Re}(p_k) = 0$.

2 Représentation des multiports

Un multiport est une structure de circuit (figure A.1) dans laquelle des paires de nœuds sont définies comme étant des accès (ports) avec « l'extérieur » et auxquels on peut injecter ou mesurer des signaux sous forme de tension et/ou de courant.

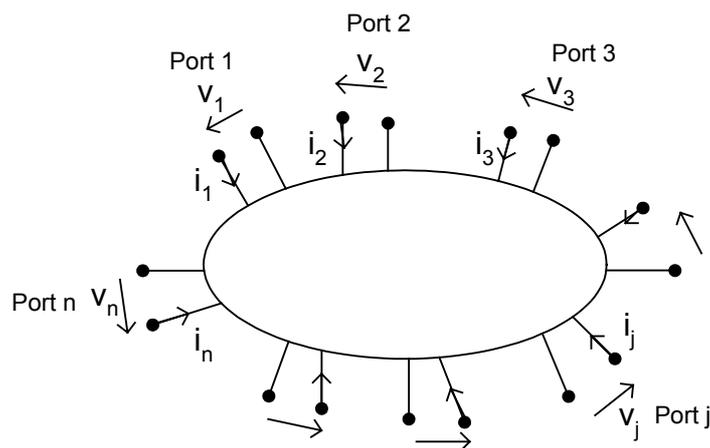


Figure A.1: Structure générale d'un multiport.

Pour caractériser un multiport, on peut définir ses matrices impédance Z et admittance Y , appelées matrices immittances, par :

$$\begin{pmatrix} v_1 \\ v_2 \\ \cdot \\ \cdot \\ v_n \end{pmatrix} = \begin{pmatrix} z_{11} & z_{21} & \cdot & \cdot & z_{n1} \\ z_{12} & \cdot & \cdot & \cdot & \cdot \\ \cdot & \cdot & \cdot & \cdot & \cdot \\ \cdot & \cdot & \cdot & \cdot & \cdot \\ z_{1n} & \cdot & \cdot & \cdot & z_{nn} \end{pmatrix} \begin{pmatrix} i_1 \\ i_2 \\ \cdot \\ \cdot \\ i_n \end{pmatrix} \quad (\text{A.1a})$$

et

$$\begin{pmatrix} i_1 \\ i_2 \\ \cdot \\ \cdot \\ i_n \end{pmatrix} = \begin{pmatrix} y_{11} & y_{21} & \cdot & \cdot & y_{n1} \\ y_{12} & \cdot & \cdot & \cdot & \cdot \\ \cdot & \cdot & \cdot & \cdot & \cdot \\ \cdot & \cdot & \cdot & \cdot & \cdot \\ y_{1n} & \cdot & \cdot & \cdot & y_{nn} \end{pmatrix} \begin{pmatrix} v_1 \\ v_2 \\ \cdot \\ \cdot \\ v_n \end{pmatrix} \quad (\text{A.1b})$$

ou

$$v = Zi \quad (\text{A.2a})$$

et

$$i = Yv \quad (\text{A.2b})$$

On a d'autre part :

$$Z = Y^{-1} \quad (\text{A.3})$$

Le formalisme scattering, communément utilisé en conception microonde, permet d'identifier un multiport par sa matrice scattering S . La matrice S est obtenue à partir du multiport dit « augmenté » (figure A.2). Chaque port du circuit est augmenté d'une terminaison r_j généralement résistive, et excité par une source de tension indépendante. Les terminaisons r_j sont les impédances de référence de la matrice S .

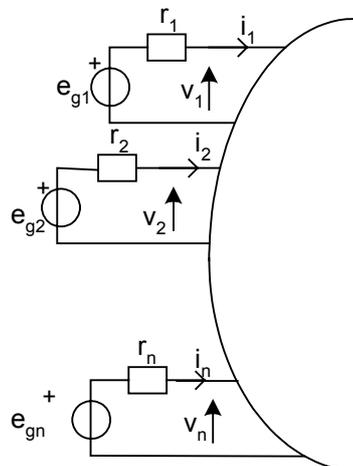


Figure A.2: Multiport augmenté.

En notant $R_0 = \text{diag}\{r_1, r_2, \dots, r_j, \dots, r_n\}$, on introduit les variables d'ondes incidentes a et réfléchies b (vecteurs colonnes) de telle sorte que,

$$\begin{aligned} 2\sqrt{R_0}a &= v + R_0i \\ 2\sqrt{R_0}b &= v - R_0i \end{aligned} \quad (\text{A.4})$$

La matrice S est telle que :

$$\begin{pmatrix} b_1 \\ b_2 \\ \cdot \\ \cdot \\ b_n \end{pmatrix} = \begin{pmatrix} S_{11} & S_{12} & \cdot & \cdot & S_{1n} \\ S_{21} & \cdot & \cdot & \cdot & \cdot \\ \cdot & \cdot & \cdot & \cdot & \cdot \\ \cdot & \cdot & \cdot & \cdot & \cdot \\ S_{n1} & \cdot & \cdot & \cdot & S_{nn} \end{pmatrix} \begin{pmatrix} a_1 \\ a_2 \\ \cdot \\ \cdot \\ a_n \end{pmatrix} \text{ ou } b = Sa \quad (\text{A.5})$$

Les coefficients de la diagonale sont des réflectances. Les coefficients hors diagonale sont des transmittances.

Pour un quadripôle (matrice S de rang 2) chargé par des résistances unitaires, en considérant le port 1 comme étant l'entrée et le port 2 comme étant la sortie, on a :

$$G_T = |S_{21}|^2 \quad (\text{A.6})$$

où G_T est le gain transducique du système.

La matrice S d'un multiport s'exprime en fonction des matrices immittances par :

$$\begin{aligned} S &= (z + I_n)^{-1}(z - I_n) \\ S &= (I_n + y)^{-1}(I_n - y) \end{aligned} \quad (\text{A.7})$$

$$\text{avec } \begin{aligned} z &= R_0^{-1/2} Z R_0^{-1/2} \\ y &= R_0^{1/2} Y R_0^{1/2} \end{aligned}$$

Les matrices z et y sont les matrices impédance et admittance normalisées.

Dans le cas où les matrices immittances existent, leurs coefficients sont des fonctions de transfert.

La matrice S , lorsqu'elle existe, est également réelle et rationnelle.

3 Propriétés des multiports passifs

La condition nécessaire et suffisante pour qu'un multiport (linéaire, invariant dans le temps, solvable et réel) soit **passif**, est que sa matrice immittance (on considère ici la matrice z) existe et soit positive réelle.

C'est-à-dire :

- z est analytique sur le domaine du plan complexe tel que $\text{Re}(s) > 0$.
- $2r(\sigma, \omega) = z + z^{*t}$ est définie non-négative, $\forall \text{Re}(s) > 0$, et presque partout sur l'axe $j\omega$, avec $r(\sigma, \omega) = \text{Re}(z(\sigma + j\omega))$.
- $z(s)$ est réelle sur l'axe des réels positifs, ou $z(s^*) = z^*(s)$, $\forall \text{Re}(s) > 0$.

De même, la condition nécessaire et suffisante pour qu'un multiport soit **passif** est que sa matrice S soit bornée réelle. C'est-à-dire :

- S est analytique sur le domaine $\text{Re}(s) > 0$.
- $I_n - S^{*t}S$ est définie non-négative $\forall \text{Re}(s) > 0$ et $I_n - S^{*t}(j\omega)S(j\omega)$ est définie non négative presque partout sur l'axe $j\omega$.
- S est réelle sur l'axe des réels du plan complexe s .

De plus, la condition nécessaire et suffisante pour que le multiport soit **réciroque** est que,

- Ses matrices immittances soient symétriques.
- Sa matrice S soit bornée réelle réciroque et $S = S^t$, $\text{Re}(s) > 0$, c'est-à-dire, que S soit symétrique dans la partie droite du plan complexe.

Si le multiport est **sans perte**,

- $z + z^{*t} = 0$ presque partout sur $j\omega$.
- Sa matrice S est unitaire presque partout sur l'axe $j\omega$, c'est-à-dire, $I_n - S^{*t}(j\omega)S(j\omega) = 0$ presque partout et réciroquement.

Si le multiport est constitué d'un nombre fini d'éléments discrets,

- Les coefficients des matrices immittances et de la matrice S sont des fonctions rationnelles de s (Rapports de polynômes à coefficients réels), et les matrices sont dites « rationnelles », et réciroquement.

Le multiport est non-dissipatif (sans pertes) et possède un nombre fini d'éléments, si et seulement si

-Sa matrice S est dite para-unitaire, c'est-à-dire, $I_n - S^t(-j\omega)S(j\omega) = 0, \forall \omega$.

Pour un quadripôle passif sans perte, la relation de paraunitarité conduit à :

$$|S_{11}(j\omega)|^2 + |S_{21}(j\omega)|^2 = 1 \quad (\text{A.8})$$

On montre qu'un polynôme de la variable $s=j\omega$ à coefficients réels peut toujours se décomposer comme suit :

$$P_n(s) = e(\omega) + jo(\omega) \quad (\text{A.9})$$

où $e(\omega)$ est un polynôme pair et $o(\omega)$ un polynôme impair.

Il vient, $|P_n(j\omega)|^2 = P_n(j\omega)P_n(-j\omega) = e^2(\omega) + o^2(\omega)$.

$e^2(\omega) + o^2(\omega)$ étant un polynôme pair à coefficients réels positifs, $|P_n(j\omega)|^2$ peut s'identifier à une forme générale $Q(\omega^2)$ à coefficients réels positifs.

De façon réciproque, on pourra toujours effectuer la factorisation spectrale d'un polynôme à coefficients réels positifs $\hat{N}(\omega^2)$, telle que :

$$\hat{N}(\omega^2) = c^2 N(s)N(-s) \quad (\text{A.10})$$

avec c réel et N un polynôme à coefficients réels dont le monôme de plus grande puissance est unitaire.

Dans les méthodes de synthèse de filtres passifs (sans perte) à terminaisons résistives, on utilise cette propriété pour identifier le paramètre $|S_{21}|^2$ et donc le gain transducique du système, avec une fonction de transfert prédéfinie $T(\omega^2)$ (par exemple Butterworth ou Chebyshev).

$$|S_{21}(j\omega)|^2 \equiv T(\omega^2) \quad (\text{A.11})$$

La relation (A.8), permet d'exprimer les caractéristiques de transfert en fonction de la réflexion en entrée du filtre. On peut ensuite appliquer les procédés d'extraction de structures passives (Cauer, Darlington,..) basés sur l'impédance ou la réflectance d'entrée du quadripôle de filtrage.

$$|S_{11}(j\omega)|^2 = 1 - T(\omega^2) \quad (\text{A.12})$$

4 Représentation d'un quadripôle passif et non dissipatif par le formalisme de Belevitch

On considère la matrice S 2×2 , rationnelle de la variable s , d'un quadripôle passif et non-dissipatif. Chaque entrée de la matrice est un rapport de polynômes de la variable s à coefficients réels. On peut mettre ces fonctions rationnelles sous leur plus petit dénominateur commun. Elles prennent alors la forme :

$$S_{ij} = \frac{N_{ij}}{D} \quad (\text{A.13})$$

ou N_{ij} et D sont des polynômes à coefficients réels et D le dénominateur commun à toutes les entrées.

La passivité impose à la matrice S d'être bornée réelle et donc analytique dans le plan complexe droit. Le polynôme D sera donc toujours un polynôme d'Hurwitz, c'est-à-dire, qu'il ne possèdera que des racines situées dans le plan complexe gauche ($\text{Re}(s) \leq 0$). D'autre part, la propriété de non-dissipativité impose à la matrice S d'être para-unitaire.

Ainsi,

$$S^{*t} S = I_2 \quad (\text{A.14})$$

La matrice S étant carrée, on a $S^{-1} S = S S^{-1}$, et la condition de para-unitarité peut se mettre sous la forme suivante :

$$S S^{*t} = I_2 \quad (\text{A.15})$$

En développant les contraintes (A.14) et (A.15), en terme des polynômes N_{ij} et D , on obtient le système suivant :

$$\begin{cases} N_{11}^* N_{11} + N_{21}^* N_{21} = D^* D \\ N_{11}^* N_{12} + N_{21}^* N_{22} = 0 \\ N_{12}^* N_{12} + N_{22}^* N_{22} = D^* D \\ N_{11} N_{11}^* + N_{12} N_{12}^* = D D^* \\ N_{11} N_{21}^* + N_{12} N_{22}^* = 0 \\ N_{22} N_{22}^* + N_{21} N_{21}^* = D D^* \end{cases} \quad (\text{A.16})$$

La première et la dernière équation du système donne :

$$N_{11}^* N_{11} = N_{22}^* N_{22} \quad (\text{A.17})$$

De la première et la quatrième, on obtient :

$$N_{21}^* N_{21} = N_{12}^* N_{12} \quad (\text{A.18})$$

Les équations (A.17) et (A.18) montrent que N_{11}/N_{22}^* et N_{12}/N_{21}^* sont des passe-touts (ils ont une amplitude égale à 1 sur l'axe $j\omega$). Ils peuvent être mis sous la forme :

$$\frac{N_{11}}{N_{22}^*} = \mp \frac{\theta^*}{\theta} \quad \text{et} \quad \frac{N_{12}}{N_{21}^*} = \pm \frac{\theta^*}{\theta}, \quad (\text{A.19})$$

où θ est un polynôme et θ^*/θ est supposé irréductible.

Ainsi ,

$$\begin{aligned} N_{11} &= h_0 \theta^* & N_{12} &= f_0 \theta^* \\ N_{21} &= \pm f_0^* \theta^* & N_{22} &= \mp h_0^* \theta^* \end{aligned} \quad (\text{A.20})$$

où h_0 est un polynôme formé par les facteurs communs à N_{11} et N_{22}^* , et f_0 est un polynôme formé par les facteurs communs à N_{12} et N_{21}^* .

La première équation du système (A.16) impose au polynôme D^*D de contenir un facteur $\theta^*\theta$.

D étant par définition un polynôme d'Hurwitz, il est représentable par $g_0\theta$ où g_0 et θ sont des polynômes d'Hurwitz.

La matrice S d'un quadripôle passif sans perte peut donc se représenter par :

$$S = \begin{pmatrix} \frac{h_0 \theta^*}{g_0 \theta} & \frac{f_0 \theta^*}{g_0 \theta} \\ \pm \frac{f_0^* \theta^*}{g_0 \theta} & \mp \frac{h_0^* \theta^*}{g_0 \theta} \end{pmatrix} \quad (\text{A.21})$$

$$\text{avec } h_0^* h_0 + f_0^* f_0 = g_0^* g_0.$$

En multipliant chaque entrée de la matrice par un facteur θ/θ , on obtient l'expression simplifiée suivante :

$$S = \begin{pmatrix} \frac{h}{g} & \frac{f}{g} \\ \pm \frac{f^*}{g} & \mp \frac{h^*}{g} \end{pmatrix} \quad (\text{A.22})$$

$$\text{avec } h = h_0 \theta^* \theta, \quad f = f_0 \theta^* \theta, \quad g = g_0 \theta^2,$$

$$\text{et } h^* h + f^* f = g^* g.$$

Si le quadripôle est de plus réciproque, sa matrice S étant symétrique, on a $\pm f^* = f$.

La forme canonique de la matrice S d'un quadripôle passif réciproque et non-dissipatif (sans perte) est donc :

$$S = \begin{pmatrix} \frac{h}{g} & \frac{f}{g} \\ \frac{f}{g} & \mp \frac{h^*}{g} \end{pmatrix} \quad (\text{A.23})$$

où le signe (-) est utilisé si le polynôme f est pair ($f = f^*$) et le signe (+) si le polynôme f est impair ($f = -f^*$).

Enfin, si le quadripôle est symétrique : $h = \mp h^*$ et si le quadripôle est antisymétrique : $h = \pm h^*$, en utilisant le signe supérieur lorsque f est paire, et le signe inférieur lorsque f est impaire. Il s'en suit que dans le cas symétrique le polynôme h est impair, et dans le cas antisymétrique, le polynôme h est pair.

A partir de l'expression des coefficients de la matrice (A.22), on obtient :

$$\frac{S_{11}}{S_{22}^*} = \mp \frac{g^*}{g} \quad \text{et} \quad \frac{S_{12}}{S_{21}^*} = \pm \frac{g^*}{g} \quad (\text{A.24})$$

Aux fréquences réelles $\left| \frac{g^*}{g} \right| = 1$, d'où,

$$\begin{aligned} |S_{11}(j\omega)| &= |S_{22}(j\omega)| \\ \text{et } |S_{12}(j\omega)| &= |S_{21}(j\omega)|. \end{aligned} \quad (\text{A.25})$$

De la relation (A.12) on obtient par ailleurs :

$$T(\omega^2) = 1 - |S_{22}(j\omega)|^2 \quad (\text{A.26})$$

On peut dériver de la forme canonique de Belevitch les expressions des matrices immittances. Pour la matrice z , à partir de la relation (A.7) et suivant le signe supérieur ou inférieur utilisé pour la matrice (A.21):

$$z = \begin{pmatrix} \frac{m_1}{n_2} & \frac{f}{n_2} \\ \frac{f^*}{n_2} & \frac{m_2}{n_2} \end{pmatrix} \quad (\text{A.27a})$$

ou

$$z = \begin{pmatrix} \frac{n_1}{m_2} & \frac{f}{m_2} \\ \frac{-f^*}{m_2} & \frac{n_2}{m_2} \end{pmatrix} \quad (\text{A.27b})$$

$$\text{avec } \begin{matrix} m_1 = g_e + h_e & n_1 = g_o + h_o \\ m_2 = g_e - h_e & n_2 = g_o - h_o \end{matrix} \text{ et}$$

où les lettres « e » et « o » désignent respectivement les parties paire et impaire des polynômes g et h .

On remarquera que la réflexion en entrée Γ_{in} et l'impédance d'entrée z_{in} du quadripôle chargé par des résistances unitaires (auquel cas $\Gamma_{in} = S_{11}$), s'expriment en terme des polynômes g et h par :

$$\begin{aligned} \Gamma_{in} &= \frac{h}{g} \\ z_{in} &= \frac{1 + \Gamma_{in}}{1 - \Gamma_{in}} = \frac{g + h}{g - h} \end{aligned} \quad (\text{A.28})$$

L'impédance z_{in} est toujours une fonction positive réelle, mais d'après (A.22), n'est pas forcément de degré minimal.

5 Quadripôle équivalent de Darlington d'une charge passive

Un des résultats principaux de la synthèse de circuit passif dite de « Darlington » peut être formulé par le théorème suivant :

-Une immittance positive réelle z pourra toujours être considérée comme l'immittance d'entrée d'un quadripôle passif réciproque et non-dissipatif D , chargé à sa sortie par une résistance unitaire.

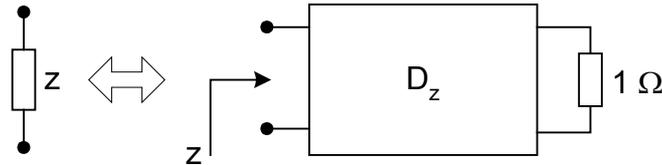


Figure A.3: Quadripôle équivalent de Darlington d'une charge complexe.

On appelle D , le quadripôle équivalent de Darlington de la charge passive, ici z , (figure A.3). On peut alors caractériser D et donc z par sa matrice S .

6 Critère de restriction gain bande de Bode-Fano

On considère une impédance de générateur et une impédance de charge entre lesquelles on souhaite maximiser la transmission d'un signal en terme de gain et/ou de bande passante, par le biais d'un égaliseur passif non dissipatif. Si au moins une des deux impédances est complexe (dépendante de la fréquence), la propriété de causalité des quadripôles passifs conduit à l'existence d'une relation entre gain et bande passante qui limite les performances de transmission réalisables avec un tel système.

H.W.Bode, a été le premier à développer une théorie analytique pour la restriction gain bande [3], qui s'applique dans le cas dit de « simple adaptation » et généralement pour une impédance ou une admittance de charge de degré 1. Dans une telle situation, le critère de restriction gain bande, exprimé en terme de coefficient de réflexion, permet d'établir la bande passante maximale réalisable à gain en puissance constant donné.

On considère le cas d'une résistance de générateur R_1 en parallèle avec une capacité C et d'une résistance de charge R_0 entre lesquels on insère un égaliseur passif sans perte (Figure A.4).

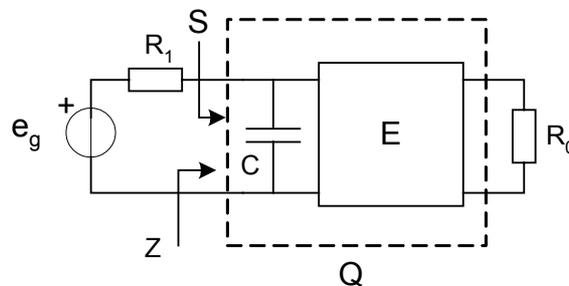


Figure A.4

On utilisera ici $\ln\left(\frac{1}{\Gamma'}\right)$, comme fonction sur laquelle sera appliquée la restriction. Γ' est la fonction telle que $\Gamma' = \frac{R_1 - Z}{R_1 + Z}$, où Z est l'impédance vue depuis le générateur de tension de résistance interne R_1 (figure A.4).

$$\ln\left(\frac{1}{\Gamma'}\right) = \ln\left(\frac{R_1 + Z}{R_1 - Z}\right)$$

Si la fonction Z est positive réelle, R_1 étant un réel positif, la fonction $R_1 + Z$ est également positive et réelle et ne possède donc ni pôles ni zéros dans le plan droit.

Par contre, la fonction $R_1 - Z$ peut avoir des pôles a_i (pôles réels simples ou complexes conjugués) dans la partie droite du plan complexe.

On peut alors construire une fonction analytique dans le plan droit (dépourvu de pôles dans le plan droit) en multipliant la fonction $1/\Gamma'$ par des facteurs de la forme $(s - a_i)/(s + a_i)$.

Le théorème de l'intégrale de Cauchy stipule que l'intégrale d'une fonction analytique sur un domaine D , le long d'un contour fermé construit sur ce domaine D , est nulle quelque soit le contour choisi.

Ainsi, on peut poser :

$$\oint \ln\left[\frac{R_1 + Z}{R_1 - Z} \prod_i \left(\frac{s - a_i}{s + a_i}\right)\right] ds = 0 \quad (\text{A.29})$$

pour un contour tracé dans la partie droite du plan complexe.

On construit le contour formé par l'axe $j\omega$ et le demi-cercle centré en zéro de rayon infini, recouvrant la partie droite du plan complexe.

Sur l'axe des fréquences réelles, les passe-touts sont égaux à 1 et l'intégrande dans l'équation (A.29) se réduit à :

$$\ln \frac{1}{|\Gamma'(j\omega)|}. \quad (\text{A.30})$$

Le premier élément du quadripôle vu depuis le générateur sera toujours une capacité parallèle. Son impédance d'entrée pourra toujours être approximée par $1/Cs$, lorsque s devient très grand.

Dans ces mêmes conditions (s très grand) et par développement de Taylor,

$$\ln\left(\frac{R_1 + Z}{R_1 - Z}\right) \approx \frac{2}{R_1 Cs} \quad (\text{A.31})$$

$$\text{et } \ln \left(\prod_i \frac{s - a_i}{s + a_i} \right) \approx -\frac{2}{s} \sum_i a_i. \quad (\text{A.32})$$

En développant l'intégrale de l'égalité (A.29) :

$$2 \int_0^{\infty} \frac{1}{|\Gamma'(j\omega)|} d\omega + \oint_{\text{Demi-cercle}} \left[\frac{2}{R_1 C} - 2 \sum_i a_i \right] \frac{d\omega}{j\omega} = 0 \quad (\text{A.33})$$

$$\int_0^{\infty} \ln \frac{1}{|\Gamma'(j\omega)|} d\omega = \frac{\pi}{R_1 C} - \pi \sum_i a_i \quad (\text{A.34})$$

$$\left| \frac{R_1 + Z}{R_1 - Z} \right| = \left| \frac{Z + R_1}{Z - R_1} \right| = \frac{1}{|S(j\omega)|} \quad (\text{A.35})$$

$S(j\omega)$ est la réflectance d'entrée du quadripôle vu du générateur et terminée par R_0 .

Les zéros a_i du plan complexe droit de $R_1 - Z$ sont les zéros du plan droit de $Z - R_1$ et donc de $S(j\omega)$.

En supposant comme dans l'approche précédente que la réflectance d'entrée est à déphasage minimal ($a_i = 0$), ce qui correspond à la valeur maximale du membre droit de l'équation (A.34), on obtient le cas limite :

$$\boxed{\int_0^{\infty} \ln \frac{1}{|S(j\omega)|^2} d\omega \leq \frac{2\pi}{R_1 C}} \quad (\text{A.36})$$

En définissant les terminaisons résistives R_1 et R_0 comme impédances de référence de la matrice S du quadripôle sans perte Q. On a $S(j\omega) = S_{11}(j\omega)$.

Aux fréquences réelles :

$$T(\omega^2) = 1 - |S_{11}(j\omega)|^2 \quad (\text{A.37})$$

On définit, dans un quadripôle passif, un gabarit passe bas idéal pour le gain en puissance $T(\omega^2)$ par :

$$\begin{aligned} |S_{11}(j\omega)|^2 &= |S_{11}(0)|^2 & \text{pour } 0 \leq \omega \leq \omega_c \\ |S_{11}(j\omega)|^2 &= 1 & \text{pour } \omega > \omega_c \end{aligned} \quad (\text{A.38})$$

où ω_c est la pulsation de coupure définie par le gabarit passe bas.

L'inégalité (A.26) peut alors s'écrire :

$$\int_0^{\omega_c} \ln \frac{1}{|S_{11}(j\omega)|^2} d\omega \leq \frac{2\pi}{R_1 C} \quad (\text{A.39})$$

En posant $K = 1 - |S(0)|^2$, on obtient finalement :

$$\boxed{\omega_c \leq \frac{2\pi}{R_1 C \ln(1-K)}} \quad (\text{A.40})$$

$$\text{avec } K = 1 - \left| \frac{R_1 - R_0}{R_1 + R_0} \right|^2$$

Le quadripôle Q étant passif réciproque et sans perte, d'après (A.25) on a $|S_{11}(j\omega)| = |S_{22}(j\omega)|$ sur l'axe des fréquences réelles. Le critère de restriction gain bande s'appliquera ainsi de façon identique si l'on remplace l'impédance de charge par celle du générateur.

Bibliographie

- [1] CARLIN H.J., CIVALLERI P.P. *Wideband Circuit Design*. CRC Press LLC, 1998.
- [2] BODE H.W. *Network Analysis and Feedback Amplifier Design*. D. Van Nostrand, Sept. 1945.

ANNEXE 2 : ORGANISATION DU PROGRAMME RFCAD

<u>FICHIER D'ENTREE DU PROGRAMME « RFCAD97PB »</u>	166
<u>FICHIER DE SORTIE DU PROGRAMME « RFCAD97PB »</u>	167
<u>ORGANIGRAMME DU PROGRAMME « RFCAD97PB »</u>	168

Fichier d'entrée du programme « RFCAD97PB »

& Nombre d'étages actifs (pouvant être également le quadripôle équivalent d'une charge complexe) : K

& Paramètres S des K étages actifs.

& Nombre d'égaliseurs : M et présence ou non des égaliseurs d'entrée et de sortie

& Si $M > 1$ ou $K > 2$, Type de terminaison des étages actifs.

& Topologie de(s) l'égaliseur(s) :

& Si la topologie est localisée :

& Nombre d'éléments dans l'égaliseur : n

& Nombre de zéros de transmission finis : m

& Si la topologie est distribuée :

& Fréquence de référence pour les éléments distribués : f_0

& Nombre d'élément unitaire : n

& Nombre de stub passe-bas : q

& Définition de la réponse objectif pour le gain transducique en fréquence (bande passante et forme de la réponse).

& Nombre de points en fréquence pour l'optimisation : p

Fichier de sortie du programme « RFCAD97PB »

- & Répartition des éléments dans chaque égaliseur

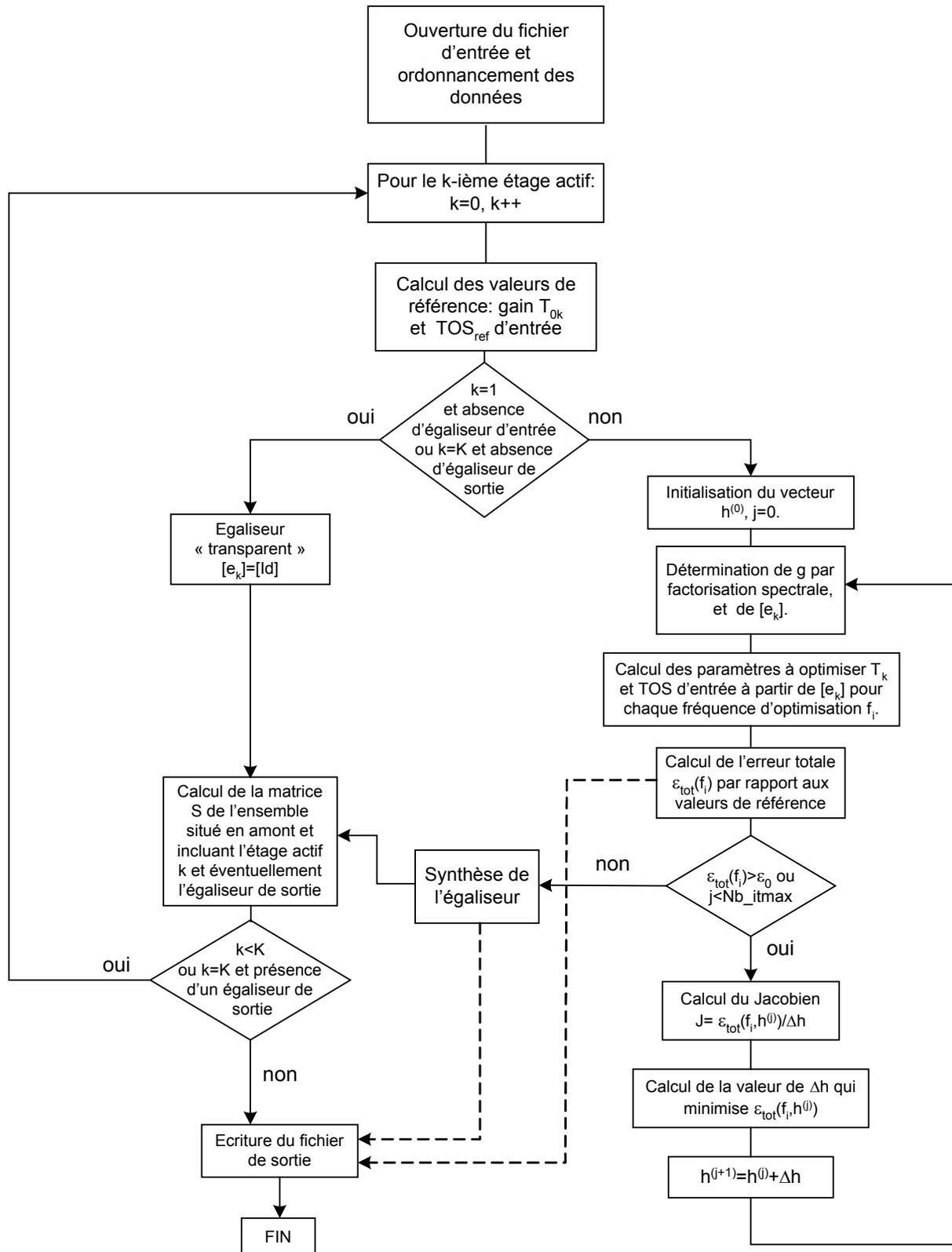
- & Valeurs des éléments :
 - & Egaliseur en éléments distribués : Valeur des impédances caractéristiques de chaque élément

 - & Egaliseur en éléments localisés : Valeurs des éléments (capacité ou inductances).

- & Erreur sur les paramètres de référence après chaque optimisation d'un égaliseur.

- & Réponse globale du circuit.

Organigramme du programme « RFCAD97PB »



ANNEXE 3 : CALCUL DES PARAMETRES DE TRANSMISSION POUR
L'ASSOCIATION QUADRIPOLE-OCTOPOLE PAR LES GRAPHE DE
FLUENCE

<u>1</u>	<u>RAPPEL DE LA REGLE DE MASON</u>	170
<u>2</u>	<u>GRAPHE DE FLUENCE DE L'ASSOCIATION OCTOPOLE-QUADRIPOLE D'ADAPTATION</u>	170
<u>3</u>	<u>DETERMINANT DU GRAPHE</u>	171
<u>4</u>	<u>CALCUL DU GAIN TRANSDUCIQUE DU CIRCUIT</u>	172
<u>5</u>	<u>CALCUL DU COEFFICIENT DE REFLEXION D'ENTREE</u>	173
<u>6</u>	<u>CALCUL DU COEFFICIENT DE REFLEXION DE SORTIE</u>	174

1 Rappel de la règle de Mason

On rappelle que dans un réseau électrique représenté par son graphe de fluence, le gain définit par le rapport d'un vecteur d'onde sortant b_j sur un vecteur d'onde entrant a_i s'exprime par :

$$T = \frac{b_j}{a_i} = \frac{\sum_{k=1}^N P_k \Delta_k}{\Delta}$$

avec le déterminant du graphe:

$$\Delta = 1 - \sum B_p + \sum B_p B_q - \sum B_p B_q B_r \dots$$

P_k représente le k -ième parcours allant de a_i à b_j .

Les termes B_p représentent les boucles du graphe. Les termes $B_p B_q$ sont les boucles deux-à-deux disjointes, les termes $B_p B_q B_r$, les boucles trois-à-trois disjointes, etc...

Un déterminant Δ_k se calcule de façon identique au déterminant Δ en ne considérant que les boucles non adjacentes au parcours k .

2 Graphe de fluence de l'association octopôle-quadripôle d'adaptation

La figure A.5 représente le graphe de fluence de l'association octopôle-quadripôle d'adaptation. On définit le port 1 de l'octopôle (a_1, b_1) comme étant l'entrée du circuit et le port 4 (a_4, b_4) comme étant la sortie du circuit. Les ports 2 et 3 de l'octopôle sont connectés au quadripôle d'adaptation dont la matrice S est $[e]$. On appelle $[S]$ la matrice S de l'octopôle.

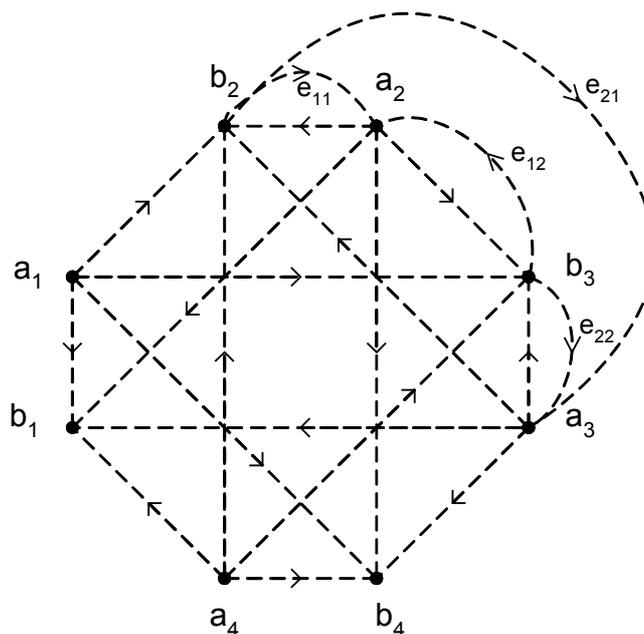


Figure A.5: Graphe de fluence de l'association octopôle-quadripôle d'adaptation.

3 Déterminant du graphe

La figure A.6 énumère l'ensemble des boucles présentes dans le graphe de fluence.

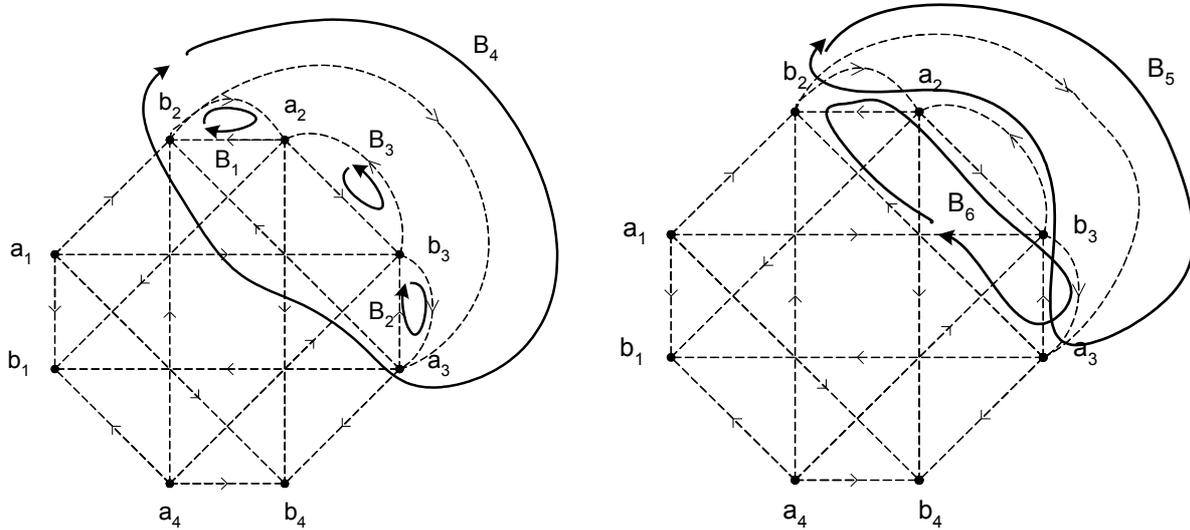


Figure A.6: Représentation des boucles du graphe de fluence.

On obtient :

$$\begin{aligned}
 B_1 &= e_{11}S_{22} \\
 B_2 &= e_{22}S_{33} \\
 B_3 &= e_{12}S_{32} \\
 B_4 &= e_{21}S_{23} \\
 B_5 &= e_{21}S_{33}e_{12}S_{22} \\
 B_6 &= e_{22}S_{32}e_{33}S_{23}
 \end{aligned}$$

Les seules boucles deux-à-deux disjointes sont les boucles B_1 - B_2 et B_3 - B_4 . Aucune boucles ne sont disjointes trois-à-trois.

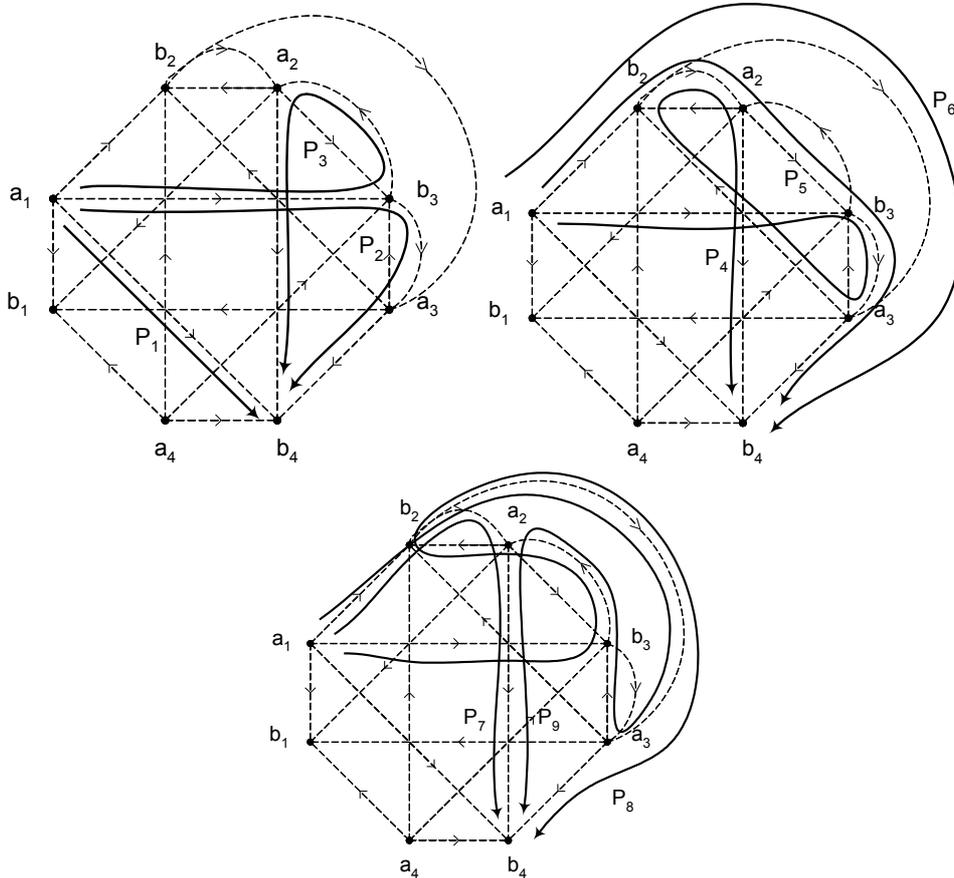
Le déterminant du graphe s'exprime donc par :

$$\Delta = 1 - \sum_{i=1}^6 B_i + (B_1B_2 + B_3B_4)$$

4 Calcul du gain transducique du circuit

Le gain transducique de l'amplificateur équivalent à l'association octopôle-quadrupôle d'adaptation est défini par :

$$T_G = \frac{b_4}{a_1}$$



On répertorie 9 parcours différents permettant d'aller de a_1 vers b_4 .

$P_1 = S_{14}$	$P_4 = S_{31}e_{22}S_{23}e_{11}S_{42}$	$P_7 = S_{21}e_{11}S_{42}$
$\Delta_1 = \Delta$	$\Delta_4 = 1$	$\Delta_7 = 1 - B_2$
$P_2 = S_{31}e_{22}S_{43}$	$P_5 = S_{21}e_{11}S_{32}e_{22}S_{43}$	$P_8 = S_{31}e_{12}S_{22}e_{21}S_{43}$
$\Delta_2 = 1 - B_1$	$\Delta_5 = 1$	$\Delta_8 = 1$
$P_3 = S_{31}e_{12}S_{42}$	$P_6 = S_{21}e_{21}S_{43}$	$P_9 = S_{21}e_{21}S_{22}e_{12}S_{42}$
$\Delta_3 = 1 - B_4$	$\Delta_6 = 1 - B_3$	$\Delta_9 = 1$

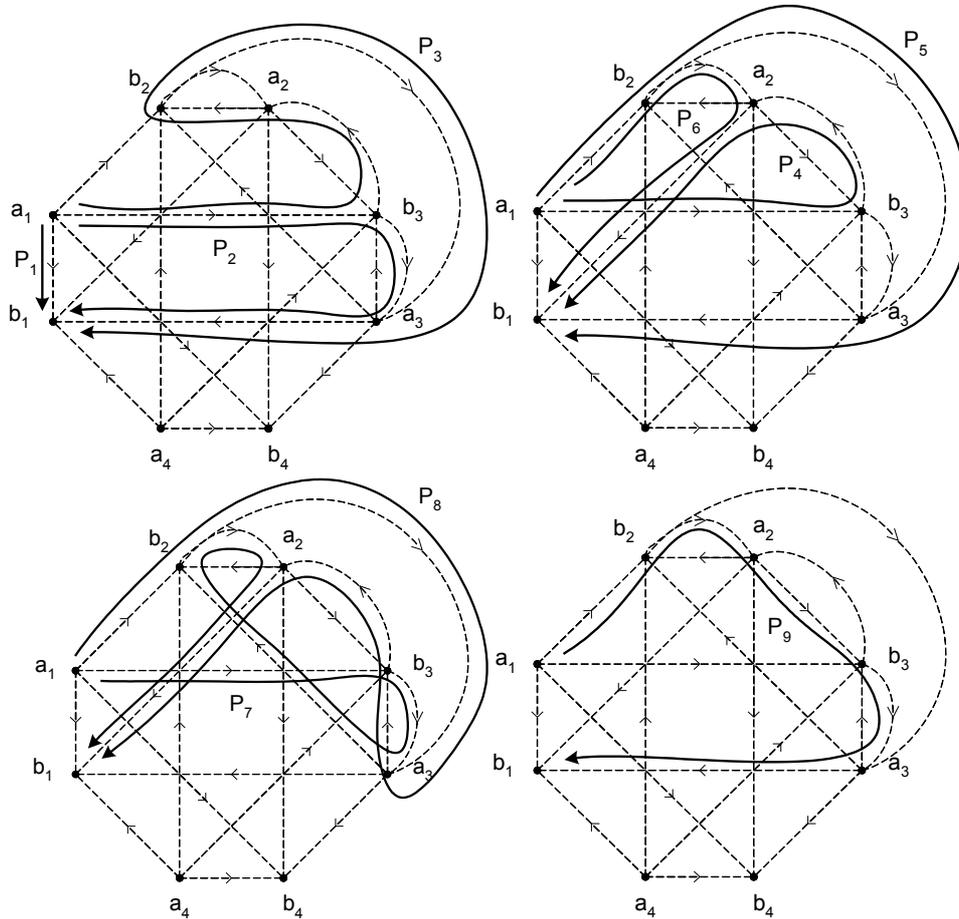
Ainsi le gain transducique s'exprime par :

$$T_G = \frac{\sum_{k=1}^9 P_k \Delta_k}{\Delta}$$

5 Calcul du coefficient de réflexion d'entrée

Le coefficient de réflexion à l'entrée du circuit est défini par :

$$\Gamma_E = \frac{b_1}{a_1}$$



On répertorie 9 parcours différents permettant d'aller de a_1 vers b_1 .

$P_1 = S_{11}$	$P_4 = S_{31}e_{12}S_{12}$	$P_7 = S_{31}e_{22}S_{23}e_{11}S_{12}$
$\Delta_1 = \Delta$	$\Delta_4 = 1 - B_4$	$\Delta_7 = 1$
$P_2 = S_{31}e_{22}S_{13}$	$P_5 = S_{21}e_{21}S_{13}$	$P_8 = S_{21}e_{21}S_{33}e_{12}S_{12}$
$\Delta_2 = 1 - B_1$	$\Delta_5 = 1 - B_3$	$\Delta_8 = 1$
$P_3 = S_{31}e_{12}S_{22}e_{21}S_{13}$	$P_6 = S_{21}e_{11}S_{12}$	$P_9 = S_{21}e_{11}S_{32}e_{22}S_{13}$
$\Delta_3 = 1$	$\Delta_6 = 1 - B_2$	$\Delta_9 = 1$

Le coefficient de réflexion d'entrée s'exprime par :

$$\Gamma_E = \frac{\sum_{k=1}^9 P_k \Delta_k}{\Delta}$$

6 Calcul du coefficient de réflexion de sortie

Le coefficient de réflexion de sortie du circuit est défini par :

$$\Gamma_s = \frac{b_4}{a_4}$$

Le graphe de fluence étant symétrique, le calcul du coefficient de réflexion en sortie est identique à celui du coefficient en entrée en échangeant les ports 4 et 1, les ports 2 et 3, et les indices des coefficients de la matrice $[e]$.

LISTE DES TRAVAUX PUBLIES

CONFERENCES

-COURCELLE L., KERHERVE E., JARRY P. An Improved Follower Stage for the design of 40 Gb/s Wideband MMIC pHEMT modulator driver amplifier. *European Microwave Conference Symposium Digest, EuMC 2004*. Amsterdam, 2004 (A paraître).

-COURCELLE L., KERHERVE E., JARRY P. DC-40 GHz amplifier for high-speed optical communications designed with the real frequency technique. *10th IEEE International Conference on Electronics Circuits and Systems, ICECS 2003*, Vol. 2 , pp.408–411, Sharjah, 14-17 December 2003.

-COURCELLE L., KERHERVE E., JARRY P. Direct-coupled DC-40 GHz amplifier for high-speed data communication system. *33rd European Microwave Conference, EuMC 2003*. Vol. 3, pp.1103 – 1106, München, 7-9 October 2003.

-COURCELLE L., KERHERVE E., JARRY P. The real frequency technique applied to narrow-band MMIC multi-stage optical modulator driver. *SBMO/IEEE MTT-S International Microwave and Optoelectronics Conference, IMOC 2003*. Vol. 1, pp. 147–151, Foz do Iguaçu, 20-23 Sept. 2003.

-KERHERVE E., HAZOUARD, M.; COURCELLE, L., JARRY, P.. Large-signal S-parameters CAD technique applied to power amplifier design. *International Symposium on Circuits and Systems, ISCAS '03*. Vol. 1, pp:I-441-I-444, 25-28 May 2003.

-KERHERVE E., COURCELLE L., JARRY P. Millimetric wave amplifier for single side band optical modulator. *9th International Conference on Electronics, Circuits and Systems, ICECS 2002*. Vol. 1, pp.109-112, 15-18 Sept. 2002.

REVUES

-COURCELLE L., KERHERVE E., JARRY P. An Alternative Approach for the Design of Millimetric Wave Drivers for SSB Optical Modulator. *Analog Integrated Circuits and Signal Processing*, Kluwer Academic Publishers, vol. 41, Num. 2/3 pp 129-136, November/December 2004.

Cette thèse traite de la synthèse d'amplificateurs microondes monolithiques passe-bas dédiés aux liaisons SDH/ETDM sur fibre optique à 40 Gbit/s. Le premier chapitre expose le cahier des charges du *driver* situé dans le bloc d'émission pour ce type de liaison.

Le deuxième chapitre détaille pour une technologie HEMT, les deux principales architectures MMIC qui satisfont aux spécifications exigeantes de tels amplificateurs: l'architecture distribuée et l'architecture dite « à forte désadaptation ».

Nous proposons dans un premier temps d'étendre la bande passante d'un amplificateur à forte désadaptation incluant un étage suiveur, par superposition d'une cellule cascode. Nous proposons dans un second temps une variante contre-réactionnée qui permet de réduire l'ondulation dans la bande de l'amplificateur.

Nous présentons dans le troisième chapitre la Méthode des Fréquences Réelles, une méthode basée sur l'optimisation d'égaliseurs passifs, dans le cadre d'une synthèse de circuit monolithique.

Un premier exemple de synthèse à égaliseur unique utilisant la méthode sous forme quadripolaire est alors donné. L'amplificateur a été réalisé sur substrat microruban à partir de l'architecture à cellule cascode proposée. Nous donnons pour celui-ci des résultats de simulations électromagnétiques et des résultats de mesures.

Un deuxième exemple de synthèse, basé sur l'architecture à cellule cascode contre-réactionnée, est finalement donné. Pour l'optimisation du circuit, la Méthode des Fréquences Réelles est utilisée sous une forme octopolaire. Le circuit a été réalisé sur substrat coplanaire et l'égaliseur passif est alors inclus dans la boucle de contre-réaction. Des résultats de simulations sont donnés et sont comparés à ceux d'un amplificateur distribué, simulé dans la même technologie.

Mots-clés: MMIC, Méthode des Fréquences Réelles, driver ultra-large bande, HEMT, forme octopolaire, étage suiveur

This work is concerned with the monolithic microwave low-pass amplifier synthesis dedicated to SDH/ETDM optical fiber links at a bitrate of 40 Gbit/s. The first chapter describes the driver requirements for such a link.

In the second part, the two principal topologies for a HEMT technology which comply with the specifications are detailed: the distributed architecture and the strong mismatch architecture. In a first time we propose to extend the bandwidth of a strong mismatch amplifier including a follower stage by superimposing a cascode cell. In a second time we propose to add a shunt feedback to the circuit for reducing the ripple over the band.

We present in the third chapter the Real Frequency Technique, a synthesis method based on passive equalizer optimization, applied to the monolithic design.

We give a first synthesis example involving a single passive equalizer. The amplifier has been realized on a microstrip substrate and it is based on the superimposed cascode cell architecture that we propose. For this, we give electromagnetic simulation and measurement results.

A second synthesis example is then given, based on the proposed feedback architecture. In this example, we used the Real Frequency Technique under octopolar form for the circuit optimization. It allows to place the equalizer in the feedback loop. The amplifier has been realized on a coplanar substrate. Simulation results are given and are compared with those of a distributed amplifier realized in the same technology.

Keywords : MMIC, Real Frequency Technique, ultra-broadband driver, HEMT, octopolar form, follower stage