

|| 2007 |

Conception de circuits radiofréquences sous contraintes de fiabilité étendue

| **M. CIMINO** ||

Résumé :

De façon à répondre à la demande émergente des industriels pour le développement de méthodes pouvant augmenter la fiabilité des systèmes radiofréquences (RF), je propose, dans le cadre de ma thèse, une méthodologie susceptible d'augmenter la fiabilité de tels circuits. Cette dernière se décompose en deux axes :

- Méthodologie de test des circuits RF : dans le but de détecter les défaillances d'un circuit RF, une surveillance des paramètres caractéristiques du circuit sous test est réalisée en fonctionnement grâce à un circuit d'auto-test qui ne perturbe pas les performances de ce dernier.

- Méthodologie d'amélioration de la fiabilité : une redondance passive des éléments critiques, qui composent le circuit, est réalisée de manière à assurer le fonctionnement de celui-ci tout en minimisant sa surface et donc le coût du système global.

Cette méthode est ensuite appliquée à deux amplificateurs à faible bruit, connu pour être un élément RF critique, ce qui démontre sa faisabilité et son efficacité.

Mots Clés :

Conception en vue de la fiabilité, conception en vue du test, autotest intégré, circuits radiofréquences, technologie CMOS, amplificateurs à faible bruit.

Summary :

To respond to the growing demand for fault tolerance a methodology to increase RF circuits reliability is developed in the thesis, which is composed of two axes.

- Design For Test (DFT) methodology: to detect faults in RF ICs on line monitoring of its critical parameters, such as is DC current consumption, is realized thanks to Built-In Self Test (BIST) circuits, such as Built-In Current Sensor (BICS). The proposed BIST is transparent for the RF Circuit Under Test (CUT).

- Design For Reliability methodology: the principle of cold stand by redundancy is applied to the critical elements of the RF circuit which are transistors. Thus, while a fault occurring, the functionality of the device is ensured and the silicon area is saved. Also, design cares are applied to the layout to prevent the common failure mechanisms.

This methodology has been applied to two Low Noise Amplifiers (LNA) demonstrators, which is a critical RF block, to show its availability and its efficiency.

Key-Words:

Design for reliability, design for test, Built-in self test, radiofrequency circuits, CMOS technology, Low noise amplifiers.

N° d'ordre : 3438

THÈSE

présentée à

L'UNIVERSITÉ BORDEAUX I

ÉCOLE DOCTORALE DE SCIENCES PHYSIQUES ET DE L'INGENIEUR

par **Mikael CIMINO**

POUR OBTENIR LE GRADE DE

DOCTEUR

SPÉCIALITÉ : ELECTRONIQUE

Conception de systèmes radiofréquences

sous contraintes de fiabilité étendue

Soutenue le : 28 septembre 2007

Après avis de :

MM.	R. PLANA	Professeur, Université de Toulouse III	Rapporteur
	M. RENOVELL	Directeur de recherche CNRS, LIRMM, Montpellier	Rapporteur

Devant la commission d'examen formée de :

MM.	R. PLANA	Professeur, Université de Toulouse III	Rapporteur
	M. RENOVELL	Directeur de recherche CNRS, LIRMM, Montpellier	Rapporteur
	P. PERDU	Ingénieur au CNES, Toulouse	Examineur
	J-L. CARBONERO	Ingénieur à STMicroelectronics	Examineur
	P. FOUILLAT	Professeur, ENSEIRB, Bordeaux 1	Président
	J-B. BEGUERET	Professeur, Université de Bordeaux 1	Examineur
	Y. DEVAL	Professeur, ENSEIRB, Bordeaux 1	Directeur de thèse
	H.LAPUYADE	Maître de Conférences, Université de Bordeaux 1	Co-Directeur de thèse
	T. TARIS	Maître de Conférences, Université de Bordeaux 1	Invité

A mes parents et grands-parents,

Remerciements

Ces travaux de recherche ont été effectués au sein du laboratoire IMS de l'Université de bordeaux I, dirigé par Monsieur Pascal FOUILLAT et anciennement laboratoire IXL dirigé par Monsieur André TOUBOUL. Je tiens tout d'abord à remercier Messieurs FOUILLAT et TOUBOUL de m'avoir accueilli dans le laboratoire IMS. Je remercie également monsieur FOUILLAT du grand honneur qu'il m'a fait en acceptant d'être le président du jury de cette thèse.

Je tiens à remercier Messieurs Robert PLANA et Michel RENOVELL pour le temps passé, durant le mois d'aout, à relire ce manuscrit et surtout l'honneur qu'ils m'ont fait en venant juger ce travail. Je tiens à remercier ensuite messieurs Philippes PERDU, Jean-Louis CARBONERO pour avoir accepté de participer au jury de ma thèse.

Mes sincères remerciements vont à Yann DEVAL et Hervé LAPUYADE, respectivement directeur et codirecteur de ma thèse, pour leurs conseils avisés distillés au cours de cette thèse, mais aussi pour leur soutien constant tout au long de ces travaux.

Je tiens à remercier Jean-Baptiste BEGUERET, chef de l'équipe de conception de circuit, pour les moments forts agréables partagés, notamment lors de l'organisation des conférences AWLSI'05, ICECS'06 et PRIME'07.

Un grand merci à Thierry TARIS dont l'expérience en la matière de conception de LNA m'a permis de découvrir les ficelles du métier de concepteur RF. Mais aussi, merci pour cet enthousiasme communicatif qui permet un travail dans la bonne humeur.

Un autre grand merci au personnel qui travaille dans l'ombre des doctorants sans qui ces travaux n'auraient pas pu être réalisés : Nicole LAVIGNE (la fée du bonding), les informaticiens dont Patrick VILLESUZANNE, Jean-Emanuel DOM, Christian FAURENS.

Je tiens à remercier tous les membres de l'équipe de conception de circuit pour leurs contributions professionnelles mais aussi humaines : Magalie DE MATOS, Patrick HELLMUTH (mumu), Vincent LAGARESTE, Cédric MAJEK (le 12), Oliver MAZOUFFRE, Cyril RECOQUILLON, Christophe ROUGIER, Chama AMEZIANE, Birama GOUMBALLA (chacal), Romaric TOUPE (romama), Matthieu KOTTO, François RIVET (franchouze), André MARIANO (andrews), Luca TESTA, Pierre Olivier LUCA (po).

Je pense aussi bien sûr à tous les doctorants aux côtés desquels j'ai travaillé : Isabelle BORD, Nathalie DELTIMPLE, Didier CASTAGNET (deedee), Patrice JAULENT, Patrick GINET, Yohann LUQUE, Thomas FERNANDEZ, Alexandre DOUIN, Timothée LEVI, Naser BELMILOUD, Maher JRIDI, Mustapha EL HASSAN, Ludovic LACHEZE, Gregory TORTISSIER, Brice GRANDCHAMP, Matthieu RIZI, Vincent RIMBAULT, Christophe CASTILLE et le gang des brésiliens : André, Alexandre SHIRAKAWA, Christian MOREIRA.

Enfin, je remercie de tout cœur ma famille qui m'a soutenue tout au long de ces travaux, mais aussi, bien avant. Merci à ma craille Aurore. Et merci Papa, Maman et Mamie Mayie à qui je dédie ce manuscrit pour m'avoir donné les fondements de cette réussite.

Table des matières

Introduction générale.....	9
CHAPITRE I : Fiabilité des circuits radiofréquences.....	13
I. Etat de l'art	15
II. Méthodologie de conception pour augmenter la fiabilité des circuits radiofréquences	36
III. Conclusion.....	51
CHAPITRE II : Test des circuits radiofréquences.....	53
I. Etat de l'art	55
II. Méthodologie de test des circuits radiofréquences	68
III. Conclusion.....	84
CHAPITRE III : Etude et conception d'un LNA à fiabilité étendue.....	85
I. Les différents circuits RF.....	87
II. Test du LNA.....	99
III. Conception d'un LNA à fiabilité étendue.....	114
IV. Conclusion.....	118
CHAPITRE IV : Démonstrateurs réalisés.....	119
I. LNA dédié aux applications ZigBee	121
II. LNA dédié aux applications WiFi	135
III. Perspectives	148
IV. Conclusion.....	152
Conclusion générale.....	153
Bibliographie.....	159
Glossaire.....	171
ANNEXES.....	173

Introduction générale

La récente explosion du marché des systèmes intégrés sur une seule puce a projeté les circuits analogiques radiofréquences au tout premier plan. En effet, les puces actuelles sont qualifiées de mixtes puisqu'elles intègrent à la fois une partie numérique pour le traitement et la génération de données et une partie analogique qui les rend communicantes. De ce fait, la conception analogique intégrée, laissée en retrait devant son homologue numérique pendant de nombreuses années par les industriels de l'électronique, retient, depuis quelques années déjà, toutes les attentions. Ces dernières, se concentrent particulièrement sur les difficultés de conception des circuits radiofréquences (RF) amenées par les contraintes d'usage des technologies numériques que sont l'utilisation des transistors MOS et les faibles tensions d'alimentations. De plus, outre les contraintes de rendement de fabrication qui conditionnent la rentabilité et demandent un bon niveau de fiabilité, la multiplication du nombre d'applications critiques de type militaires, biomédicales ou spatiales, nécessite de forts niveaux de fiabilité. C'est dans ce cadre de haute fiabilité pour les circuits radiofréquences que se sont déroulés ces travaux de thèse, au cours desquels une méthodologie de conception permettant d'augmenter la fiabilité des circuits RF a été développée.

Le chapitre premier décrit les principales causes de défaillances qui affectent la fiabilité des circuits RF intégrés en technologie silicium. Puis, il détaille l'ensemble des techniques actuelles qui permettent de prévenir ou d'outrepasser ces défaillances et donc d'augmenter la fiabilité de ces circuits, tant au niveau de leur structure qu'au niveau de leur dessin des masques.

Le chapitre deux décrit la méthodologie d'autotest intégrée mise au point pour être utilisée dans une structure à fiabilité étendue à base de redondances passives inactives. Cette méthodologie repose sur les différentes techniques d'autotest dédiées aux circuits radiofréquences conçues par les industriels, qui réalisent des efforts considérables dans ce domaine étant donné qu'aujourd'hui le test de la partie analogique d'une puce mixte conditionne le coût global de cette dernière.

Dans le chapitre trois, les chaînes d'émission et réception sont brièvement décrites ainsi que les paramètres critiques des circuits RF qui les constituent. Ensuite, il décrit étape par étape l'application de la méthodologie de conception en vue d'augmenter la fiabilité des

circuits RF, dégagée dans les deux chapitres précédents, à un circuit particulier de par sa forte sensibilité : l'amplificateur à faible bruit (LNA).

Enfin, le quatrième et dernier, chapitre présente les démonstrateurs réalisés au cours de cette thèse. Sachant que parmi les nombreuses applications pour lesquelles les puces mixtes sont développées, les réseaux locaux sans fil (WLAN) font aujourd'hui partie intégrante de notre environnement, nous avons donc choisi de concevoir des démonstrateurs dédiés à de telles applications qui peuvent parfois s'avérer critiques. Le premier est un LNA répondant aux critères du standard ZigBee consacré aux réseaux de capteurs qui nécessite de faibles débits. Le second est un LNA dédié à des applications WiFi qui supportent de forts débits de données, telle qu'une connexion à internet.

CHAPITRE I :

Fiabilité des circuits radiofréquences

Sommaire

I.	<i>Etat de l'art</i>	15
I.1.	Fiabilité et rendement des technologies MOS VLSI	15
I.1.1.	Définitions	17
I.1.2.	Fiabilité vs rendement.....	22
I.2.	Enjeux concernant la fiabilité des nouvelles générations de circuits électroniques intégrés en technologie MOS	23
I.2.1.	Chute de tension dans les rails d'alimentation	24
I.2.1.	Rupture d'oxyde.....	25
I.2.2.	Electrons chauds et instabilité en température de la polarisation négative des PMOS (NBTI)	27
I.2.3.	Electromigration et auto-échauffement	29
I.2.4.	Migration due au stress.....	31
I.2.5.	Variations statistiques des procédés de fabrications.....	31
I.3.	Modes de défaillance affectant les circuits électroniques	32
I.3.1.	Fautes affectant les éléments passifs des puces.....	34
I.3.2.	Fautes affectant les transistors MOS	34
I.3.3.	Fautes dues à l'environnement du circuit.....	35
I.4.	Probabilité d'apparition des fautes	35
II.	<i>Méthodologie de conception pour augmenter la fiabilité des circuits radiofréquences</i>	36
II.1.	Techniques conceptuelles pour augmenter la fiabilité d'un circuit	41
II.1.1.	Conception en vue de la fabrication	37
II.1.2.	Conception pour augmenter la fiabilité	40
II.2.	Techniques structurelles pour remédier aux fautes	41
II.2.1.	Utilité des redondances	42
II.2.2.	Redondances actives.....	45
II.2.3.	Redondances passives.....	45
II.2.4.	Limite des redondances	47
II.3.	Techniques de surveillance des dégradations	48
II.3.1.	TSMC	49
II.3.2.	Cellule de prédiction	49
III.	<i>Conclusion</i>	51

I. Etat de l'art

I.1. Fiabilité et rendement des technologies MOS VLSI

De manière à répondre à la demande croissante du marché pour des puces qui intègrent de plus en plus de fonctionnalités avec des coûts de revient de plus en plus faibles, l'industrie électronique est obligée de suivre une course effrénée vers la miniaturisation des circuits intégrés CMOS VLSI car cette dernière permet de :

- diminuer le coût des puces en augmentant le nombre de puces par tranche de silicium fabriquée,
- augmenter les performances (fréquence de fonctionnement),
- améliorer la fonctionnalité des puces grâce à plus de puissance de calcul ou une capacité mémoire accrue par exemple.

La loi de Moore prédit que la densité d'intégration des circuits intégrés électroniques double environ tous les deux ans. Les récentes avancées technologiques dans la conception et la réalisation des circuits semi-conducteurs permettent de confirmer que cette loi va continuer de se vérifier encore pendant plus d'une dizaine d'années. En effet, le rapport 2006 de l'ITRS [ITR, 06] prévoit qu'en 2020 un demi-pitch¹ d'une DRAM ou d'un microprocesseur ne mesurera plus que 14 nm. De même, la largeur physique de grille d'un transistor de microprocesseur atteindra 6 nm, les tensions d'alimentation diminueront jusqu'à 0,7 V et les fréquences d'horloge dépasseront les 70 GHz. Le tableau 1.1 résume ces prédictions.

Cependant, la diminution de la taille des transistors et des tensions d'alimentation ainsi que l'accroissement des fréquences de fonctionnement ont un impact négatif sur la fiabilité des circuits. L'ensemble de ces paramètres entraîne une augmentation du nombre d'occurrences des fautes permanentes, intermittentes et transitoires. Par exemple, des

¹ Le demi-pitch du premier niveau d'interconnexion est une mesure représentative du niveau de technologie. Un pitch correspond à la largeur minimale du métal de connexion additionnée à celle de l'espace entre les deux pistes adjacentes interconnectées.

interconnexions plus petites associées à une fréquence de fonctionnement élevée augmentent le nombre d'erreurs générées par la violation des marges de sûreté temporelles. De même, la probabilité d'apparition de fautes, provenant des variations de procédé de fabrication ou des dépôts résiduels de fabrication, est augmentée. Ou encore, la faible taille des transistors couplée à des tensions d'alimentation réduites entraîne une plus grande sensibilité des circuits aux neutrons et aux particules alpha ce qui induit un plus grand pourcentage de fautes induites par les particules [CON, 03].

Tableau 1.1 : prévisions ITRS

paramètres	Année de production					
	2006	2009	2012	2015	2018	2020
DRAM demi-pitch* (nm)	70	50	36	25	18	14
Largeur physique de grille dans un microprocesseur (nm)	28	20	14	10	7	6
Tension d'alimentation (V)	1,1	1,0	0,9	0,8	0,7	0,7
Horloge interne (GHz)	6,8	12,4	20,1	32,4	53,2	73,1

Dans le même temps, de manière à réduire les coûts de fabrication d'un circuit, l'industrie électronique augmente périodiquement la taille des tranches de silicium. Ainsi, le plus grand nombre possible de puces par tranche est fabriqué de manière à amortir les énormes investissements nécessaires à la mise en place d'une ligne de production. En effet, les tranches de silicium de 3 pouces utilisées dans les années 70 sont totalement obsolètes si on les compare aux tranches actuelles de 13 pouces.

Dans un souci de satisfaction du client, les industriels doivent livrer des puces ayant les caractéristiques citées précédemment dans un état de fonctionnement correct. En effet, des études de marché montrent que les consultants considèrent la fiabilité comme un atout majeur lors de la sélection d'un système. De nos jours, les conceptions modernes et les technologies de fabrication tentent d'assurer un degré de fiabilité compatible avec les conditions les plus rigoureuses, sachant que les domaines de pointe, tels que l'armement, les activités spatiales et biomédicales, cautionnent le développement de circuits à haute fiabilité [HUM, 93]. C'est

pourquoi le rendement de fabrication ainsi que la fiabilité des circuits, face aux différents mécanismes de fautes auxquels ils sont sujets, sont aujourd'hui primordiaux.

1.1.1. Définitions

Notion de rendement :

Les procédés de fabrication des circuits semi conducteurs VLSI sont une succession d'étapes de photo-lithographie et de dopage. La très faible dimension des motifs conçus actuellement entraîne un accroissement de la sensibilité aux défauts induits par des dépôts de particules, un désalignement des masques ou des défauts cristallins. De manière à exprimer la rentabilité d'un processus de fabrication on définit son rendement, couramment noté Y pour *yield* en anglais. Plusieurs équations définissant le rendement peuvent être utiles en technologie VLSI [WOO, 86]. Par exemple, d'un point de vue économique, si l'on veut fabriquer un groupe de produits avec une nouvelle génération technologique le rendement concerné s'exprimera ainsi :

$$Y = \frac{\text{nombre moyen de bonnes puces}}{\text{coût du temps de fabrication moyen}} \quad \text{Eq. 1.1}$$

Dans le cas de la comparaison de l'efficacité entre deux lignes de production, le rendement le plus approprié sera le suivant :

$$Y = \frac{\text{nombre de bonnes puces par tranche de silicium}}{\text{nombre de puces total par tranche de silicium}} \quad \text{Eq. 1.2}$$

En considérant que le prix de revient d'une tranche est fixe pour une technologie donnée. Le rendement précédent va être fonction :

- de la qualité de la ligne de fabrication (qualité des tranches de silicium, propreté des salles, ...),
- du pourcentage de puces qui passent les tests initiaux,
- de la qualité du dessin des masques (règles de dessin respectées),
- du rendement d'assemblage,
- du pourcentage de puces qui passent le test final.

Ce rendement va varier d'une tranche à l'autre et d'un lot de fabrication sur l'autre. Par contre, sur une plus longue période, il augmente grâce aux réglages rétroactifs effectués sur la ligne de fabrication à partir des résultats des différents tests effectués. Lorsque le rendement de la ligne est optimisé, la technologie est dite mature.

En revanche, quel que soit le lot de fabrication, le rendement pour différents circuits conçus dans une technologie donnée est étroitement lié au modèle de rendement standard qui relie le rendement à la surface de la puce et s'exprime comme suit:

$$Y = Y_0 e^{-\sqrt{A/A_0}-1} \quad \text{Eq. 1.3}$$

Où Y_0 *rendement initial de la ligne,*
 A *surface active de la puce,*
 A_0 *surface globale de la puce considérée.*

La racine carrée dans l'exponentielle provient du fait que les défauts ont tendance à être groupés et non distribués de manière aléatoire sur la surface. Ainsi, des circuits logiques tendent à avoir de meilleurs rendements que des circuits mémoire de même surface, car leur dessin des masques est moins dense et ils présentent par conséquent une surface active moins importante.

Notion de fiabilité :

Un système peut être défini comme un ensemble de composants interdépendants, conçus pour réaliser une fonction donnée, dans des conditions précises et dans un intervalle de temps donné. Pour chaque système, il importe de définir clairement les éléments qui le caractérisent, à savoir : la fonction, la structure, les conditions de fonctionnement, les conditions d'exploitation et l'environnement dans lequel il est appelé à opérer.

La fiabilité d'un circuit électronique intégré s'exprime par la probabilité que ce dernier accomplisse une fonction requise dans des conditions d'utilisation et pour une période de temps déterminée. Nous la désignons, dans ce qui suit, par $R(t)$ où t désigne la durée d'utilisation.

La fiabilité est quantifiée par le taux de défaillance, ou taux de pannes, souvent exprimé par le symbole λ . Ce taux correspond, pour une population de circuits donnée, au pourcentage de circuits qui deviennent défectueux par unité de temps de fonctionnement.

L'unité du taux de défaillance est le FITs : fautes dans le temps (en anglais Failures In Time) qui correspond au nombre d'unités qui deviennent défaillantes pour 10^9 heures de fonctionnement.

L'équation la plus simple et la plus populaire, liant la fiabilité d'un circuit à son taux de défaillance est la suivante :

$$R(t) = e^{-\lambda t} \quad \text{Eq. 1.4}$$

Où R fiabilité ou probabilité de succès,
 t temps de mission en heure,
 λ taux de défaillance.

Malheureusement, la loi exponentielle ne décrit pas précisément la fiabilité de tous les systèmes. Sachant que λ est constant, elle implique que la probabilité de défaillance d'un système neuf sera la même que celle d'un système usagé. Or, nous savons que la plupart des systèmes deviennent défaillants lors de leur utilisation ou au cours de leur vieillissement. Il existe donc de nombreuses autres lois décrivant la fiabilité des systèmes, parmi elles la moins complexe d'utilisation est la loi de Weibull [TM, 03].

L'évolution du taux de défaillance d'un équipement durant son cycle de vie suit une courbe dite "en baignoire" (cf. figure 1.1), divisée en trois périodes [WOO, 86] :

- La première période dite de "jeunesse" ou encore de "mortalité infantile", se caractérise par un taux de pannes relativement important, mais en décroissance, correspondant à l'élimination des défauts de jeunesse et au rodage (zone 1 de la figure 1.1). Les principales causes de mortalité infantile pour un circuit VLSI sont des défauts d'isolation de grille, des contaminations par particules, des défauts de masquage entraînant un manque d'intégrité des lignes et des espacements, et des contaminations ioniques qui vont induire des variations de tension de seuil des transistors ou des inversions de champ.
- La deuxième période de "vie utile" se caractérise par un taux de panne faible et constant. Seules les fautes aléatoires affectent les circuits (zone 2 de la figure 1.1). Ces fautes peuvent être dues à des particules α ou des défauts résiduels qui les déclenchent de manière aléatoire.

- La dernière période est celle du vieillissement et/ou d'usure dans laquelle le taux de panne augmente rapidement en fonction du temps (zone 3 de la figure 1.1). Les principales causes d'usure d'un circuit électronique VLSI sont l'électromigration dans les contacts, la dégradation des transistors due au phénomène d'électrons chauds et les usures d'oxyde.

En général les industriels font subir aux circuits qu'ils fabriquent une phase de vieillissement accéléré qui permet d'éliminer les circuits « faibles » sujets à la mortalité infantile. De plus, dans la plupart des cas, les circuits VLSI sont conçus avec une durée de vie utile supérieure à celle du système dans lequel ils sont implémentés. Ainsi, il est habituel de considérer que les circuits sont utilisés dans leur période de vie utile avec un taux de défaillance constant.

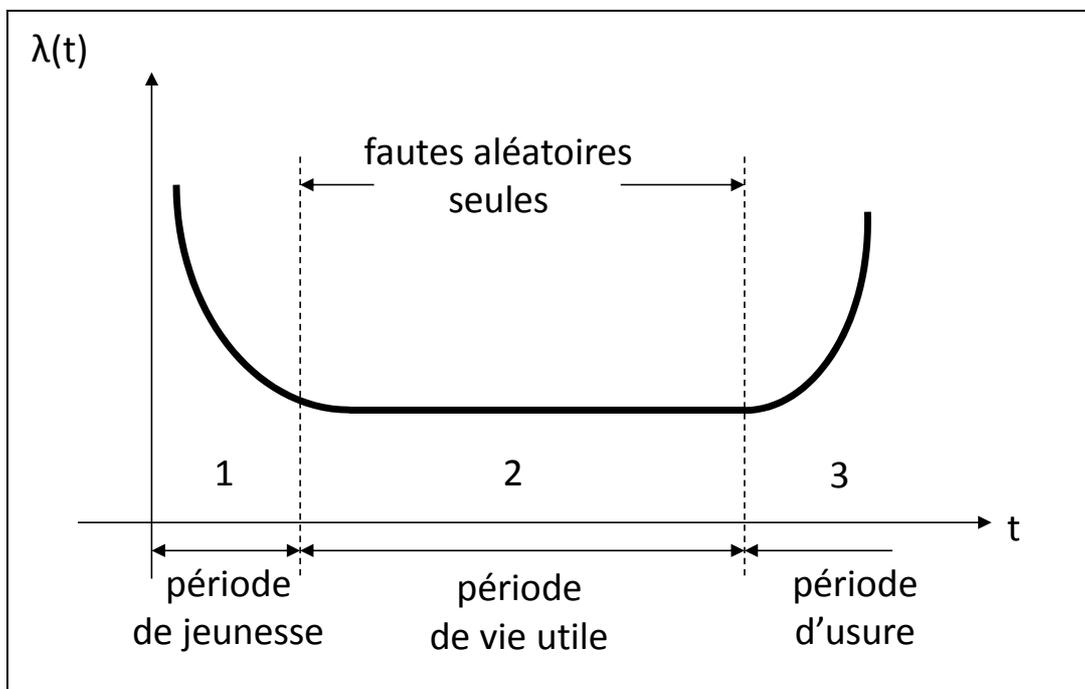


Figure 1.1 : évolution du taux de panne en fonction du temps.

Le vieillissement accéléré est la méthode industrielle standard d'élimination des circuits faibles. Il s'opère en les soumettant à des températures et/ou tensions de fonctionnement plus importantes. Une autre manière de diminuer les défauts de jeunesse sera de mesurer certains paramètres électriques qui, lorsqu'ils excèdent des limites prédéfinies, seront corrélés à un fort taux de défaillance. Ainsi, des mesures des paramètres des tranches de silicium (épaisseur d'oxyde, résistivité des différentes couches, ...) dans lesquelles sont

fabriqués les circuits sont effectuées de manière à éliminer celles dont les tests montrent qu'elles ne seront pas fiables. Nous pouvons donc constater qu'il existe une étroite liaison entre fiabilité et rendement, qui peut être floue : la fiabilité doit-elle être prise en compte après ou avant l'élimination des circuits « faibles » ? Il est évident que l'utilisateur ne considérera que la durée de vie utile du circuit, mais celle-ci est augmentée grâce aux éliminations qui affectent le rendement de production.

Une autre manière de quantifier la fiabilité d'un circuit est de caractériser le temps moyen avant dégradation de ce dernier, ou sa durée de vie moyenne. Pour cela on utilise le MTTF (Mean Time To Failure) défini comme suit :

$$MTTF = \int_0^{\infty} e^{-\lambda t} = \frac{1}{\lambda} \quad \text{Eq. 1.5}$$

Nous pouvons noter que le MTTF est l'inverse du taux de défaillance λ , c'est pourquoi il s'exprime en heures. Il correspond, pour une population de circuit donnée, au temps au bout duquel 50 % des circuits seront encore fonctionnels.

Autour du concept de fiabilité gravitent d'importantes notions telles que :

- La disponibilité (availability) qui intéresse plus particulièrement l'utilisateur d'un système. Elle correspond en fait à la figure de mérite qui relie la fiabilité, la testabilité et la maintenance et elle peut se traduire par le temps effectif de fonctionnement correct du circuit [TUR, 90].
- La sûreté de fonctionnement qui est une activité d'ingénierie qualitative et quantitative. La part qualitative correspond à l'optimisation en bureau d'études ; elle représente 70 % environ de l'activité totale. Les 30 % restants représentent la partie dite quantitative qui est consacrée à la maîtrise des risques avant fabrication à partir des architectures déjà élaborées. C'est donc la phase où on effectue l'optimisation des architectures des systèmes et leur mise en œuvre de façon à maximiser, à moindre coût, leur robustesse aux aléas.

La Sûreté de Fonctionnement est donc une action de réduction de risques et, par voie de conséquence, du coût à l'achèvement. Elle s'exerce essentiellement pendant les premières phases des projets, jusqu'à la mise en production [HEU, 03].

1.1.2. Fiabilité vs rendement

Il est communément supposé que le rendement et la fiabilité sont complémentaires, c'est-à-dire que ce qui est bon pour le rendement est bon pour la fiabilité. Mais cette supposition n'est pas tout le temps vérifiée et dans certains cas l'amélioration du rendement peut nuire à la fiabilité [WOO, 86].

On constate une forte complémentarité si on considère le rendement et la mortalité infantile qui sont fortement corrélés. En effet, chacun d'eux est affecté par les mêmes défauts tels que les défauts d'oxyde, d'alignement des masques ou des défauts induits par le processus de fabrication comme les dépôts de particules. Cette constatation peut aussi être vérifiée dans le cas des défauts aléatoires qui ont tendance à suivre le rendement.

Par contre, les défauts d'usure sont totalement indépendants du rendement ou vont même à l'encontre de ce dernier. Par exemple, si on veut concevoir des circuits avec une fréquence de fonctionnement interne élevée, les largeurs de grille des transistors qui le constituent doivent être minimisées, à tel point qu'ils seront sujets à des dégradations prématurées induites par les phénomènes d'électrons chauds. Ou encore, dans le but de concevoir des métallisations plus robustes de manière à prévenir les défauts dus aux phénomènes d'électromigration, l'industriel va faire appel à un processus de fabrication plus complexe qui sera inévitablement plus sujet aux défauts de photolithographie ou de particules. Dans ce cas, la structure fabriquée sera plus complexe, et donc, d'une part, son rendement de fabrication sera plus faible et d'autre part, elle présentera une mortalité infantile élevée, mais elle possédera une durée de vie plus longue.

Les industriels doivent donc souvent faire un compromis entre le rendement, qui conditionne le coût, et la fiabilité du circuit. Suivant l'utilisation à laquelle un circuit sera destiné, on favorisera plutôt un aspect ou un autre. Dans l'avionique des systèmes à haute fiabilité sont nécessaires, alors que dans les applications spatiales leur durée de vie est primordiale, enfin pour des applications de type grand public seul les bénéfiques sont privilégiés. Comme nous pouvons le voir sur la figure 1.2, le coût de la qualité d'un circuit, dans laquelle est comprise sa fiabilité, passe par un minimum pour lequel le rendement économique sera maximal.

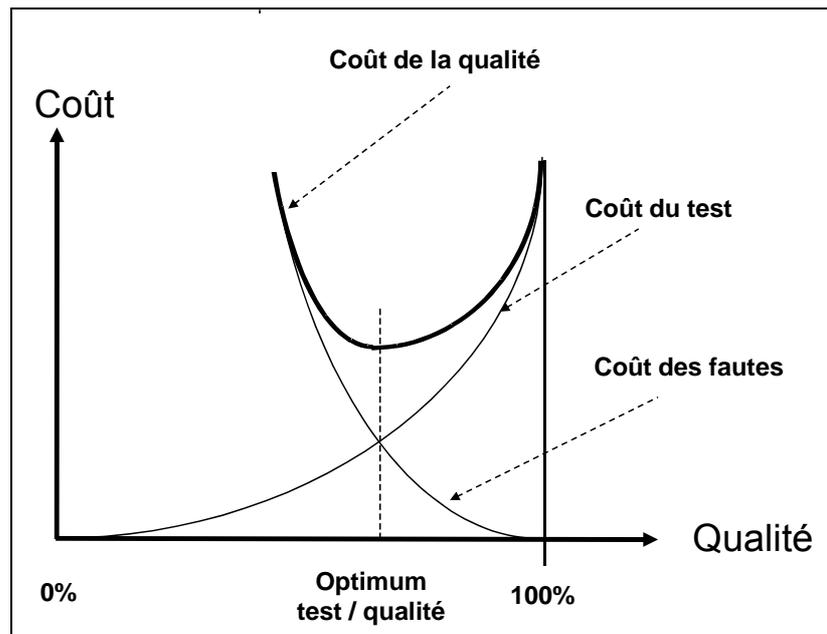


Figure 1.2 : compromis coût-qualité.

Dans le cas où une grande fiabilité est nécessaire, le circuit devra subir un processus de fabrication plus complexe ainsi que des tests de validation plus poussés, ce qui entraînera une diminution du rendement de fabrication et un accroissement de son coût de revient.

I.2. Enjeux concernant la fiabilité des nouvelles générations de circuits électroniques intégrés en technologie MOS

Avec l'augmentation toujours croissante de la complexité des circuits VLSI submicroniques (taille, fréquence d'horloge, niveau d'intégration, ...), la réalisation des circuits est devenue une étape critique étant donné le nombre certain de points épineux affectant leur fiabilité. Les diminutions de la taille des motifs et des tensions d'alimentation accentuent la sensibilité des circuits aux chutes de tension dans les rails d'alimentation et aux problèmes d'alignement des masques. Dans le même temps, ces diminutions accroissent les probabilités d'apparition de certains mécanismes de fautes car les densités de courant sont augmentées et la température moyenne de fonctionnement des puces est accentuée. Une bonne compréhension de ces problèmes, ainsi que de leur impact sur la fonctionnalité et les performances des puces, est importante afin d'obtenir des rendements acceptables [BAN, 06].

1.2.1. Chute de tension dans les rails d'alimentation

L'augmentation de la densité des puces ainsi que celle des fréquences de basculement impliquent un accroissement des courants de basculement. Ces derniers créent des chutes de tensions en traversant les réseaux d'alimentation et de masse à cause de leur résistance intrinsèque. En anglais, ce phénomène est nommé IR drop car il se base sur la loi d'Ohm ($V = I \times R$) où la résistance est celle du chemin entre la source d'alimentation et le bloc alimenté et I son courant moyen consommé [CHI, 05]. Ce phénomène, associé à la diminution des tensions d'alimentation des circuits VLSI (cf. figure 1.3), est un problème connu depuis la technologie 180nm.

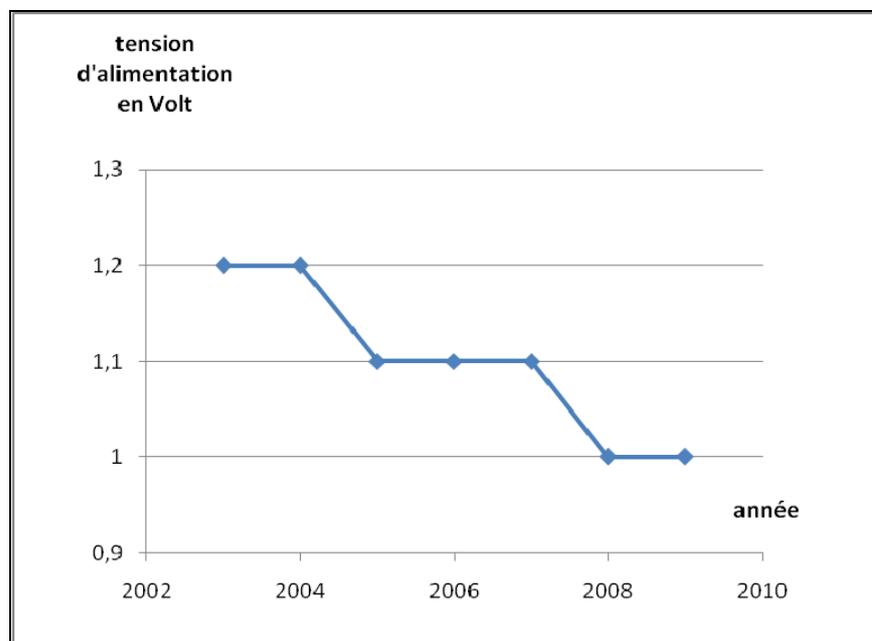


Figure 1.3 : Prévision ITRS pour les tensions d'alimentation des circuits.

En effet, les courants de basculement traversant les rails d'alimentation entraînent des chutes de tensions pouvant induire un dysfonctionnement du circuit. C'est pourquoi les ingénieurs de production se sont concentrés sur une estimation précise de ces chutes au niveau des blocs et au niveau de la puce complète de manière à optimiser les marges en tension. La conception de blocs moins sensibles à ces perturbations nécessite des efforts importants. Initialement, les chutes de tensions statiques étaient estimées en utilisant des informations sur la résistivité de leurs chemins et de l'intensité des courants. Pour les nouvelles technologies, la diminution des tensions d'alimentation et l'augmentation des fréquences de basculement

nécessite une estimation des chutes de tensions dynamiques qui peuvent parfois se révéler critiques.

1.2.1. Rupture d'oxyde

A l'origine, la rupture d'oxyde était la cause principale de mortalité infantile et de défaut aléatoire affectant les technologies MOS [BAR, 76]. Ce mécanisme de faute affecte plus particulièrement les transistors et les capacités MOS. En effet, il entraîne une dégradation des propriétés isolantes de l'oxyde de silicium et provoque la formation d'un chemin de conduction traversant l'oxyde par effet tunnel. Au niveau transistor, l'activation d'un chemin de conduction reliant la grille au substrat, rend alors impossible le contrôle du courant Drain-Source par l'intermédiaire du champ électrique de grille. Ce mécanisme étant sujet au phénomène d'avalanche, le courant de fuite va augmenter jusqu'à entraîner une rupture de l'oxyde.

Les ruptures d'oxyde peuvent se déclencher pour n'importe quelle tension de polarisation. Par conséquent, les fondeurs doivent réaliser un compromis entre l'épaisseur d'oxyde et la tension d'utilisation du circuit de manière à respecter les vitesses de fonctionnement et la durée de vie visées par la technologie. La durée de vie d'un oxyde pour une épaisseur donnée est liée à l'accumulation de charges qui le traversent sous l'effet tunnel. Le courant d'électrons se déplaçant par effet tunnel est modélisé par l'équation de Fowler-Nordheim :

$$J = A \cdot E^2 \cdot e^{-\frac{B}{E}} \quad \text{Eq. 1.6}$$

Où J densité de courant traversant l'oxyde,
 A et B constantes liées à la masse effective et à la barrière de potentiel dans l'oxyde,
 E champ électrique à travers l'oxyde.

Il apparaît clairement dans cette équation que l'utilisation d'un circuit CMOS à des tensions importantes, va entraîner une augmentation exponentielle du courant traversant l'oxyde. Les électrons, composant ce courant, franchissent la barrière de potentiel au niveau de l'oxyde puis sont accélérés par le champ électrique, dont l'intensité est fonction de la tension sur la grille et de l'épaisseur d'oxyde. Au cours de leur traversée de l'oxyde, ces électrons emmagasineront une énergie importante qu'ils viendront déposer à l'interface

oxyde-silicium. Cette énergie va permettre de casser les liaisons chimiques de l'interface, créant ainsi des pièges. Ces derniers vont induire une diminution de la mobilité des porteurs dans le canal de conduction du transistor et ainsi provoquer une chute de son gain. Ce procédé va subir un effet d'avalanche jusqu'à ce que le courant traversant l'oxyde devienne suffisamment important pour y faire un trou.

Avec la réduction de l'épaisseur des oxydes, la rupture de diélectrique dépendante du temps (TDDB : Time Dependant Dielectric Breakdown) est devenue une des raisons majeures de fautes permanentes pour les technologies VLSI récentes. Ce phénomène est aggravé par la présence de défauts répartis dans l'oxyde, lors de la fabrication des tranches de silicium, qui vont faciliter la naissance de chemins de conduction. C'est pourquoi les fondeurs essayent de produire des oxydes « ultra-propres » afin de maximiser le MTTF des défauts d'oxyde, sachant que la probabilité d'existence de défauts de fabrication augmente avec la diminution des tailles des motifs [SRI, 06].

Le MTTF des ruptures d'oxyde est fortement dépendant de l'épaisseur et de la surface d'oxyde, de la tension de grille, de la température et du courant de fuite traversant le transistor. Il peut être exprimé comme suit [HU, 99]:

$$MTTF_{TDDB} = A_0 \cdot e^{-\gamma E_{ox}} \cdot e^{-\frac{\Phi}{kT}} \quad \text{Eq. 1.7}$$

Où $MTTF_{TDDB}$ temps moyen de dégradation due au TDDB dans un diélectrique,

A_0 constante déterminée empiriquement,

γ coefficient d'accélération du champ (1 à 2),

E_{ox} champ électrique à travers le diélectrique,

Φ énergie d'activation des fautes intrinsèques dans le SiO_2 (0,6 eV à 0,9 eV),

k constante de Boltzmann,

T température absolue.

L'équation 1.7 contient des constantes déterminées empiriquement à partir d'échantillons. Ces constantes vont varier suivant les propriétés spécifiques de l'oxyde ainsi qu'en fonction du nombre de défauts qu'il contient. Les fondeurs utilisent des méthodes expérimentales accélérées qui permettent d'évaluer ces constantes et de régler le procédé de fabrication de manière à obtenir des oxydes avec des durées de vie convenables pour les tensions prédéfinies. Il est donc primordial pour le concepteur d'un circuit de respecter les conditions

d'alimentation définies par le fabricant sous peine de voir la durée de vie de son circuit fortement diminuer.

1.2.2. Electrons chauds et instabilité en température de la polarisation négative des PMOS (NBTI)

Les électrons chauds sont des électrons situés dans le canal de conduction ou dans la région de pincement du transistor, ayant gagné suffisamment d'énergie, fournie par le champ électrique latéral créé par la tension source-drain, pour que leur distribution énergétique soit beaucoup plus importante que celle qui est prévue pour un électron en équilibre avec la température du cristal.

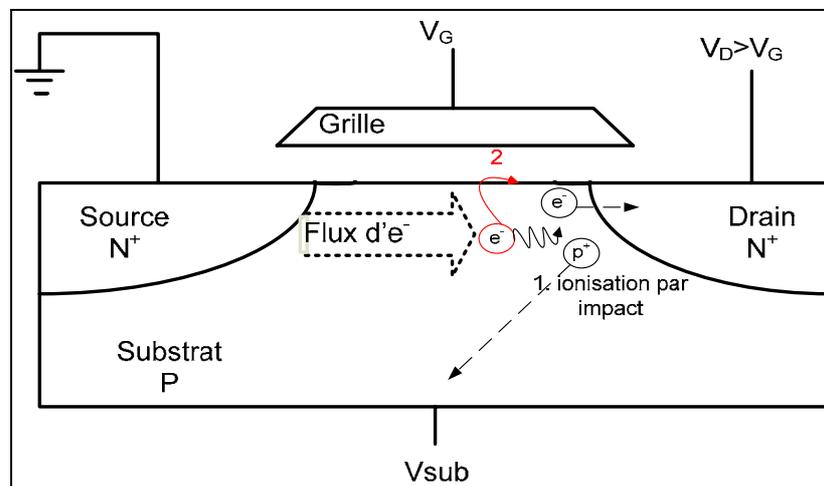


Figure 1.4 : Description du phénomène d'électrons chauds

Le premier niveau énergétique qu'ils vont atteindre ($\approx 1,5\text{eV}$ pour le silicium) leur permettra de ioniser des atomes par impact ce qui créera de paires électron-trou supplémentaires et donc entraînera une multiplication du courant drain-source et du courant de substrat. Si leur énergie emmagasinée continue d'augmenter, ils vont atteindre un second plateau énergétique ($\approx 3\text{eV}$) qui leur permettra de dépasser la barrière d'énergie et d'être injectés dans le SiO_2 (figure 1.4). Ces électrons, injectés dans l'oxyde de grille, induiront une dégradation de la transconductance et de la tension de seuil du transistor [WOO, 84].

Les phénomènes NBTI (Negative Bias Temperature Instability) proviennent des stress en température sur la polarisation de grille qui vont générer des pièges d'interface entre l'oxyde de grille et le substrat de silicium [STA, 04], [AON, 04]. Ces pièges vont entraîner

des pertes de courant de conduction et faire varier la tension de seuil et la transconductance du transistor (figure 1.5). Les phénomènes NBTI vont donc être définis comme toute dérive des paramètres électriques du transistor, sous une tension négative de grille (à faible champ électrique) et à hautes températures.

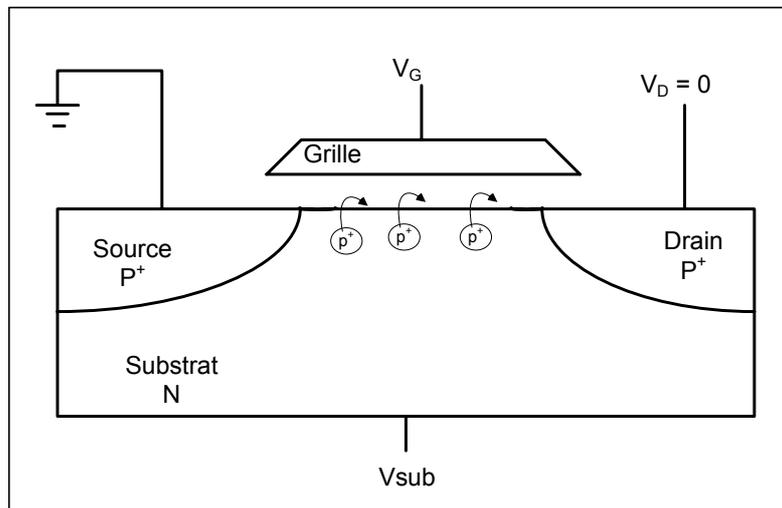


Figure 1.5 : Description du phénomène NBTI

Le NBTI affecte plus particulièrement les PMOS que les NMOS à cause de la présence de trous dans la couche d'inversion des PMOS qui interagissent avec les états d'oxyde [ABA, 93]. De plus, une configuration de polarisation négative de grille des NMOS est rare pour les circuits. Le MTTF des NBTI est essentiellement dépendant du champ électrique de grille, et, en général on utilise l'équation suivante pour l'évaluer :

$$MTTF_{NBTI} = A_0 \cdot 10^{-\beta E} \cdot e^{-\frac{\Phi}{kT}} \quad \text{Eq. 1.8}$$

Où $MTTF_{NBTI}$ temps moyen de dégradation due au TDDB dans un diélectrique,

- A_0 constante déterminée empiriquement,
- β coefficient d'accélération du champ (1 à 1,5),
- E champ électrique dans la grille,
- Φ énergie d'activation ($\approx 1eV$),
- k constante de Boltzmann,
- T température absolue.

Pour les technologies inférieures à 130nm, les électrons chauds et les phénomènes de NBTI causent des dégradations significatives des transistors N et P tout au long de la vie du circuit. En effet, comme nous venons de le décrire, ces deux mécanismes de fautes ont pour

effet de dégrader la tension de seuil ainsi que les courants de conduction des transistors P et N respectivement et ces effets sont de plus en plus importants au fur et à mesure que les épaisseurs d'oxyde diminuent (cf. figure 1.6).

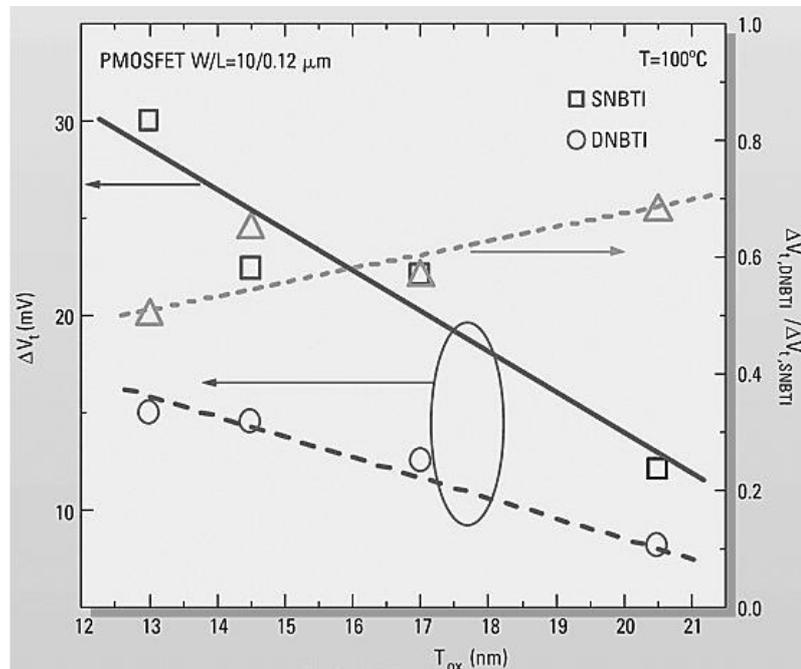


Figure 1.6 : Variation de la tension de seuil (V_t) de transistors PMOS en fonction de l'épaisseur d'oxyde T_{ox} sous NBTI [PET, 04].

1.2.3. Electromigration et auto-échauffement

Pour la définir simplement, nous pouvons dire que l'électromigration est une migration directionnelle des atomes métalliques d'interconnexion causée par le flux d'électrons. En effet, dans les circuits VLSI actuels, les densités de courant sont suffisamment importantes pour que les électrons atteignent des forts niveaux d'énergies. Ceux-ci leur permettant de déloger les ions auxquels ils sont liés, de leur emplacement. Ainsi, des manques d'atomes naissent dans les pistes d'interconnexion et peuvent entraîner une ouverture dans le circuit (cf. figure 1.7) [YOU, 94].

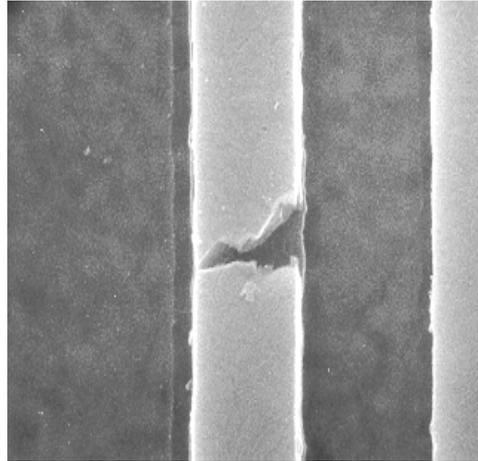


Figure 1.7 : Microphotographie d'une ouverture dans une piste.

Une équation empirique donnant le temps moyen avant dégradation d'une ligne par les phénomènes d'électromigration a été développée dès la fin des années soixante par Black [BLA, 69]. Le modèle de Black a ensuite été vérifié expérimentalement et théoriquement, puis largement réutilisé [BAR, 04 ; WOO, 86]. Son expression est la suivante :

$$MTTF_{EM} = \frac{w.d}{A} \cdot J^{-2} \cdot e^{-\frac{\Phi}{kT}} \quad \text{Eq. 1.9}$$

Où $MTTF_{EM}$ temps moyen de dégradation par électromigration de la piste d'interconnexion,
 w largeur de la piste,
 d épaisseur de la piste,
 A facteur dépendant de la microstructure du conducteur,
 J densité de courant,
 Φ énergie d'activation (0,6 eV pour l'aluminium, 0,9 eV pour l'or),
 k constante de Boltzmann,
 T température absolue de la piste.

L'augmentation des densités en courant au niveau des interconnexions associée à la diminution des tailles des motifs entraînent des phénomènes d'auto-échauffement. Ainsi, la température des interconnexions augmente, ce qui réduit exponentiellement le $MTTF_{EM}$ de ces dernières (cf. eq. 1.9). Pour surpasser ce problème, les concepteurs ne peuvent plus seulement se contenter de sur-dimensionner les pistes en fonction des marges, mais doivent aussi réaliser des simulations de type « pire-cas » de manière à s'assurer de la fiabilité des pistes.

1.2.4. Migration due au stress

La migration due au stress est un phénomène par lequel les atomes métalliques vont migrer en la seule présence d'un stress thermique, sans qu'aucun courant électrique ne soit appliqué. Cette migration provient d'un stress qui apparaît à cause de la différence de coefficient thermique de dilatation entre le film de passivation ou une couche de diélectrique et l'aluminium des pistes. La couche de passivation ou le diélectrique vont créer une force de tension sur la piste qui va induire un mouvement de ses atomes d'aluminium entraînant la formation de cassures pouvant aller jusqu'à une ouverture de la piste [HAY, 00].

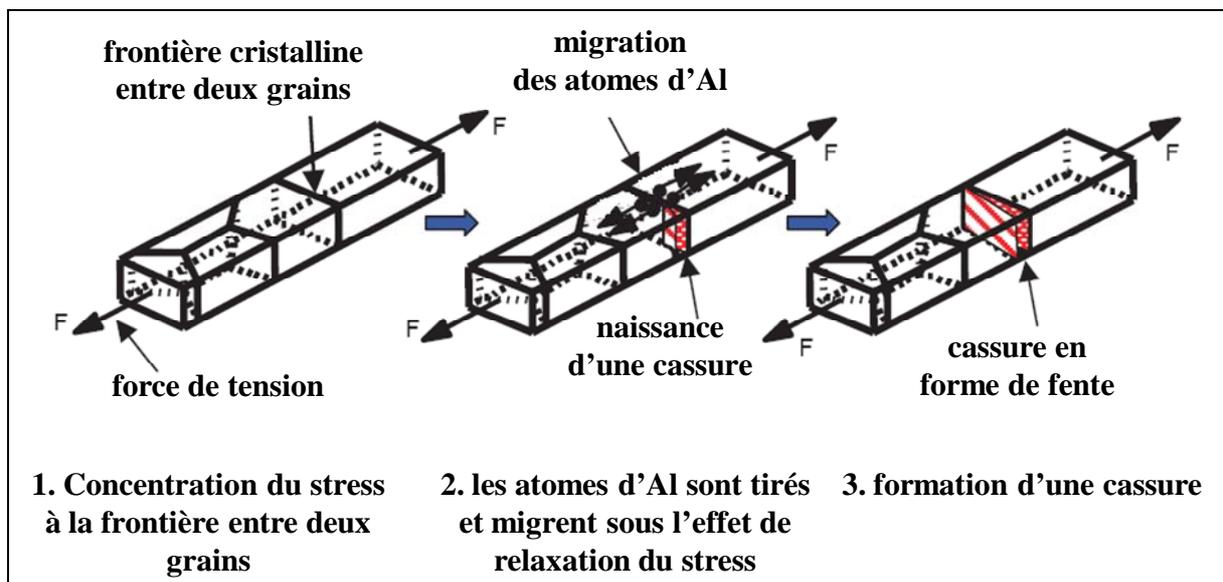


Figure 1.8 : Description du phénomène de migration due au stress.

Ce mode de défaillance est un mode long terme à basse température, car plus la température est basse plus les tensions sont importantes mais moins les atomes migrent facilement.

1.2.5. Variations statistiques des procédés de fabrications

Le procédé de fabrication d'un circuit intégré semi-conducteur standard est composé d'une multitude d'étapes de photolithographie, ces dernières étant décomposées en étapes de masquage, de dopage par diffusion, de dépôt d'oxyde ou de métallisation, etc. Avec la diminution des plus petits motifs en dessous de la centaine de nanomètres, la précision des étapes de fabrication (température des fours de diffusion, temps dans les fours, alignement des

masques, ...) devient primordiale. En effet, les variations de procédé aléatoires peuvent entraîner un dysfonctionnement global ou partiel du circuit. Ainsi, ces variations statistiques doivent être prises en compte dès le début de la conception d'un circuit, grâce aux outils de simulation, de manière à s'assurer qu'elles n'affecteront pas ses performances.

I.3. Modes de défaillance affectant les circuits électroniques

Un mode de défaillance correspond à l'effet par lequel on va observer une faute, alors qu'un mécanisme de faute est le procédé chimique, physique ou métallurgique qui va générer une faute qui elle entraînera la défaillance du composant [KAB, 05]. Il existe différents modes de défaillance affectant les composants électroniques tels que les circuits ouverts, les courts-circuits, les dégradations de performances. Les fautes entraînant des dégradations de performances se manifestent principalement par une variation des paramètres de certains composants d'un circuit de leurs valeurs nominales. Ceux-ci peuvent être dus à des erreurs de fabrication, des variations de procédé, un changement dans l'environnement ou la température du circuit, ou à son usure.

Les fautes affectant les composants électroniques peuvent être classées en trois groupes suivant leur origine [AME, 97] :

- Fautes dues à des stress électriques : elles se manifestent en général lors du transport des circuits. Elles sont une source constante de défauts tout au long de la durée de vie du produit et sont quasi-exclusivement dues à un manque de précautions lors du transport (décharges électrostatiques).
- Fautes intrinsèques : ces fautes sont dues à la technologie utilisée. Ce groupe de fautes rassemble toutes les fautes engendrées par les mécanismes de défaillance affectant cette technologie. Pour la technologie MOS nous y trouverons les NBTI, TDDB, l'électromigration, etc.
- Fautes extrinsèques : elles proviennent de la passivation, de la mise en boîtier ou de radiations. Nous pouvons citer par exemple les défauts de bonding.

Dans cette thèse nous nous concentrerons essentiellement sur les fautes intrinsèques car l'enjeu est d'améliorer la fiabilité du circuit au niveau de sa conception et non au niveau de son conditionnement (mise en boîtier, implémentation sur carte, ...). Les fautes dues aux radiations seront aussi pris en compte car elles affectent l'intégrité du circuit.

*Tableau 1.2 : exemple de localisation de défauts
avec le mode de défaillance et le mécanisme de faute associés [FAN, 85]*

Partie défectueuse	Mode de défaillance	Mécanisme de fautes
oxyde	<ul style="list-style-type: none"> • dégradation de la tension de seuil et de la transconductance des MOS • courant de fuite / court-circuit 	<ul style="list-style-type: none"> • dommage du aux porteurs chauds • TDDDB
contacts / vias	<ul style="list-style-type: none"> • courant de fuite / court-circuit • circuit ouvert / conducteur flottant 	électromigration
piste	augmentation de la résistance / circuit ouvert	électromigration

Les circuits électroniques intégrés actuels sont sujets à de nombreux modes de défaillance qui apparaissent tant au cours de leur fabrication qu'au cours de leur utilisation (cf. tableau 1.2). Ces fautes sont principalement créées par les mécanismes de fautes que nous avons décrits dans le paragraphe précédent et qui seront de plus en plus dominants pour les générations technologiques futures. Ces fautes peuvent être classées en trois catégories [CON, 03] :

- Les fautes permanentes : elles induisent des changements physiques irréversibles. On peut citer par exemple une ouverture de piste due à l'électromigration.
- Les fautes intermittentes : elles vont apparaître pour des conditions marginales d'utilisation (haute température), et dans la plupart des cas une faute intermittente précède l'apparition d'une faute permanente. Les ruptures partielles d'oxyde (SBD :

soft breakdown), qui apparaissent dans le cas d'oxyde ultrafin et générant un courant de fuite important mais fluctuant en fonction des conditions d'utilisation, en sont un exemple.

- Les fautes transitoires : elles ne se manifestent que sous certaines conditions environnementales de fonctionnement. Elles peuvent être générées par de nombreux phénomènes comme des particules alpha, des interférences électromagnétiques ou des décharges électrostatiques.

1.3.1. Fautes affectant les éléments passifs des puces

La plupart des mécanismes classiques de fautes affectant les puces impliquent les vias, les pistes métalliques conductrices et les diélectriques [HAY, 00].

Les vias et contacts entre deux pistes sont très sensibles aux phénomènes d'électromigration qui vont entraîner des défauts d'ouverture dans le circuit. De plus, cette sensibilité est accentuée par les densités de courant actuelles.

Les mécanismes de fautes typiques affectant les pistes sont l'électromigration, décrite précédemment, et la migration due aux stress mécaniques qui se caractérise par l'apparition de cassures sur les pistes. Le mouvement d'atomes dus à l'électromigration ainsi qu'à l'évacuation des stress mécaniques, peuvent entraîner de nombreux modes de défaillance. Le plus commun est la dégradation des performances due à l'augmentation de la résistance de la piste qui sera inévitablement suivie d'une faute d'ouverture.

Les diélectriques sont affectés par les cassures induites par les métallisations ou par des problèmes d'adhésion, entre deux diélectriques ou entre un diélectrique et un métal, résultant des mauvaises caractéristiques de surface du diélectrique. Les modes de défaillances induits vont être des courts-circuits ou des circuits ouverts [GER, 91].

1.3.2. Fautes affectant les transistors MOS

L'élément le plus sensible aux fautes d'un transistor MOS est son diélectrique de grille. En effet, la course vers des transistors de plus en plus petits induit des épaisseurs de grille n'excédant pas quelques atomes. Malgré la diminution des tensions d'alimentation, les champs électriques à l'intérieur d'une grille atteignent, aujourd'hui, plusieurs millions de

volts par centimètre (typiquement : 5 à 10 MV/cm) ce qui entraîne un stress important au niveau du diélectrique de grille. Les phénomènes d'électrons chauds et de TDDDB n'en sont qu'accentués, ce qui induit des dégradations de performances et dans les pires cas des claquages de l'oxyde de grille [HAY, 00].

Les transistors MOS sont aussi sujets aux phénomènes d'électromigration au niveau de leurs contacts de drain et de source. Ce mécanisme de faute est à prendre en compte pour un courant drain-source important, ce qui est le cas dans certaines applications radiofréquences (RF), et dans ce cas il conduit à une augmentation des résistances d'accès qui va dégrader les performances du circuit et peut même engendrer des défauts d'ouverture.

1.3.3. Fautes dues à l'environnement du circuit

Les conditions environnementales d'utilisation d'un circuit peuvent fortement augmenter la probabilité de défaillance intrinsèque de ce dernier.

Un facteur très important est la température qui, comme nous l'avons vu dans le paragraphe précédent, va fortement accélérer l'apparition de défauts pour la plupart des mécanismes de faute (eq. 1.7, 1.8, 1.9).

Dans le cas des circuits utilisés dans un environnement radiatif, comme l'espace, les fautes sont notamment le résultat de l'effet de dose cumulée. En effet, les radiations vont entraîner des dépôts de particules dans les oxydes de grille, ce qui va les rendre momentanément conducteurs et y créera une accumulation de charges positives. Ces charges vont modifier la tension de seuil du transistor et éventuellement provoquer un dysfonctionnement du circuit. Sous certaines conditions, un photocourant peut également être engendré, ce qui va entraîner des fautes transitoires jusqu'à ce que la radiation soit éliminée. Dans les pires cas, une forte dose radiative peut causer des défauts permanents par le biais de l'auto-échauffement causé par le courant parasite induit.

1.4. Probabilité d'apparition des fautes

Les fautes affectant un circuit MOS n'ont pas les mêmes probabilités d'apparition les unes par rapport aux autres. En effet, pour un transistor, par exemple, nous avons vu que son oxyde de grille était l'élément le plus critique. Le transistor sera donc principalement affecté

par des défauts de type « court-circuit », générés lors de sa fabrication ou dus à son usure. Le tableau 1.3 présente le niveau de probabilité des fautes affectant un transistor MOS.

*Tableau 1.3 : Niveau de probabilité des fautes
pouvant affecter un transistor MOS*

Niveau de probabilité	Types de fautes	Mécanisme de fautes
Très probable	<ul style="list-style-type: none"> • Court-circuit entre la grille et le drain • Court-circuit entre la grille et la source 	<ul style="list-style-type: none"> • dommage dû aux porteurs chauds • TDDB • particules α
Probable	<ul style="list-style-type: none"> • Circuit ouvert sur le drain • Circuit ouvert sur la source 	électromigration
Peu probable	<ul style="list-style-type: none"> • Court-circuit entre la grille et le substrat • Grille flottante 	<ul style="list-style-type: none"> • dommage dû aux porteurs chauds • TDDB

La probabilité d'apparition des fautes sera aussi fonction des conditions d'utilisation du circuit qui favoriseront certains mécanismes de faute. Dans un environnement radiatif, les éléments qui auront le plus de chance d'être défectueux seront les transistors puisque leur structure est sensible à ce phénomène.

II. Méthodologie de conception pour augmenter la fiabilité des circuits radiofréquences

En dépit de plusieurs décennies consacrées à la recherche, le développement et la fabrication de circuits radiofréquences (RF) intégrés, ces derniers sont toujours sujets aux mécanismes de fautes décrits dans le paragraphe précédent. De plus, ces mécanismes n'affectent pas spécifiquement les circuits analogiques mais sont inhérents à la technologie. Ainsi, des défauts se formeront probablement à cause de faiblesses associées au procédé de fabrication et au dessin des masques ou encore à cause d'une utilisation du circuit dans des conditions stressantes.

De manière à assurer une bonne fiabilité, un concepteur devra déterminer les causes principales de défaillance pouvant affecter le circuit. Et, à partir de cette analyse, il devra adapter la conception et la fabrication du circuit de manière à ce que son utilisation se déroule sans défaillance dans les conditions nominales préalablement définies.

Dans ce paragraphe, nous allons détailler l'ensemble des méthodes permettant d'améliorer la fiabilité des circuits intégrés mises à la disposition d'un concepteur. Ces méthodes se divisent en deux groupes : les techniques permettant d'éviter les fautes et celles permettant de tolérer les fautes.

II.1. Techniques conceptuelles pour augmenter la fiabilité d'un circuit

La notion de conception pour la fiabilité (DIR : Design In Reliability) est aujourd'hui essentielle au développement d'un circuit électronique intégré, quel qu'il soit [BAN, 06]. En effet, la complexité des circuits augmente à chaque nouvelle génération, tractée par la demande du marché en nombre croissant d'applications concentrées dans les SOCs (System On Chip). La technologie CMOS, principalement concernée par l'accroissement de son niveau d'intégration, devient sujette à des problèmes de fiabilité majeurs tels que les phénomènes d'électrons chauds, les NBTI et l'électromigration. La plupart de ces problèmes de fiabilité entraînent une variation des tensions de seuil ainsi que des courants de drain au cours du temps, et finissent par induire des dégradations de performances au niveau du circuit. Par conséquent, il devient inévitable de considérer la fiabilité dès les premières étapes de conception si l'on veut se prémunir de ces mécanismes de faute.

II.1.1. Conception en vue de la fabrication

La conception en vue de la fabrication (DFM : Design For Manufacturability) est une méthodologie de conception qui inclut un certain nombre de techniques consistant à modifier le dessin des masques en vue de le rendre plus « fabricable », c'est-à-dire augmenter son rendement fonctionnel ou sa fiabilité. Traditionnellement, la DFM pour des circuits pré-nanométriques consistait au niveau du dessin des masques d'un circuit, en l'application de différentes méthodologies qui permettaient de diminuer la probabilité d'apparition de fautes. Par exemple, l'élargissement de l'espacement et de la largeur des éléments, l'addition de contacts et de vias redondants quand la place le permet [GUA, 05].

La forme la plus fondamentale de DFM est le respect des règles de dessin fixées par le constructeur. Effectivement, depuis la naissance de la technologie intégrée sur silicium, les fabricants de circuits ont réalisé de gros efforts de manière à assurer un bon niveau de fiabilité en sortie de chaînes de fabrication. Ainsi, au fur et à mesure que des mécanismes de faute sont observés les fondeurs adaptent leur procédé de fabrication dans le but de diminuer la probabilité d'apparition de ces défaillances. Pour lutter contre l'électromigration par exemple, le remède conventionnel initialement utilisé a été l'addition d'un métal ayant une haute densité, tel que le tungstène, qui peut être déposé par vaporisation chimique avant l'aluminium. Le tungstène est très résistant au phénomène d'électromigration mais sa résistivité est plus importante que celle de l'aluminium. Ainsi, le courant s'écoule dans le métal réfractaire quand l'épaisseur d'aluminium est trop faible ou quand celui-ci vient à manquer. Le désavantage principal de cette méthode est la résistance accrue des pistes qui peut entraîner une diminution des performances des circuits [HAY, 00]. Pour les dernières générations technologiques 130 nm, 90 nm et 65 nm, la section des pistes est devenue si petite que les limites acceptables de densité de courant ont été dépassées pour l'aluminium. Les fondeurs ont donc été obligés d'adopter des pistes de cuivre qui présentent une plus faible résistivité et qui résistent mieux à l'électromigration [CON, 03].

Afin de pouvoir garantir la fonctionnalité des circuits qu'ils vont fabriquer, les fondeurs caractérisent leur procédé de fabrication et éditent ces caractéristiques dans le manuel des règles de dessin (DRM : Design Rules Manuel). Ce manuel fait état de toutes les règles à respecter pour que le procédé soit viable, nous pouvons citer :

- les densités maximales de courant acceptables par les différents niveaux de métallisation et pour les vias,
- les distances minimales permises entre deux lignes d'un même métal, entre deux puits d'un même dopage de manière à éviter tout contact.

Le concepteur devra absolument appliquer cette étape de DFM s'il veut que son circuit soit fonctionnel au retour de la chaîne de fabrication. Pour ce faire, il doit soumettre son dessin des masques au vérificateur automatique des règles de dessin (DRC : Design Rules Check) fourni avec le kit de conception du fondeur (Design Kit). Un circuit ayant passé le DRC avec succès, verra sa fiabilité de " fabrication" garantie par le constructeur : c'est-à-dire

que la probabilité de fautes induites par le procédé de fabrication sera faible. Toutefois, cette dernière ne peut pas être nulle car le circuit ne sera pas à l'abri d'un dépôt de particules ou d'un mauvais alignement des masques [GUA, 05].

LA DFM est, aujourd'hui, un point crucial de la fabrication d'un circuit mais elle demeure ambiguë pour les concepteurs. A l'origine, le rendement relevait de la responsabilité des fondeurs si les règles de DRC étaient respectées par les concepteurs. Mais aujourd'hui, l'utilisation de nouveaux matériaux et de lithographies de taille micrométrique dans les nouveaux procédés de fabrication, obligent l'application de règles de dessin particulières qui permettent d'assurer une liaison sans défaut entre les phases de conception et de fabrication [NOW, 05].

Pour délimiter les étapes de DFM qui incombent au concepteur de celles qui appartiennent au fondeur, il est possible de séparer le spectre global des étapes de DFM en quatre groupes :

- Caractérisation du procédé : elle se focalise sur la conception de véhicules de test, la caractérisation du procédé et l'extraction de données. Elle est réalisée par le fondeur.
- Modèles et simulateurs : développement de modèles spécifiques et des outils de simulation associés, simulateur CMP (Chemical Mechanical Planarization) et de modèles de lot de coin SPICE et RC. Ils sont, eux aussi, conçus par le fondeur.
- Transformations polygonales : ce sont les règles et outils qui permettent de « polir » le dessin des masques et de l'optimiser pour la fabrication après la vérification de concordance avec le circuit schématique. Le concepteur est responsable de cette étape. Après avoir passé son circuit au DRC il lui fait subir un contrôle des densités de manière à ce que la surface du circuit soit plane et qu'il ne s'effondre pas à cause d'une insuffisance dans une des couches du procédé.
- Transformation en cours de conception : c'est la prise en compte de spécifications critiques du fondeur en cours de conception, inhérente, évidemment, au concepteur.

De manière à répondre à toutes les règles induites par les procédés de fabrication micro-lithographiques actuels, la séparation entre DFM du point de vue fondeur et du concepteur est en train de s'effacer. En effet, l'apparition de nombreux logiciels d'aide à la conception, intégrant des modules de vérification pour la fabrication et des modules d'optimisation du dessin dès les premières phases de conception, tend à gommer cette limite [YAN, 06].

II.1.2. Conception pour augmenter la fiabilité

Dans le but de rendre leurs circuits plus robustes aux mécanismes de faute classiques, les concepteurs se basent sur les principes de conception pour augmenter la fiabilité (DFR : Design for Reliability). A partir de règles de conception adaptées, il est possible de diminuer l'effet de ces mécanismes de faute au niveau des composants actifs ou au niveau des métallisations. Ces règles sont principalement basées sur l'observation et la modélisation des mécanismes de fautes et sur l'expérience des concepteurs.

Dans le cas d'une méthodologie simple de DFR, le concepteur peut utiliser une estimation de la durée de vie des différents éléments de manière à effectuer une vérification de la fiabilité du circuit. Cette étape lui permet de dégager les points « chauds » du circuit et il pourra ensuite se concentrer sur l'amélioration du dessin des masques de ces différents points pour repousser l'apparition de fautes. S'il constate, par exemple, de fortes densités de courant dans une partie du circuit, alors cette partie courra un risque accru d'apparition de fautes dues à l'électromigration (eq. 1.9). Il faudra alors y appliquer les règles de dessin permettant d'endiguer le phénomène d'électromigration. Dans les technologies modernes avec des interconnexions métalliques en cuivre, ce sont les vias qui sont le plus sensible à ce phénomène [POM, 06]. Les connections entre deux lignes par un simple via, où tout le courant serait concentré, seront donc à proscrire ; et, si la surface disponible le permet, le concepteur augmentera la largeur des pistes et multipliera le nombre de vias.

Dans le cas d'une méthodologie de DFR plus poussée, le concepteur devra utiliser des simulateurs de fiabilité sur chaque bloc constituant son circuit de manière à évaluer leur impact sur les performances et la fiabilité globale du circuit. Il est à noter qu'il existe un manque dans les outils de conception fournis par le fondeur pour simuler la fiabilité d'un circuit lorsqu'il sera en fonctionnement. Traditionnellement, la vérification de la fiabilité

n'était prise en compte qu'après le dessin des masques une fois le circuit fabriqué. Les méthodes de validation par le stress étaient alors utilisées (test de vieillissement accéléré), mais celles-ci ne sont plus viables car elles font prendre des risques de production aux fabricants. Effectivement, certains mécanismes de faute comme les NBTIs diminuent non seulement la fiabilité d'un circuit lors de sa période de vie utile, mais aussi le rendement à cause des pertes qu'elles entraînent lors des procédés de vieillissement accéléré par variations de température [LIU, 06].

Ainsi, pour assurer la fiabilité d'un circuit, les concepteurs doivent prendre en compte l'ensemble des mécanismes de faute critiques qui peuvent l'affecter et lui appliquer des marges de sécurité pour diminuer leurs probabilités d'apparition. Mais, les marges de fonctionnement disponibles pour les nouvelles générations technologiques (65 nm et moins) deviennent si faibles que l'ajout de telles marges de sécurité peut très facilement entraîner une diminution des performances du circuit [LIU, 06]. Dès lors, le concepteur devra faire une analyse de fiabilité efficace et la plus proche de la réalité possible dès les premières étapes de conception pour garantir à la fois les performances et la fiabilité du circuit conçu. Les industriels, comme Intel, réalisent aujourd'hui de gros investissements pour améliorer les outils de simulation de la fiabilité et pour les intégrer au plus tôt dans les phases de conception. Ceci dans le but de garantir la fiabilité d'utilisation des composants aux densités d'intégration sans cesse croissantes, en générant de moindres coûts additionnels en conception et en temps [BAN, 06].

II.2. Techniques structurelles pour remédier aux fautes

Alors que les méthodologies de DIR permettent d'éviter ou de repousser l'apparition de fautes grâce à une adaptation des procédés de fabrication et de conception au niveau des constituants d'un circuit, il est aussi possible d'améliorer la fiabilité par le biais d'une méthodologie de tolérance aux fautes qui s'appliquent au niveau des blocs formant le circuit. Ces techniques, qui peuvent être qualifiées de structurelles, reposent sur la détection concurrente d'erreur, le recouvrement d'erreur, l'application de codes de correction et l'implémentation de redondances spatiale ou temporelle.

En effet, pour un circuit analogique et des conditions de fabrication donnés, il est possible de montrer qu'il existe une conception optimale pour laquelle on atteindra une

fiabilité maximale. Afin de dépasser cet optimum, il est possible d'appliquer des redondances au niveau des sous-circuits ou au niveau des composants du circuit [SUR, 64].

II.2.1. Utilité des redondances

Afin de mettre en évidence l'amélioration de fiabilité apportée par la mise en place de redondances parallèles, une étude entre la fiabilité d'un système composé de blocs en série et celle d'un système composé des mêmes blocs en parallèle est nécessaire. Cette étude est réalisée à partir d'un modèle statique de fiabilité qui ne prend pas en compte les variations des différents paramètres en fonction du temps dans le but de simplifier les calculs.

- Lorsque plusieurs sous-systèmes sont en série, une faute de n'importe lequel de ces sous-systèmes va entraîner une faute du système complet.

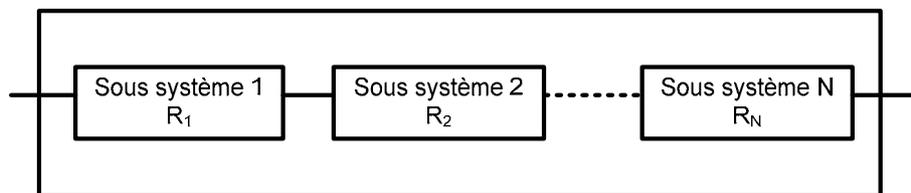


Figure 1.9 : blocs en série

Pour un tel système sa fiabilité R s'exprime par :

$$R = R_1 \cdot R_2 \cdot \dots \cdot R_N \quad \text{Eq. 1.10}$$

Où R_i ($1 \leq i \leq N$) fiabilité du $i^{\text{ème}}$ élément.

D'où l'expression plus générale pour un système composé de N sous ensembles série :

$$R = \prod_{i=1}^N R_i \quad \text{Eq. 1.11}$$

En considérant un système de deux sous composants possédant la même fiabilité $R = 0,8$, la fiabilité du système série complet sera égale à :

$$R = R_1 \cdot R_2 = 0,8 \cdot 0,8 = 0,64 \quad \text{Eq. 1.12}$$

- Lorsque les mêmes sous-systèmes sont en parallèle (redondance), il n'y aura défaillance du système complet que si les deux sous-systèmes sont défaillants.

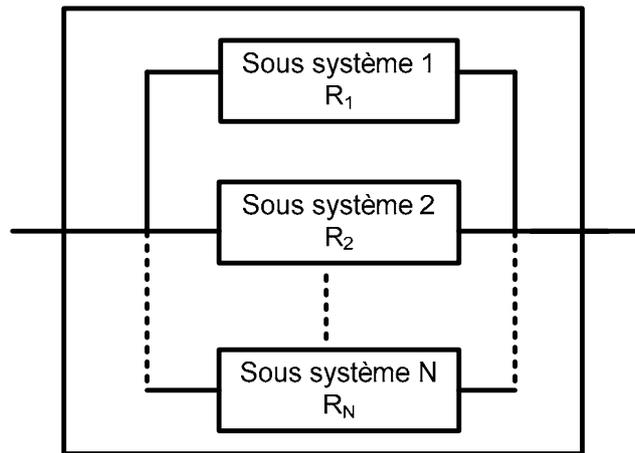


Figure 1.10 : systèmes en parallèle

Sachant que la somme de la probabilité de non défaillance R (fiabilité) avec la probabilité de défaillance Q est égal à 1. On peut exprimer la probabilité de défaillance du système parallèle comme suit :

$$Q = Q_1 \cdot Q_2 \cdot \dots \cdot Q_N \quad \text{Eq. 1.13}$$

Avec

$$\begin{aligned} Q_1 &= 1 - R_1 \\ Q_2 &= 1 - R_2 \\ Q_N &= 1 - R_N \end{aligned}$$

On peut en déduire la fiabilité du système complet :

$$R = 1 - Q \quad \text{Eq. 1.14}$$

D'où la formule générale :

$$R = 1 - \prod_{i=1}^N (1 - R_i) \quad \text{Eq. 1.15}$$

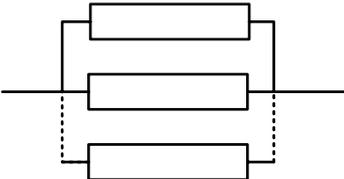
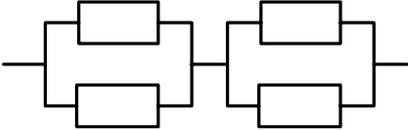
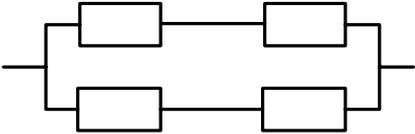
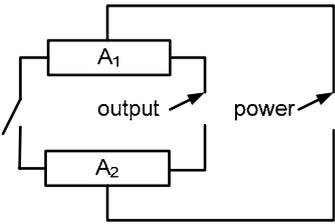
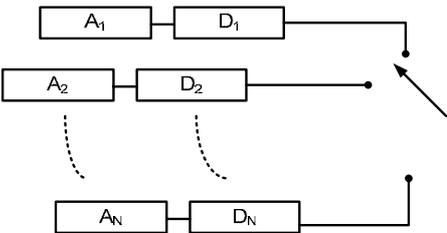
En reconsidérant deux sous-composants ayant une fiabilité de 0,8, la fiabilité du système parallèle complet sera égale à :

$$R = 1 - (1 - R_1) \cdot (1 - R_2) = 1 - 0,2 \cdot 0,2 = 0,96 \quad \text{Eq. 1.16}$$

On peut conclure à partir de ces deux illustrations de manière élémentaire que la mise en parallèle d'éléments redondants permettra une nette amélioration de la fiabilité du sous-système auquel elle est appliquée et donc entraînera une amélioration de la fiabilité du système global.

Il existe différents types de redondances qui peuvent être actives ou passives. Les techniques de redondances classiques applicables à un circuit analogique intégré sont présentées dans le tableau 1.4.

Tableau 1.4 : techniques de redondances [TM, 03]

Types de redondances	description
<p>Redondance parallèle simple (a)</p> 	<p>C'est la forme la plus simple de redondance. Si l'un des éléments devient fautif à cause d'une ouverture, il existe un chemin identique à travers les éléments parallèles.</p>
<p>Redondance bimodale parallèle/série (b)</p> 	<p>Une connexion série d'éléments parallèles permet une protection contre les courts-circuits ainsi que les défauts d'ouverture. Les courts-circuits dans le système dus à un seul élément défaillant sont prévenus grâce à l'élément redondant série. Les ouvertures sont prévenues par le biais de l'élément redondant parallèle.</p>
<p>Redondance bimodale série/parallèle (c)</p> 	<p>On utilisera la configuration b dans le cas où le mode de défaillance primaire est l'ouverture et la configuration c si le mode de défaillance principale est le court-circuit.</p>
<p>Redondance passive (d)</p> 	<p>Le circuit redondant n'est activé que dans le cas où le système principal devient défaillant.</p>
<p>Redondance passive opérationnelle (e)</p> 	<p>Dans cette configuration tous les éléments sont actifs en même temps et un capteur associé à chaque élément en détecte les fautes. Quand une unité devient fautive, un basculement est ordonné sur la suivante et demeure jusqu'à ce qu'une faute apparaisse.</p>

II.2.2. Redondances actives

La méthodologie de redondance la plus facile d'utilisation est la redondance active qui se décline en redondance parallèle simple ou en une combinaison adaptée au mode de défaillance du circuit (a et b du tableau 1.4). Cette redondance ne nécessite aucune fonction de détection, de décision et de basculement lors de la défaillance d'un élément. Les éléments redondants sont toujours en opération et compensent automatiquement la défaillance de l'un d'entre eux. Un exemple caractéristique de cette méthodologie est l'utilisation de plusieurs turboréacteurs sur un avion, qui pourra continuer de voler malgré la panne d'un, voire plus, de ses moteurs.

Cette méthodologie de redondance n'est pas la plus adaptée aux circuits analogiques intégrés RF pour lesquels les adaptations d'impédances d'entrée et de sortie sont critiques. Ainsi, toute défaillance d'un des circuits modifierait ces impédances et compromettrait le fonctionnement global du circuit. De plus, dans le cas d'applications où la consommation d'énergie est vitale, par exemple des applications embarquées où l'alimentation est assurée par une batterie, la surconsommation engendrée par la méthodologie de redondance active ne serait pas tolérable.

II.2.3. Redondances passives

Les méthodologies à base de redondances passives sont plus complexes à mettre en œuvre que les redondances actives. En effet, étant donné que leur principe repose sur le basculement vers un élément redondant quand une faute est détectée sur l'élément principal, elles nécessitent des éléments de détection des fautes et de décision, ainsi qu'un système de basculement entre les différents éléments redondants. Les éléments passifs, ou en attente, peuvent être actifs (configuration e du tableau 1.4) ou inactifs (configuration d du tableau 1.4). Mais dans ce cas, il y a aussi nécessité d'un deuxième système de basculement s'appliquant sur l'alimentation des blocs redondants.

Une des méthodologies à base de redondances passives particulièrement adaptée aux circuits RF intégrés est la méthodologie se basant sur des redondances passives inactives ("cold stand by redundancy"). Ces derniers tireront parfaitement avantages de cette méthodologie car ils ne sont pas réparables et leur consommation d'énergie est à minimiser.

Effectivement, elle met en jeu l'utilisation d'éléments redondants inactifs qui n'engendrent pas de surconsommation et en plus, de part leur inactivité, sont protégés des stress de fonctionnement. Dans ces conditions, la probabilité de défaillance d'un élément redondant est très faible et peut être considérée comme nulle, jusqu'à ce qu'il soit activé pour remplacer le composant défaillant [COI, 01].

Cette stratégie de conception se révèle très efficace pour augmenter la fiabilité et beaucoup de systèmes dont la fiabilité est critique utilisent des redondances passives inactives. En fait, cette technique entremêle deux notions qui sont la sûreté de fonctionnement et la fiabilité. Par exemple, les systèmes d'exploration spatiale et les satellites atteignent de hauts niveaux de fiabilité en implémentant une méthodologie à base de redondances passives inactives pour leurs sous-systèmes non réparables. En général, l'utilisation de cette méthodologie apporte une meilleure fiabilité au système si on la compare avec des topologies similaires à base de redondances actives. Cependant, elle est plus difficile à incorporer car elle nécessite d'importantes précautions en ce qui concerne la fiabilité des circuits de détection et de basculement [COI, 01].

La fiabilité d'un sous-système unique intégrant une méthodologie à base de redondances passives inactives s'exprime comme suit (cf. annexe A) :

$$R(t) = r(t) + \sum_{j=1}^{n-1} \int_0^t r(t-u) f^{(j)}(u) du \quad \text{Eq. 1.17}$$

Dans le cas d'un système composé de s sous-systèmes série intégrant chacun des redondances passives inactives, on obtient :

$$R(t) = \prod_{i=1}^s \left(r_i(t) + \sum_{j=1}^{n-1} \int_0^t r_i(t-u) f_i^{(x)}(u) du \right) \quad \text{Eq. 1.18}$$

Où $r_i(t)$ fiabilité au temps t pour un composant utilisé dans le sous-système i ,
 $f_i^{(x)}$ densité de probabilité d'apparition d'une $x^{\text{ème}}$ défaillance dans le sous-système, i.e. somme des temps de défaillance pour le composant x_i .

Dans une méthodologie à base de redondances passives inactives, un mécanisme de détection de faute et de basculement est nécessaire pour détecter un composant défectueux et activer un composant redondant. Ce mécanisme peut lui-même être sujet à une défaillance. En

définissant $\rho_i(t)$ comme la fiabilité du mécanisme de détection et de basculement du $i^{\text{ème}}$ sous-composant, on obtient la formule générale suivante :

$$R(t) = \prod_{i=1}^s \left(r_i(t) + \rho_i(t) \sum_{j=1}^{n-1} \int_0^t r_i(t-u) f_i^{(x)}(u) du \right) \quad \text{Eq. 1.19}$$

Nous pouvons remarquer dans cette équation que la fiabilité du mécanisme de détection/basculement est critique pour la fiabilité de l'ensemble de la méthodologie. Ce mécanisme étant en série avec les éléments redondants, sa fiabilité se multiplie directement au gain en fiabilité induit par les redondances. Un mauvais $\rho_i(t)$ pourra entraîner une quasi-annulation de ce gain.

II.2.4. Limite des redondances

En général, le gain en fiabilité induit par l'addition d'éléments redondants décroît rapidement après l'addition de quelques éléments en parallèle. Dans le cas d'une redondance parallèle simple avec des blocs identiques de fiabilité $R = e^{-\lambda t}$, l'équation 1.15 devient :

$$R = 1 - \prod_{i=1}^N (1 - e^{-\lambda t}) \quad \text{Eq. 1.17}$$

$$\Leftrightarrow R = 1 - (1 - e^{-\lambda t})^N \quad \text{Eq. 1.18}$$

$$\Leftrightarrow R = 1 - (\lambda t)^N \quad \text{pour } \lambda t \leq 0,1 \quad \text{Eq. 1.19}$$

Afin d'illustrer l'équation précédente, la figure 1.11 présente la courbe de la fiabilité R en fonction du MTBF (sachant que ce dernier est l'inverse du taux de défaillance λ) et la courbe représentant le MTBF en fonction du nombre d'éléments en parallèle.

Comme cet exemple le démontre, le plus grand gain en fiabilité et en MTBF est obtenu lors de l'addition du premier élément redondant, et il est équivalent pour ce cas à une amélioration de 50 % du MTBF du système.

Il est aussi important de noter que suivant le type de redondance choisi, ainsi que son niveau d'application, il n'y aura pas obligatoirement d'augmentation significative, ni même positive, de la durée de vie du circuit [SUR, 64]. Ce désagrément pourra provenir d'une part de l'ajout en série de la fiabilité des éléments de basculement ou de celles des circuits

périphériques nécessaire à la topologie choisie. D'autre part, l'ajout d'un élément redondant peut permettre une augmentation de 50 % du MTBF d'un système, mais dans le même temps la surface de ce dernier sera doublée et il sera 1,5 à 2 fois plus sensible aux fautes dues à sa fabrication [BOW, 03]. Des précautions seront donc nécessaires pour éviter que le gain en fiabilité ne soit limité par celui des périphériques ajoutés.

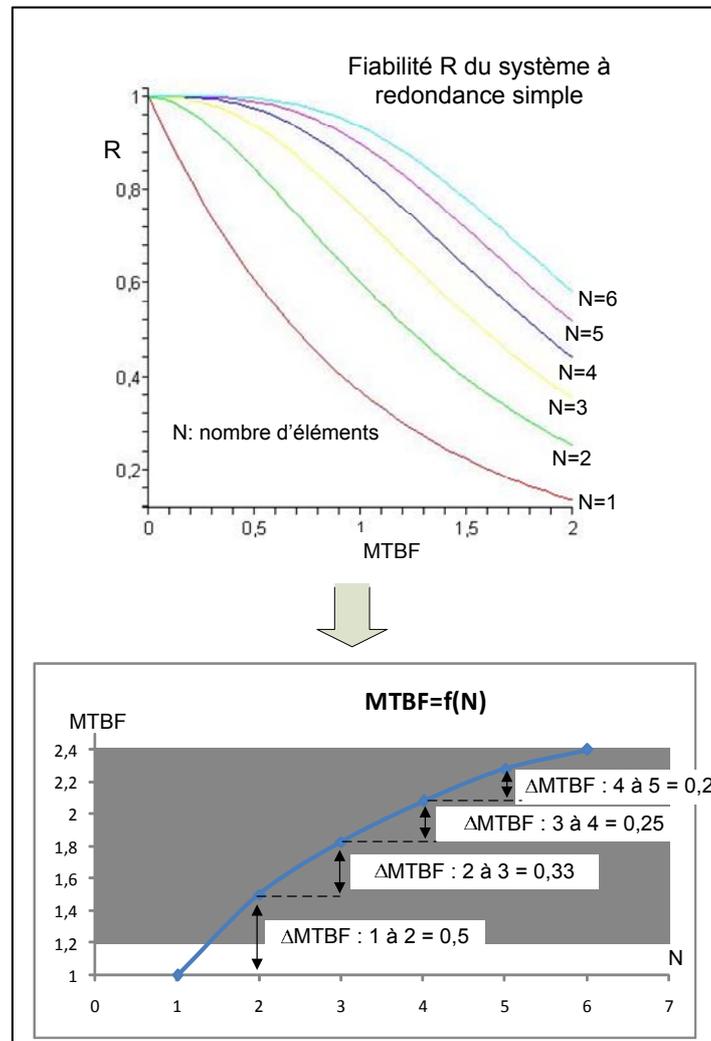


Figure 1.11 : gain en fiabilité et en MTBF d'un système avec redondance parallèle

II.3. Techniques de surveillance des dégradations

Afin de prédire la future défaillance d'un circuit, il est possible d'utiliser des méthodologies de surveillance des dégradations. Ces dernières permettent de détecter une future défaillance du système grâce à un circuit de surveillance et sont particulièrement utiles pour des applications critiques où une maintenance est possible.

II.3.1. TSMD

La méthodologie TSMD (Time Stress Measurement Device) utilise un dispositif intégré au système qui mesure le temps et la quantité de stress subi par ce dernier. Elle a été initialement développée pour des applications électroniques ou mécaniques diverses dans le but d'enregistrer les conditions environnementales de stress du circuit associées aux défaillances. Par la suite, ce rôle de collecte et d'analyse de données a été étendu pour réaliser des points analogiques et digitaux témoins permettant des fonctions d'auto-test en temps réel. Les données collectées d'auto-test et de conditions environnementales telles que les chocs, vibrations, température, pression peuvent être utilisées pour recréer un environnement propice aux défaillances et permettre de dégager les fautes les plus probables utiles à la DFR [BRO, 93 ; SYL, 06].

II.3.2. Cellule de prédiction

La méthodologie TSMD peut être adaptée aux circuits électroniques intégrés par l'intermédiaire de la mise en place au sein de ces derniers de cellules de prédictions qui surveillent la fiabilité du circuit et préviendront le système de sa défaillance « imminente » [GOO, 00].

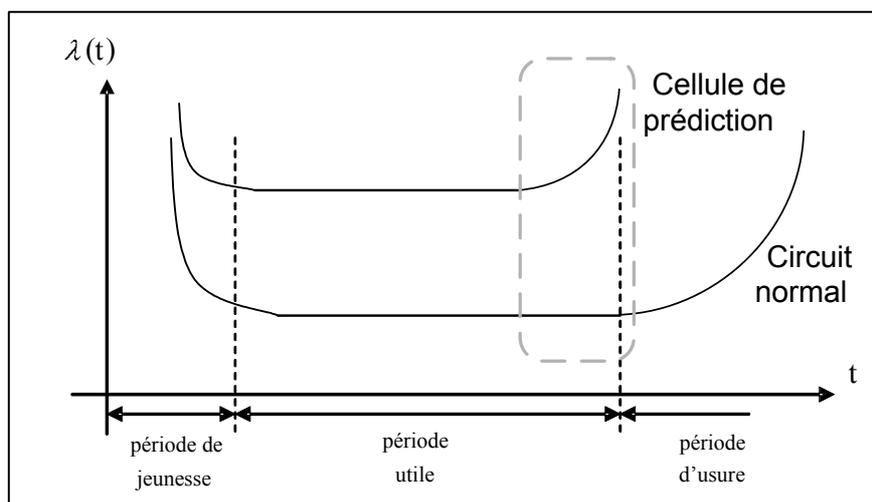


Figure 1.12 : Courbe en baignoire du taux de défaillance du circuit sous surveillance et d'une cellule de prédiction

Le principe de prédiction repose sur le fait que, premièrement, ces cellules sont intégrées au circuit et réalisées avec le même procédé technologique, de sorte qu'elles soient

sujettes aux mêmes mécanismes de fautes. Deuxièmement, elles sont soumises à des conditions de stress accélérées et calibrées (plus fortes densités de courant, dimension minimale des composants) de manière à augmenter leur probabilité de défaillance. Par conséquent, ces cellules deviendront défaillantes avant le circuit auquel elles sont intégrées et pourront prévenir de sa défaillance future [MIS, 02]. Comme nous pouvons le voir sur la figure 1.12, la région grisée, qui correspond à la région de défaillance de la cellule de prédiction, se situe avant la région d'usure du circuit sous surveillance.

III. Conclusion

Les circuits CMOS VLSI actuels sont sujets à de nombreux mécanismes de fautes qui compromettent leur fiabilité tant au niveau de leur fabrication qu'au niveau de leur utilisation. De plus ces mécanismes vont se renforcer pour les générations électroniques futures, au fur et à mesure que la taille des motifs va diminuer.

Des méthodes s'appliquant à tous les stades de fabrication d'un circuit ont été développées pour améliorer leur fiabilité. Celles-ci permettent d'augmenter les rendements de fabrication ainsi que la fiabilité d'un circuit au cours de son utilisation. Les méthodologies de DFM et DFR qui permettent de diminuer le nombre de fautes, s'appliquent dès les premières étapes de conception d'un circuit. Alors que les méthodologies structurelles, à base de redondances, s'appliquent plus tard dans la phase de conception et permettent d'augmenter la tolérance aux fautes du circuit.

Dans le but de développer des circuits analogiques RF intégrés à fiabilité étendue toutes ces méthodes conceptuelles et structurelles devront être appliquées. Une des méthodologies structurelles à base de redondances communément utilisée, de par son efficacité, est la mise en place de redondances passives inactives, cette dernière garantissant la fiabilité des éléments redondants qui sont protégés des stress dus au fonctionnement. En revanche, elle nécessite l'ajout d'éléments de basculement (interrupteurs) et d'un élément intégré de surveillance de défaillance. A l'échelle d'un circuit VLSI, cette surveillance pourra se faire à partir d'un circuit d'auto-test intégré qui permettra la détection en ligne d'éventuelles défaillances. Cette méthodologie de redondance permet sur une durée donnée d'utilisation de réduire la probabilité de défaillance, ce qui revient à améliorer à ce titre la sûreté de fonctionnement du système.

CHAPITRE II :

Test des circuits radiofréquences

Sommaire

I.	<i>Etat de l'art.....</i>	55
I.1.	Généralités sur le test	55
I.1.1.	Notions de base concernant le test des circuits intégrés VLSI	55
I.1.2.	Différents tests au cours de la vie d'un produit VLSI	57
I.1.3.	Méthodes de test	59
I.2.	Modélisation de faute.....	62
I.2.1.	Modélisation des défauts analogiques.....	64
I.3.	Test des circuits analogiques radiofréquences.....	67
II.	<i>Méthodologie de test des circuits radiofréquences.....</i>	68
II.1.	Conception en vue du test	68
II.1.1.	Règles de DFT	69
II.1.2.	Amélioration de la testabilité.....	70
II.2.	Différentes techniques d'auto-test.....	71
II.2.1.	Auto-test par boucle de retour	72
II.2.2.	Auto-test par caractérisation d'un des paramètres du CUT	73
II.2.3.	Auto-test par oscillation.....	76
II.2.4.	Auto-test par mesure du courant consommé	77
II.3.	Choix et Placement des capteurs.....	81
II.4.	Méthodologie de test en fonctionnement.....	83
III.	<i>Conclusion.....</i>	84

I. Etat de l'art

I.1. Généralités sur le test

La technologie SOC, qui intègre des systèmes multifonctions communicants, a fortement augmenté l'importance des circuits analogiques ces dernières années. Des circuits intégrés ayant une partie digitale et une partie analogique sur un même substrat sont aujourd'hui communs dans des applications telles que les équipements biomédicaux, les communications sans fil, les multimédias ...

De plus, comme il a été décrit dans le paragraphe précédent, les avancées des technologies submicroniques entraînent une constante augmentation de la complexité des circuits. Le test est devenu un challenge difficile, à cause de cette complexité croissante additionnée à la diminution de la taille des puces, imposé par des contraintes de haute qualité à faible coût. Sur le marché compétitif d'aujourd'hui, l'incorporation d'une stratégie de test optimale dans le flux de conception d'un module sans fil est indispensable pour réduire son « time-to-market » et assurer son succès économique [VAL, 06].

I.1.1. Notions de base concernant le test des circuits intégrés VLSI

Le test d'un circuit électronique peut être défini comme l'expérience au cours de laquelle le circuit est mis à l'épreuve, la réponse résultante de ce dernier étant analysée afin de déterminer si son fonctionnement est bon. Dans le cas d'un fonctionnement incorrect, il est possible aussi de diagnostiquer ou de localiser la cause du dysfonctionnement. Pour permettre le diagnostic, il faut connaître la structure interne du circuit [ABR, 90].

Le test électronique est dépendant du type de circuit auquel il s'applique, il peut être classifié comme numérique, analogique ou mixte. Les méthodologies de test dédiées aux circuits numériques sont aujourd'hui largement développées, comme par exemple la méthodologie de test par balayage (scan) pour laquelle le standard IEEE 1149.1 a été créé [IEE, 93] ou la méthodologie à base de blocs logiques d'observation intégrés (BILBO : Built-In Block Observer) qui est abondamment utilisée [MIL, 98]. Au contraire, les méthodologies

de test pour les circuits analogiques sont relativement peu développées à cause de la complexité d'analyse des signaux analogiques.

Historiquement, les tests numérique et analogique ont été développés à des rythmes très différents entraînant un fort retard du test analogique face à son homologue numérique. En effet, des outils de conception informatisés permettant la génération automatique de test et l'insertion de circuits de test intégrés sont disponibles depuis une vingtaine d'année pour les circuits numériques. La raison principale de cette différence provient de la relative facilité à formuler la génération d'un test numérique sous la forme d'un problème mathématique grâce à la nature discrète de ses signaux. De plus, la différence entre une réponse valide ou mauvaise est en général clairement définie pour un circuit numérique, alors qu'au contraire, pour un circuit analogique tout est de savoir si le circuit est dans les marges de fonctionnement ou pas.

Estimation de la qualité d'un test

Le but du test est de distinguer un circuit qui fonctionnera correctement d'un circuit défectueux. En pratique, une partie de la fonctionnalité du circuit n'est pas testée dans ses conditions nominales de fonctionnement ou ne peut simplement pas l'être, ce qui limite la perfection du test. Cette limite est donnée par la couverture de fautes d'un test (FC : Fault Coverage), qui est définie comme suit :

$$FC = \frac{\text{nombre de fautes détectées par le test}}{\text{nombre total de fautes connues pour le circuit}} \quad \text{Eq. 2.1}$$

Un test aura un diagnostic de haute résolution s'il est non seulement capable de détecter une faute mais aussi de la localiser précisément. Le diagnostic n'est pas une propriété nécessaire pour une simple décision de type GO/noGO, mais elle peut être essentielle pour identifier les défauts d'un procédé de fabrication.

La qualité de mesure d'un test peut être contrebalancée par des facteurs de coût tels que la durée de test, la surface de silicium nécessaire pour le circuit de test, les broches additionnelles ou des dégradations de performances pour le circuit sous test dues à l'insertion du circuit de test. En effet, le coût d'un test dépend fortement du niveau de qualité que l'on désire et le passage d'une couverture de fautes de 97 % à 99 % ou la prise en compte d'un autre type de fautes peut multiplier par dix le coût de test.

La relation entre la qualité et le coût d'un test est donnée par la testabilité [FRI, 89] : un circuit aura une grande testabilité si l'on peut obtenir une forte qualité de test avec un faible coût. La testabilité est fonction de deux paramètres :

- La contrôlabilité : elle consiste en la capacité d'établir une valeur spécifique sur n'importe quel nœud dans le circuit en fixant des valeurs sur les entrées du circuit.
- L'observabilité : elle consiste en la capacité de lire la valeur du signal à n'importe quel nœud dans le circuit en jouant sur les valeurs des entrées du circuit et en observant ses sorties.

Les estimations de testabilité sont utilisées pour localiser les régions du circuit où le test sera difficile. Dans de telles régions, il faut de nouveau concevoir le système en utilisant les règles de conception en vue du test (DFT : Design For Testability), qui permettent d'améliorer la testabilité [LOG, 95]. Il découle des définitions de la contrôlabilité et de l'observabilité que la testabilité peut être améliorée si plus de nœuds sont accessibles par les entrées et sorties primaires. Par conséquent, des points de test sont insérés dans les régions de faible testabilité pour permettre une observation ou un contrôle direct d'un nœud interne (figure 2.1).

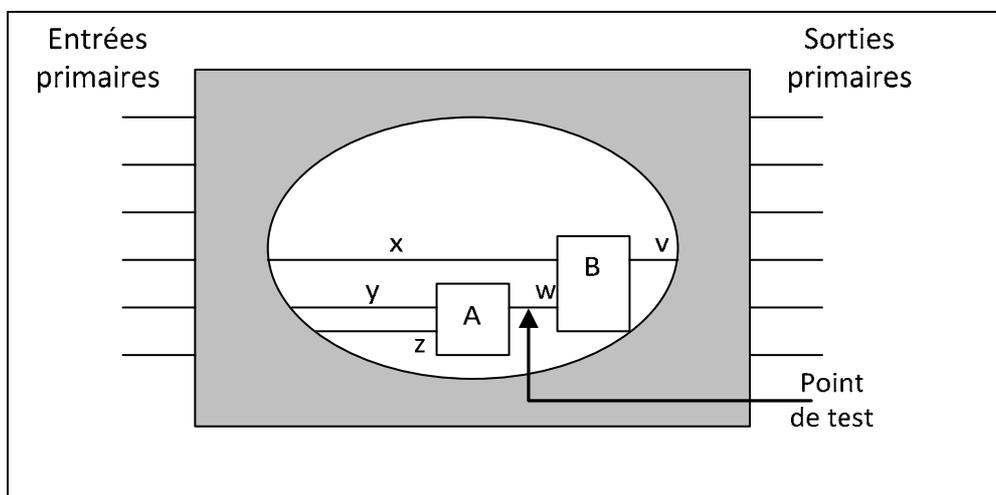


Figure 2.1 : insertion d'un point de test pour améliorer la testabilité

1.1.2. Différents tests au cours de la vie d'un produit VLSI

Les tests peuvent être réalisés à plusieurs niveaux, que se soit au niveau du substrat, de l'encapsulation, du module et du système complet, et même dans certain cas en cours

d'utilisation. Au niveau de leur coût, ces tests suivent la règle de 10, communément utilisée, qui stipule que le coût d'un mauvais composant au cours de la fabrication d'un système est multiplié par dix à chaque niveau. Par conséquent, il est primordial pour un fabricant de détecter les fautes le plus tôt possible.

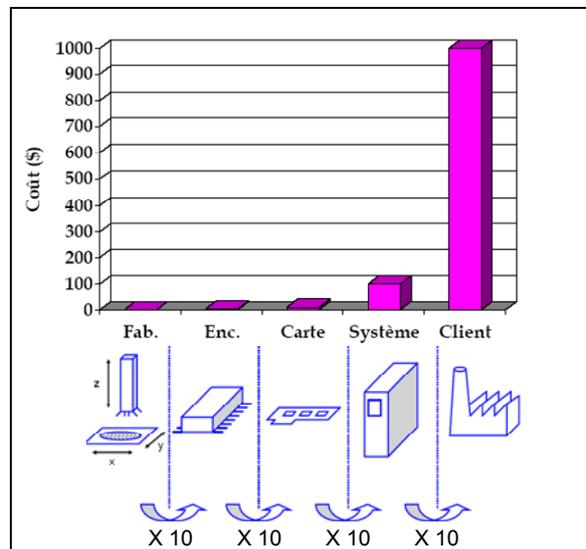


Figure 2.2 : Règle des $\times 10$ pour le coût d'un composant défectueux

Un circuit VLSI va donc subir toute une batterie de tests au cours de sa fabrication et même parfois tout au long de sa vie comme dans les applications à haute fiabilité par exemple. Ces tests peuvent être classés en :

- détection de faute,
- localisation de faute,
- prédiction de faute.

Les tests de production ont pour but de rejeter les éléments défectueux et de laisser passer les bons. Ils sont donc rapides de manière à ne pas augmenter le « time-to-market » des circuits et ne se concentrent que sur la détection de faute. Dans d'autres cas, comme les opérations de maintenance, une localisation du circuit ou module défectueux est nécessaire. La prédiction de fautes est principalement utilisée pour les circuits à haute fiabilité et elle teste le circuit sous test (CUT : Circuit Under Test) en fonctionnement de manière à déceler si un de ses éléments est sur le point de devenir fautif. Les tests de production ou de maintenance sont effectués pendant des cycles particuliers. Contrairement à ceux-ci, les tests en

fonctionnement sont appliqués pendant que le système réalise les tâches qui lui sont assignées.

1.1.2. Méthodes de test

La qualité des circuits fabriqués étant un critère essentiel, de nombreuses méthodes de test ont été développées, chacune visant à obtenir la meilleure couverture de fautes possible. Comme nous l'avons vu précédemment, ces méthodes concernent majoritairement les circuits numériques qui occupent depuis des décennies la plus grosse part du marché. Cependant, leur principe peut être appliqué au test des circuits analogiques comme la méthode du test par scan qui a été adaptée aux circuits analogiques [SUN, 95].

Ces méthodes sont basées sur la grande variété de modèles qui existent pour la description des circuits à différents niveaux d'abstraction. Les plus importantes sont les méthodes de test fonctionnel, de test structurel et de test I_{DDQ} pour les circuits CMOS conventionnels [STE, 00].

Le test fonctionnel :

Une approche intuitive pour le test est de montrer directement qu'une fonction spécifique du système est réalisée. On peut citer, par exemple, le test des mémoires par écriture puis lecture, ou le test des interfaces de communication grâce à une boucle de retour [YOO, 05]. Un test fonctionnel exhaustif est viable pour des blocs dont la fonctionnalité est limitée. C'est pourquoi, il est habituellement utilisé pour des structures régulières telles que les mémoires. Pour des systèmes plus complexes, le test fonctionnel devient particulièrement difficile à mettre en œuvre et ne permet pas une couverture de fautes suffisante.

Le test fonctionnel est basé sur les spécifications seules du circuit, aucune information sur la structure interne du circuit n'est requise. Ceci peut être un avantage dans le cas du test extérieur au composant, par contre une telle approche rend l'isolation de fautes et le diagnostic difficile, voir impossible. S'il est réalisé à la vitesse de fonctionnement du circuit, le test fonctionnel est aussi capable de détecter des fautes dynamiques.

Le test structurel (« scan test ») :

Le test structurel est une approche formelle dans laquelle le circuit est modélisé par une série de fonctions logiques primitives (portes, bascules) qui sont testées. Le test lui-même

est dépendant de l'intégration, mais les vecteurs de test nécessaires aux fonctions logiques primitives sont faciles à déterminer. Dans un circuit VLSI les fonctions logiques primitives ne sont pas accessibles de l'extérieur, c'est pourquoi des dispositions pour le test doivent être prises dès la conception.

Le scan test est l'approche la plus commune et de loin la plus utilisée pour les circuits numériques. Son principe repose sur le fait que toutes les cellules du circuit sont combinées en une chaîne de registres à décalage (ou chaîne de scan) dans un mode de test spécial. Ceci permet de partitionner le circuit en une série de sous-circuits combinatoires dont les entrées et sorties sont reliées à la chaîne de scan. Tous les registres de la chaîne de scan sont contrôlables et observables, ils sont définissables comme respectivement des pseudo-entrées primaires et des pseudo-sorties primaires. Ceci permet un test complet de la logique combinatoire du circuit (figure 2.3).

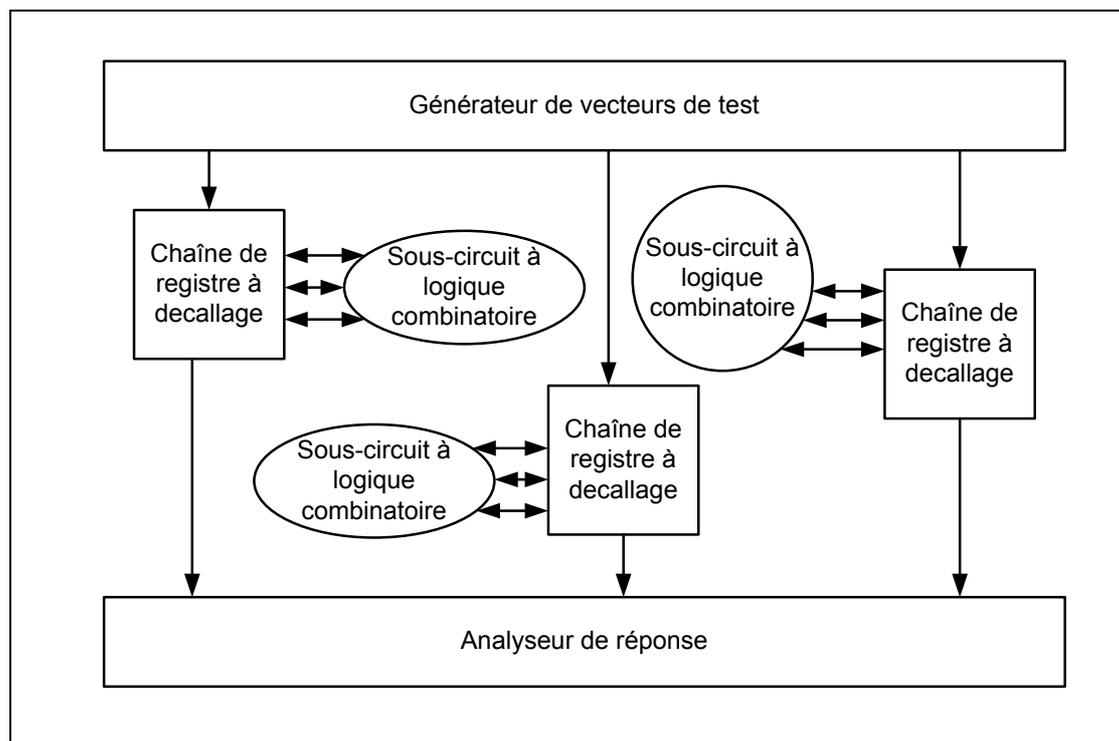


Figure 2.3 : Principe du « scan test »

La durée d'un tel test peut être diminuée si de nombreuses chaînes de registres courtes sont formées au lieu d'une seule longue chaîne. Par contre la génération des vecteurs de test, ainsi que l'analyse des réponses sont plus complexes. La détermination et la génération des vecteurs de test sont les parties les plus difficiles du scan test.

Les règles de conception pour le « scan test » imposent l'addition de cellules dans le « design », augmentant le coût et parfois obligeant la création de longues pistes qui peuvent se révéler critiques. C'est pourquoi il peut être avantageux de ne pas utiliser une méthode de scan complet décrite précédemment, mais plutôt une méthode de scan partiel où la chaîne de registres à décalage ne comprend pas toutes les cellules de registres. Par conséquent, les fonctions logiques obtenues ne sont pas purement combinatoires, mais comprennent des blocs séquentiels. Le scan partiel permet donc d'économiser de la surface de silicium et de diminuer la longueur des routages additionnels, mais par contre il nécessite plusieurs vecteurs de test pour chaque faute ciblée et donc prend plusieurs cycles d'horloge pour chacune d'elles [STE, 00].

Le test I_{DD} :

La technique de test I_{DD} est apparue dans les années 90 et a été développée dans le but d'améliorer les tests en fin de processus de fabrication et s'est révélée très prometteuse pour le test des circuits CMOS [AL, 95]. Cette technique est basée sur le fait qu'un circuit défectueux consomme un courant d'alimentation (I_{DD}) anormal ou au moins significativement différent du courant consommé par un circuit sans défaut. En effet, certains défauts, tels qu'un court-circuit entre polysilicium et oxyde de grille ou encore un défaut de « pont » entre deux pistes, engendrent une surconsommation du courant I_{DD} . Ceci est d'autant plus important que la réduction des dimensions technologiques favorise l'apparition de ce type de défauts. Les capteurs de courant ont été développés pour effectuer des mesures de I_{DD} afin de pouvoir détecter les circuits présentant de tels défauts.

Le test I_{DD} est utilisé en complément des tests booléens en fin de fabrication car il détecte certaines défaillances que les tests classiques ne perçoivent pas. De plus, il a été démontré que les circuits qui échouaient au test I_{DD} mais passaient les autres tests, étaient fonctionnels mais avaient une fiabilité réduite. Pour de telles applications, les capteurs de courant peuvent être hors de la puce à tester. Par contre, dans le cas de surveillance de défaillance pour des circuits à haute fiabilité par exemple, les capteurs sont intégrés sur la puce [ZAI, 02].

Le courant d'alimentation (I_{DD}) peut être divisé en deux éléments : I_{DDQ} courant de repos (« quiescent current ») et I_{DDT} courant transitoire ou dynamique (« transient current ») :

- I_{DDQ} est le courant de fuite consommé par un circuit en technologie CMOS au repos.
- I_{DDT} est un courant supplémentaire consommé par le circuit sous test pendant le temps de transition qui suit l'acquisition d'une entrée.

De nombreuses techniques de test ont été proposées et beaucoup d'entre elles reposaient sur le test I_{DDQ} , car il est plus facile à mettre en œuvre que le test I_{DDT} où l'extraction d'informations utiles est difficile à cause des rapides changements de la réponse en courant du circuit sous test. Cependant, le test I_{DDT} permet la détection de fautes non détectées par le test I_{DDQ} [PEC, 00].

Aujourd'hui, le test I_{DDQ} perd de sa popularité car il est très difficile à mettre en œuvre avec les technologies digitales avancées, pour lesquelles le courant I_{DDQ} se retrouve noyé dans des courants de fuites nominaux de plus en plus importants.

I.2. Modélisation de faute

Du point de vue du test et du diagnostic, une faute peut être considérée comme tout type de dysfonctionnement dans le système qui occasionnerait une anomalie inacceptable vis-à-vis de ses performances globales. Les fautes peuvent s'avérer très coûteuses en termes de perte de production et de dommages aux équipements. Ces dernières apparaissent dans un système à cause de son usure, de défauts de conception ou de fabrication, ou à une utilisation non correcte entraînant un stress. Dans certains cas les performances du système sont maintenues pendant une courte durée avant sa défaillance totale. Dans beaucoup d'autres cas, le système continue de fonctionner, malgré la défaillance d'un de ses composants, mais avec une dégradation de ses performances [KAB, 05].

Les mécanismes de fautes affectant les circuits CMOS sont nombreux et les principaux ont été décrits au paragraphe précédent. Tous ces mécanismes peuvent donner naissance à une grande variété de fautes qui peuvent être divisées en deux catégories :

- Les fautes catastrophiques ou soudaines qui vont entraîner une dégradation brusque et importante des performances du système.

- Les fautes sous-jacentes qui vont provoquer une lente dérive des performances du système.

Typiquement, les fautes catastrophiques ont un rôle majeur dans les applications où la sûreté est critique. Ces fautes doivent être détectées suffisamment tôt de manière à prévenir toute défaillance du système aux conséquences désastreuses.

La méthodologie la plus couramment utilisée pour générer la liste des fautes pouvant affecter un circuit est la méthodologie schématique. Dans une telle stratégie, il faut partir de la schématique du circuit et associer à chacun de ses éléments les fautes pouvant l'affecter. Par exemple, on associera à une piste un défaut d'ouverture ou un court-circuit avec la piste voisine. L'inconvénient de cette méthode est que le dessin des masques est négligé, ainsi certaines fautes considérées ne seront pas réalistes et la liste des fautes pourra être trop importante pour permettre une exploitation aisée. C'est pourquoi le plus souvent un seul type de faute est considéré, comme le modèle *stuck-at* très utilisé pour le test numérique [PAT, 98]. Malheureusement, cette simplification n'est pas souvent juste surtout en ce qui concerne les circuits analogiques. Dans un circuit CMOS par exemple, un court-circuit devra être modélisé par une résistance non nulle si l'on veut un modèle précis.

Pour une stratégie de test optimale, il est donc essentiel de mettre en relation les spécifications du circuit avec à la fois sa schématique et son dessin des masques. Il est aussi essentiel de faire la corrélation entre le modèle de faute et le mécanisme de faute associé. Ainsi, une liste de fautes réalistes avec des modèles précis peut être générée en se basant sur la probabilité d'apparition des fautes physiques et sur les dégradations qu'elles entraînent.

Pour les composants électroniques, il existe différents modes de défaillances que nous avons décrits dans le paragraphe précédent. Dans le cas des circuits analogiques, les défaillances fonctionnelles générées par ces dégradations sont caractérisées par le fait que le circuit va continuer de fonctionner, mais certaines de ses performances spécifiées vont dépasser leur plage acceptable. Par exemple, un amplificateur peut continuer de fonctionner mais avec un gain très faible.

1.2.1. Modélisation des défauts analogiques

La liste des fautes d'un circuit est primordiale pour évaluer la qualité d'un test, car elle recense l'ensemble des fautes modélisées qui devront être détectées par le test. Des modèles de fautes analogiques réalistes peuvent être réalisés à partir d'une solide connaissance du comportement du circuit. En général, un circuit intégré analogique défaillant peut se trouver dans l'une de ces trois situations :

- Défaillance catastrophique : le circuit ne fonctionne plus.
- Forte dégradation des performances : le circuit fonctionne toujours, mais certaines de ces caractéristiques ont dérivé hors de leur spécification.
- Dégradation tolérée des performances : le circuit fonctionne et toutes ses caractéristiques sont incluses dans les marges spécifiées. Dans ce cas le circuit est toujours considéré comme correct.

En conséquence, les fautes dans les circuits analogiques peuvent être classées en deux catégories distinctes :

- Les fautes catastrophiques : elles correspondent aux défauts qui entraînent une défaillance complète d'une partie ou de la totalité du circuit. Ces fautes englobent les défauts de court-circuit et d'ouverture et les variations importantes des paramètres de conception générées par les dispersions de fabrication (longueur et largeur de grille des transistors MOS).
- Les fautes paramétriques : elles entraînent une dégradation des performances du circuit. Ces fautes induisent une déviation des paramètres de leur valeur nominale, ces derniers pouvant par conséquent quitter leur bande de tolérance et ainsi provoquer une défaillance.

La seule différence entre une faute catastrophique et une faute paramétrique se situe dans la définition de défaillance complète. En effet, les fautes analogiques entraînant un mode continu de dégradation des paramètres, c'est-à-dire qu'ils peuvent prendre un nombre théoriquement infini de valeurs, la différenciation proviendra du seuil défini. C'est pourquoi, le problème majeur se dégageant pour le développement d'un modèle de faute dédié aux

circuits analogiques provient des bandes de tolérance dont les limites sont à l'appréciation du testeur (cf. figure 2.4).

Dans la plupart des cas, les fautes sont modélisées par des ouvertures ou des courts-circuits. Cependant, un changement de la valeur d'un composant peut entraîner une faute. Par exemple, une valeur fautive dix fois plus grande ou dix fois plus petite, que la valeur nominale d'un paramètre peut être considérée pour générer la liste des fautes. Les défauts d'ouverture ou de court-circuit ne sont que les cas extrêmes de ces deux considérations, et si ces dernières sont détectées, ils le seront aussi la plupart du temps. Pour avoir des modèles de fautes précis et adaptés aux circuits intégrés, les défauts d'ouverture ou de court-circuit doivent être considérés comme une valeur résistive dépendant de la technologie [SAC, 95].

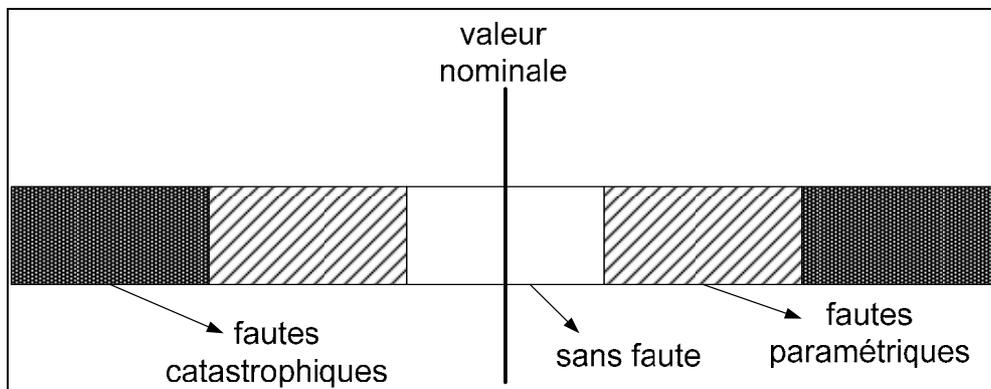


Figure 2.4 : bandes de tolérance pour les différents types de fautes

Afin de pouvoir simuler les fautes sur les circuits, le modèle utilisé lors de cette étude pour les différents constituants d'un circuit analogique est présenté en figure 2.5. Le modèle appliqué à la résistance R est adapté aux condensateurs, inductances et diodes en la remplaçant par ces derniers.

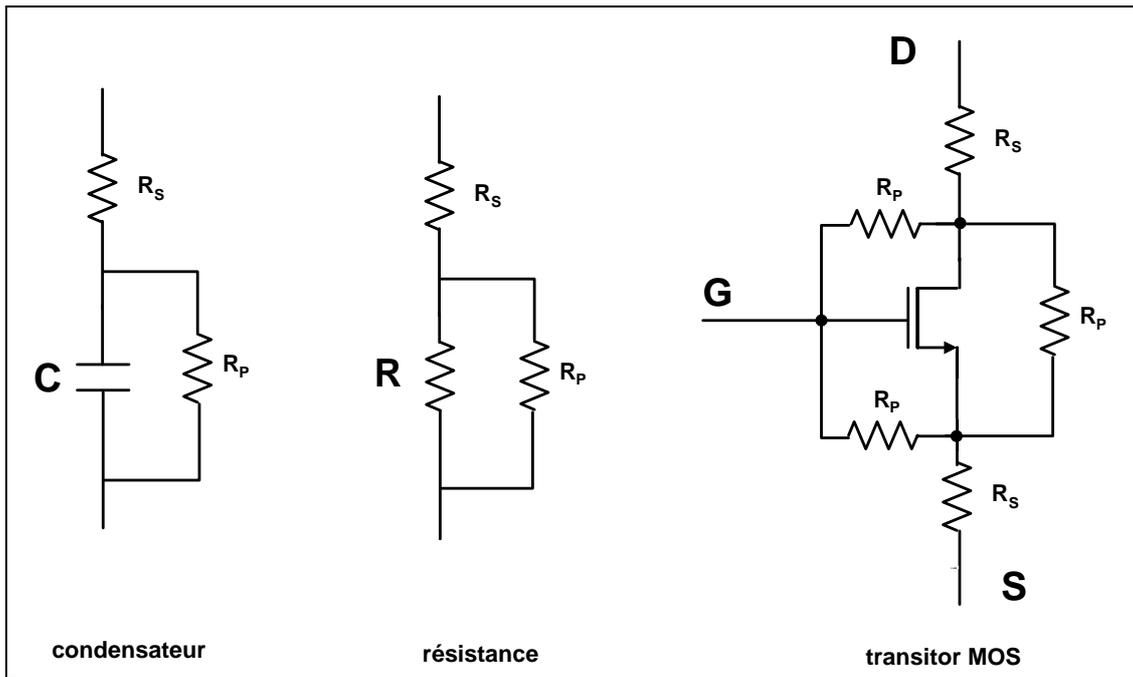


Figure 2.5 : modèles de fautes

Les défauts d'ouverture sont des défauts catastrophiques pour lesquels le terminal du composant n'est plus en contact avec le reste du circuit. Pour simuler de telles fautes, on applique une valeur importante à la résistance série, R_s , concernée (e.g. 1 M Ω). Au contraire, les courts circuits vont directement relier deux terminaux d'un composant, pour les modéliser on appliquera une faible valeur à la résistance parallèle, R_p , concernée (e.g. 1 Ω).

Nous pouvons, à partir de ce modèle, établir une équation permettant de calculer le nombre de fautes catastrophiques simulées pour un circuit intégré en technologie MOS :

$$N_{FC} = 2 \cdot (R + C + D + I) + 5 \cdot M \quad \text{Eq. 2.2}$$

Où

- N_{FC} nombre de fautes catastrophiques
- R nombre de résistances
- C nombre de condensateurs
- D nombre de diodes
- I nombre d'inductances
- M nombre de transistors MOS

La simulation des fautes paramétriques se fera grâce à une modulation des valeurs des résistances R_s et R_p en fonction du niveau de faute voulu. La prise en compte du dessin des masques sera nécessaire pour pouvoir ajouter aux fautes dues aux différents composants du

circuit, les fautes qui pourront apparaître lors de l'utilisation du circuit, tels que les défauts d'ouverture dus à l'électromigration dans les vias.

I.3. Test des circuits analogiques radiofréquences

Les transmetteurs (émetteurs-récepteurs) sans fil modernes sont des systèmes à haut niveau d'intégration, généralement implantés dans des puces à signaux mixtes. Le test de ces circuits est rendu de plus en plus difficile à cause du nombre limité de points d'accès qui diminuent leur contrôlabilité et leur observabilité. De plus, les hautes fréquences de fonctionnement de ces circuits rendent même l'acte de mesure difficile car celui-ci peut perturber les performances du circuit RF sous test. Les solutions existantes basées sur une approche de test externe à la puce nécessitent d'importantes ressources informatiques, alors que les techniques basées sur une boucle de retour visent les performances globales du transmetteur mais ne permettent pas le test individuel des sous-éléments. Les approches commerciales actuelles nécessitent des équipements de test automatique coûteux et un long temps de test : le test pouvant consommer plus de 40 % du coût total de fabrication [GOP, 05].

Les techniques d'auto-test intégré (BIST : Built-In Self Test) apparaissent aujourd'hui comme la solution pour permettre une réduction du coût et des perturbations lors du test des frontaux RF. En effet, les techniques de test basées sur l'implémentation de circuits BIST sont, depuis longtemps, utilisées en numérique car elles permettent d'améliorer la testabilité des circuits. C'est pourquoi le BIST a été adapté aux circuits RF et de nombreuses techniques reposant sur ce dernier ont émergé ces dernières années car elles présentent de nombreux avantages :

- Réduction de la complexité et du coût des équipements de test automatique.
- L'augmentation du coût de la mise en boîtier oblige à une implémentation de puce non fautive : le BIST permet une amélioration de la détection de faute au niveau des tranches de silicium.
- Le BIST facilite la localisation des défauts (identification du bloc fautif) et permet ainsi un retour qui améliore le rendement.

Cependant, pour être efficace dans un système RF, le BIST devra vérifier les conditions essentielles de robustesse, transparence vis-à-vis du CUT et faible occupation de surface.

II. Méthodologie de test des circuits radiofréquences

Comme nous venons de le décrire précédemment, le test des circuits radiofréquences intégrés est très complexe à mettre en œuvre de par la faible testabilité de ces circuits. Le concept de conception en vue du test (DFT : Design For Testability) est aujourd'hui primordial pour garantir une stratégie de test efficace. Il permet la synchronisation entre la conception du circuit et la génération du test. En effet, à l'origine, le test des circuits était effectué après que les circuits aient été conçus, mais la complexité des circuits actuels ne permet plus une mise en place du test si tardive. Les ingénieurs de conception et/ou de test doivent tenir compte de la testabilité du circuit dès les premières phases de conception d'un circuit et doivent trouver le meilleur compromis entre fonctionnalité, performances et test.

II.1. Conception en vue du test

La DFT peut être considérée comme toutes les modifications de conception qui permettent d'améliorer l'accès du test, réduire le coût du test, améliorer l'efficacité du test ou augmenter la couverture de fautes. Le concepteur devra cependant dépasser certaines limitations inhérentes à la DFT :

- Les solutions de DFT peuvent nécessiter des circuits additionnels qui pourraient dégrader les performances du circuit sous test, augmenter sa consommation et/ou la taille de la puce.
- Les solutions de DFT peuvent entraîner une modification complète de la stratégie de test.
- Les solutions de DFT peuvent nécessiter la mise en place de fonctions analogiques additionnelles qui compliqueront l'implémentation du système.

- Les solutions de DFT qui mettent en jeu des BISTs ne prennent pas toujours en compte les problèmes de bruit, de variations de procédé et des imprécisions de mesures qui sont inhérents aux fonctions analogiques.

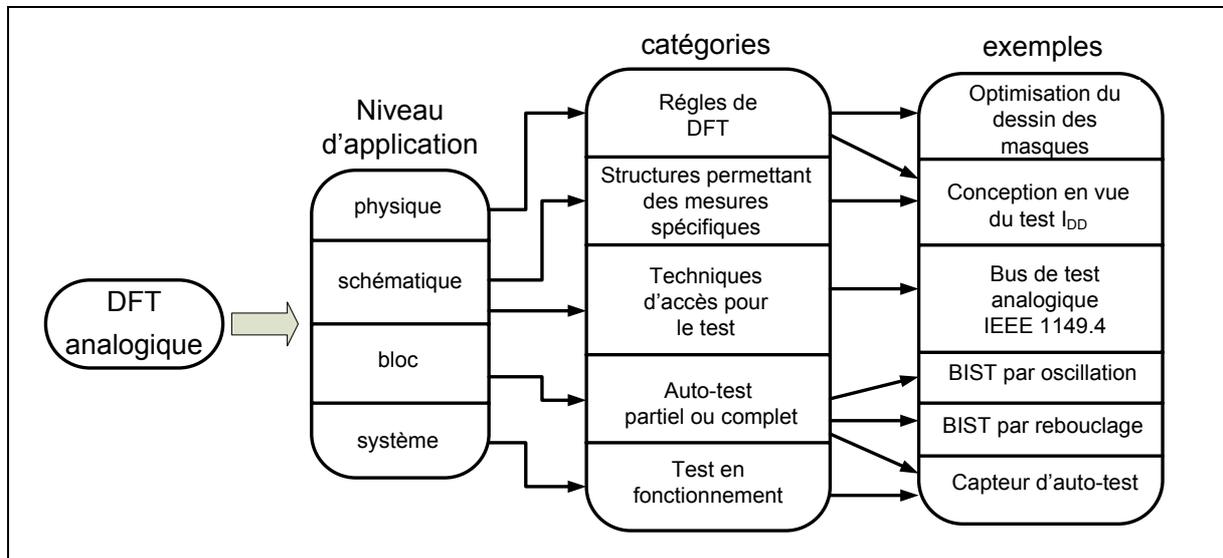


Figure 2.6 : DFT analogique [KAB, 05].

La DFT peut s'appliquer à toutes les étapes de conception d'un circuit. La figure qui précède, décrit les différents niveaux d'application de DFT en donnant quelques exemples d'application. Malgré une approche différente pour chacun de ces champs d'application le but recherché consiste toujours à améliorer la testabilité du circuit [KAB, 05].

II.1.1. Règles de DFT

La plupart des règles de DFT sont des règles qui conjuguent la connaissance du circuit du concepteur aux expériences de test antérieures. Des principes ad-hoc généraux de test analogique, assez similaires à ceux du test numérique, peuvent être appliqués quasi-systématiquement :

- Partition du circuit en macro-blocs ;
- Observation des macro-sorties ;
- Mise en place d'éléments de stockage numériques au niveau des interfaces de conversion Analogique/Numérique et Numérique/Analogique ;
- Utilisation d'un port d'accès numérique pour sélectionner le mode test.

Il n'existe pas de règles plus spécifiques applicables aux circuits analogiques, ces derniers ayant des caractéristiques et un comportement propres à chacun d'eux. De plus leur sensibilité à toute variation d'un seul de leurs paramètres nécessite obligatoirement la prise en compte des règles de DFT dès les premières étapes de conception.

II.1.2. Amélioration de la testabilité

L'amélioration de la testabilité passe par l'amélioration de la contrôlabilité et de l'observabilité du circuit sous test ou CUT pour « Circuit Under Test » en anglais. Deux techniques de DFT principales peuvent être utilisées pour y arriver.

Bus de test :

La méthode la plus utilisée pour améliorer l'accès aux nœuds internes des circuits mixtes analogiques-numériques est celle basée sur l'utilisation d'un bus de test analogique, combiné à des interrupteurs analogiques réalisés à partir de portes de transmission CMOS. Dans une telle stratégie, lorsque le circuit est en mode de test le nœud à observer est connecté au bus de test où un signal peut être injecté ou récupéré depuis le testeur [MIL, 98].

Comme décrits dans les publications [WEY, 92] [SOM, 95], des courants sont envoyés dans la chaîne de scan. Dans ce cas, le registre à décalage est composé de miroirs de courant et d'interrupteurs. Dans l'approche de la figure 2.7, si la tension à un nœud veut être observée elle est tout d'abord convertie en un courant et isolée du circuit grâce à un convertisseur tension/courant. Pour récupérer l'information, l'interrupteur S_L est fermé, le courant traverse le transistor M_{1A} et fixe la tension aux bornes de C_1 de manière à supporter le courant I_{in} . Le transistor M_{1B} est alors capable de recopier le courant I_{in} si une charge est connectée. Ensuite pour scanner vers la sortie le courant enregistré, S_L est ouvert et les interrupteurs S_2 et S_1 sont alternativement fermés.

Cette méthode est particulièrement adaptée au test des circuits complexes et au test au niveau système. Par contre, elle nécessite des broches d'entrée/sorties supplémentaires et ne permet pas un test à haute fréquence. De plus, la longueur d'une chaîne de scan analogique fonctionnant en courant ou en tension, va être limitée par la précision des différents éléments qui la constituent à cause des pertes qu'ils vont engendrer.

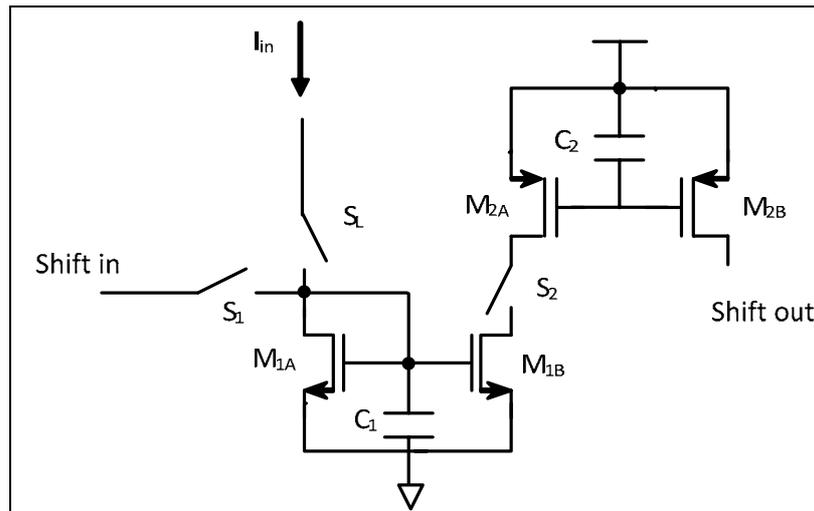


Figure 2.7 : Cellule de scan en courant

BIST :

La technique de DFT la plus prometteuse à ce jour pour tester les circuits analogiques RF est la mise en place de BIST qui permettent de fortement améliorer la testabilité du CUT RF. Les deux avantages principaux de cette méthode sont :

- la forte augmentation de la testabilité du CUT : le circuit de test étant intégré à la structure du CUT, il pourra ainsi accéder à tous les nœuds critiques désignés par la stratégie de test,
- la possibilité d'effectuer le test à la fréquence de fonctionnement du CUT : le circuit de test et le CUT étant réalisés avec la même technologie et les problèmes de transport de l'information étant réduits à leur minimum de par la proximité des deux entités, la fréquence des mesures ne sera pas limitée par la technologie du testeur.

II.2. Différentes techniques d'auto-test

De nombreuses méthodologies de test basées sur l'utilisation d'un capteur intégré ont été proposées pour le test des circuits analogiques RF depuis la mise en évidence des avantages du BIST. Ces techniques mettent en jeu des capteurs divers et variés, tels que des capteurs de courant intégrés (BICS : Built-In Current Sensor), des capteurs de gain, des capteurs d'impédances d'entrée, etc, développés dans le but d'obtenir une bonne couverture de fautes.

Il convient maintenant de détailler dans ce paragraphe quelques techniques d'auto-test développées pour les circuits RF, ces dernières permettant un test de qualité et en plus étant particulièrement adaptées au développement de circuits à fiabilité étendue de par leur capacité de test en fonctionnement.

II.2.1. Auto-test par boucle de retour

Le test par l'intermédiaire d'une connexion permettant le rebouclage de l'émetteur sur le récepteur est une des premières stratégies développée pour le test des systèmes sans fil communicants [JAR, 95]. Elle ne requiert pas de stimuli extérieurs et permet de détecter toute faute catastrophique sur le chemin du signal RF.

Dans cette technique, la phase de test est activée grâce à un interrupteur qui commande le rebouclage et à un atténuateur qui permet d'adapter le niveau de puissance de l'amplificateur de puissance (PA) à celui de l'amplificateur faible bruit (LNA). Par la suite, une simple comparaison des données d'entrée et des données de sortie permet de déterminer si le système est fonctionnel ou pas. Les avantages principaux de cette méthode sont la simplicité d'implémentation de la technique, sa faible surface ajoutée car il suffit d'ajouter un interrupteur et un atténuateur, et sa transparence vis-à-vis du CUT. Par contre, l'isolation de faute n'est pas possible, et en plus il peut y avoir des phénomènes de compensation : par exemple un PA avec un gain plus important pourra compenser le faible gain d'un LNA fautif lors d'un tel test [VAL, 06]. Des améliorations structurales à base d'interrupteurs permettent de court-circuiter certains éléments afin d'améliorer la contrôlabilité du transmetteur en isolant certains de ses constituants [RAM, 06].

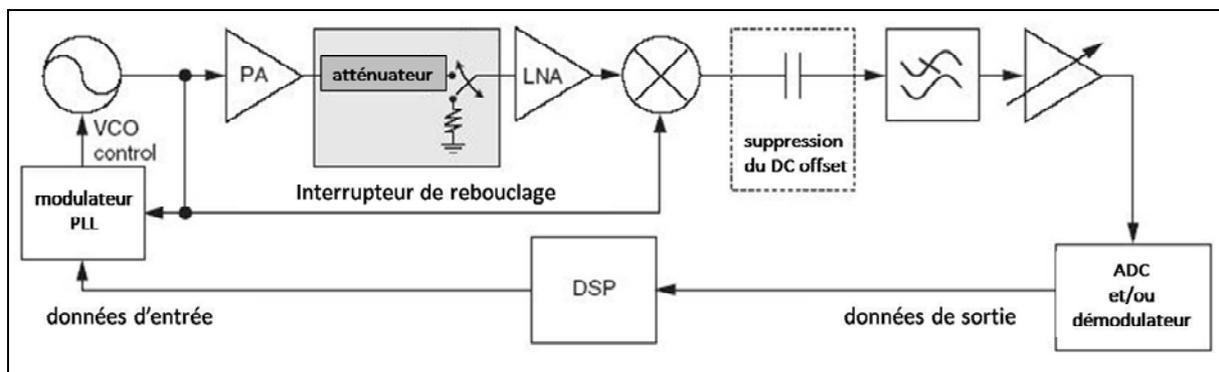


Figure 2.8 : schéma de principe du test d'un transmetteur par rebouclage

II.2.2. Auto-test par caractérisation d'un des paramètres du CUT

De nombreux BIST basés sur le test d'un des paramètres du CUT sont disponibles dans la littérature, par exemple le test par analyse spectrale [NEG, 03], le test par réponse impulsionnelle [TAY, 03]. Mais la plupart de ces tests nécessitent un équipement de calcul externe pour extraire le résultat du test. Nous ne développerons donc ici que quelques techniques qui paraissent totalement intégrables après adaptation.

Auto-test par caractérisation de la fonction de transfert [VAL, 04]:

La caractéristique la plus importante d'un circuit analogique à temps continu (les filtres, les amplificateurs, les buffers,...) est sa réponse en fréquence. La plupart des techniques de test relatives à ces circuits utilisent des méthodes indirectes pour la détection de fautes. La technique de test présentée ici repose sur la mesure de l'amplitude et de la phase de la réponse du circuit. En effet, à une fréquence donnée (ω_0) la fonction de transfert d'un circuit ($H(\omega_0)$) peut être obtenue en comparant l'amplitude et la phase des signaux en entrée et sortie de ce circuit. En intégrant un générateur de signal (dont la fréquence est réglable sur toute la bande passante du circuit sous test) et un détecteur d'amplitude et de phase, on peut créer un analyseur de fonction de transfert intégré (figure 2.9).

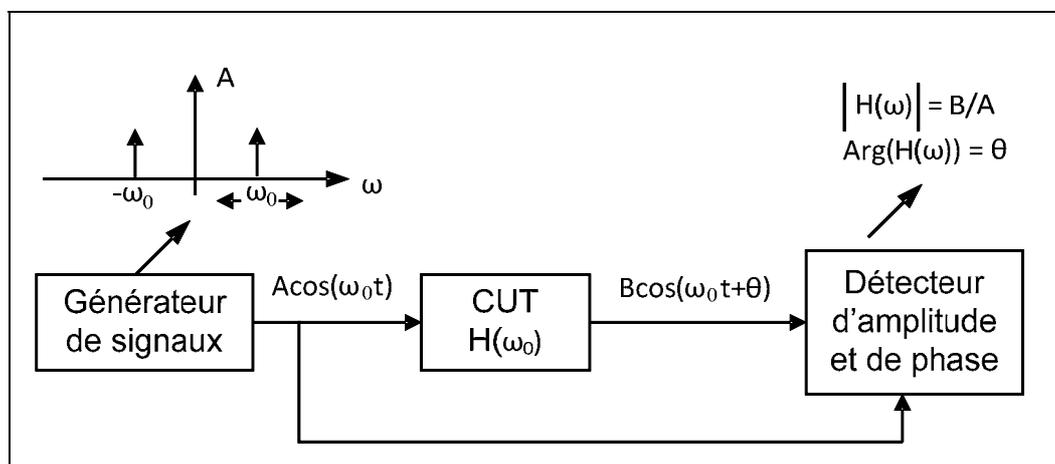


Figure 2.9 : description du système

La figure 2.10 illustre la technique de Valdes-Garcia : un multiplieur analogique réalise, séquentiellement, trois multiplications entre les signaux d'entrée et de sortie du circuit sous test. Pour chacune de ces opérations, une composante continue et une composante à une

fréquence de $2\omega_0$ sont générées, cette dernière est supprimée grâce à un filtre passe bas en sortie du multiplieur.

On obtient donc les trois tensions continues suivantes :

$$X = K \frac{A^2}{2} \tag{Eq. 2.3}$$

$$Y = \frac{1}{2} K . A . B . \cos \theta \tag{Eq. 2.4}$$

$$Z = K \frac{B^2}{2} \tag{Eq. 2.5}$$

Où K gain du multiplieur
 A et B amplitudes des signaux en entrée et sortie du CUT
 θ déphasage introduit par le CUT

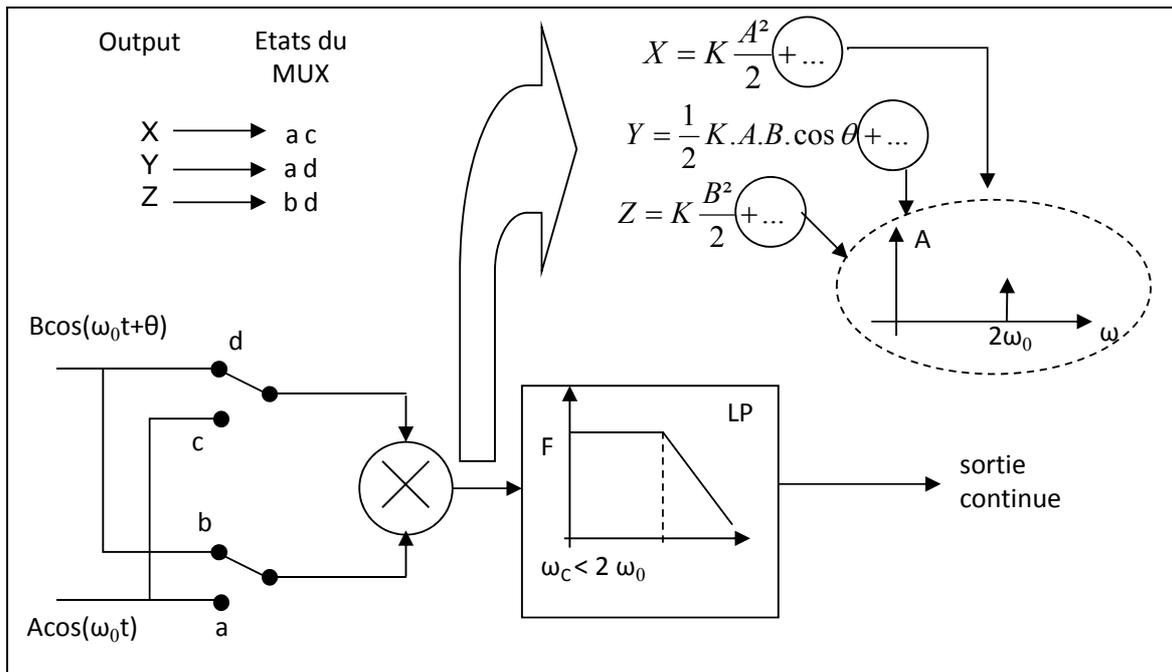


Figure 2.10 : détecteur d'amplitude et de phase

A partir de ces trois sorties continues, un système extérieur peut facilement calculer la fonction de transfert du circuit à la pulsation ω_0 en réalisant les opérations suivantes :

$$\theta = \cos^{-1} \left(\frac{X}{\sqrt{X.Z}} \right) \tag{Eq. 2.6}$$

$$\frac{B}{A} = \sqrt{\frac{Z}{X}} \quad \text{Eq. 2.7}$$

Il est important de noter que ces opérations ne nécessitent pas un équipement avec une forte puissance de calcul. Un simple microcontrôleur de 8 bits est capable de faire des opérations trigonométriques et autres fonctions mathématiques. Cette technique est robuste aux effets que peuvent avoir les variations de procédé sur les performances des différents blocs ; on constate en effet dans les équations précédentes que ni l'amplitude du signal généré (A), ni le gain K du multiplieur n'ont besoin d'être connus.

A partir des spécifications du circuit on détermine un ensemble de fréquences de test afin de le caractériser. Le nombre minimum de ces fréquences de test est obtenu à partir de la modélisation de fautes. Des résultats intéressants ont été obtenus pour des fréquences allant jusqu'à 160 MHz.

Auto-test à l'aide d'un détecteur RMS [VAL, 05]

Le détecteur RMS permet de fournir une tension continue proportionnelle à la valeur efficace de la tension d'un signal RF. Son principe de fonctionnement est décrit par la figure qui suit.

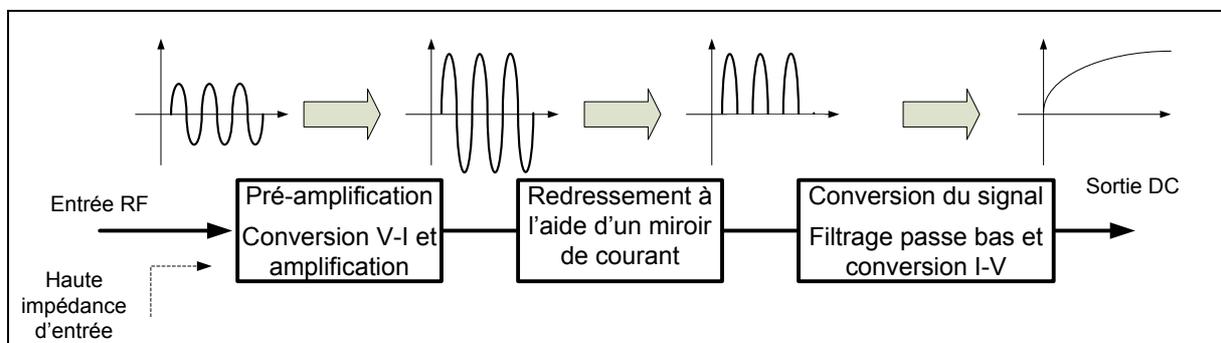


Figure 2.11 : principe du détecteur RMS

Un tel détecteur permet d'effectuer des mesures de gain dans le cas où l'on mesure dans un premier temps le niveau du signal en entrée d'un bloc et dans un deuxième temps le niveau du signal en sortie de ce bloc. Par la suite, la différence de ces deux mesures permet d'en déduire le gain du bloc. La mesure du point de compression à 1 dB est aussi possible, dans le cas où l'on augmente petit à petit l'amplitude du signal d'entrée jusqu'à observer une

différence correspondant à un décibel entre le niveau de sortie du détecteur en entrée et celui en sortie du CUT.

Ce détecteur est un circuit simple, composé d'une vingtaine de transistors et de quelques résistances et condensateurs, ce qui lui permet d'occuper une très faible surface de silicium. Son autre avantage est qu'il permet la mesure du gain de différents blocs RF allant de l'amplificateur faible bruit à l'amplificateur de puissance. Par contre, des précautions sont à prendre au niveau de son impédance d'entrée qui devra être suffisamment grande pour ne pas perturber le CUT. Il faudra aussi tenir compte de sa plage de fréquence de fonctionnement ainsi que de son point de compression qui limiteront les mesures.

II.2.3. Auto-test par oscillation

La technique de test par reconfiguration et par oscillation est une technique qui permet de tester efficacement les circuits en éliminant le besoin d'une source de stimuli de test. Son principe repose sur la reconfiguration du CUT en oscillateur en mode de test, soit en modifiant les valeurs de certains composants pour bouger les pôles du circuit ou en introduisant une contre-réaction positive. L'amplitude et la fréquence des oscillations obtenues sont les paramètres de test qui sont comparés à des valeurs de référence pour déterminer si le CUT est fautif ou non.

Cette méthode de test a donc été adaptée à un LNA en se basant sur la constatation que les structures d'un LNA classique et d'un oscillateur Colpitts étaient très similaires (cf. figure 2.12) [MAC, 06].

Nous pouvons voir qu'il suffit d'ajouter une boucle de contre-réaction au LNA pour pouvoir le configurer en oscillateur, le diviseur de tension capacitif pouvant être généré à partir de la capacité de son circuit bouchon. Un interrupteur placé dans la boucle de contre-réaction permet d'activer le mode test. La mesure est, par la suite, réalisée en sortie du LNA grâce à un circuit permettant de donner le produit de sa consommation dynamique en courant par celle en tension qui est un indicateur permettant d'obtenir une bonne couverture de fautes [MAC, 95].

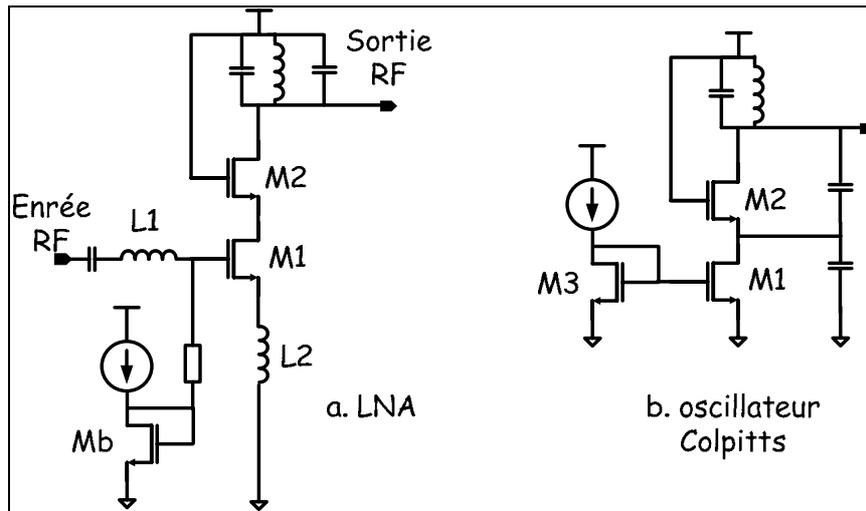


Figure 2.12 : schématique d'un LNA et d'un oscillateur

II.2.4. Auto-test par mesure du courant consommé

Comme nous l'avons vu dans un paragraphe précédent, la technique de test du courant I_{DD} a été initialement développée pour le test des circuits numériques et plus particulièrement pour le test des circuits CMOS VLSI. Cette technique d'auto-test possède des atouts majeurs, tels que sa facilité de mise en œuvre et sa faible surface, qui ont favorisé son adaptation au test des circuits analogiques. De plus, la mesure du courant d'alimentation des circuits analogiques permet d'atteindre de forts taux de couverture de fautes [BAT, 96 ; LIN, 98].

La qualité de l'auto-test par mesure du courant consommé repose uniquement sur le capteur de courant intégré (BICS : Built-In Current Sensor) par l'intermédiaire duquel la mesure est effectuée. En effet, un BICS devra avoir les caractéristiques suivantes afin de permettre un test efficace :

- Grande vitesse de fonctionnement qui permettra la mesure du courant I_{DDQ} et aussi celle du courant I_{DDT} qui peut contenir des informations utiles au test.
- Forte résolution en courant pour la détection des petites variations de courant.
- Faible chute de tension à ces bornes afin de fonctionner dans la marge de tension du circuit sous test.
- Dessin des masques simple à intégrer.

- Faible surface occupée sur la puce pour réduire son coût.

La conception d'un BICS débouche donc toujours sur un compromis entre sa rapidité, sa taille, sa sensibilité et sa précision. Par exemple, une plus grande résistance de l'élément sensible permet d'augmenter la sensibilité, mais en contrepartie, ceci fait chuter la vitesse de mesure et augmente la chute de tension aux bornes du capteur ce qui est très gênant dans le cas des circuits à faibles tensions d'alimentation [PEC, 00].

Dans les circuits analogiques complexes, pour lesquels les valeurs des courants I_{DDQ} sans défaut et avec défauts se recouvrent, il devient donc impossible de choisir une valeur de seuil de détection adéquate. Une des solutions à ce problème est de partitionner le circuit en éléments plus petits possédant des courants de fuites d'un niveau acceptable, cette technique permettant en plus de déterminer quel est le sous-circuit fautif [ZJA, 05].

Exemples de BICS :

Etant donné le succès du test I_{DD} , de nombreux BICS ont été réalisés pour le test des circuits. Suivant la nature de leur élément sensible, les BICS seront plus ou moins adaptés au test des circuits RF.

Dans le cas du BICS présenté dans [SRI, 02], ce dernier a été conçu pour tester des circuits mixtes, analogiques et numériques. Il est constitué d'un amplificateur différentiel en courant, de deux miroirs de courant et d'un inverseur. Les entrées de l'amplificateur différentiel sont connectées d'une part à un courant de référence, d'autre part au courant qui traverse le CUT. Quand le courant I_{DDQ} est supérieur au courant de référence, le signal de sortie bascule au niveau haut, ce qui indique la présence d'un défaut. Dans le cas contraire, le signal de sortie reste au niveau bas (cf. figure 2.13). Un tel capteur a besoin d'une marge de tension pour que ses transistors fonctionnent et perturbera le CUT RF lors des phases de test qui ne seront pas réalisées dans des conditions nominales.

Des solutions plus recherchées mais plus difficilement réalisables ont été proposées telle que le capteur MAGFET [KIM, 01]. Ce dernier utilise l'effet Hall généré par la force de Lorentz sur les porteurs mobiles dans un transistor MOS à deux drains nommé MAGFET. En effet, lorsque le MAGFET est placé dans un champ magnétique, les porteurs en mouvement sont déviés par la force de Lorentz ce qui entraîne une différence de courant proportionnelle au champ, entre ces deux drains. Le principe du capteur est donc le suivant : le courant I_{DDQ}

dans une ligne d'alimentation du CUT génère un champ magnétique qui est mesuré par l'élément sensible à base de MAGFETs.

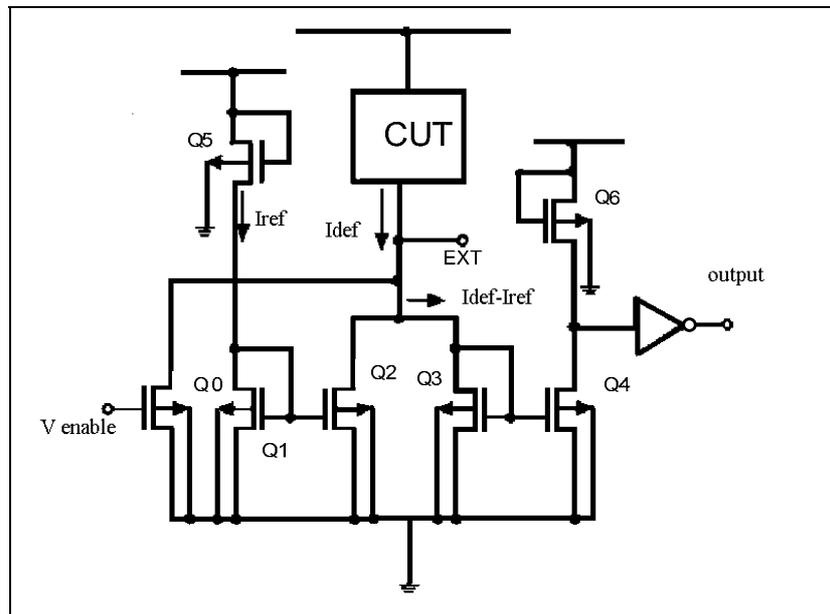


Figure 2.13 : schéma de principe du capteur de [SRI, 02].

D'autres BICS utilisent comme élément sensible une résistance de faible valeur insérée en série avec le CUT [KIL, 01 ; MAI, 97 ; GOP, 04]. Dans de tels capteurs de courant, ce sont les variations de la chute de tension aux bornes de la résistance qui sont détectées étant donné que cette tension est l'image du courant consommé par le CUT. Ce type de BICS qui n'utilise quasiment pas de marge de tension du CUT et qui ne le perturbe pas, grâce à la très faible valeur de leur résistance (une à deux dizaines d'ohms), paraît le mieux adapté au test des circuits analogiques RF.

Le capteur de courant de la publication [KIL, 01] ne mesure que les fluctuations du courant d'alimentation du CUT. La tension aux bornes d'une résistance, insérée entre le CUT et son alimentation, est filtrée par un filtre passe haut RC, ce qui permet de ne garder que les variations de tension (image du courant). Ces dernières, par l'intermédiaire d'un comparateur, commandent un transistor qui court-circuite le CUT. Les propriétés du réseau de contre-réaction ainsi constitué permettent de dire que le courant dans le transistor shunt est égal en valeur absolue aux variations de courant dans le CUT. Ce courant est ensuite transformé en signal de sortie à l'aide d'un miroir de courant.

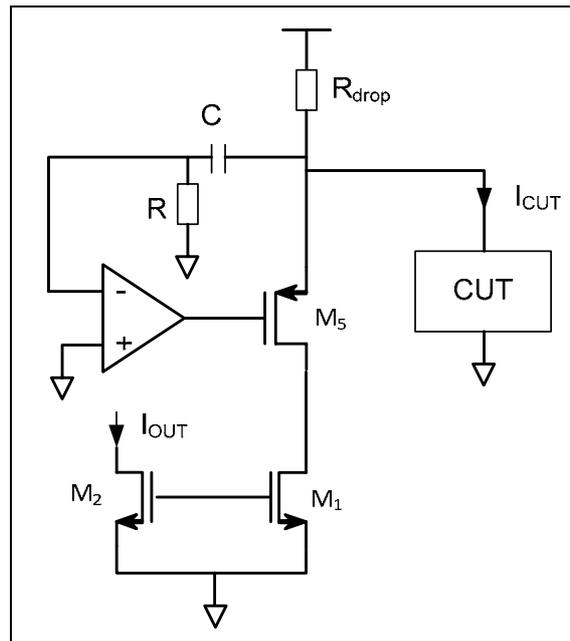


Figure 2.14 : schéma de principe du capteur [KIL, 01]

La figure 2.15 donne le schéma de principe du BICS décrit dans [MAI, 97] où le courant d'alimentation consommé par le CUT entraîne une chute de tension dans la résistance ρ . Ainsi le miroir de courant PMOS, dans lequel cette résistance est intégrée, est déséquilibré, et le circuit est conçu de telle manière que l'équilibre sera de nouveau atteint lorsque le courant dans le transistor M_{11} sera égal au dixième du courant I_{DD} . Ce capteur produit donc un courant de sortie proportionnel au dixième du courant consommé.

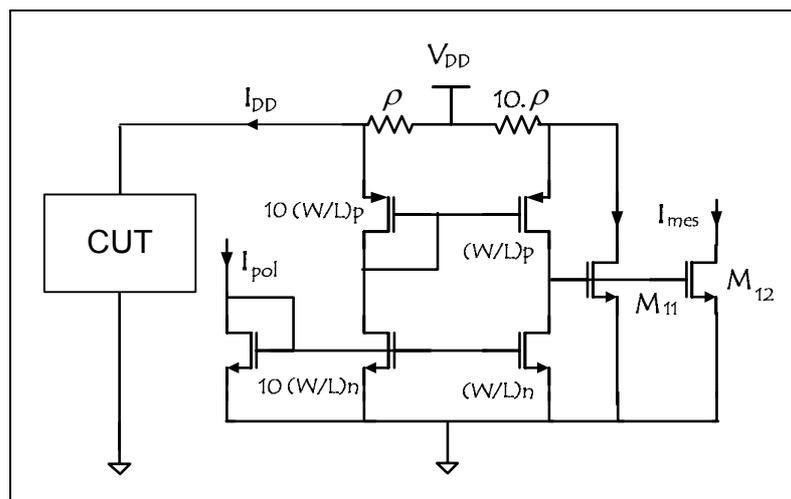


Figure 2.15 : schéma de principe du BICS de [MAI, 97].

Le capteur développé par Gopalan et al. est capteur de courant I_{DDT} . Ce dernier peut être divisé en trois étages. Le premier étage est composé d'une résistance sensible R_S , placée en série avec le CUT entre ce dernier et son rail d'alimentation, qui est connectée au reste du circuit par un transistor PMOS monté en source commune. Le deuxième étage est un amplificateur inverseur qui permet d'augmenter l'excursion en courant tout en ajoutant du gain. Enfin, le dernier étage est un convoyeur de courant par lequel est réalisée la mesure.

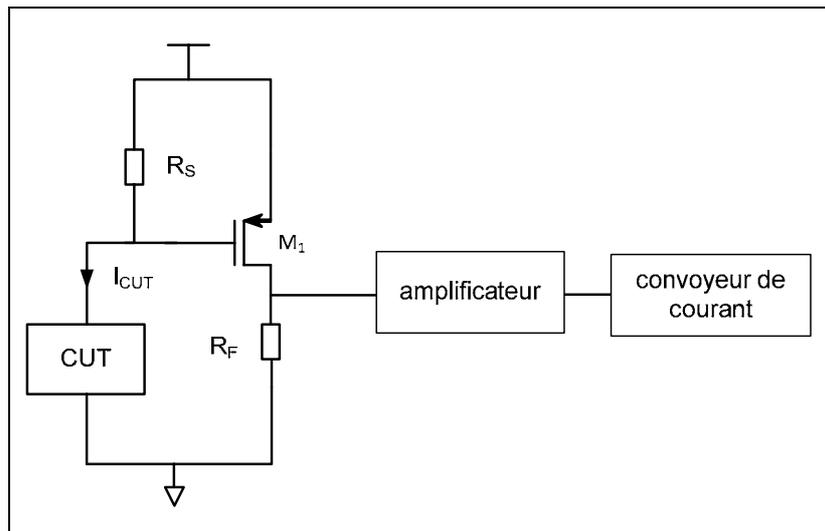


Figure 2.16 : schéma de principe du BICS de [GOP, 04].

II.3. Choix et Placement des capteurs

Les capteurs intégrés ne peuvent pas être placés au hasard lorsqu'il s'agit d'un circuit RF. En effet, les circuits analogiques RF sont très sensibles à toute variation de leurs paramètres de polarisation et d'adaptation (réseaux d'adaptation en entrée et en sortie). La difficulté majeure réside donc dans la transparence du capteur par rapport au CUT RF.

La solution la plus fréquemment proposée par les concepteurs de BIST pour remédier à ce problème, est une entrée qui va court-circuiter le capteur lorsque les mesures ne sont pas effectuées. Ainsi, en mode normal le CUT réalisera ses opérations sans que le capteur ne soit connecté et ne subira donc aucune dégradation de performances, les perturbations n'étant effectives que durant le mode test [SRI, 02].

D'autre part, le capteur, suivant son mode de test, sera intégré en parallèle ou en série avec le CUT et sur différents points d'entrée ou de sortie de ce dernier. Par exemple, un BICS est généralement intégré en série entre la masse et le CUT, ou le CUT et son rail

d'alimentation, ce qui peut le déséquilibrer car dans une telle configuration le CUT n'est plus directement relié à la masse, ou au rail V_{DD} .

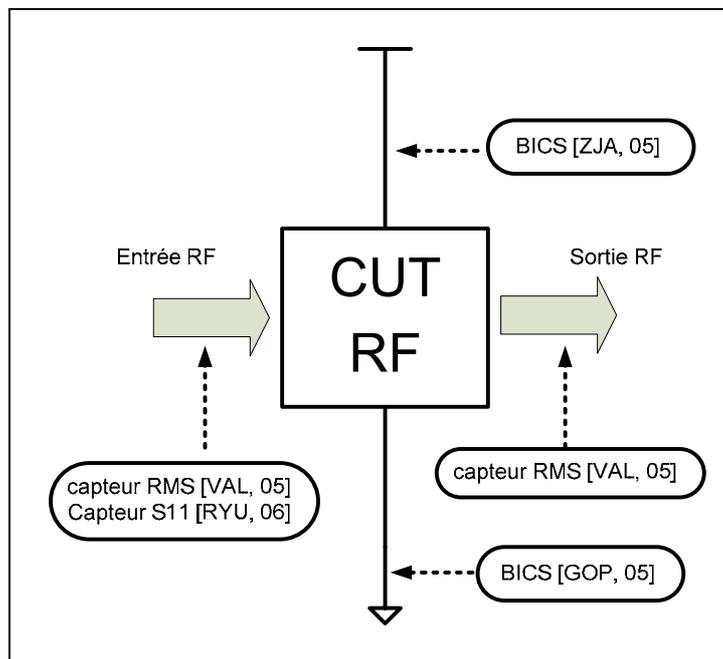


Figure 2.17 : Exemples de placement de capteurs intégrés.

Comme nous pouvons le noter à travers les quelques exemples cités dans la figure qui précède, les capteurs intégrés dédiés au test des circuits RF peuvent être placés sur n'importe quel accès au circuit et pourront même éventuellement être insérés au sein de la structure du circuit. Il convient donc, dans le but de développer une stratégie de BIST optimale, d'effectuer :

- Dans un premier temps, le choix du capteur apportant la meilleure couverture de fautes pour le CUT RF ciblé. Plusieurs capteurs pourront même être combinés pour obtenir une meilleure couverture de fautes [VAL, 06].
- Dans un deuxième temps, le choix incombant au concepteur sera celui du placement du ou des capteurs. Pour ce faire, une étude par simulation et une bonne connaissance de la structure du circuit sous test seront nécessaires pour ne pas dégrader ses performances. Un exemple d'étude de placement de BICS pour un LNA est donné dans [GOP, 05], et on peut y observer qu'il n'y a pas d'emplacement qui ne perturbe pas le circuit. Le choix à faire alors, est celui du placement pour lequel les perturbations restent dans les tolérances de fonctionnement du CUT.

II.4. Méthodologie de test en fonctionnement

Afin de garantir la fonctionnalité d'un système RF dans des applications critiques, il faut pouvoir détecter ses défaillances dès qu'elles se produisent et même avant leur apparition. La seule solution permettant la détection de défaillances d'un circuit ou système lors de son fonctionnement est la mise en place d'un test en fonctionnement, c'est-à-dire un test réalisé pendant le fonctionnement du circuit. Ce dernier pourra s'effectuer suivant deux modes opératoires :

- Test en fonctionnement continu : la surveillance se fait tout au long de l'utilisation du circuit sous test.
- Test en fonctionnement périodique : la surveillance s'effectue lors de phases de test périodiques dont la fréquence dépendra de la probabilité d'occurrence des fautes.

La technique la mieux adaptée au test en fonctionnement d'un circuit ou système analogique radiofréquence repose sur l'utilisation d'un circuit d'auto-test intégré (BIST) qui permettra l'autocontrôle de ce dernier. En effet, les structures BIST permettent un diagnostic rapide après une faute ce qui permet d'augmenter la disponibilité du système ou des éléments redondants du système. De plus, étant donné la conjoncture actuelle au niveau du test des circuits RF, les structures BIST seront doublement rentabilisées car elles pourront aussi être utilisées lors des phases de test de production.

Un système RF complet (émetteur, récepteur ou les deux) étant une structure complexe, la partition de ce dernier sera indispensable de manière à réaliser un test en fonctionnement efficace. En outre, le système sera décomposé en sous blocs RF (LNA, mélangeur, ...) et le choix des paramètres à tester dépendra de la couverture de fautes voulue pour le CUT RF ciblé. En effet, les paramètres critiques ne sont pas les mêmes d'un circuit RF à l'autre. Il faudra aussi prendre en compte la possibilité d'utilisation du capteur intégré car la non-dégradation des performances du bloc RF testé sera indispensable au bon fonctionnement du système global.

III. Conclusion

Les applications SOC, qui intègrent à la fois des circuits numériques et analogiques, inondent petit à petit le marché de masse. Le test des circuits radiofréquences intégrés est donc devenu aujourd'hui une étape critique lors de la fabrication des puces dédiées à ces applications. En effet, le test numérique, qui est largement et depuis longtemps utilisé, est aujourd'hui mature et rentable alors que le test des circuits analogiques RF intégrés, souffrant de ce succès tardif, n'en n'est encore qu'à ses balbutiements.

Les circuits analogiques RF étant très sensibles à toute perturbation et ayant un comportement propre à chacun nécessitent de gros efforts de la part des concepteurs de test. En effet, la difficulté de mise en place de méthodologie généraliste freine son développement. Toutefois, les méthodologies de conception en vue du test reposant sur des techniques d'auto-test intégré apparaissent aujourd'hui, comme les plus appropriées à ce type de circuits et permettent de remédier à leur problème majeur de faible testabilité.

Dans le cadre du développement de circuit à fiabilité étendue se basant, comme nous l'avons vu dans le chapitre précédent, sur l'utilisation de redondances passives, il y a nécessité d'effectuer un test en fonctionnement permettant de détecter les défaillances du circuit. Cette détection n'est possible que par l'utilisation d'un circuit d'auto-test intégré au CUT ayant les mêmes propriétés que les structures BIST développées par les industriels pour les tests de production.

CHAPITRE III :

Etude et conception d'un LNA à fiabilité étendue

Sommaire

I.	<i>Les différents circuits RF.....</i>	87
I.1.	Présentation des chaînes RF d'émission et de réception.....	87
I.1.1.	Principe des transmissions hertziennes	87
I.1.2.	Les chaînes d'émission et de réception.....	87
I.1.3.	Caractéristiques des éléments d'une chaîne RF.....	89
I.2.	Choix du démonstrateur RF.....	94
I.2.1.	Généralités sur le LNA	95
I.2.2.	Sensibilité des LNAs à l'insertion d'éléments additifs.....	97
II.	<i>Test du LNA.....</i>	99
II.1.	Choix des paramètres à tester.....	99
II.2.	Le capteur de courant intégré	104
II.2.1.	Principe de fonctionnement du capteur	104
II.2.2.	Performances du BICS avec une comparaison en tension	106
II.2.3.	Performances du BICS avec une comparaison en courant.....	108
II.2.4.	Placement du BICS	110
II.3.	Test d'une tension continue de polarisation.....	112
II.3.1.	Principe du test	112
II.3.2.	Choix du nœud de tension à tester.....	113
II.3.3.	Mise en place du test	113
III.	<i>Conception d'un LNA à fiabilité étendue.....</i>	114
III.1.	Mise en place des redondances.....	114
III.1.1.	Différents interrupteurs	115
III.2.	LNA à fiabilité étendue : structure globale	116
IV.	<i>Conclusion.....</i>	118

I. Les différents circuits RF

I.1. Présentation des chaînes RF d'émission et de réception

I.1.1. Principe des transmissions hertziennes

Les systèmes de radiocommunication sont des systèmes qui transmettent les informations par l'intermédiaire des ondes hertziennes. Le schéma de principe d'un tel système est illustré à la figure 3.1 ; il est composé d'une partie émission et d'une partie réception. Le rôle de la partie émission est d'adapter le signal d'information à la bande passante du canal de transmission, elle module et transpose le signal à une fréquence adaptée à la transmission hertzienne. Le signal modulé peut alors être émis par l'antenne. Le rôle de la partie réception est l'opération inverse, elle démodule le signal reçu et le transpose en basse fréquence pour permettre le traitement de l'information reçue. Afin de transmettre plusieurs informations en parallèle, les systèmes radiofréquences peuvent utiliser plusieurs canaux dans la plage de transmission [LEE, 98].

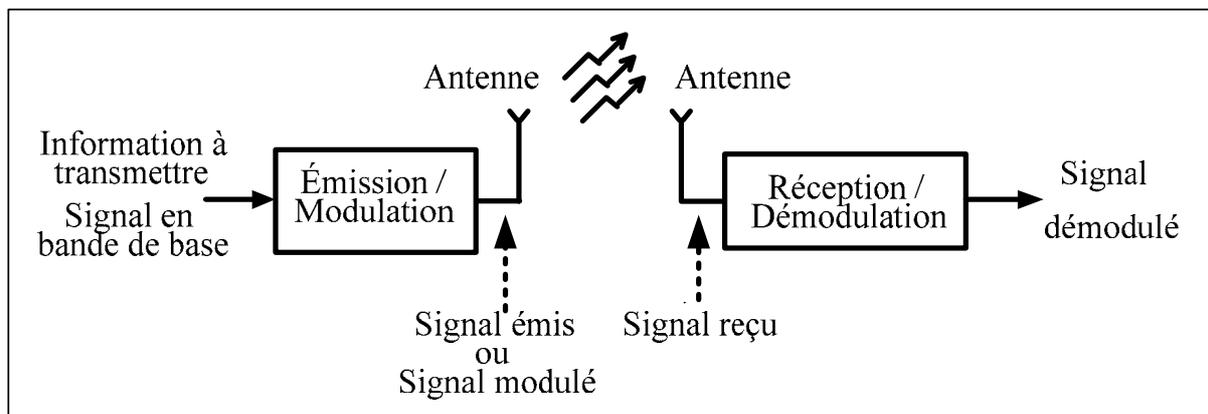


Figure 3.1 : Système de radiocommunication

I.1.2. Les chaînes d'émission et de réception

La figure qui suit donne un schéma synoptique simplifié d'un transmetteur RF avec sa chaîne d'émission en haut et sa chaîne de réception en bas.

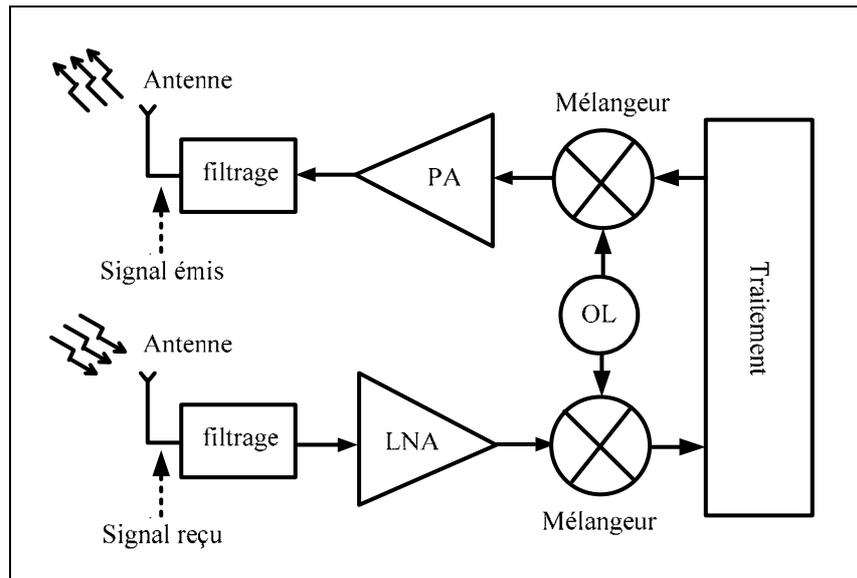


Figure 3.2 : Synoptique d'un transmetteur RF

Chaîne d'émission

Pour transmettre l'information, le signal en bande de base est d'abord modulé par différents blocs de traitement. Il est ensuite transposé à la fréquence de la porteuse grâce à la multiplication effectuée par le mélangeur entre le signal en bande de base et le signal porteur généré par l'oscillateur local (OL) dans le cas d'un émetteur à conversion directe. Enfin, l'amplificateur de puissance (PA) donne au signal une puissance suffisante pour permettre l'émission au travers de l'antenne.

Les émetteurs les plus simples sont ceux qui reposent sur une architecture à conversion directe, comme celle décrite en figure 3.2. Mais ce type d'architecture nécessite un double filtrage, ce qui limite son intégration et nécessite aussi des amplificateurs de grande puissance qui vont polluer la qualité du signal en sortie de l'oscillateur local. Une des techniques permettant de remédier à ce problème est l'utilisation d'un émetteur superhétérodyne à changement de fréquence de manière à ce que le spectre du signal de l'amplificateur de puissance ne soit pas dans la gamme de fréquence de l'oscillateur local [LEE, 98] [RAZ, 98].

Chaîne de réception

Après réception du signal à travers l'antenne, un filtrage permet de sélectionner la partie du spectre qui nous intéresse. Ensuite, comme son nom l'indique, un amplificateur faible bruit amplifie le signal reçu en y ajoutant un bruit minimum afin de permettre une

extraction d'information correcte. Enfin, un mélangeur permet de ramener le signal utile en bande de base afin qu'il puisse être traité.

La difficulté majeure pour les récepteurs RF est la sélection du canal désiré car dans les systèmes de télécommunication l'espacement entre deux canaux est faible et il nécessite donc un filtrage de haute sélectivité. La confection d'un filtre à haute fréquence et haute sélectivité étant très complexe, il convient de transposer le signal reçu à des fréquences plus basses afin de relâcher les contraintes sur le filtre assurant la sélection du canal. Comme pour les émetteurs, la structure la plus simple pour un récepteur RF est une structure à conversion directe. Son défaut principal réside dans les problèmes d'isolation du mélangeur qui vont produire des perturbations sur le signal de l'oscillateur local. Une autre technique largement utilisée est la structure superhétérodyne, pour laquelle le signal est d'abord transposé à une fréquence intermédiaire avant d'être amplifié. Cette structure présente un défaut majeur qui est le problème de fréquence image et qui peut être résolu avec l'addition d'un filtre de réjection d'image ou avec des structures à mélange quadratique et déphasage telle que l'architecture de Hartley [LEE, 98] [RAZ, 98].

1.1.3. Caractéristiques des éléments d'une chaîne RF

Force est de constater que l'utilisation de certains blocs RF (amplificateur à faible bruit, mélangeur, amplificateur de puissance) est récurrente quelle que soit l'architecture choisie. Ces circuits sont caractérisés suivant leur fonction propre et leur place dans la chaîne de traitement.

Nous allons maintenant décrire les caractéristiques générales qui permettent de définir ces circuits.

Gain et adaptation d'impédance

La notion de gain est liée à la transmission de puissance et donc à l'adaptation d'impédance. Intuitivement, si l'on veut amplifier un signal, il convient d'abord de le récupérer correctement. Alors, d'après [TAR, 03] les conditions dites d'adaptation d'impédance assurant un maximum de transfert de puissance de la source vers la charge sont les suivantes :

$$Z_S = Z_L^* \quad \text{Eq. 3.1}$$

Où Z_S impédance de la source,
 Z_L^* complexe conjugué de l'impédance de la charge

En appliquant ce résultat à un système possédant un port d'entrée connecté à une source et un port de sortie connecté à une charge on aura une transmission de puissance maximale lorsque :

$$\left\{ \begin{array}{l} Z_S = Z_{IN}^* \\ Z_L = Z_{OUT}^* \end{array} \right. \quad \text{Eq. 3.2}$$

Où Z_S impédance de la source,
 Z_{IN}^* complexe conjugué de l'impédance d'entrée du système,
 Z_{OUT}^* complexe conjugué de l'impédance de sortie du système,
 Z_L impédance de la charge.

Généralement, les impédances de « source » extérieures telles celles des filtres et antennes présentent une impédance faible et différente de l'impédance d'entrée des blocs de type LNA ou PA. Ainsi il va donc falloir réaliser des adaptations d'impédance qui, de surcroît, ne seront valables qu'à une certaine fréquence de par la nature même des impédances d'entrée des blocs RF [TAR, 03].

Facteur de bruit

Le consortium IEEE définit le bruit comme l'ensemble de toutes les perturbations indésirables qui se superposent au signal utile et ont tendance à masquer son contenu [TAR, 03].

La nature stochastique du bruit rend sa forme d'onde peu intéressante, il est plus significatif de travailler avec la puissance qu'il transporte. Pour cela, on est amené à utiliser sa valeur quadratique moyenne :

$$V_{qm} = (V_{eff})^2 = \frac{1}{T} \int_0^T v^2(t) dt \quad \text{Eq. 3.3}$$

Où $v(t)$ forme d'onde temporelle du signal observé durant une durée T .

En ce qui concerne le bruit, il est possible d'identifier physiquement quatre sources de bruit, à savoir :

- le bruit thermique qui trouve son origine dans le mouvement aléatoire des porteurs de charge sous l'effet de la température,
- le bruit de grenaille causé par le saut de barrières de potentiel à des instants aléatoires par des porteurs de charge,
- le bruit en $1/f$ qui n'a pas de mécanisme universel mais qui est fortement lié aux fluctuations des porteurs ainsi qu'au mécanisme de piégeage,
- le bruit RTS (Random Telegraph Noise) qui concerne plus particulièrement les transistors MOS de surface de grille réduite ($<1\mu\text{m}^2$), et qui représente le mécanisme de piégeage unique.

Ces sources de bruit permettent de développer les modèles équivalents de bruit des composants, utilisés à leur tour, pour calculer les grandeurs de bruit caractéristiques des systèmes.

En radiofréquence, ce n'est pas la quantification pure du bruit mais son niveau par rapport au signal utile qui nous intéresse. C'est pourquoi on détermine le paramètre de bruit d'un circuit au moyen de ce que l'on appelle le facteur de bruit (ou NF noise figure). Ce dernier se définit à partir du facteur de bruit F qui est le quotient du rapport signal sur bruit en entrée par le rapport signal sur bruit en sortie et s'exprime comme suit:

$$\text{NF} = 10 \log F \text{ avec } F = \frac{(S/N)_{\text{entrée}}}{(S/N)_{\text{sortie}}} \quad \text{Eq. 3.4}$$

Où S/N rapport signal sur bruit en entrée et sortie

Dans une chaîne de n étages, adaptés chacun en entrée et en sortie, du type de celle présentée en figure 3.3, on exprime alors le facteur de bruit général de la chaîne de la manière suivante :

$$F_{\text{total}} = F_1 + \frac{F_2 - 1}{G_1} + \frac{F_3 - 1}{G_1 G_2} + \dots + \frac{F_n - 1}{G_1 G_2 \dots G_{n-1} G_n} \quad \text{Eq. 3.5}$$

Cette formule de FRIIS [PAP, 99] permet de mettre en évidence l'importance du facteur de bruit (F_1) et du gain (G_1) du premier bloc d'une chaîne. A lui seul, il conditionne toute la figure de bruit du système. De même, à l'intérieur de ce bloc, ce sera le premier étage

qui va être critique pour cette caractéristique. L'étude du facteur de bruit va donc toujours se faire autour du ou des transistors d'entrée du premier bloc actif.

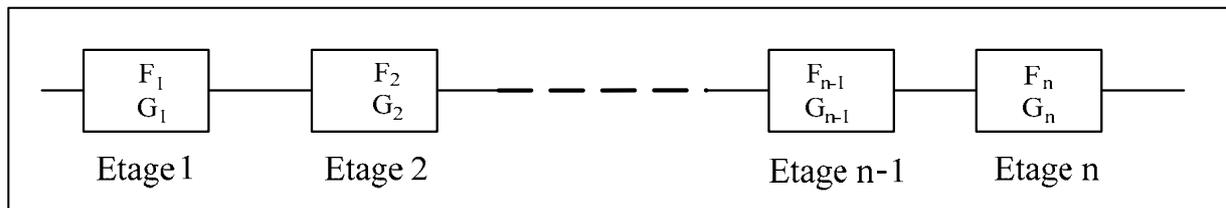


Figure 3.3 : Facteur de bruit sur une cascade d'étage

Linéarité

En électronique les composants, notamment le transistor, ne sont pas linéaires et distordent les signaux qui les traversent. En radiofréquence ce phénomène peut donner lieu à des pertes d'informations irréversibles, c'est pourquoi des méthodes de mesure et de calcul précises sont mises en place afin de quantifier ces distorsions.

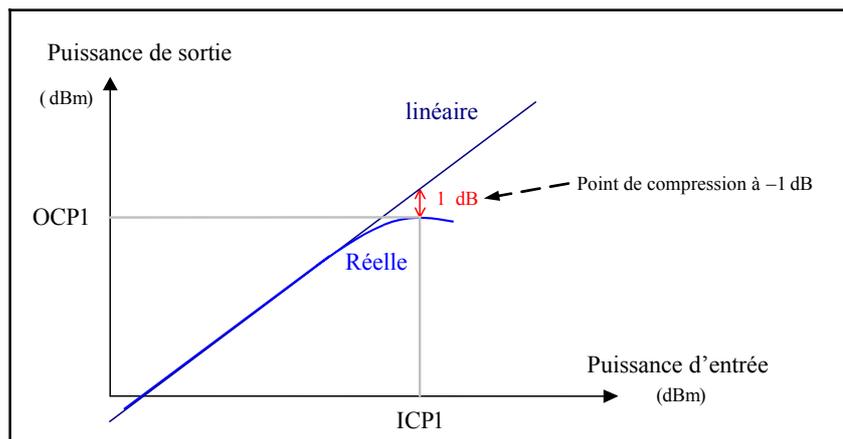


Figure 3.4 : Point de compression à -1 dB ou ICPI.

Pour un signal d'entrée à une fréquence donnée, un système RF produit un signal de sortie aux harmoniques nombreuses. Pour quantifier la production et l'impact des composantes fréquentielles d'une architecture, on utilise, en radiofréquence deux paramètres qui sont le point de compression à -1 dB et le point d'intermodulation d'ordre 3 :

- Point de compression à -1 dB ou ICPI : Dans un système RF au fur et à mesure que la puissance d'entrée augmente, les harmoniques parasites vont limiter l'amplification linéaire. On définit alors le point de compression à -1 dB tel que pour

une certaine puissance d'entrée donnée, le gain en puissance du circuit est inférieur de 1 dB à ce qu'il devrait être (cf. figure 3.4).

- Point d'intermodulation d'ordre 3 : les systèmes utilisés en RF n'étant pas linéaires, ils produisent des harmoniques à partir d'une seule fréquence présente en entrée, le fondamental. Généralement, les modes de codage des transmissions RF utilisent des canaux (petites bandes de fréquence) pour transmettre l'information et les harmoniques, engendrées par les non linéarités, vont polluer les canaux adjacents. De ce fait, on va retrouver dans le canal de sortie des harmoniques parasites qui n'appartenaient pas au canal d'entrée. On définit alors le IIP3 comme le point d'intersection virtuel entre la réponse linéaire du fondamental et l'interpolation de la réponse du produit d'intermodulation de troisième ordre.

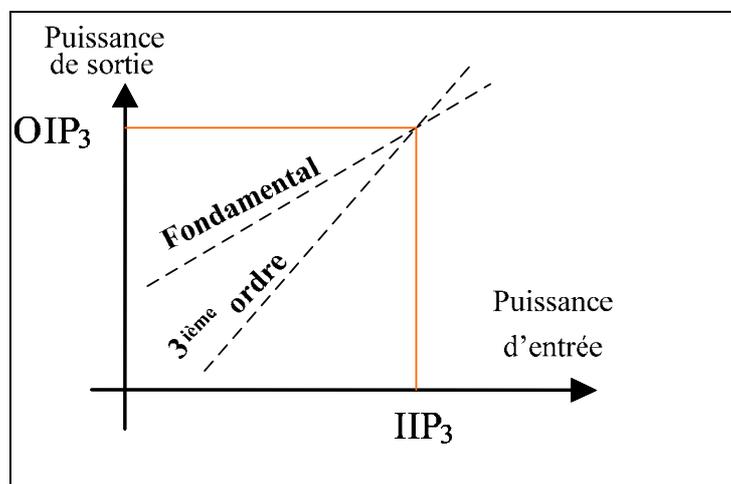


Figure 3.5 : Point d'interception d'ordre 3 ou IIP3.

Isolation

L'isolation dans un système RF est un paramètre primordial qui dépend de l'application visée. Dans le cas d'un mélangeur, elle correspond au transfert de puissance d'un port à un autre par effet de couplage. Pour ce qui est d'un amplificateur de puissance, elle correspond aux remontées de la sortie sur l'entrée. Elle se quantifie par le rapport du signal indésirable sur le signal qui le génère.

Synthèse

La figure 3.6 présente un récapitulatif des nombreux paramètres radiofréquences critiques d'un circuit RF. Chacun de ces paramètres sera plus ou moins critique en fonction du bloc RF étudié et de l'application visée.

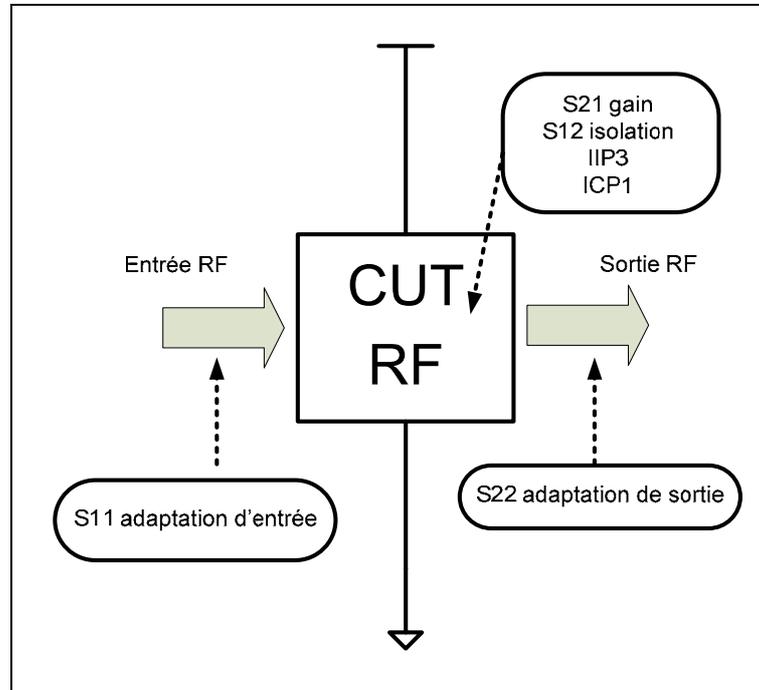


Figure 3.6 : Récapitulatif des paramètres critiques d'un circuit RF.

I.2. Choix du démonstrateur RF

Comme nous l'avons vu dans le paragraphe précédent, les architectures radiofréquences intégrées sont constituées de différents éléments, chacun d'eux ayant des caractéristiques propres (cf. tableau 3.1).

Le but de cette thèse étant de développer une méthodologie permettant de concevoir des circuits RF à fiabilité étendue, le choix du circuit permettant de démontrer sa faisabilité est essentiel. Le choix s'est donc porté sur le test de l'élément RF le plus sensible à toute insertion et toute modification de ces paramètres qui est l'amplificateur à faible bruit (LNA) de par le nombre de ses paramètres critiques et sa faible consommation. De ce fait, si la méthodologie est applicable à ce circuit, elle le sera avec des petites adaptations pour les autres blocs RF.

Tableau 3.1 : Différents blocs RF et leur caractéristiques associées.

Bloc RF	Caractéristiques
Amplificateur à faible bruit (LNA)	S11, S22, Gain, IIP3, ICP1, NF
Mélangeur	Isolation, IIP3, Gain, ICP1.
Amplificateur de puissance (PA)	S11, S22, Gain, IIP3, ICP1, Isolation.

1.2.1. Généralités sur le LNA

Etant donné le faible niveau de puissance des ondes électromagnétiques reçues par l'antenne d'un récepteur RF, l'amplificateur à faible bruit est un élément clef des chaînes de réception. En effet, il doit amener le signal utile à un niveau tel qu'il puisse être correctement traité par l'architecture en aval sans lui ajouter trop de bruit qui perturberait le traitement.

On peut classer les amplificateurs à faible bruit suivant trois familles principales, définies chacune par le type d'impédance d'entrée que présente le bloc. En effet, le compromis figure de bruit/gain est essentiellement réglé par l'adaptation d'impédance en entrée de la structure. La figure 3.7 rassemble les différents types de structures couramment rencontrées dans la littérature.

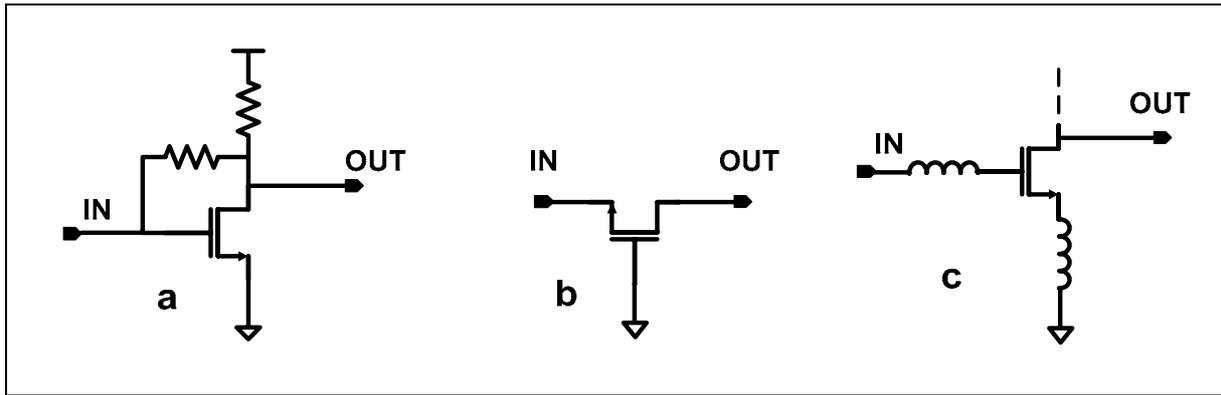


Figure 3.7 : Différentes topologies pour un LNA.

LNA à contre-réaction résistive (a)

Dans l'architecture à contre-réaction résistive de tension, l'adaptation d'impédance d'entrée (généralement 50Ω) est ajustée par l'intermédiaire des résistances et grâce au gain de l'amplificateur, favorisant ainsi une bonne récupération du signal. Cependant, du point de vue de la figure de bruit, la topologie, elle-même, présente de fortes carences :

- amplificateur large bande qui intègre le bruit sur une grande bande de fréquence,
- les résistances ajoutent leur propre bruit,
- la contre-réaction ramène en entrée le bruit de sortie.

De par ces trois aspects, ce type de circuit est « bruyant » et aussi, le gain large bande, induit par la charge résistive du circuit, s'accompagne d'une consommation importante. En revanche, l'absence totale d'inductance rend sa surface minimale et particulièrement intégrable [TAR, 03] [TIE, 02].

LNA à terminaison en $1/g_m$ (b)

L'amplificateur à terminaison résistive en $1/g_m$ est la topologie la mieux adaptée à l'intégration puisqu'elle réalise effectivement son adaptation d'impédance d'entrée à 50Ω par l'intermédiaire de la transconductance g_m ($1/g_m = 50 \Omega \Rightarrow g_m = 20 \text{ mS}$ au premier ordre).

Cet aspect de l'architecture peut cependant s'avérer être un inconvénient puisque par le biais de cette impédance d'entrée on fixe, d'une part, la consommation, ce qui peut être restrictif, d'autre part, on enlève un important degré de liberté d'optimisation de la linéarité. Enfin, cette topologie présente une limitation sur sa figure de bruit minimale qui ne pourra être inférieure à 3 dB, ce qui la rendra inutilisable pour certaines applications [TAR, 03] [TIE, 02].

LNA à dégénérescence inductive d'émetteur (c)

Cette architecture a longtemps souffert de l'incapacité des technologies à fournir des inductances de bonne qualité. Mais aujourd'hui, avec les progrès réalisés par les fondeurs, un grand nombre d'applications dédiées au frontal de réception utilisent cette topologie de référence dont le gain et la figure de bruit peuvent être ajustés autour des fréquences de fonctionnement voulues. Son autre gros avantage est qu'elle permet d'obtenir un gain important pour des faibles consommations.

Néanmoins, sa mise en œuvre n'est pas simple : l'inductance L_g vient annuler la capacité C_{gs} du transistor MOS à la fréquence du signal radiofréquence. L_s , vue comme une impédance réelle grâce à l'effet transistor, est calculée pour être adaptée à 50Ω . Le coefficient de surtension Q du circuit (L_g , C_{gs} , L_s) est optimisé pour diminuer la figure de bruit qui peut atteindre des niveaux très faibles, inférieurs à 2,5 dB [TAR, 03] [TIE, 02] [VID, 04].

1.2.2. Sensibilité des LNAs à l'insertion d'éléments additifs

De par leur structure très simple en termes de nombre de composants, les blocs RF et tout particulièrement les LNAs vont être très sensibles à l'insertion de structures de test ou de redondance. En effet, le cœur d'un LNA étant généralement constitué d'un à trois transistors permettant l'amplification et de quelques éléments passifs pour l'adaptation inter-étage, les modules de test et de redondances se trouveront obligatoirement en série ou en parallèle avec un de ces éléments critiques ; ceci perturbera l'équilibre de la structure même du LNA et modifiera ses performances.

Nous pouvons citer comme exemple les simulations réalisées par Gopalan et al. dans la publication [GOP, 05] dans le but de choisir le meilleur emplacement pour un capteur de courant intégré dans le cadre du test d'un LNA à dégénérescence inductive d'émetteur. Ces simulations sont résumées en figure 3.8. Les performances du LNA ont été relevées pour différents placement du BICS qui peut, dans ce cas, se modéliser par une résistance série. Comme nous pouvons l'observer en (b) lorsque le capteur est mis en série avec l'inductance placée sur le drain de M2, il fait fortement chuter le coefficient de qualité de celle-ci et le gain et l'adaptation d'impédance en sortie du LNA sont dégradés. Les mêmes perturbations sont

observées dans le cas (c) et dans le cas (d) c'est le coefficient de qualité de l'inductance I_s qui est dégradé et donc l'adaptation d'entrée et le gain du LNA sont diminués.

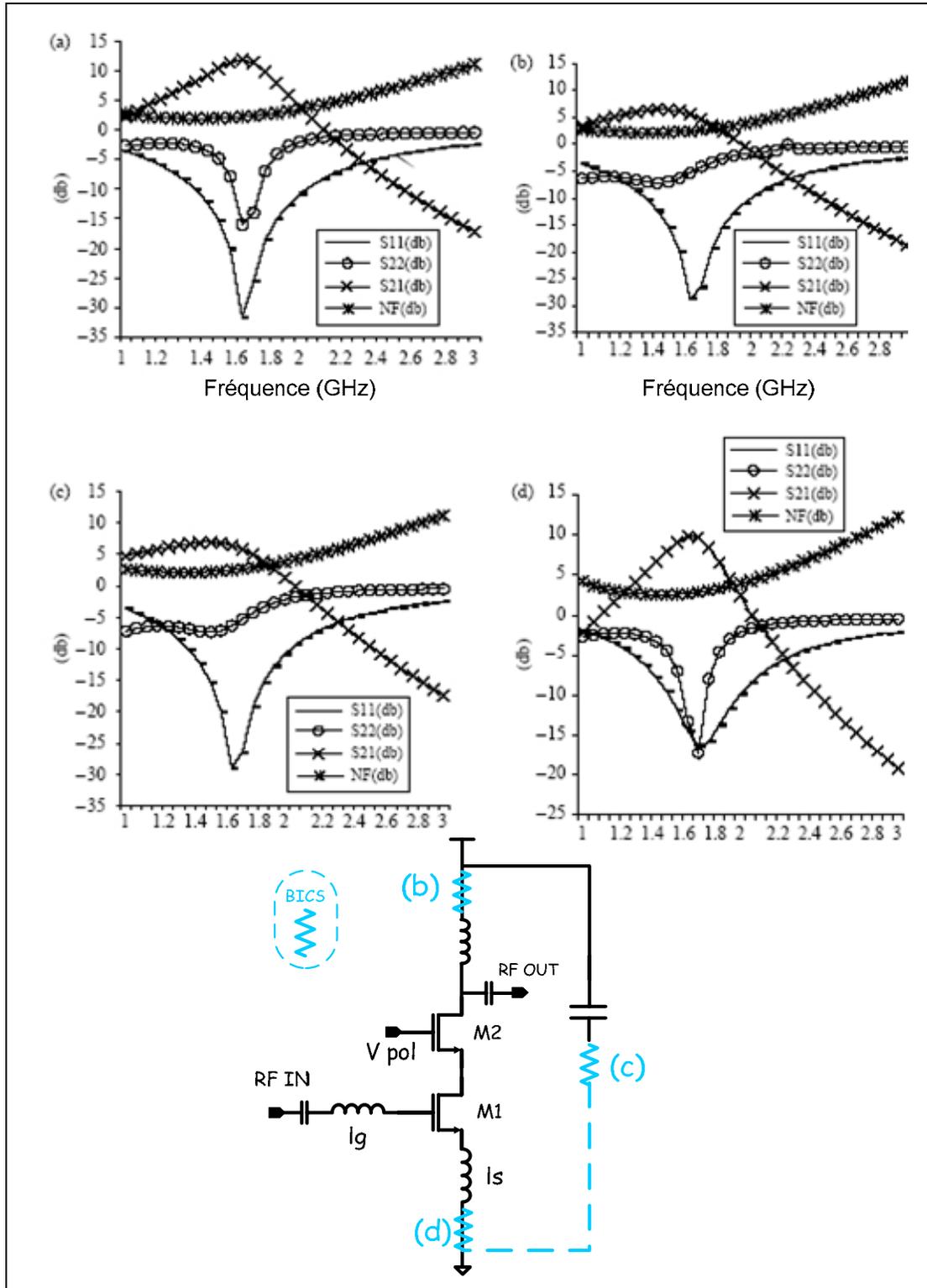


Figure 3.8 : Performances du LNA (a) sans BICS, (b) (c) (d) pour différents placements du BICS

II. Test du LNA

Comme nous venons de le voir, nous avons choisi de réaliser nos démonstrateurs à partir d'amplificateurs à faible bruit car d'une part ce sont des éléments critiques des transmetteurs radiofréquence, et d'autre part ils sont très sensibles à toute modification de leur structure.

Un élément essentiel de notre méthodologie pour améliorer la fiabilité des circuits radiofréquences est le circuit d'auto-test, ajouté au circuit initial, permettant la surveillance en fonctionnement d'éventuelles défaillances. La stratégie d'auto-test choisie devra permettre une bonne couverture de fautes tout en étant la moins intrusive possible du point de vue des performances et de la surface de silicium ajoutée.

II.1. Choix des paramètres à tester

La première étape permettant la mise en place d'une stratégie d'auto-test efficace est le choix des paramètres du circuit à tester. Ces derniers pourront être communs à plusieurs blocs RF, comme le courant d'alimentation, ou spécifiques à certains d'entre eux, comme le gain qui sera plus approprié pour le test d'un LNA ou d'un PA. En outre, les paramètres testés devront tout d'abord permettre une couverture de fautes de 100 % dans le cas des fautes catastrophiques pour le bloc RF considéré, et dans un deuxième temps, permettre d'assurer une couverture de fautes globale la plus importante possible.

Dans la publication [KHE, 04], une campagne de simulations de fautes pour un LNA à dégénérescence inductive d'émetteur, a été menée de manière à réduire le nombre de paramètres à tester tout en gardant une couverture de fautes convenable. La figure 3.9 présente le résumé des résultats obtenus. On remarque qu'en testant seulement le gain et le courant de polarisation on obtient une couverture de fautes de 96,6 % équivalente à celle obtenue pour le test simultané de tous les paramètres. Ce taux maximum est aussi obtenu pour les combinaisons $(I_{DD} ; S_{11})$, $(I_{DD} ; S_{12})$, $(I_{DD} ; S_{21})$ et $(I_{DD} ; S_{22})$.

Dans cette même publication, il est aussi démontré que le test des paramètres, de manière individuelle, donne pour chacun d'eux un taux de couverture de fautes qui gravite autour des 80 %. Par contre, le test individuel du courant de polarisation permet une détection

de toutes les fautes d'ouverture et de court-circuit dans les transistors qui composent le LNA. Ces derniers constituent des fautes catastrophiques à déceler obligatoirement.

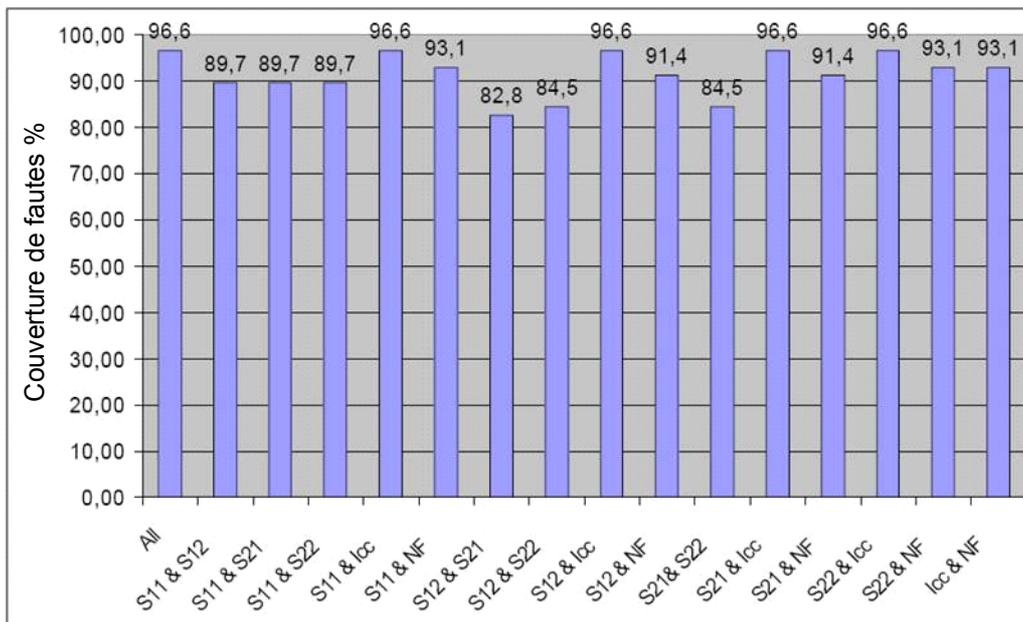


Figure 3.9 : Couverture de fautes en fonction des différents paramètres de test [KHE, 04].

Dans une autre publication [PIN, 03], les auteurs testent aussi un LNA qui fonctionne en mode différentiel et démontrent que l'on obtient une bonne couverture de fautes en testant le courant de polarisation et les tensions DC des branches différentielles de sortie, comme on peut le voir en figure 3.10 et 3.11. Dans ces deux figures, les différents totaux correspondent à :

- Total 1 : IDD, gain et figure de bruit.
- Total 2 : IDD, gain, figure de bruit et tensions DC.
- Total 3 : IDD et tensions DC.
- Total 4 : gain et figure de bruit.

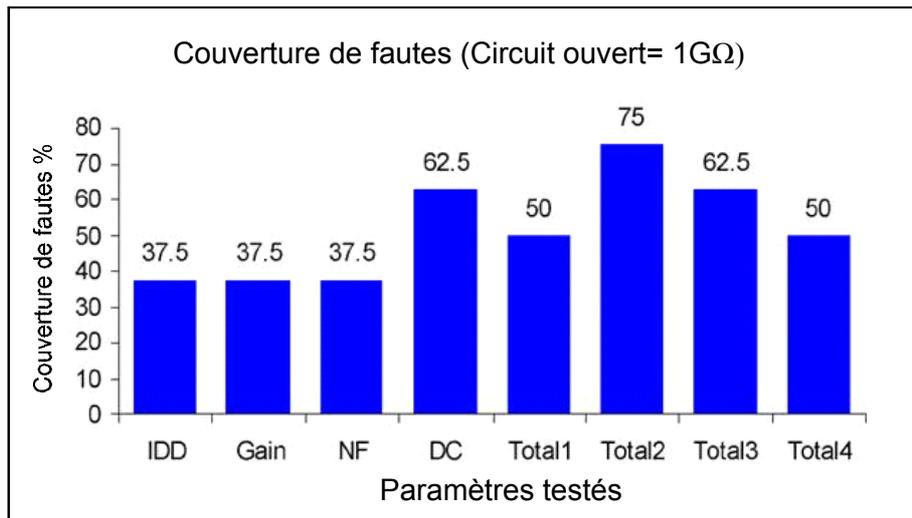


Figure 3.10 : Couverture de fautes dans le cas d'une ouverture.

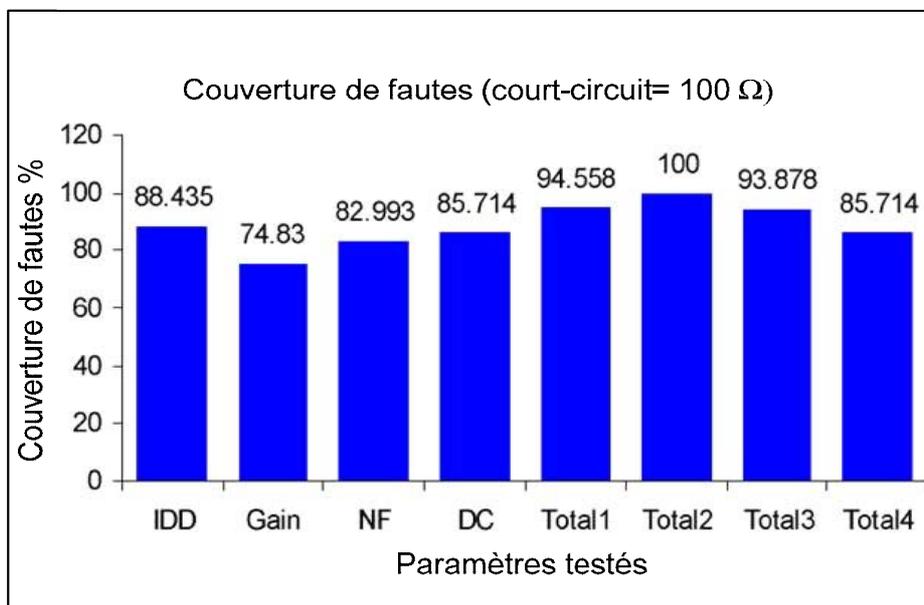


Figure 3.11 : Couverture de fautes dans le cas d'un court-circuit.

D'après les deux publications que l'on vient de décrire, il est possible de conclure qu'une stratégie de test optimale repose sur l'association des tests d'au moins deux des paramètres d'un LNA, ce qui permet de maximiser le taux de couverture de fautes. Une autre constatation est que si les deux paramètres testés sont correctement choisis, il devient inutile d'en tester plus, car la couverture de fautes atteinte est quasi-maximale. De plus, le courant de polarisation I_{DD} apparaît comme le paramètre essentiel à tester car il permet une détection de toutes les fautes catastrophiques dans les transistors qui sont les éléments assurant l'amplification du LNA. Dans un deuxième temps, il faut tester un second paramètre qui

pourra être soit le gain du LNA en utilisant le principe de [VAL, 04], soit certains points de polarisation judicieusement choisis [PIN, 03].

Pour ce faire, en s'inspirant du principe de mesure décrit dans [VAL, 04], une étude de faisabilité de l'architecture d'auto-test présentée sur la figure 3.12, permettant le test du gain du LNA a été menée. Dans une telle architecture, en phase d'auto-test le signal de l'oscillateur local (OL) est renvoyé en entrée du LNA par l'intermédiaire de deux interrupteurs et d'un filtre. Ceci permet l'atténuation du niveau du signal de manière à attaquer le LNA avec un niveau suffisamment faible. Par la suite, l'auto-mélange des signaux de l'oscillateur local et d'entrée du LNA (1) et l'auto-mélange des signaux de l'oscillateur local et de sortie du LNA (2) donnent deux valeurs de tensions continues, desquelles on peut déduire le gain.

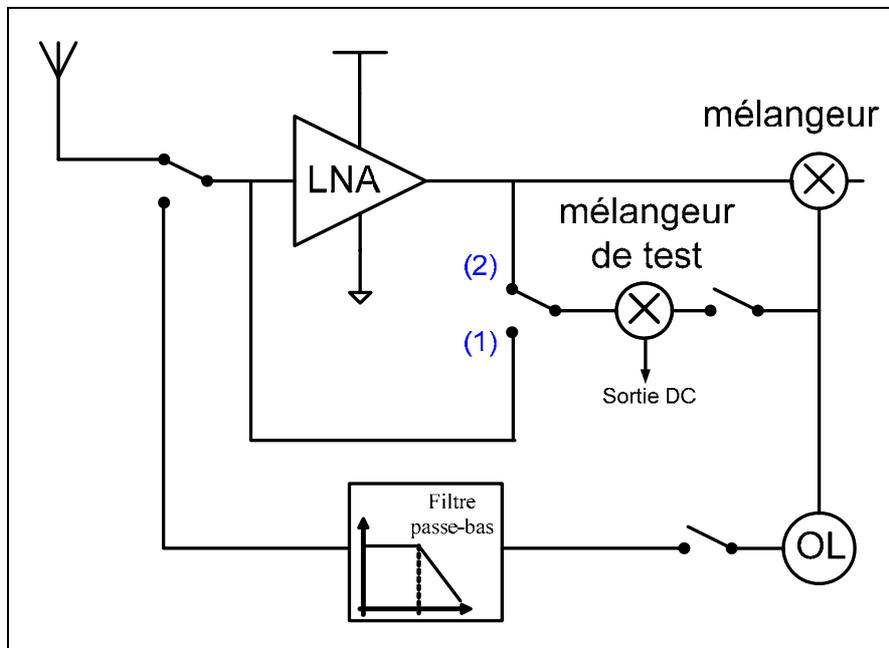


Figure 3.12 : Synoptique du circuit d'auto-test du gain d'un LNA.

En effet, en position (1) le mélangeur réalise la multiplication entre le signal de sortie de l'OL et ce même signal atténué par le filtre. On obtient alors, comme le montre l'équation 3.6, un niveau DC de sortie proportionnel au produit de l'amplitude en sortie de l'OL par l'amplitude en entrée du LNA. Une composante à $2\omega t$ est aussi obtenue mais elle n'est d'aucune utilité pour ce test ; il suffit de la filtrer pour l'éliminer.

$$A \cos \omega t \times B \cos \omega t = \frac{1}{2} A.B + \frac{1}{2} A.B \cos 2\omega t \quad \text{Eq. 3.6}$$

Où A amplitude du signal en sortie de l'OL,
 B amplitude du signal en sortie du filtre ($B \ll A$),
 ω phase du signal en sortie de l'OL.

En position (2) le mélangeur réalise la multiplication entre le signal de sortie de l'OL et le signal de sortie du LNA. On obtient alors, comme le montre l'équation 3.7, un niveau DC de sortie proportionnel au produit de l'amplitude en sortie de l'OL par l'amplitude en sortie du LNA.

$$A \cos \omega t \times B.G_{LNA} \cos \omega t = \frac{1}{2} A.B.G_{LNA} + \frac{1}{2} A.B.G_{LNA} \cos 2\omega t \quad \text{Eq. 3.7}$$

Où A amplitude du signal en sortie de l'OL,
 B amplitude du signal en sortie du filtre ($B \ll A$),
 G_{LNA} gain du LNA (d'où $B.G_{LNA}$ amplitude du signal en sortie du LNA),
 ω phase du signal en sortie de l'OL.

Finalement des deux signaux continus obtenus il est possible de déduire le gain du LNA.

$$G_{LNA} = \frac{\frac{1}{2} A.B.G_{LNA}}{\frac{1}{2} A.B} \quad \text{Eq. 3.8}$$

Suite à une étude par simulation de l'architecture ci-dessus, nous avons déduit que la chaîne de retour pouvait présenter un danger vis-à-vis de l'intégrité du signal d'antenne car le niveau de puissance en sortie de l'OL est très élevé (de l'ordre du dBm) et une mauvaise isolation dans le filtre pouvait entraîner des perturbations en entrée du LNA en phase normale. De plus, l'intégration complète du système renforce ces problèmes d'intégrité du signal d'antenne à cause des phénomènes de couplage pouvant apparaître entre la chaîne de retour et la ligne d'antenne. L'autre point négatif est l'ajout d'un nombre important d'éléments de test qui sont un filtre passe-bas, un mélangeur de test et quatre interrupteurs. C'est pourquoi nous avons écarté cette structure d'auto-test pour la réalisation d'un LNA à fiabilité étendue.

Toutefois, ce système pourrait être très utile pour un test de fabrication du frontal de réception complet (LNA et mélangeur) après adaptation. En effet, une observation du niveau DC en sortie du mélangeur après injection (interne ou externe) d'un stimulus calibré en entrée

du LNA donnerait une information directe sur le gain de l'ensemble et permettrait donc la détection de fautes.

Finalement, l'enjeu étant de concevoir une cellule de détection de fautes peu intrusive, nous avons donc opté dans un premier temps pour le test du courant de polarisation du LNA, qui permet une couverture de fautes complète des fautes catastrophiques ; puis dans un deuxième temps pour le test de tensions de polarisation en second paramètre pour augmenter la couverture de fautes du test. Ces deux tests sont décrits dans les deux paragraphes qui suivent.

II.2. Le capteur de courant intégré

Un capteur de courant intégré (BICS) a déjà été développé au sein de notre équipe dans le passé. Du point de vue du circuit sous test, ce dernier est équivalent à une résistance de quelques ohms insérée en série avec le CUT ce qui le rend peu intrusif et donc bien adapté au test des circuits radiofréquences.

II.2.1. Principe de fonctionnement du capteur

Le schéma de principe du capteur est le suivant :

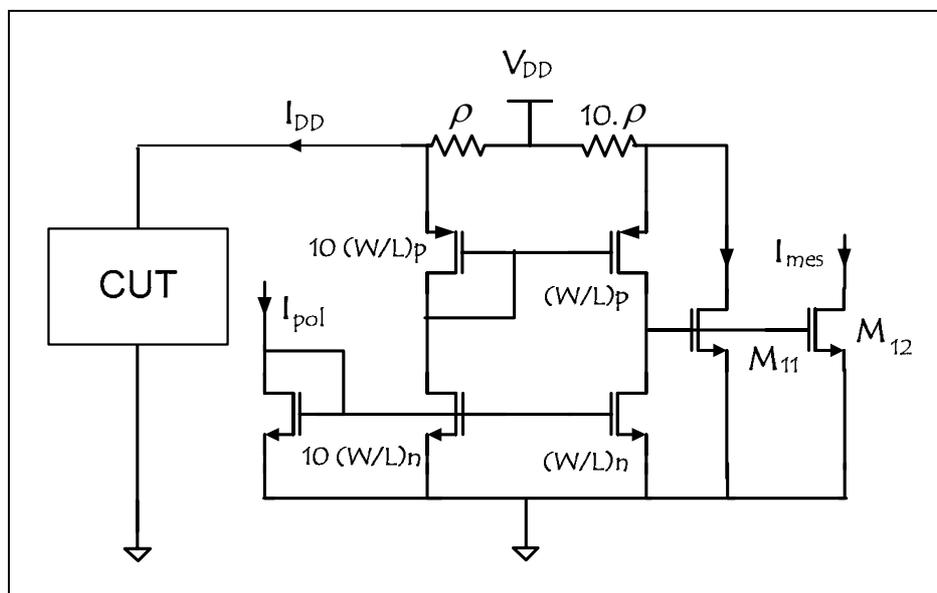


Figure 3.13 : Schéma de principe du BICS

Ce capteur de courant intégré CMOS a initialement été développé par Yvan MAIDON et al. Ce capteur était basé sur une utilisation précise de la résistance parasite des couches d'interconnexion des circuits intégrés [MAI, 97].

Le capteur présenté en figure 3.13 est le résultat de l'adaptation du capteur initial aux technologies actuelles. En effet, ce dernier a été légèrement modifié de manière à fonctionner avec une technologie 130 nm sous une tension d'alimentation de 1,2 V. Dans un tel capteur, le courant mesuré I_{mes} est égal au courant consommé par le CUT divisé par dix, le détail du calcul est donné en Annexe B.

$$I_{mes} = \frac{I_{DD}}{10} \quad \text{Eq. 3.9}$$

De plus, le seul élément perturbateur pour le CUT est la résistance ρ insérée en série sur sa ligne d'alimentation. Le BICS devant être le moins intrusif possible, des simulations ont été effectuées lors de la conception de ce capteur de manière à ce que la valeur de cette résistance soit minimale. En effet, c'est à partir de la chute de tension dans cette résistance que le BICS s'équilibre et présente en sortie l'équation 3.9, c'est pourquoi la valeur de cette résistance ne peut pas être trop faible. En effet, les courants généralement consommés par les LNAs s'étalent entre un et dix milliampères et la valeur minimale permettant un fonctionnement correct du capteur est 10 Ω .

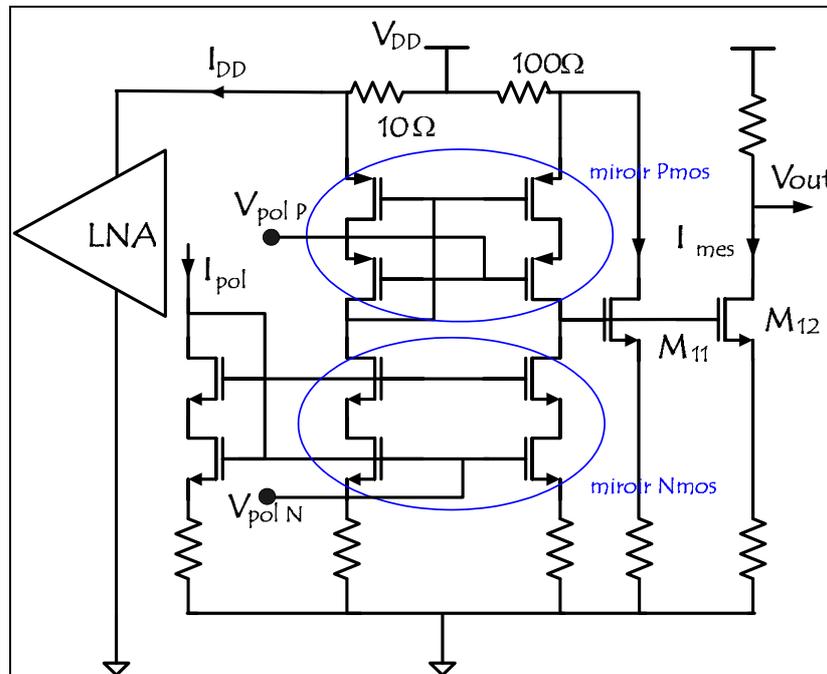


Figure 3.14 : Structure du BICS robuste.

Le capteur initial, décrit en figure 3.13, présentant une très forte sensibilité aux dispersions technologiques, sa structure a dû être adaptée de manière à le rendre plus robuste comme le montre la figure 3.14. Etant donné que le fonctionnement du capteur repose non seulement sur la chute de tension dans la résistance ρ , mais aussi sur la qualité de recopie des miroirs de courant, nous avons inséré dans le BICS des miroirs de courant cascodés de manière à améliorer cette recopie. Ceci a été réalisé en maintenant le rapport de dix pour les dimensions des transistors constituant les miroirs comme indiqué en figure 3.13, de manière à conserver la fonctionnalité du BICS. Ces miroirs ont une topologie à faible tension d'alimentation, compatible avec les contraintes de tension d'alimentation actuelles. La figure 3.15 présente une comparaison entre la dispersion obtenue sur la courbe de sortie du capteur initiale et celle du capteur robuste.

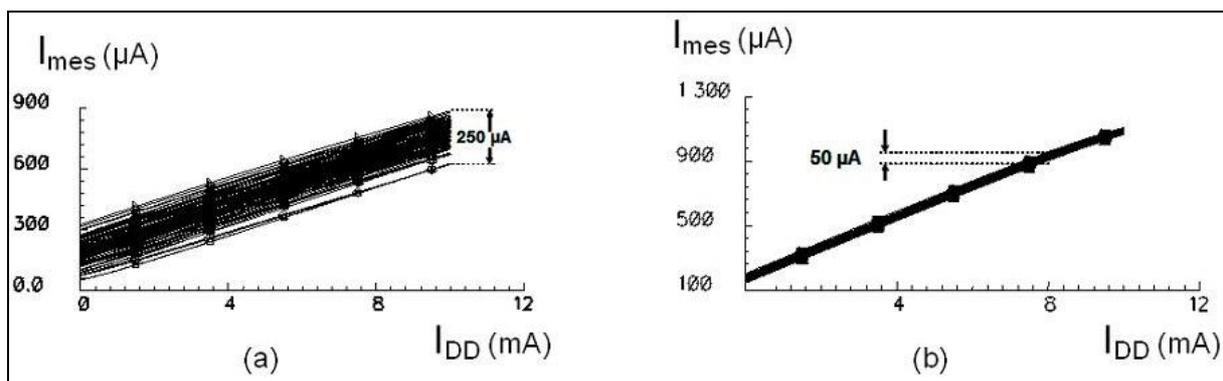


Figure 3.15 : Simulation Monte Carlo de $I_{mes}=f(I_{DD})$ pour le capteur initial (a) et pour le capteur robuste (b).

II.2.2. Performances du BICS avec une comparaison en tension

Le capteur de courant a initialement été développé pour être intégré dans un système opérant avec une comparaison en tension comme le décrit la figure 3.16. La branche de sortie du capteur a donc été chargée par une résistance qui permet la conversion du courant mesuré en une tension (cf. figure 3.14). Cette dernière est ensuite comparée à une fenêtre de tension dont les deux références sont prédéfinies par simulation pour permettre la détection et la signalisation des fautes.

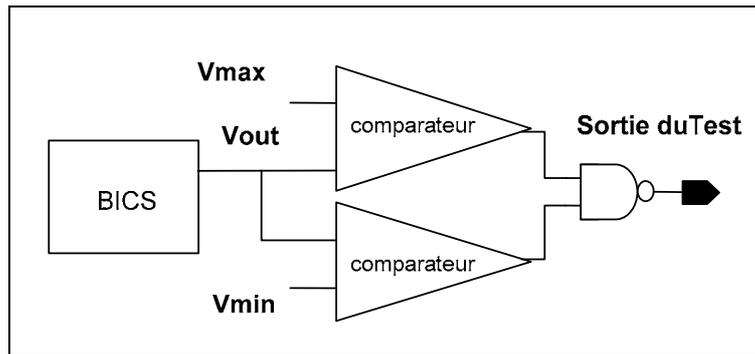


Figure 3.16 : Topologie de la structure de test I_{DD} avec comparaison en tension.

Ce capteur a été réalisé avec la technologie 130 nm HCMOS9GP du fondeur STMicroelectronics. Il occupe une surface de 0,007 mm² qui est négligeable si on la compare à la surface de 0,1 mm² d'une inductance intégrée de 2 nH cette valeur étant communément utilisée dans les transmetteurs radiofréquences. La photographie du BICS est donnée dans la figure qui suit.

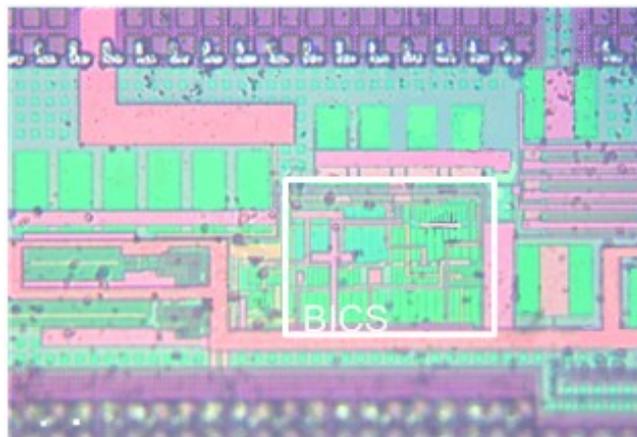


Figure 3.17 : Microphotographie du BICS

Des mesures ont été effectuées pour caractériser le capteur et confirmer sa robustesse vis-à-vis des dispersions technologiques. Les résultats de mesure sont présentés en figure 3.18.

On constate tout d'abord que le capteur est linéaire pour des courants variant de 0 mA à 8 mA : cette plage permettant la mesure du courant de la plupart des blocs RF. D'autre part, une très faible dispersion sur la caractéristique en courant est observée, ceci étant dû d'une part à la robustesse des miroirs du capteur, mais aussi au fait que les échantillons proviennent du même envoi en fonderie (run) donc que la dispersion inter-échantillon est faible. Par

contre, on peut noter l'importante dispersion observée sur la caractéristique en tension, due aux variations de la résistance de sortie du capteur qui réalise la conversion courant/tension.

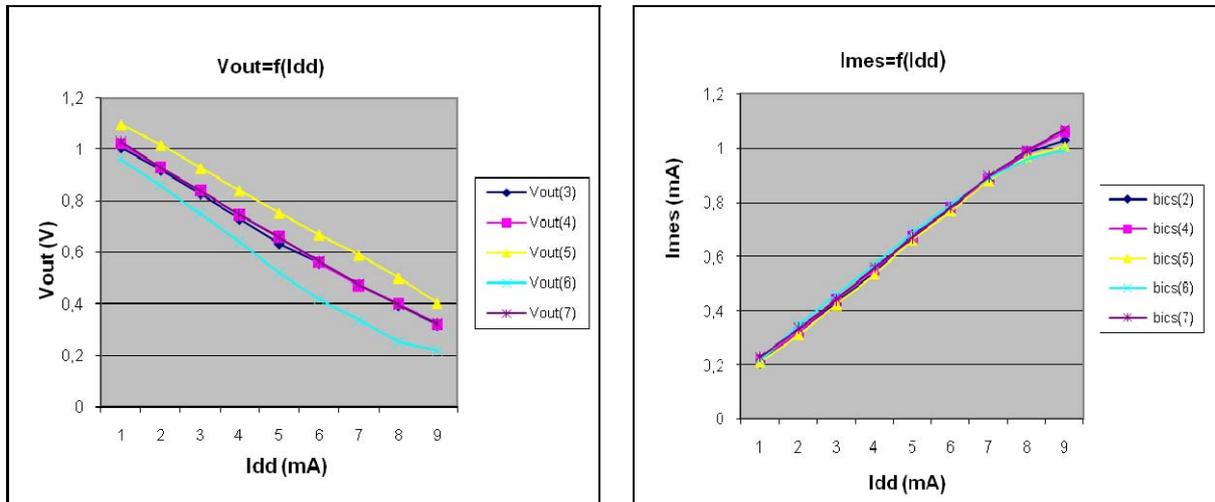


Figure 3.18 : Résultats de mesure sur plusieurs échantillons issus du même run.

Ce capteur a fait l'objet de deux présentations dans des conférences internationales [CIM, 04] et [CIM, 06] et d'une publication dans un journal international [CIM, 07].

II.2.3. Performances du BICS avec une comparaison en courant

Fort des résultats de mesure obtenus, il apparaît que tous les efforts de conception pour améliorer la robustesse du BICS vis-à-vis des dispersions technologiques sont annihilés par la conversion résistive courant/tension. Comme le décrit la figure qui suit, nous avons donc choisi de transformer l'étage de traitement en sortie du BICS pour que la comparaison se fasse en courant de manière à améliorer la robustesse de l'ensemble.

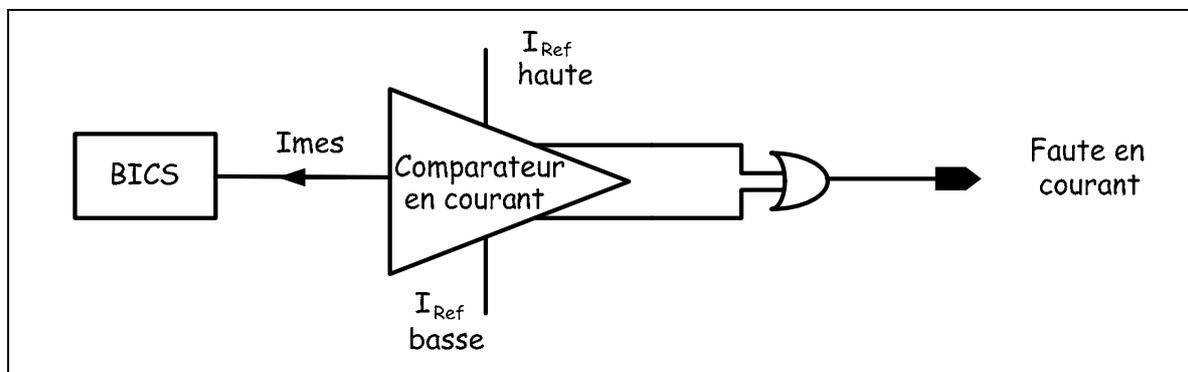


Figure 3.19 : Topologie de la structure de test I_{DD} avec comparaison en courant.

Dans cette nouvelle configuration, la sortie du BICS n'est plus chargée par une résistance mais directement par le comparateur en courant. Le schéma de principe du comparateur est donné en figure 3.20. Dans un souci de robustesse les miroirs de courant ont encore une fois été implémentés avec une topologie cascode à faible tension d'alimentation. La comparaison en courant repose sur deux miroirs de courant, l'un de type PMOS, l'autre de type NMOS dont les sorties sont connectées entre elles. Au point (1) une comparaison entre I_{mes} et $I_{ref\ bas}$ est réalisée et au point (2) une comparaison entre I_{mes} et $I_{ref\ haut}$ est effectuée. En effet le miroir qui consomme le courant le plus fort aura des transistors en régime linéaire qui fixeront le potentiel à sa sortie. Par exemple, lorsque le courant I_{mes} est supérieur au courant $I_{ref\ bas}$ les transistors PMOS sont en régime linéaire ce qui fixe le potentiel au nœud (1) au niveau haut, donc la sortie Faible I_{DD} est au niveau bas et aucune faute n'est signalée.

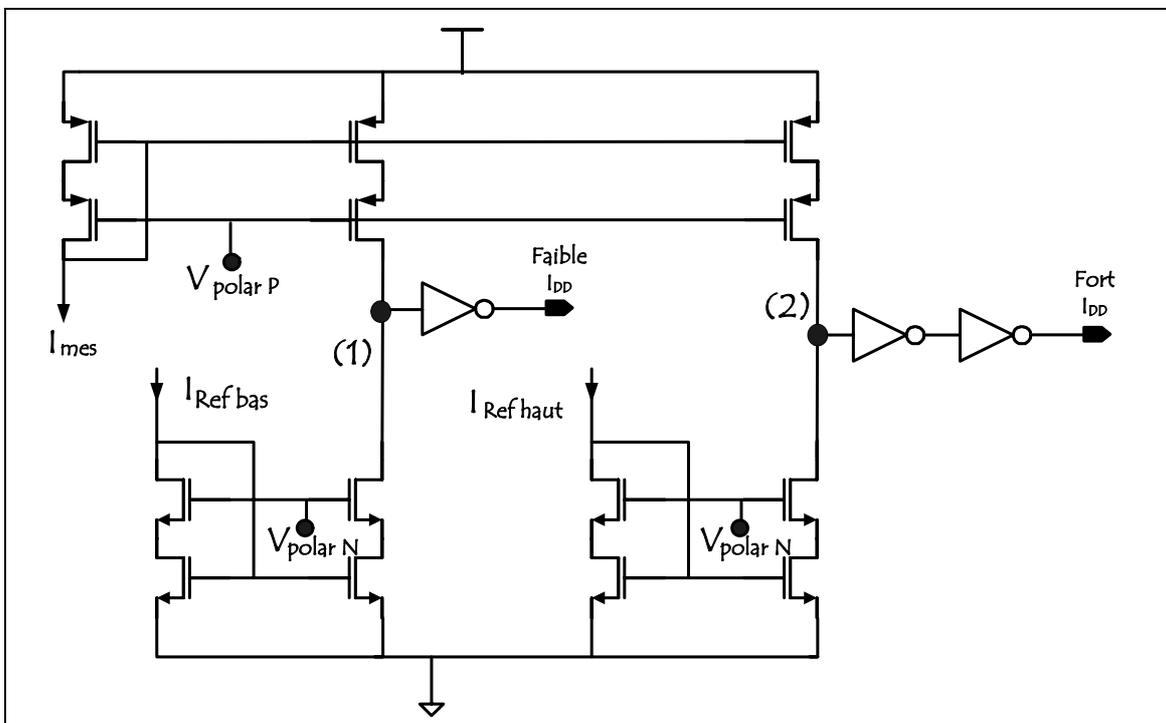


Figure 3.20 : Schéma de principe du comparateur en courant.

Outre le gain en robustesse, un autre avantage de cette configuration est la meilleure répartition des tensions sur la branche de sortie du BICS. En effet, le BICS est non plus chargé par une simple résistance, mais par l'entrée d'un miroir de courant, il n'y a donc plus que des transistors dans cette branche. Ainsi, avec un dimensionnement correct de ces derniers, de manière à obtenir une résistance R_{on} équivalente (PMOS trois fois plus résistif que les NMOS), une répartition optimale de la tension est obtenue ce qui permet d'étendre la

plage d'entrée du capteur de [0 ; 10] mA à [0 ; 20] mA. La figure 3.21 présente la simulation de la courbe de sortie du BICS lorsqu'il est chargé par le comparateur en courant.

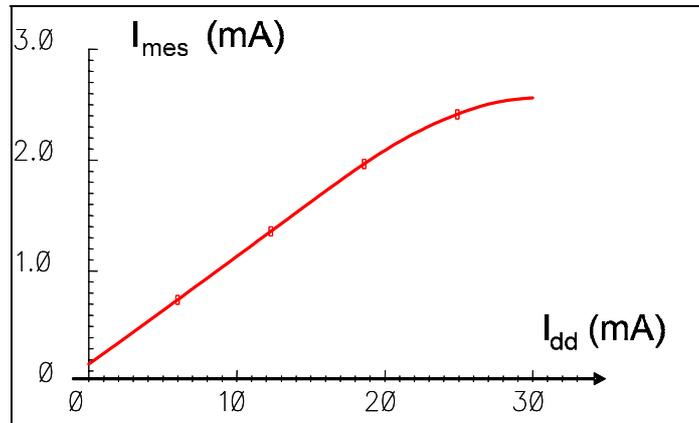


Figure 3.21 : Courbe de sortie du BICS $I_{mes}=f(I_{DD})$.

II.2.4. Placement du BICS

Comme l'ont fait Gopalan et al. dans [GOP, 05], une étude sur l'influence du placement du capteur est nécessaire pour choisir le meilleur emplacement.

Cette étude est essentielle, car si peu intrusif qu'elle soit, l'insertion du BICS entraînera toujours des dégradations de performances du bloc RF sous test. Elle met en jeu les principes de DFT et nécessite donc une connaissance approfondie :

- des différents paramètres critiques du CUT RF,
- de la structure du CUT RF,
- de la structure du capteur.

Ainsi, à partir de simulations et de légères adaptations des éléments internes du CUT RF, le capteur peut être inséré avec des perturbations minimales. On remarque ici l'utilité de la prise en compte des circuits de test dès les premières étapes de conception.

Par exemple, en considérant l'amplificateur à faible bruit cascade à dégénérescence inductive d'émetteur décrit en figure 3.22 qui présente une topologie classique pour les récepteurs à bande étroite actuels, on peut voir que deux emplacements sont possibles pour le BICS soit (1) soit (2). Dans un tel LNA l'adaptation d'impédance est obtenue en

dimensionnant les inductances L_g et L_s et le transistor M_1 , pour lequel on utilise la capacité parasite grille-source C_{gs} et la transconductance g_m , tels que l'équation 3.7 soit vérifiée.

$$Z_{IN} \approx j\omega(l_G + l_S) + \frac{1}{j\omega C_{GS}} + \frac{g_m}{C_{GS}} L_S \quad \text{Eq. 3.7}$$

Si on place le capteur en position (1) et (2), les mêmes dégradations que celles de la figure 3.8 (b) et (d) seront observées car :

- Dans le cas (1), l'inductance de drain de M_2 sera dégradée ce qui perturbera le gain du LNA car le couple (L_1 ; C_1) forme un circuit bouchon qui permet d'accorder le maximum du gain du LNA à la fréquence de l'application.
- Soit l'inductance L_s sera dégradée et l'équation 3.7 ne sera plus vérifiée.

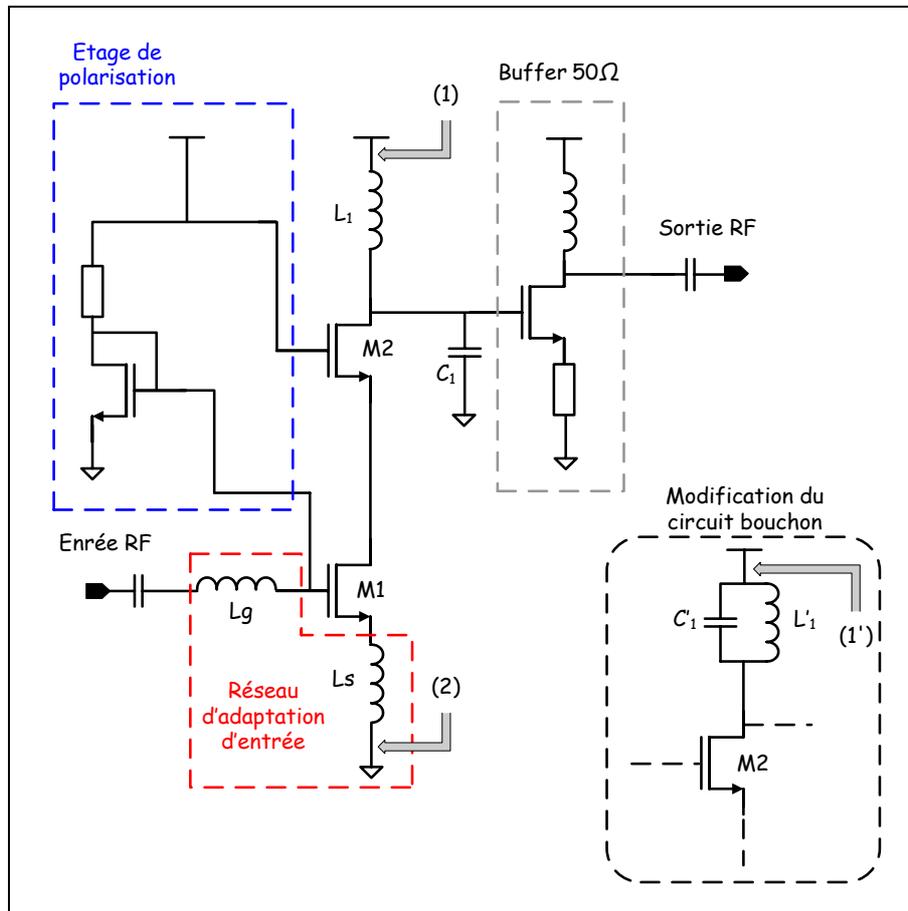


Figure 3.22 : Schématique d'un LNA cascode à dégénérescence inductive d'émetteur.

Par contre, une légère adaptation de la conception du LNA permettrait de placer le circuit bouchon dans la configuration indiquée dans la figure qui suit. Dans ce cas, les valeurs

du couple ($L'_1 ; C'_1$) seront très proches des valeurs de ($L_1 ; C_1$), mais devront être réadaptées de manière à ce que le gain maximal se situe à la fréquence de l'application désirée.

Grâce à cette nouvelle configuration le BICS pourra être placé en (1') ce qui lui permettra d'être quasi-transparent vis-à-vis du LNA étant donné que le circuit bouchon voit ses paramètres réglés de manière à présenter une impédance infinie à la fréquence de fonctionnement de l'application. D'après la figure 3.23, les performances simulées du LNA seul et du LNA avec BICS sont très proches et on peut donc déduire que le BICS est quasi-transparent pour le CUT RF.

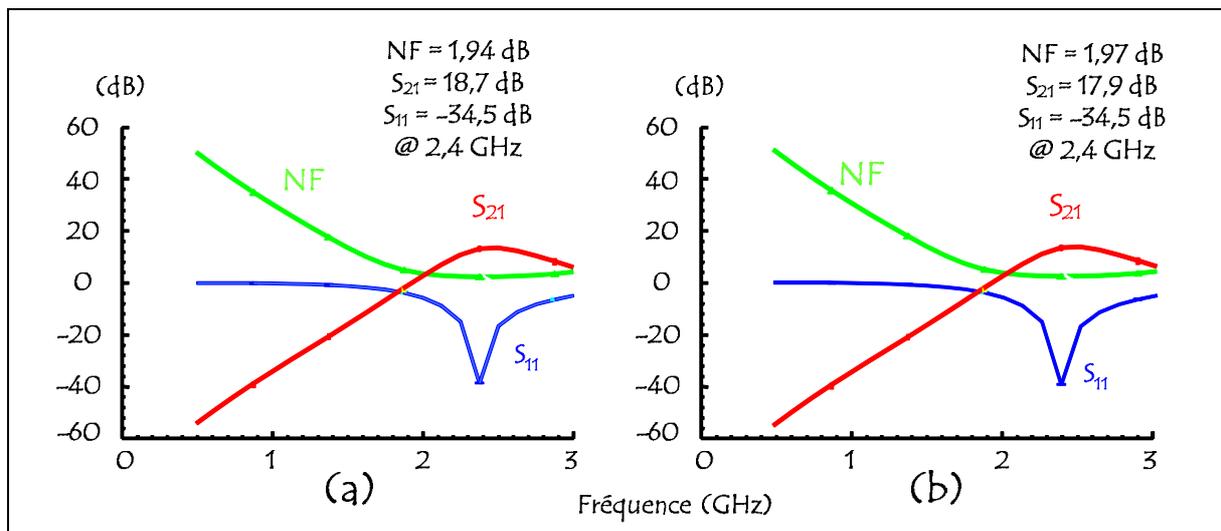


Figure 3.23 : Comparaison des performances simulées pour le LNA seul (a) et pour le LNA avec BICS (b).

II.3. Test d'une tension continue de polarisation

Dans le but d'améliorer la couverture de fautes de notre cellule d'auto-test nous avons décidé d'ajouter à la mesure du courant I_{DD} , la mesure d'un second paramètre qui est la tension continue de polarisation en certains points du circuit. Le nombre de points de test dépend de la complexité du circuit. En effet, pour un circuit simple un seul point de mesure pourra suffire, par contre dans des structures plus complexes à branches différentielles par exemple, plusieurs points de test seront nécessaires [PIN, 03].

II.3.1. Principe du test

Ce test est basé sur le fait qu'un circuit analogique est composé de nombreux éléments actifs et passifs. Lorsque le circuit fonctionne sans défaut, chacun de ses éléments actifs

fonctionne dans un état déterminé, par exemple zone saturée ou zone linéaire pour un transistor. Ainsi, les potentiels aux différents nœuds du circuit ont une certaine valeur nominale fixée par les éléments actifs. Par conséquent, si une faute affecte l'un ces éléments, son point de fonctionnement va être modifié et engendrera une variation des tensions de polarisation des nœuds auxquels cet élément est connecté. D'autre part, la dégradation des éléments passifs tels que l'électromigration dans les pistes, pourra aussi affecter les points de polarisation.

La mesure des tensions de polarisation de nœuds judicieusement choisis peut donc permettre de détecter de nombreuses fautes affectant à la fois les éléments actifs et passifs des circuits analogiques.

II.3.2. Choix du nœud de tension à tester

Le choix des nœuds à tester repose aussi sur les principes de DFT et une bonne connaissance de la structure du circuit permettra de choisir le nombre minimum de point de test.

Dans le cas du LNA de la figure 3.22, ce dernier présente une structure simple en termes de nombre de constituants et son point de polarisation essentiel est le point reliant la source de M_2 au drain de M_1 . En effet, ce point sera affecté par des défauts apparaissant soit dans le haut de la topologie (M_2 , C'_1 et L'_1), soit dans le bas de la structure (M_1 et L_S). C'est pourquoi nous avons choisi de ne tester que ce point car il est situé au milieu de la branche principale du circuit et il sera donc affecté par un grand nombre des défauts pouvant atteindre le LNA.

II.3.3. Mise en place du test

La structure de test en tension que nous avons développée se veut, comme dans le cas de celle en courant, la plus simple possible dans le but d'être robuste et peu invasive. Le schéma qui suit présente la structure d'auto-test qui sera appliquée aux différents nœuds de polarisation choisis.

Ce circuit d'auto-test réalise un fenêtrage en tension de la tension de polarisation testée. Pour ce faire, les valeurs $V_{ref_{bas}}$ et $V_{ref_{haut}}$ sont générées à partir d'une référence de

tension intégrée (cf. annexe D) et d'un amplificateur opérationnel monté en éleveur de tension. Les valeurs des références sont déterminées à partir de simulations pire cas et de la sensibilité voulue pour le capteur de manière à assurer une détection de faute correcte. Ainsi, si la tension de polarisation V_{test} sort de la fenêtre un signal d'erreur est envoyé en sortie.

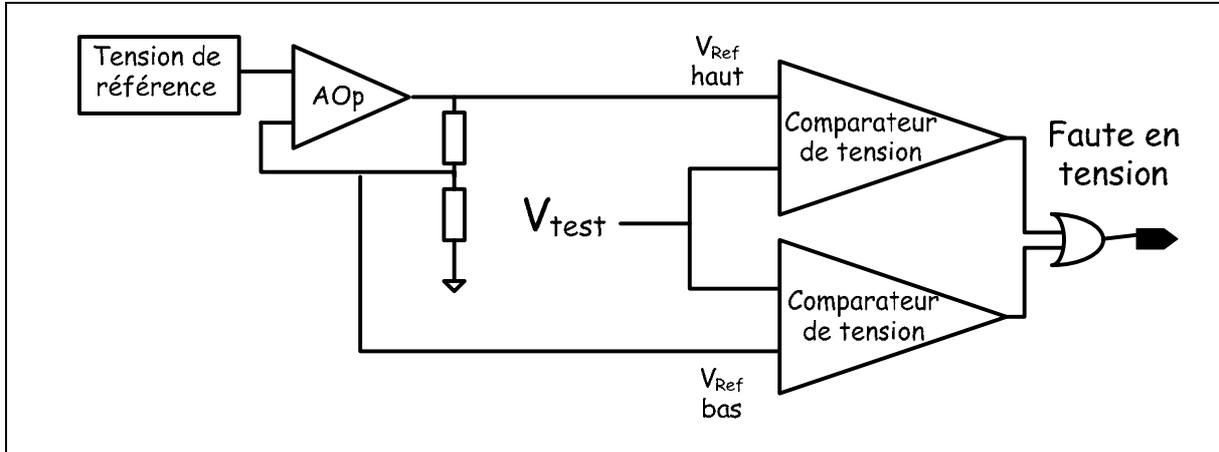


Figure 3.24 : Structure d'auto-test de tension de polarisation.

III. Conception d'un LNA à fiabilité étendue

Maintenant que nous avons décrit le circuit de surveillance des défaillances, il nous est possible de mettre en œuvre la technique structurelle d'amélioration de la fiabilité reposant sur l'utilisation de redondances passives.

III.1. Mise en place des redondances

L'insertion de redondances dans un circuit analogique radiofréquence se trouve confrontée aux mêmes difficultés que celles rencontrées par la mise en place d'éléments de test. En effet, la sensibilité de ces circuits au niveau de leurs adaptations d'entrée/sortie et de leurs paramètres caractéristiques rend cette étape complexe et nécessite une mise en place pendant la conception du bloc RF.

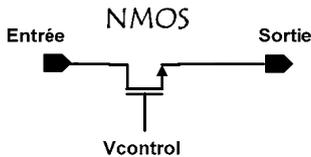
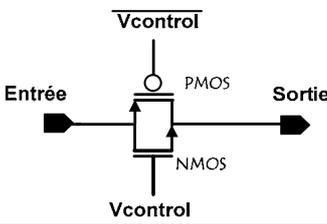
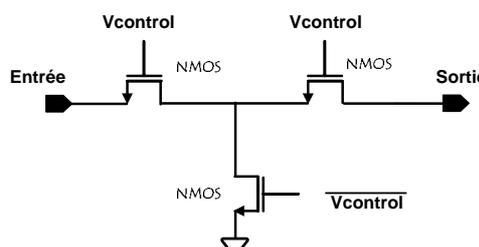
Outre l'élément de détection constitué d'une structure d'auto-test, les éléments essentiels d'une structure à redondances passives sont les interrupteurs de basculement qui permettent de désactiver l'élément fautif et d'activer l'élément de remplacement. Pour assurer cette fonctionnalité, ces derniers seront obligatoirement disposés en série avec les blocs RF

redondants et, comme pour le BICS, une de leur caractéristique essentielle sera la transparence vis-à-vis du bloc RF de manière à ne pas dégrader ses caractéristiques.

III.1.1. Différents interrupteurs

En technologie CMOS intégrée, les interrupteurs sont basés sur l'utilisation d'un ou plusieurs transistors qui joueront le rôle d'un interrupteur ouvert lorsqu'ils seront bloqués et d'un interrupteur fermé lorsqu'ils seront passants. Leur structure peut être très simple dans le cas d'un transistor unique ou beaucoup plus complexe dans le cas d'interrupteurs de type Transmission/Réception parallèle/série (T/R switch shunt/series) [YAM, 01] [HUA, 04].

Tableau 3.2 : principales structure d'interrupteurs CMOS.

Structure	Avantages	Inconvénients
<p>Interrupteur à un seul transistor</p> 	<ul style="list-style-type: none"> • Faible surface • Simplicité 	<ul style="list-style-type: none"> • Non linéaire pour des signaux de puissance importante. • Mauvaise isolation. • Résistance ON dépend de la tension d'entrée
<p>Porte de transmission</p> 	<ul style="list-style-type: none"> • Bonne linéarité • Faible résistance ON • Bonne dynamique 	<ul style="list-style-type: none"> • Isolation moyenne
<p>Interrupteur en T</p> 	<ul style="list-style-type: none"> • Bonne isolation 	<ul style="list-style-type: none"> • Non linéaire pour des signaux de puissance importante. • Résistance ON importante

Afin de justifier, suivant leur utilisation, le choix de tel ou tel interrupteur CMOS analogique le tableau précédent résume leurs avantages et inconvénients. Les détails des simulations menées sur les interrupteurs sont donnés en Annexe C. Comme nous pouvons le constater, chaque structure d'interrupteur a ses caractéristiques propres. Ainsi suivant

l'application et le point d'insertion de l'interrupteur, nous aurons à choisir la structure la mieux adaptée pour ne pas dégrader les performances du bloc RF.

III.2. LNA à fiabilité étendue : structure globale

Pour obtenir un LNA à fiabilité étendue, il nous suffit d'agencer entre elles les méthodologies de test et de basculement décrites au cours de ce chapitre et des chapitres précédents. La figure 3.25 détaille la topologie générale d'un LNA à fiabilité étendue en détaillant chacun des éléments qui la constitue.

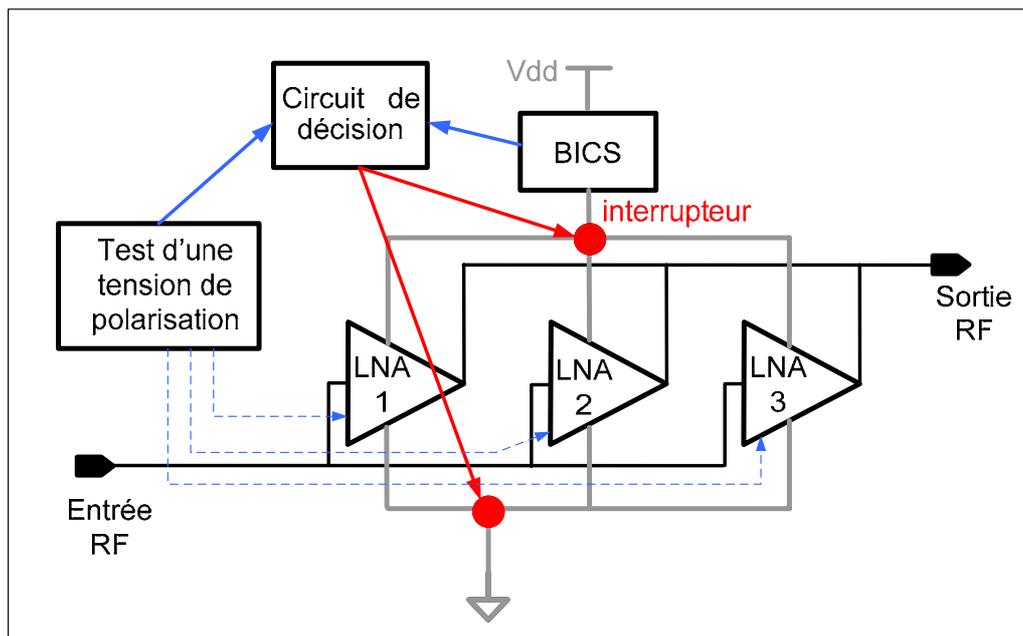


Figure 3.25 : Topologie générale d'un LNA à fiabilité étendue.

Cette topologie se base sur des redondances passives inactives du LNA, ici une triple redondance. Elle se décompose en trois étapes :

- Le circuit d'auto-test qui permet une détection en ligne des fautes du LNA actif avec des perturbations minimales. Il est composé d'un BICS et d'un circuit de mesure des tensions de polarisation de manière à assurer une bonne couverture de fautes.
- Le circuit de décision qui collecte les signaux d'erreur des deux capteurs et qui commande le basculement vers un LNA redondant, jusque-là inactif.

- Les interrupteurs qui permettent le basculement du LNA défaillant vers un LNA correct en dégradant le moins possible les performances de ces derniers. Dans ce but, les interrupteurs sont placés sur la ligne d'alimentation des LNAs et non sur la ligne radiofréquence.

Les redondances ne seront pas obligatoirement totales. En effet, suivant le budget dédié à l'application il ne sera peut être pas possible de multiplier la surface de la puce par le nombre d'éléments redondants. Or, dans un LNA les éléments les plus stressés sont ses transistors tandis que les éléments les plus volumineux sont ses inductances et capacités. Donc la redondance des éléments actifs seuls permet d'améliorer la fiabilité du circuit tout en gardant une surface raisonnable.

De manière à conforter la fiabilité du circuit, il est nécessaire de respecter toutes les règles de dessin des masques dictées par le fondeur et appliquer les techniques conceptuelles d'amélioration de la fiabilité, décrites dans le chapitre I, lors du dessin de ses masques. Il faut aussi tenir compte de la règle évidente concernant la fiabilité qui dit en substance que : "plus un circuit sera complexe et gros, plus il aura de chance de connaître des défaillances". Pour cela les structures des interrupteurs, du circuit de décision et des circuits d'auto-test, utilisées devront être les plus simples possibles.

IV Conclusion

Dans ce chapitre, nous avons détaillé la mise en place d'une méthodologie permettant d'améliorer la fiabilité des circuits radiofréquences dans un cas particulier : l'amplificateur à faible bruit. Le choix d'un tel circuit réside dans le fait que c'est un élément critique des chaînes de réception intégrées actuelles. De plus, ce circuit est particulièrement sensible à toute insertion d'éléments de test ou de basculement ; ce qui le rend parfaitement approprié pour la validation de la méthodologie.

En se basant sur les méthodologies permettant d'augmenter la fiabilité et de tester les circuits RF décrites dans les chapitres précédents, la mise en place d'une stratégie d'auto-test (BIST) pour les LNAs à tout d'abord été décrite, puis, la structure globale d'un LNA à fiabilité étendue à ensuite été étudiée. Cette dernière est basée sur l'utilisation de redondances passives qui nécessitent à la fois un circuit de surveillance de défaillance et un circuit de basculement. La détection des défaillances est obtenue grâce au BIST qui réalise la surveillance du courant de polarisation et d'une tension de polarisation critique du LNA, ce qui lui permet d'obtenir un fort taux de couverture de fautes. Les techniques de DFT sont également à prendre en compte de manière à obtenir une intégration du BIST quasi-transparente vis-à-vis des performances du LNA. Enfin, le basculement est réalisé par le biais d'interrupteurs CMOS analogiques dont le choix dépendra de leurs caractéristiques et de leur emplacement d'insertion.

CHAPITRE IV : Démonstrateurs réalisés

Sommaire

I.	<i>LNA dédié aux applications ZigBee.....</i>	121
I.1.	Le standard ZigBee.....	121
I.1.1.	Généralités.....	121
I.1.2.	Caractéristiques :.....	122
I.2.	LNA à contre-réaction résistive	122
I.3.	Stratégie de test.....	124
I.4.	Mise en place des redondances.....	127
I.5.	Mesures.....	131
I.5.1.	Performances RF	131
I.5.2.	Validation de la méthodologie pour augmenter la fiabilité	132
II.	<i>LNA dédié aux applications WiFi.....</i>	135
II.1.	Le standard WiFi	135
II.1.1.	Généralités.....	135
II.1.2.	Caractéristiques.....	136
II.2.	LNA bande étroite.....	137
II.3.	Stratégie de test.....	139
II.4.	Mise en place des redondances.....	141
II.5.	Mesures.....	142
II.5.1.	Performances RF	143
II.5.2.	Validation de la méthodologie pour augmenter la fiabilité	145
III.	<i>Perspectives.....</i>	148
III.1.	Finalisation des démonstrateurs	148
III.1.1.	Circuit à fiabilité étendus avec circuit de décision intégré.....	148
III.2.	Application de la méthodologie à d'autres blocs RF	150
IV.	<i>Conclusion.....</i>	152

Dans ce chapitre nous allons détailler les différents démonstrateurs réalisés en technologie CMOS VLSI 130 nm de STMicroelectronics contenant 6 niveaux de métal. Ces démonstrateurs ont été réalisés dans le but de confirmer la transparence de notre méthodologie vis-à-vis du circuit auquel elle est appliquée. Pour ce faire, sur chacune des puces contenant les démonstrateurs à fiabilité étendue, nous avons aussi inséré le même circuit sans aucun élément de test ou de redondance de manière à pouvoir comparer ses performances à celles du démonstrateur.

I. LNA dédié aux applications ZigBee

I.1. Le standard ZigBee

I.1.1. Généralités

Grâce aux progrès constants dans la technologie des capteurs sans fil, un nombre croissant d'organisations les utilisent pour des applications diverses et variées. En effet, ses utilisateurs s'en servent pour la surveillance et l'automatisation des maisons, des immeubles, des systèmes industriels et agricoles comprenant par exemples des thermostats et des éléments de sécurité.

De plus, ces réseaux de capteurs sans fil sont utilisés pour vérifier la qualité de notre environnement ou l'intégrité des ponts et autres structures, et même des réseaux militaires pouvant relever de la sécurité nationale.

Afin de répondre à cette demande croissante et de s'assurer le succès sur le marché des capteurs sans fil à faible puissance et faible coût, le standard ZigBee a été créé. Ce dernier fournit une infrastructure économique, robuste et présentant peu de latence pour les connectivités sans fil. En effet, les technologies sans fil prédominantes, telles que Bluetooth, ne peuvent pas répondre à ce marché dans la mesure où elles sont trop chères et consomment trop d'énergie. La technologie Bluetooth est conçue pour connecter des dispositifs à débit moyen tels que des ordinateurs et téléphones portables et autres périphériques majeurs. Au

contraire, la technologie ZigBee connecte des dispositifs à faibles débits comme les capteurs et repose sur une technologie plus simple, moins chère et plus facile d'utilisation [GEE, 05].

1.1.2. Caractéristiques :

Le standard 802.15.4 ou ZigBee est un standard dans lequel chaque nœud émet continuellement par paquets de manière à avertir le réseau de sa présence. La bande radiofréquence utilisée est la bande 2,4 GHz. Cette bande est particulièrement adaptée aux réseaux de capteurs à faible coût, car les utilisateurs n'ont pas besoin de licence et son spectre est largement disponible [CAL, 02].

Le flux de données est relativement bas, i.e. 250 kilobits par seconde, mais suffisant pour des systèmes à capteurs simples qui ne transmettent que des petites quantités de données occasionnellement [GEE, 05].

1.2. LNA à contre-réaction résistive

Comme il a été décrit dans le chapitre précédent, les amplificateurs à faible bruit (LNA) sont des circuits RF particulièrement adaptés à la démonstration de la transparence de notre méthodologie de par leur sensibilité.

Dans le cadre d'applications ZigBee critiques, comme un réseau de capteurs pour la surveillance de l'atmosphère dans une usine chimique par exemple, la disponibilité et la fiabilité des capteurs est essentielle. Pour répondre à ces contraintes, la mise en place d'une cellule à haute fiabilité mais à moindre coût est nécessaire. Nous avons donc décidé d'appliquer notre méthodologie sur un LNA dédié à de telles applications, cette dernière pouvant être adaptée à l'ensemble du transmetteur de manière à assurer la communication du nœud avec le réseau.

Dans la bande ISM 2,4 GHz, la sensibilité minimale du standard ZigBee est fixée à -85 dBm [GUT, 03], ce qui n'est pas une valeur trop contraignante. Par conséquent, la figure de bruit du récepteur complet n'est pas une contrainte majeure, et donc ne le sera pas non plus pour le LNA lui-même. Par contre, la robustesse et le coût sont des paramètres critiques pour ce standard. Nous avons donc choisi un LNA à charge résistive car il ne met pas en jeu d'inductance, ce qui permet de limiter sa surface de silicium tout en confortant sa robustesse, au prix d'une figure de bruit augmentée [TIE, 02].

Ainsi, une topologie à contre-réaction résistive pour le LNA a été retenue, cette dernière est décrite dans la figure 4.1. Dans ce circuit l'amplification du signal RF est assurée par le transistor M_2 dont la transconductance est nommée g_m . Les formules qui suivent donnent les équations approchées au premier ordre du gain et de l'impédance d'entrée de ce LNA :

$$Z_{IN} \approx \frac{R_F}{1 + g_m \cdot R_L} \quad \text{Eq. 4.1}$$

$$\text{Gain} \approx -g_m R_L \quad \text{Eq. 4.2}$$

Ainsi, grâce à ces équations ainsi qu'aux simulations réalisées, nous avons fixé les dimensions de M_2 et les valeurs de R_L et R_F (respectivement 250 Ω et 8 k Ω) de manière à obtenir un gain simulé de 15 dB à 2,4 GHz.

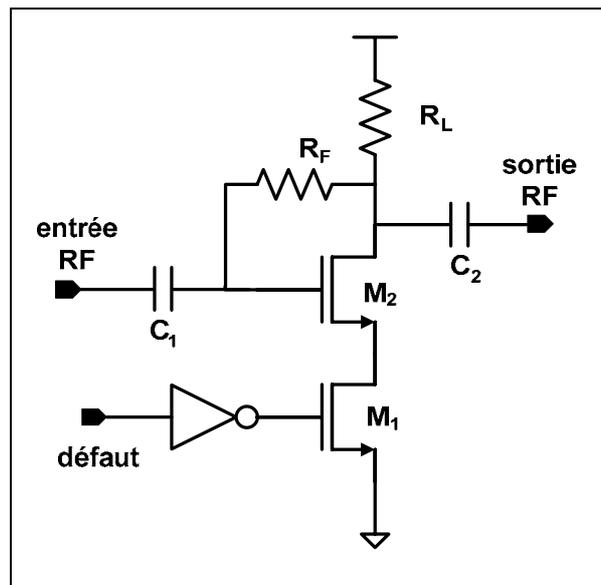


Figure 4.1 : topologie du LNA ZigBee

Une entrée *défaut* a été ajoutée au LNA, cette dernière permet d'activer ou de désactiver une faute catastrophique simulée par l'intermédiaire du transistor M_1 . En effet, lorsque l'entrée *défaut* est à l'état « haut », la grille du transistor M_1 est à la masse, de sorte que M_1 est bloqué ce qui coupe la ligne d'alimentation du LNA. Dans le cas contraire, M_1 est passant et le LNA est alimenté normalement. M_1 a été implémenté avec de très grandes dimensions de manière à présenter une résistance la plus faible possible lorsqu'il est passant et de ce fait perturber le moins possible le LNA lorsqu'aucune faute n'est simulée. Le tableau

de simulation qui suit présente les dégradations entraînées par cet injecteur de fautes pour les deux paramètres particulièrement affectés du LNA, que sont le gain et la figure de bruit.

Tableau 4.1 : performances du LNA seul et avec l'injecteur de faute.

	LNA seul	LNA avec injecteur de faute
Gain (S_{21})	15,7 dB	15,1 dB
NF	3 dB	3,3 dB

La faute simulée ici est certes simpliste, mais son but est de démontrer la fonctionnalité de notre méthodologie et non de caractériser par des mesures la couverture de fautes de cette dernière.

I.3. Stratégie de test

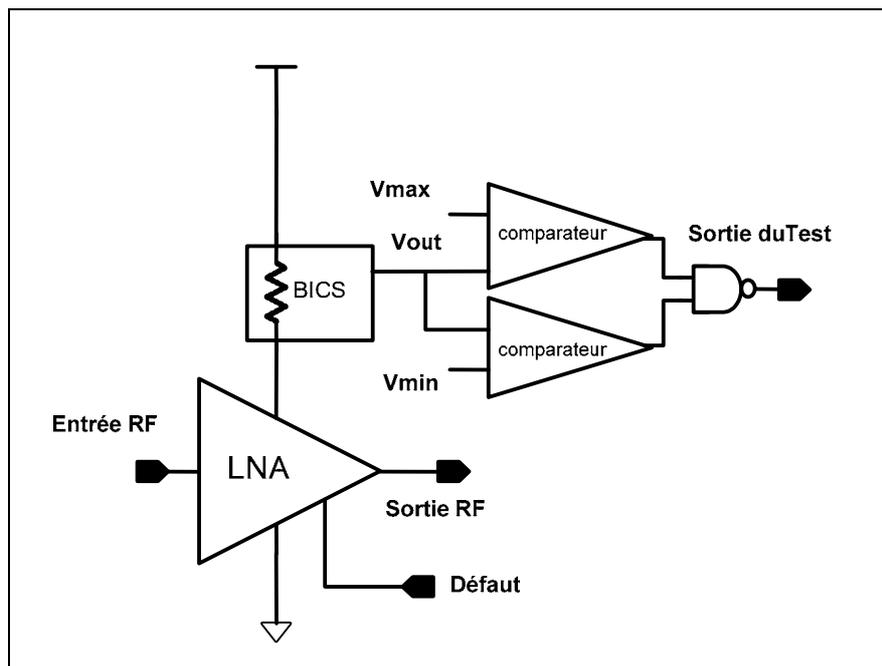


Figure 4.2 : Topologie du LNA avec auto-test.

Le but du circuit d'auto-test intégré est de détecter les défaillances du LNA en ligne. Dans le cas des circuits RF et tout particulièrement pour un LNA, le paramètre apparaissant comme le meilleur indicateur de défaillances est le courant d'alimentation I_{DD} . En effet, il

permet de détecter toutes les fautes dans les transistors de la branche surveillée et atteint un taux global de couverture de fautes élevé [PIN, 03] [KHE, 04].

Notre stratégie de test repose donc sur la mesure du courant I_{DD} par l'intermédiaire du BICS présenté dans le chapitre 3. Le choix de l'emplacement de ce dernier est la phase la plus critique, car il devra perturber le moins possible les performances du LNA présenté en figure 4.1. Etant donné le fonctionnement intrinsèque du BICS, il faut l'insérer en série avec le LNA et pour ce faire deux solutions s'offrent à nous : soit l'insérer entre la masse et le LNA, soit entre l'alimentation et le LNA. La première solution n'est pas acceptable car la résistance sensitive de $10\ \Omega$ du BICS dégraderait le gain et la figure de bruit du LNA. Au contraire, dans le cas de la deuxième solution, les $10\ \Omega$ du BICS se retrouvent en série avec la résistance R_L et sont suffisamment faibles devant sa valeur de $250\ \Omega$ pour n'affecter que très légèrement les performances du LNA (cf. figure 4.3). Comme le montre la figure 4.3, l'insertion du BICS entraîne une chute de $0,15\ \text{dB}$ sur le gain simulé du LNA, ce qui correspond à une dégradation de seulement $1\ \%$ du gain.

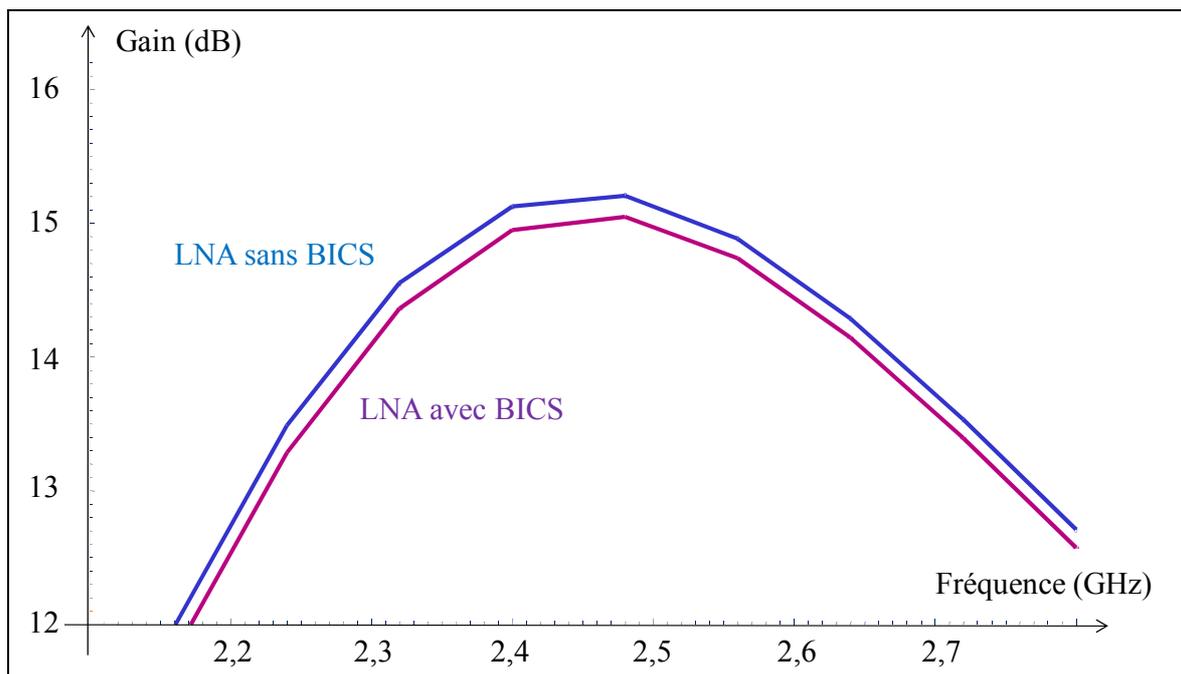


Figure 4.3 : Gains simulés du LNA à contre-réaction résistive en présence (courbe inférieure) et en absence (courbe supérieure) du BICS.

La structure du LNA à contre-réaction résistive que nous utilisons étant différente de celles étudiées dans [PIN, 03] et [KHE, 04], nous avons étudié par simulation la couverture de

fautes du test I_{DD} pour cette topologie afin de valider le fort taux de couverture prévu. Les modèles de fautes qui ont été considérés pour ce circuit sont listés dans le tableau 4.2. Les ouvertures ont été modélisées par une résistance de $1\text{ M}\Omega$ et les courts-circuits par des résistances de $1\ \Omega$. Ces modèles ne prennent pas en compte les fautes paramétriques qui devraient l'être dans le cas de LNA à haute performance, où les spécifications sont des paramètres-clés et dans le cas où la structure BIST serait utilisée comme une alternative aux tests de production basés sur des équipements automatiques de test (ATE : Automatic Test Equipment). Dans le cadre de cette étude, les fautes qui apparaîtront au cours de la période d'utilisation du circuit seront de nature catastrophique. Les faibles variations induites par des défauts paramétriques ne sont pas considérées ici car elles ne dégradent pas de manière suffisamment importante les paramètres du circuit.

Tableau 4.2 : modèles de faute

Résistance	Ouverture Court-circuit
Capacité	Ouverture Court-circuit
Transistor	Court-circuit Grille-Source Court-circuit Grille-Drain Court-circuit Drain-Source Ouverture Grille-Source Ouverture Grille-Drain Ouverture Drain-Source
Via	Ouverture Haute résistance
Nœuds	Court-circuit

Ces modèles de faute ont été appliqués au dessin des masques du circuit, et un total de trente fautes a été considéré pour le LNA. Chacune de ces fautes a été simulée séparément.

Comme prévu, 100 % des fautes dans les transistors sont détectées et au total une couverture de fautes de 85 % est obtenue. Un taux si élevé peut s'expliquer par le fait que la structure de ce LNA est très simple et qu'il ne possède qu'une seule branche dans laquelle est inséré le capteur. Ainsi, toutes les fautes situées dans la branche de polarisation du LNA seront détectées par le BICS, car elles affectent directement son courant I_{DD} . Seules les fautes n'affectant pas directement la branche principale ne seront pas détectées, comme par exemple un défaut sur la capacité d'entrée du circuit dans le cas où la faute laisserait l'entrée du LNA flottante (C_1 en figure 4.1).

I.4. Mise en place des redondances

La deuxième étape de notre méthodologie à fiabilité étendue repose sur la mise en place des redondances. Une nouvelle fois, des éléments perturbateurs, les interrupteurs de basculements, vont être insérés dans le circuit et il faudra que ces derniers dégradent le moins possible ses performances.

Comme dans les chapitres un et trois, il apparaît que la méthodologie se basant sur l'utilisation de redondances passives inactives permet de fortement augmenter la fiabilité d'un circuit pour une période donnée et que dans ce cas la fiabilité du système complet peut s'exprimer sous la forme :

$$R(t) = r(t) + \rho(t) \sum_{j=1}^{n-1} \int_0^t r(t-u) f^{(x)}(u) du \quad \text{Eq. 4.3}$$

Où $R(t)$ *fiabilité du circuit global,*
 $r(t)$ *fiabilité au temps t pour un des sous-éléments du circuit,*
 $\rho(t)$ *fiabilité du circuit de basculement et de détection,*
 $f^{(x)}$ *densité de probabilité d'apparition d'une $x^{\text{ième}}$ défaillance dans le sous-élément considéré,*
 n *nombre de sous-éléments redondants.*

Dans le cas présent, on considère tout d'abord que la fiabilité $r(t)$ est la même pour chaque LNA et qu'elle suit une distribution exponentielle donnée par l'équation 4.4.

$$r(t) = e^{-\lambda t} \quad \text{Eq. 4.4}$$

Puis, on effectue l'hypothèse approximative que la fiabilité pour le circuit de basculement et de détection est constante ; on l'appelle ρ . Dans ce cadre, l'équation 4.3 peut se simplifier en l'expression suivante :

$$R(t) = e^{-\lambda t} \left(1 + \sum_{j=1}^{n-1} \frac{(\lambda t)^j}{j!} \right) \quad \text{Eq. 4.5}$$

Grâce à cette expression simplifiée il est possible de tracer la fiabilité du circuit en fonction de la variable λt pour différents nombres de redondances. Les résultats obtenus sont présentés en figure 4.4. Comme prévu, plus le nombre de redondances est grand, meilleure est la fiabilité de l'ensemble. On constate encore une fois que le gain en fiabilité diminue à chaque élément redondant ajouté. Nous pouvons aussi noter que dans le cas (a) où la fiabilité du circuit de détection et de basculement est plus faible, le gain en fiabilité pour les grands n (i.e. $n=4$ et $n=5$) est relativement faible.

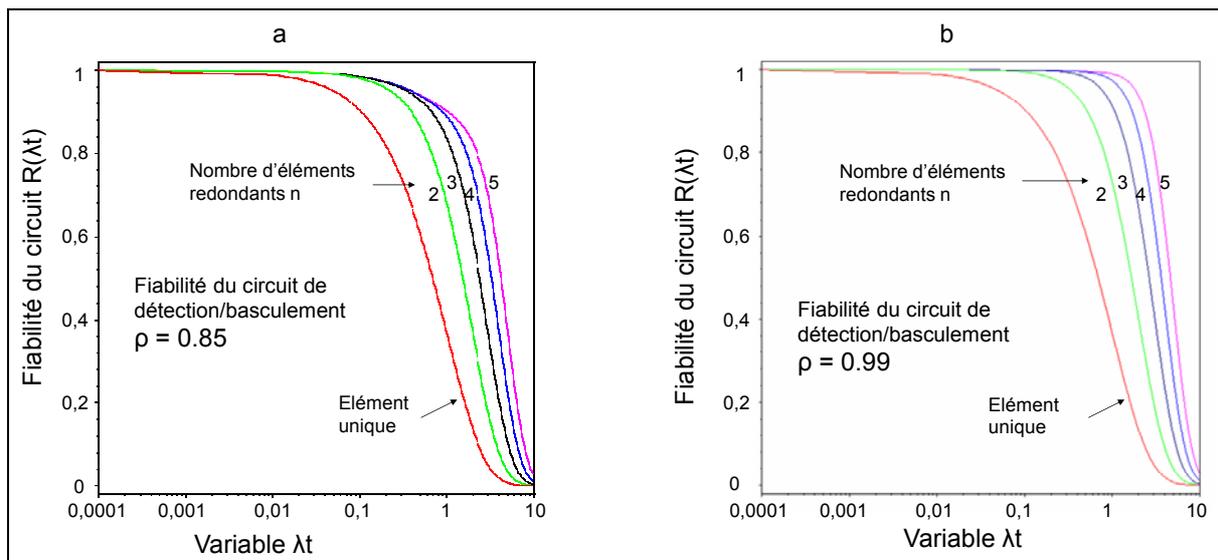


Figure 4.4 : Fiabilité du circuit complet simulée pour n éléments redondants avec une fiabilité pour l'élément de détection et de basculement de 0,85 (a) et de 0,99 (b).

Par conséquent, les applications ZigBee étant à faible coût et la surface des puces étant donc limitée, le meilleur compromis fiabilité/coût apparaît être la mise en place d'une triple redondance passive. De surcroît, les circuits de détection de défaillances et de basculement devront être les plus simples et les plus robustes possibles de manière à ce que la méthodologie apporte un maximum de fiabilité.

Les éléments les plus sensibles aux fautes étant les transistors, nous n'avons appliqué les redondances que sur ces derniers afin d'économiser en termes de surface globale de la puce et donc de coût. Comme on peut le voir sur la figure qui suit, l'activation et la désactivation des éléments redondants est réalisée par l'intermédiaire de leur masse respective. En effet, la ligne de masse de chacun des LNAs a été sortie de la puce et est appelée *activation*. Ainsi cette dernière sera soit connectée à la masse et dans ce cas le LNA concerné sera actif, soit connectée à l'alimentation et le LNA sera désactivé.

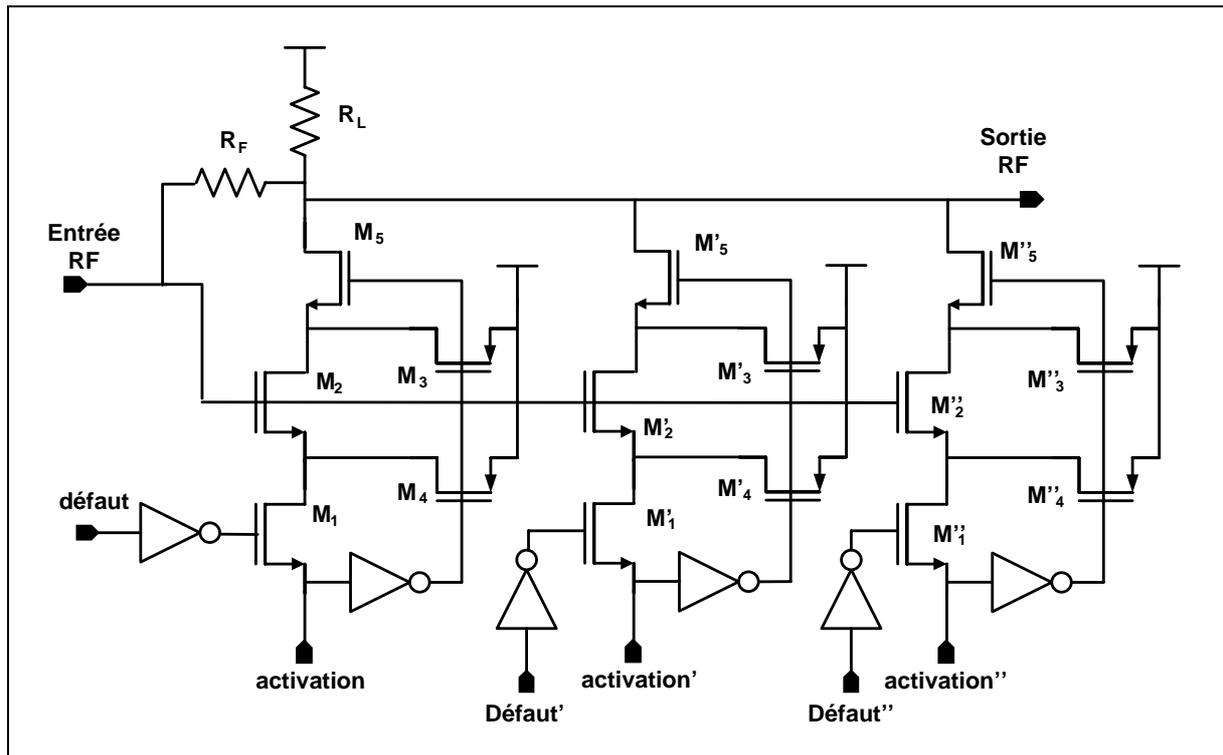


Figure 4.5 : Topologie du LNA résistif avec une triple redondance.

De manière à améliorer l'isolation entre les différents LNAs et ainsi limiter les dégradations de performances du démonstrateur, les transistors M_3 , M_4 et M_5 ont été ajoutés et dimensionnés de sorte que leur impact soit minimal sur le fonctionnement des LNAs. M_5 possède de grandes dimensions pour présenter une résistance R_{on} faible et M_3 et M_4 sont de petites dimensions pour que les capacités parasites qu'ils ramènent soit minimales.

Tableau 4.3 : Dimensions des éléments du démonstrateur ZigBee.

éléments	M_1 , M_1' M_1''	M_2 , M_2' M_2''	M_3 , M_3' M_3''	M_4 , M_4' M_4''	M_5 , M_5' M_5''	R_F	R_L
dimensions	W/L 150/0,13 μm	W/L 50/0,13 μm	W/L 0,3/0,13 μm	W/L 0,3/0,13 μm	W/L 100/0,13 μm	8 k Ω	250 Ω

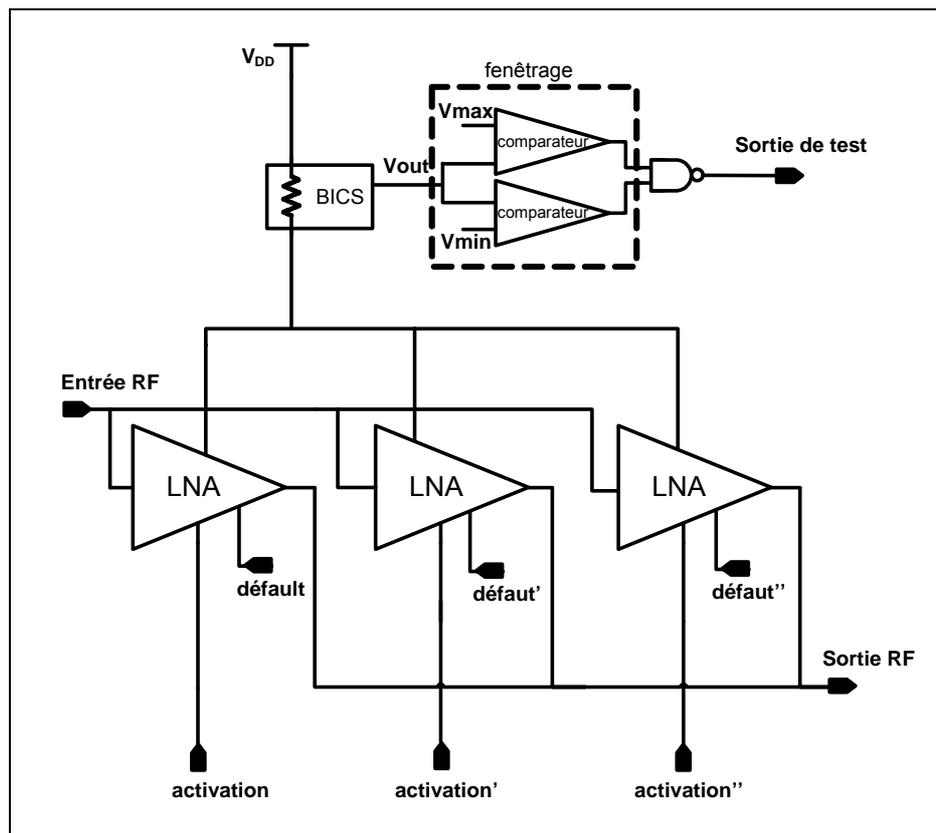


Figure 4.6 : Démonstrateur LNA ZigBee à fiabilité étendue.

La structure globale du démonstrateur réalisé est décrite dans la figure 4.6. Nous pouvons voir au centre de ce schéma les LNAs redondants avec leur injecteur de faute respectif qui pourront être activés ou désactivés par leur ligne de masse. Sur la ligne d'alimentation, commune aux trois LNAs, est placé le capteur de courant intégré qui mesure le courant consommé par le LNA actif. Une faute est détectée lorsque la tension mesurée (proportionnelle au courant capté) sort de l'intervalle fixé par les deux références V_{\max} et V_{\min} . Ces dernières sont prédéfinies au moyen d'une simulation Monte Carlo appliquée au courant nominal consommé par le LNA et à partir de la courbe de sortie du BICS. Dans ce

démonstrateur le basculement d'un LNA fautif est réalisé manuellement dès le passage à l'état haut de la sortie de test signalant une faute.

I.5. Mesures

Ce circuit a été réalisé en technologie CMOS 130 nm et sa surface globale est de 0,025 mm². On peut voir sur la microphotographie ci-dessous le capteur de courant qui occupe une surface de 0,005 mm², les LNAs redondants et le circuit de fenêtrage.

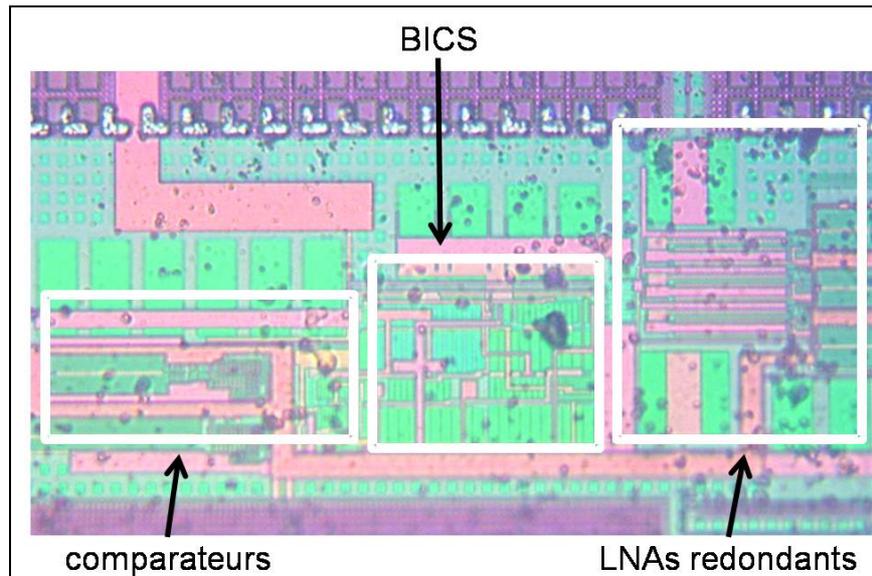


Figure 4.7 : Photographie du démonstrateur.

Le BICS a aussi été implanté seul sur la puce afin de pouvoir le caractériser isolément. La puce a été implantée dans un boîtier QFN, puis soudée sur un circuit imprimé FR4 servant de véhicule de test. Le circuit consomme une puissance de 4,3 mW sous 1,2 V de tension d'alimentation.

I.5.1. Performances RF

La sortie radiofréquence de ce LNA n'ayant pas été conçue pour être connectée à une charge de 50 Ω , les mesures de gain ont été effectuées au moyen d'une sonde haute impédance. Les performances du démonstrateur sont résumées dans le tableau qui suit.

Nous constatons que le gain mesuré est légèrement inférieur au gain attendu ce qui entraîne une figure de bruit augmentée. Cependant les performances du démonstrateur restent

suffisantes pour le standard ZigBee. Cette dégradation provient principalement des pertes de signal entre la carte et la pointe de contact de la sonde lors de la mesure.

Tableau 4.4 : Performances du démonstrateur mesurées à 2,4GHz

Spécifications	Démonstrateur
technologie (μm)	0,13
Gain (dB)	10
S_{11} (dB)	- 16
NF (dB)	4
IIP3 (dBm)	- 6
ICP1 (dBm)	- 16
alimentation (V)	1,2
Courant LNA+BICS (mA)	$3 + 0,6 = 3,6$

1.5.2. Validation de la méthodologie pour augmenter la fiabilité

Avant de simuler une défaillance par le biais de l'injecteur de faute, il faut paramétrer le fenêtrage en tension. Pour cela, les valeurs des références de tension V_{\min} et V_{\max} ont été déterminées à partir de la courbe de sortie mesurée du BICS (cf. figure 4.8) et à partir d'une analyse Monte Carlo de la consommation nominale du LNA seul, en l'occurrence 3 mA. Ainsi, les seuils de détection ont été fixés à 0,75 V et 0,9 V, ce qui correspond respectivement à une sous-consommation ou une surconsommation de 1 mA. Un tel réglage est réalisé de manière à détecter les défaillances du LNA et non des variations paramétriques générées lors de sa confection.

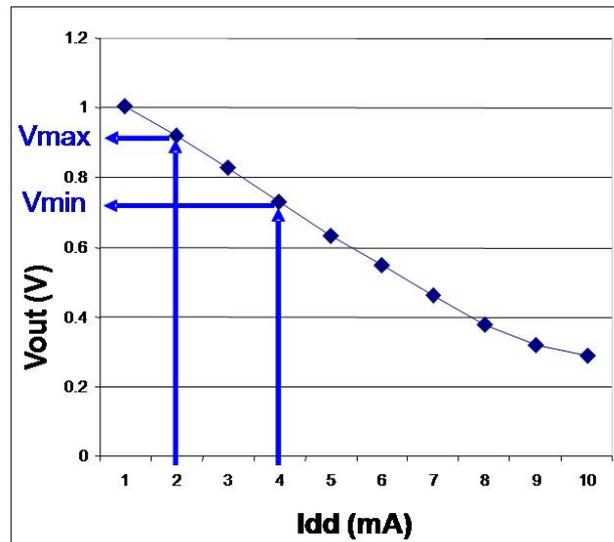


Figure 4.8 : Courbe de transfert mesurée du BICS $V_{out}=f(I_{DD})$

Une fois le fenêtrage en tension réalisé, une faute catastrophique a été simulée en fournissant un signal carré à l'entrée *défaut*. Ainsi, comme on peut le voir en figure 4.9, lorsque l'entrée défaut du LNA est mise au niveau logique 1, le transistor M_1 se retrouve bloqué, la ligne de masse du LNA est coupée et une sous-consommation catastrophique, i.e. 0 mA, est obtenue.

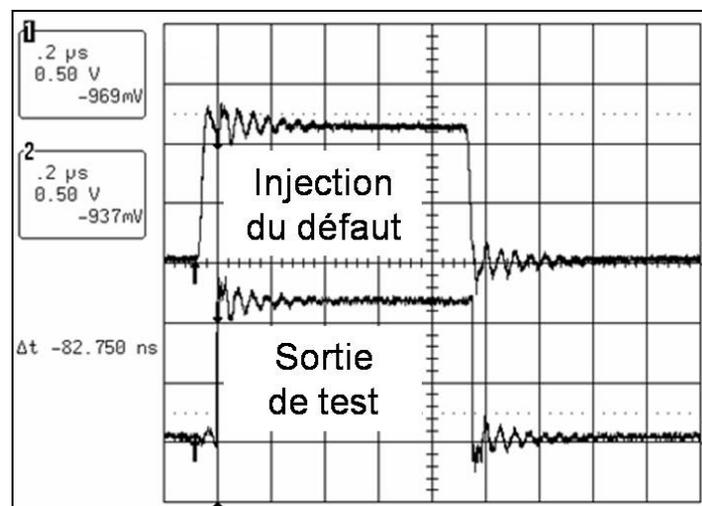


Figure 4.9 : Injection et détection d'une faute catastrophique.

La courbe du haut correspond au signal envoyé sur l'entrée *défaut* du premier LNA sachant que c'est ce dernier qui est actif, la courbe du bas correspond à la sortie de test (cf. figure 4.6). On constate que dès que la faute est activée, elle est efficacement détectée avec un

délat d'environ 83 ns, insignifiant du point de vue de la fonctionnalité du démonstrateur. Naturellement, l'annulation de la faute est aussi détectée.

Du point de vue de la fiabilité étendue, dès qu'une faute est détectée, le basculement vers un LNA redondant doit être ordonné par le circuit de décision. Dans le cas de ce démonstrateur, le basculement est effectué au moyen d'interrupteurs placés sur la carte imprimée. En figure 4.10, la courbe du bas correspond au signal détecté sur la sortie de test et la courbe du haut à celui injecté sur l'entrée d'activation du deuxième LNA. Comme on peut le constater, dès que le second LNA est activé, plus aucune faute n'est détectée. Ainsi la fonctionnalité RF du circuit est maintenue ce qui permettrait au nœud ZigBee d'alerter le réseau d'une première défaillance en vue d'un changement.

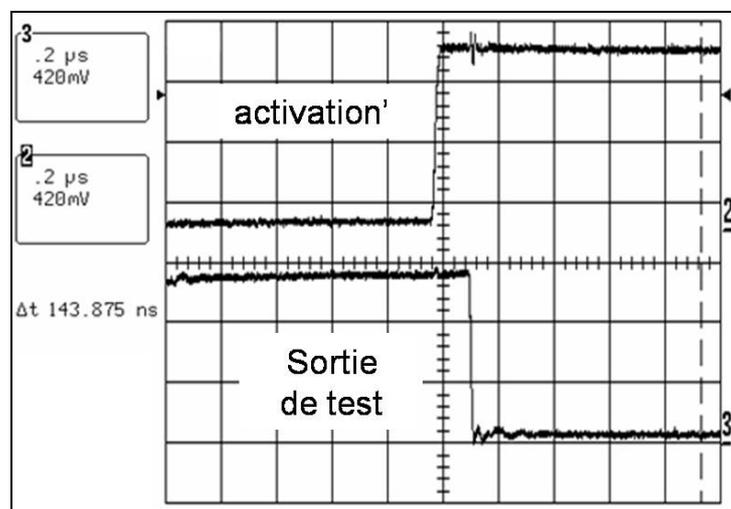


Figure 4.10 : Annulation de la défaillance grâce au basculement sur un LNA redondant.

Il est donc possible de conclure que ce LNA présente des performances correspondant au standard ZigBee, tout en possédant des capacités d'auto-test et de fiabilité étendue intégrées. Ce démonstrateur a fait l'objet d'une publication dans une conférence nationale [CIM, 06bis], d'une publication en conférence internationale [CIM, 06ter]. La méthodologie de test a fait l'objet d'une publication en papier invité dans la thématique test RF lors de la conférence RFIC 2007 [LAP, 07].

II. LNA dédié aux applications WiFi

Dans le paragraphe précédent, nous avons démontré la faisabilité de notre méthodologie sur un premier démonstrateur.

Cependant, le LNA choisi présente une structure robuste à toute insertion, dont celle d'un BIST, car sans inductances de par les spécifications de l'application ZigBee à laquelle il est dédié. De plus, la stratégie de test repose uniquement sur le BICS, ce qui limite sa couverture de fautes. Enfin, nous avons vu qu'à la fois les mécanismes d'injection de fautes comme ceux de basculement entraînent une dégradation des performances du LNA auxquels ils sont intégrés. Nous avons donc décidé au cours de cette thèse de perfectionner les circuits d'auto-test et de basculement et de développer un nouveau démonstrateur reposant sur un LNA avec inductances intégrées. Ce type de LNA est plus classique dans les applications actuelles (WiFi, Bluetooth, ...) et réputé plus sensible à l'insertion d'un capteur permettant d'augmenter sa fiabilité.

II.1. Le standard WiFi

II.1.1. Généralités

Le WiFi, contraction de Wireless Fidelity, est un standard international décrivant les caractéristiques d'un réseau local sans fil (WLAN). Le principe de cette technologie est d'établir des liaisons radio entre des terminaux et des points d'accès pour se connecter sur un réseau local ou sur internet. Dans la pratique, le WiFi permet de relier des ordinateurs portables, des machines de bureau, des assistants personnels (PDA) ainsi que des périphériques mobiles dialoguant par liaison à haut débit, ou à des appareils électroniques communiquant sur un rayon de plusieurs dizaines de mètres en intérieur, à plusieurs centaines de mètres en environnement ouvert.

Le WiFi, historiquement développé dans les entrepôts d'entreprises pour l'enregistrement automatisé des produits, a aujourd'hui acquis un usage domestique et bureautique. Il permet ainsi de relier entre eux les équipements électroniques et d'accéder à internet ou aux données de son ordinateur, quel que soit le lieu où l'on se trouve tant que l'on est situé dans la zone couverte.

De plus, des opérateurs installent des bornes WiFi dans les zones à forte concentration d'utilisateurs tels que les lieux publics (gares, aéroports, hotels, trains, ...), ce qui permet ainsi à chacun d'accéder à internet, par exemple au cours de déplacements. Ces points d'accès publics sans fil sont appelées dans le jargon "hot-spots".

II.1.2. Caractéristiques

Le WiFi repose sur la norme technique de communication radio-électrique IEEE 802.11. Il existe en réalité plusieurs révisions de cette norme, utilisant des bandes de fréquence ISM différentes et optimisant le débit en fonction de la portée souhaitée, c'est le cas des normes 802.11a, 802.11b, 802.11g et 802.11n [GAS, 02] [BES].

- La norme 802.11b, norme la plus répandue utilisant la bande de fréquence 2,4 GHz, permet d'obtenir des débits théoriques de 11 Mbit/s avec une portée d'une cinquantaine de mètres à plusieurs centaines de mètres.
- La norme 802.11a permet d'obtenir des débits théoriques de 54 Mbit/s avec une portée plus faible que le 802.11b, c'est-à-dire une portée d'une trentaine de mètres seulement. La norme 802.11a utilise la bande de fréquence 5 GHz, ce qui la rend incompatible avec le 802.11b. Toutefois, certains équipements, qualifiés de « dual-band », intègrent une puce 802.11a ainsi qu'une puce 802.11b, ce qui les rend compatibles avec les deux normes.
- La norme 802.11g, plus récente, offre le meilleur compromis, puisqu'elle propose un débit théorique de 54 Mbit/s pour une portée d'environ 100 mètres. Qui plus est, une certaine compatibilité existe entre les équipements 802.11b et 802.11g, permettant de faire cohabiter des stations des deux types sur le même réseau.
- Enfin, la norme WiFi 802.11n vient tout juste d'être adoptée par le consortium IEEE (Institute of Electrical and Electronics Engineers). Avec cette nouvelle norme, le réseau WiFi 802.11 va permettre des débits de transfert de données bien supérieurs à ce qu'autorise l'actuelle norme 802.11g, débits pouvant aller jusqu'à 540 Mbit/s. Le standard intègre la technologie MIMO (multiple-input, multiple-output) qui permet de paralléliser les communications sans fil sur plusieurs antennes à la fois. Il sera par exemple possible d'assurer la transmission d'un flux audio-vidéo sans interruption, et

ce à gros débit même si d'autres activités utilisent le réseau. Enfin, le 802.11n sera aussi évidemment compatible avec toutes les précédentes normes WiFi 802.11a/b/g.

Tableau 4.5 : Caractéristiques des principales variantes de la norme WiFi.

Standard	Bande de fréquence	Débit théorique	Portée	Date de normalisation
WiFi a (802.11a)	5 GHz	54 Mbit/s	10 m	1999
WiFi b (802.11b)	2,4 GHz	11 Mbit/s	100 m	1999
WiFi g (802.11g)	2,4 GHz	54 Mbit/s	100 m	2003
WiFi n (802.11n)	2,4/5 GHz	540 Mbit/s	125 m	2008

Parmi la grande diversité d'applications pour lesquelles le standard WiFi peut être utilisé, certaines d'entre elles peuvent s'avérer critiques et la fiabilité de leurs transmetteurs devient alors essentielle. Nous pouvons citer, par exemple, certains réseaux militaires, biomédicaux et bancaires. La mise en œuvre de nos techniques de fiabilité étendue dédiée aux circuits radiofréquences se justifie donc pleinement.

II.2. LNA bande étroite

Les normes WiFi utilisent les bandes ISM (Industrie, Sciences et Médecine) car aucune autorisation n'est nécessaire pour leur utilisation. Ces bandes sont situées soit à 2,4GHz, soit à 5GHz comme l'indique figure 4.11.

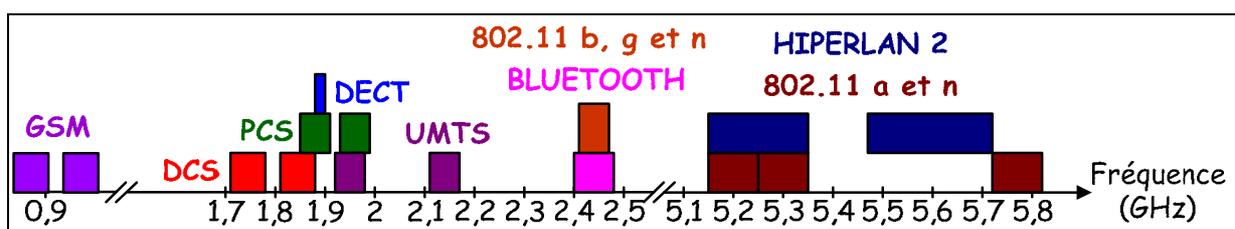


Figure 4.11 : Bande de fréquences pour différents standards de communication.

Dans le cas des normes 802.11 b, g et n, utilisant la bande 2,4 GHz, dix canaux sont disponibles entre 2,4 GHz et 2,4835 GHz. Les LNAs dédiés à ces applications sont donc qualifiés de « bande étroite » étant donné que la bande passante nécessaire n'est que de 83,5 MHz centrée à 2,44 GHz. Ces standards assurant de forts débits de données, les

spécifications pour les frontaux RF sont sévères (cf. tableau 4.6) et ces derniers nécessitent des LNAs dotés de bonnes performances.

Tableau 4.6: Spécifications pour les frontaux 802.11g [BRA, 05]

Fréquence d'entrée	2,4-2,4835 GHz bande ISM
NF	< 7,5dB
ICP1	> -26 dBm
IIP3	> -12 dBm

La topologie du LNA retenue est présentée en figure 4.12. Cette structure cascade à dégénérescence inductive de source est communément utilisée dans ce type d'application, à bande étroite car la preuve de ses performances n'est plus à faire.

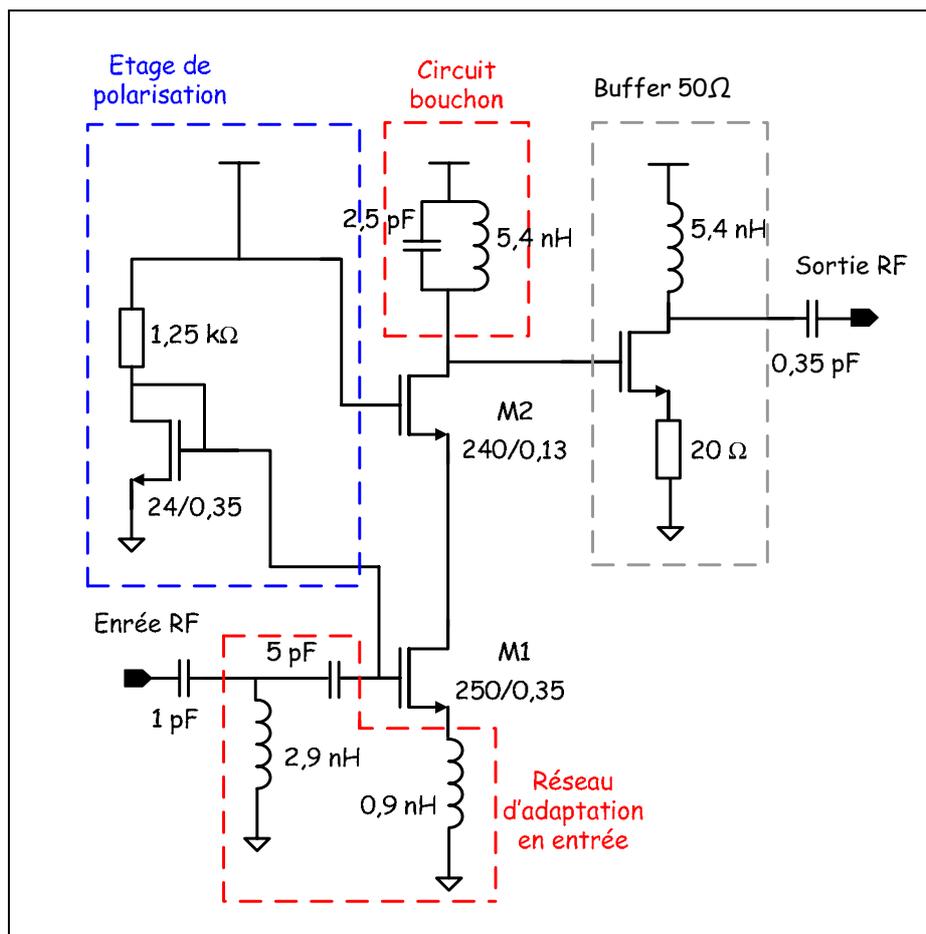


Figure 4.12 : LNA CMOS cascode à dégénérescence inductive (dimensions des transistors en μm).

Dans ce circuit, le dimensionnement du transistor M_1 et du réseau d'adaptation d'entrée est réalisé de manière à assurer une adaptation d'entrée de 50Ω (équation 3.7 du chapitre précédent) et un bruit minimum à une fréquence de 2,4 GHz. Le gain maximum est ajusté à la fréquence voulue par le biais du circuit bouchon. L'étage de polarisation est constitué d'un miroir de courant qui fixe la consommation du LNA. Par ailleurs, un buffer 50Ω est ajouté pour permettre des mesures directes à l'analyseur de réseau.

On remarque que la modification au niveau du circuit bouchon, décrite au chapitre précédent, a été effectuée de sorte que l'insertion du BICS soit transparente. Une autre transformation au niveau du circuit d'adaptation en entrée a été nécessaire. En effet, au lieu d'une simple inductance insérée en série entre la capacité de liaison d'entrée et le transistor M_1 , il a fallu mettre un réseau LC qui permettra l'isolation des différentes branches de polarisation lors de la mise en place des redondances.

La mise en boîtier ou le montage en puce nue sur PCB entraînent des variations de performances dues aux câblages des puces par « bonding » qui génèrent des résistances et inductances parasites. Ces parasites ont été prises en compte lors des simulations, grâce à l'addition d'un modèle correspondant aux « bonding », ce qui a permis de prévenir des dérives qu'ils engendrent.

II.3. Stratégie de test

La structure d'auto-test est plus élaborée que celle du démonstrateur précédent et est présentée en figure 4.13. En effet, celle-ci repose à la fois sur la mesure du courant d'alimentation (I_{DD}) du LNA et sur la mesure d'une tension DC de polarisation de ce dernier ce qui permet d'augmenter la couverture de fautes globale du BIST.

Le seul élément perturbateur du circuit d'auto-test est le BICS qui insère une résistance de 10Ω en série avec le LNA. Mais suite à la légère adaptation du LNA au niveau de son circuit bouchon, cette résistance se retrouve en série avec une impédance théoriquement infinie à la fréquence de fonctionnement du circuit et n'a donc pas d'effet sur les performances du LNA.

Dans le capteur I_{DD} , la comparaison est, cette fois-ci, réalisée en courant ce qui permet, d'une part d'augmenter de la plage d'entrée du BICS, d'autre part de renforcer la robustesse

de ce capteur, car toutes les opérations sont effectuées en courant avec des circuits à base de miroirs robustes.

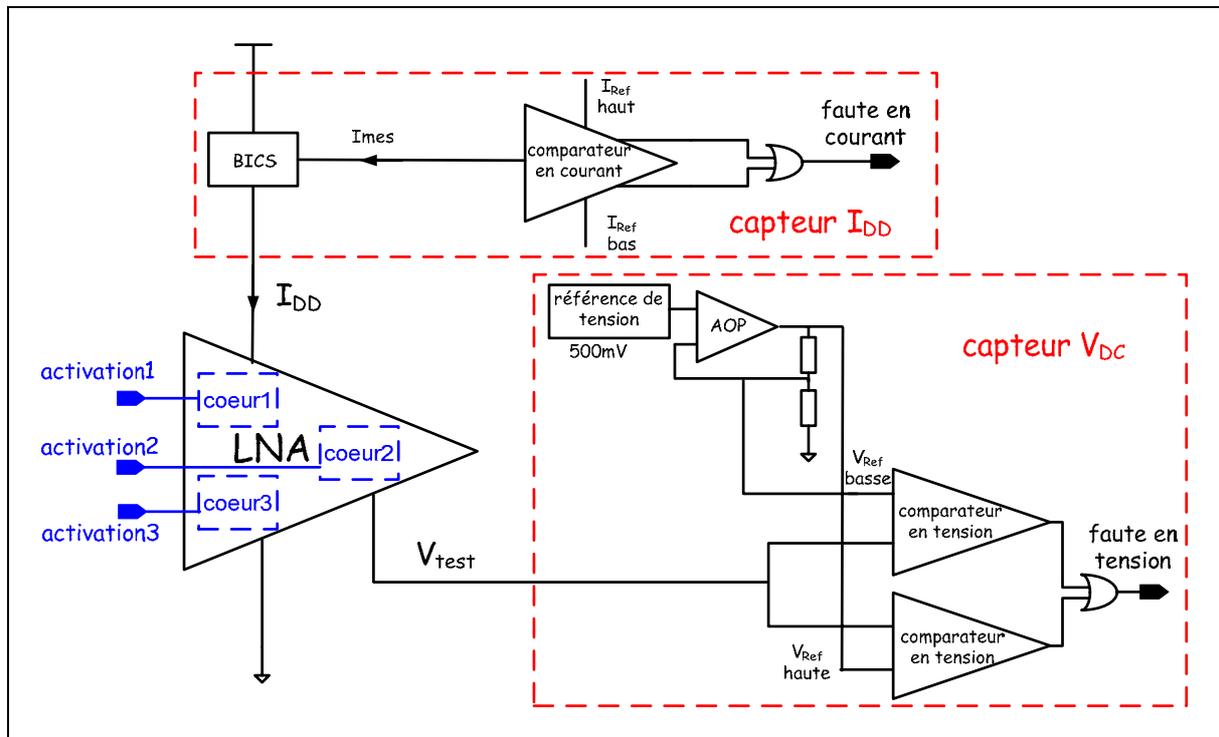


Figure 4.13 : Circuit d'auto-test intégré au LNA cascode à dégénérescence inductive.

Les valeurs des différentes références $I_{ref\ haut}$, $I_{ref\ bas}$, $V_{ref\ haut}$, $V_{ref\ bas}$ ont aussi été fixées à partir d'analyses Monte Carlo. Ces seuils ont été déterminés de manière que des variations paramétriques de fabrication ne soient pas détectées lorsqu'elles sont considérées comme acceptables. Les valeurs nominales de ces deux paramètres étant de 4 mA pour le courant et 500 mV pour la tension.

Les modèles de faute, décrits dans le tableau 4.2, ont été appliqués au dessin des masques du circuit, et un total de 92 fautes ont été prises en compte pour ce LNA. Les fautes dans le buffer n'ont pas été considérées car dans un frontal complet ce dernier ne serait pas implémenté. Chacune de ces fautes a été simulée séparément par une résistance de 1 M Ω pour les ouvertures et par des résistances de 1 Ω pour les courts-circuits. La bonne couverture de fautes du test du courant I_{DD} est de nouveau confirmée avec un taux de 86 %, et une amélioration de 6 % est obtenue grâce au test de la tension de polarisation. Le taux de couverture de fautes global pour le circuit d'auto-test intégré est donc de 92 %, avec une couverture de 100 % des fautes pouvant affecter les transistors.

II.4. Mise en place des redondances

Nous avons appliqué à ce LNA une triple redondance passive aux éléments actifs du circuit pour les mêmes raisons que celles données à propos du LNA dédié aux applications ZigBee. L'argument de la maîtrise du surcoût occasionné par l'augmentation de surface est renforcé par le fait que cette topologie est à base d'inductances qui sont très gourmandes en silicium.

Nous avons vu précédemment que le basculement réalisé par des interrupteurs sur la ligne d'alimentation du LNA entraînait des dégradations de performances. Pour ce LNA bande étroite, nous avons donc décidé de réaliser le basculement entre les LNAs en jouant sur l'étage de polarisation de chacun. En effet, ces étages de polarisation permettent d'une part d'activer ou de désactiver les LNAs, d'autre part ils sont insensibles à la cellule de basculement en comparaison avec la ligne RF. L'isolation de polarisation inter-redondance est assurée grâce à la topologie choisie pour le réseau d'adaptation d'entrée qui utilise un condensateur en série avec la grille des transistors M_1 , M_1' et M_1'' .

La figure qui suit montre que l'adjonction des redondances nécessite une légère adaptation de l'étage de polarisation d'entrée de manière à conserver une impédance d'entrée de 50Ω . Les dimensions des transistors M_1 , M_1' et M_1'' ($270/0,35 \mu\text{m}$) ont aussi dû être légèrement revues en raison du bruit qu'ils génèrent qui est augmenté de par leur nombre. Le circuit bouchon a lui aussi dû être paramétré de nouveau, étant donné que l'impédance au niveau du drain de M_2 a changé avec l'implémentation de M_2' et M_2'' .

Des interrupteurs ont dû être ajoutés sur la ligne connectant le nœud dont on surveille la tension au capteur V_{DC} , de manière à ce que seul le nœud du LNA actif soit connecté au testeur. Ici de simples portes de transmission ont été choisies de manière à perturber le moins possible la mesure. Chacun de ces interrupteurs est commandé par la branche d'activation de son LNA respectif, qui le ferme lorsqu'elle active le LNA et l'ouvre lorsque le LNA est désactivé.

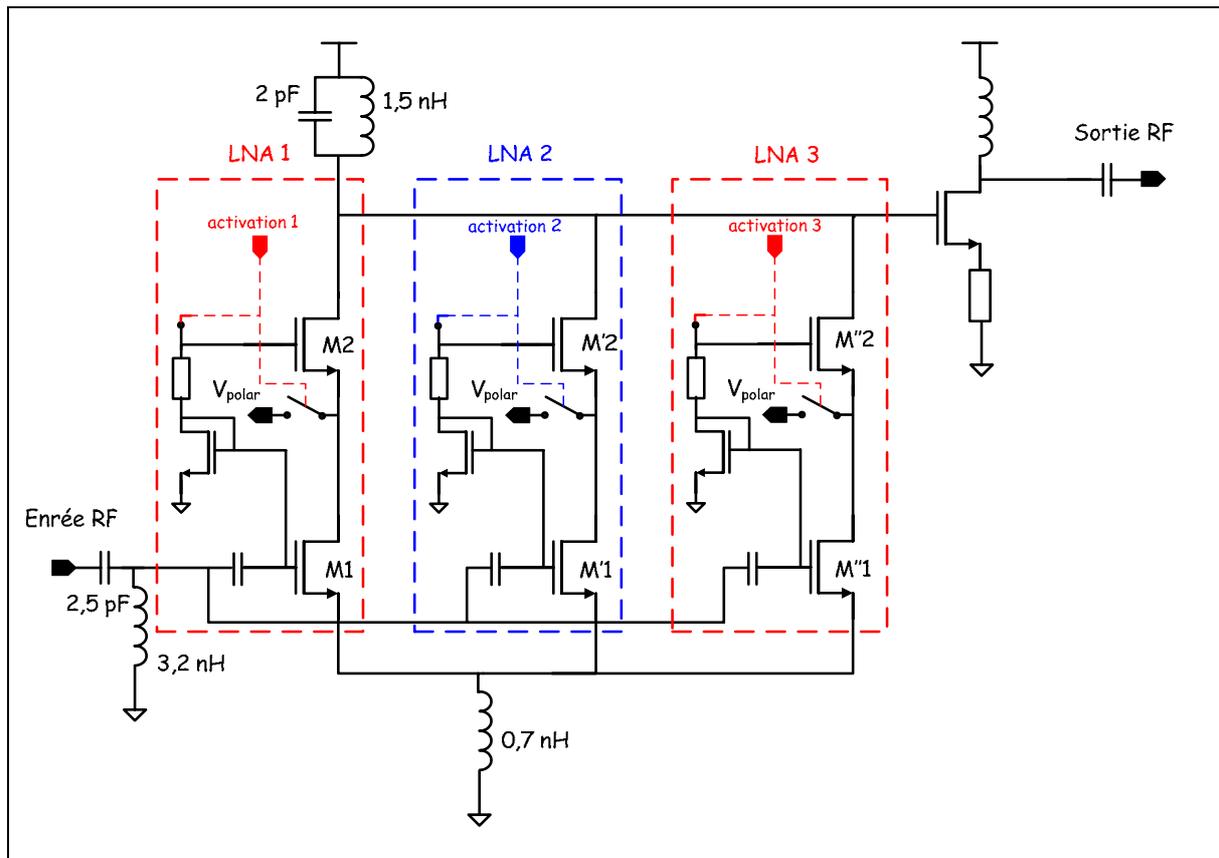


Figure 4.14 : Redondance du LNA cascode à dégénérescence inductive.

II.5. Mesures

Ce second démonstrateur a, lui aussi, été réalisé avec la technologie CMOS 130 nm de STMicroelectronics. La surface globale du LNA à fiabilité WiFi est d'environ $0,8 \text{ mm}^2$. La surface du BICS est toujours d'environ $0,005 \text{ mm}^2$ et dans ce cas, nous pouvons conclure que la surface occupée par le BICS seul est minime et négligeable devant la surface globale du circuit. On distingue très nettement au centre de la puce la triple redondance des éléments actifs du LNA. Enfin, le pourcentage de surface ajoutée par l'ensemble de la méthodologie, i.e. circuit de test et redondances, est d'environ 15 % ce qui reste très acceptable en terme de coût.

La figure 4.15 présente une photographie du démonstrateur WiFi. Dans le zoom de droite on distingue le capteur I_{DD} , composé du BICS à gauche et du comparateur en courant à droite. Dans le zoom de gauche, on aperçoit le capteur V_{DC} composé de la référence de

tension (détail du dessin des masques en annexe D), de l'AOP et des comparateurs de tensions.

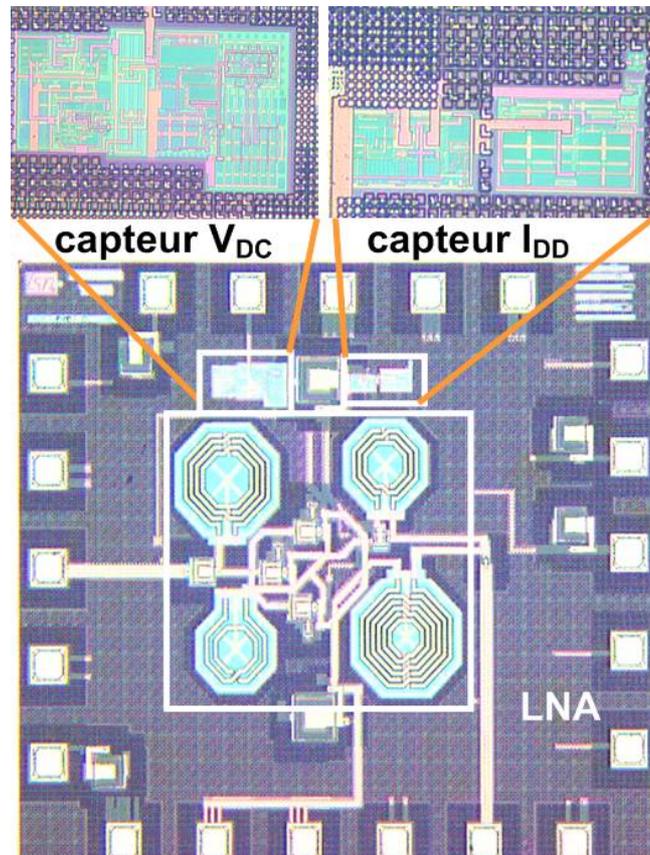


Figure 4.15 : Microphotographie du démonstrateur WiFi.

II.5.1. Performances RF

Sur une puce issue du même run, il a aussi été implanté un LNA seul sans aucun circuit de test et sans redondance de manière à pouvoir comparer ses performances à celle du démonstrateur.

Le démonstrateur et le LNA de référence fonctionnent avec une tension d'alimentation de 0,9V et leurs performances, qui ont pu être mesurées à l'analyseur de réseau grâce à leur buffer de sortie, sont présentées au travers des figures 4.16 et 4.17 et résumées dans le tableau 4.6.

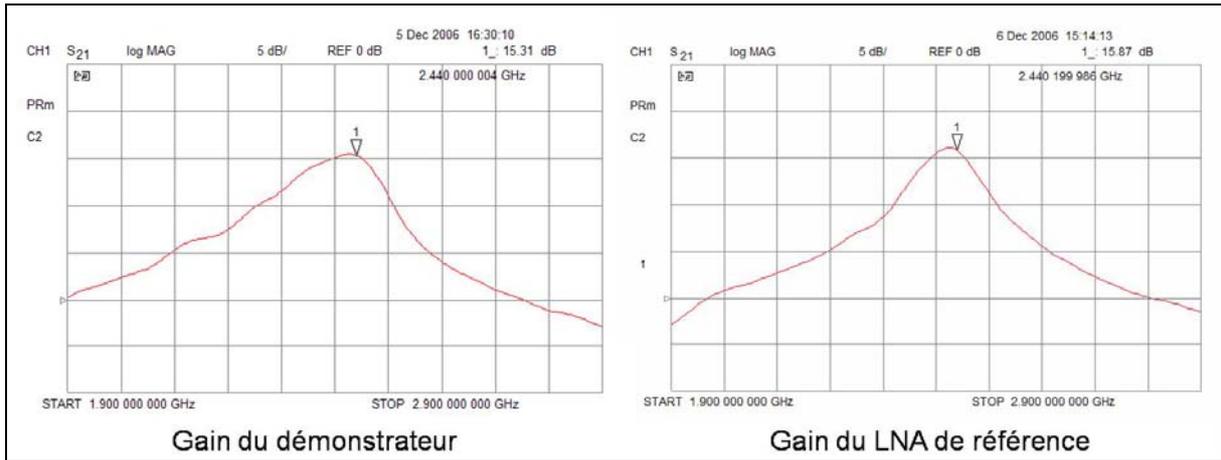


Figure 4.16 : Gains mesurés pour le démonstrateur et le LNA de référence.

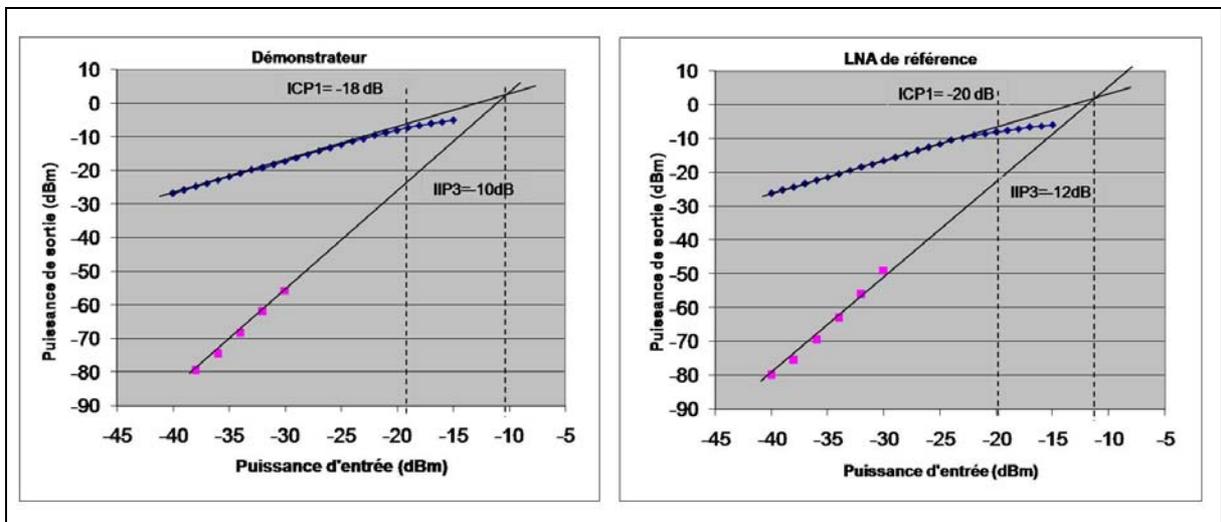


Figure 4.17 : Mesures des IIP3 et ICP1 du démonstrateur et du LNA de référence.

On peut constater que ces performances sont quasi-similaires, ce qui confirme la transparence du circuit d’auto-test et les faibles dégradations de performances induites par la mise en place de redondances passives. De telles performances sont suffisantes pour satisfaire les spécifications des standards 802.11 b, g et n dans la bande ISM 2,4 GHz.

Il est à noter que le circuit BIST entraîne une surconsommation de courant de 0,9 mA soit 20 % de la consommation nominale, cette dernière pouvant être annulée au moyen de l’entrée d’activation de test qui permet de couper l’alimentation du BIST. Lors de l’utilisation du produit, le test pourrait ainsi être activé de façon cyclique ce qui permettrait de limiter l’énergie consommée par la procédure de test dans le cas où la consommation serait critique.

Tableau 4.7: performances mesurées du LNA de référence et du démonstrateur.

Spécification	LNA de référence	Démonstrateur
Frequence d'entrée	2,44GHz	2,44GHz
Tension d'alimentation	0,9V	0,9V
Gain	15,8dB	15,3dB
S11	-17dB	-16,5dB
S22	-15dB	-15dB
NF	3dB	3,34dB
ICP1	-20dBm	-18dBm
IIP3	-12dBm	-10dBm
Puissance dissipée	3,9mW	3.9mW (test inactif) 4.8mW (test actif)

Ce démonstrateur WiFi a fait l'objet d'une publication dans une conférence internationale [CIM, 07bis].

II.5.2. Validation de la méthodologie pour augmenter la fiabilité

Dans ce démonstrateur, la faute est simulée par le biais d'une variation de l'alimentation du circuit de polarisation. En effet, l'alimentation de la branche cascode du LNA et celle du circuit de polarisation ont été dissociées dans le démonstrateur (cf. Annexe E) pour permettre, d'une part de basculer entre les LNAs redondants, d'autre part de simuler une faute. Celle-ci pourra être de nature catastrophique dans le cas où l'on coupe totalement l'alimentation du circuit de polarisation, ou encore paramétrique si l'on fait lentement varier cette tension de manière à dégrader progressivement les performances du LNA.

La figure ci-dessous présente la détection à l'oscilloscope d'une faute simulée par les deux capteurs intégrés. La courbe du haut représente le signal injecté sur l'alimentation du circuit de polarisation. C'est un signal triangulaire centré autour de la tension nominale de 0,9V, qui permet ainsi de générer alternativement une surconsommation et une sous-consommation. La deuxième courbe présente le signal de sortie du capteur I_{DD} et la troisième décrit le signal de sortie du capteur V_{DC} . Comme on peut le voir, les surconsommations et

sous-consommations sont détectées par les deux capteurs. Le capteur en courant a une détection plus symétrique que son homologue en tension car ses références sont paramétrables de l'extérieur de la puce et ont donc pu être réajustées aux paramètres du LNA fabriqué qui sont légèrement différents de ceux simulés.

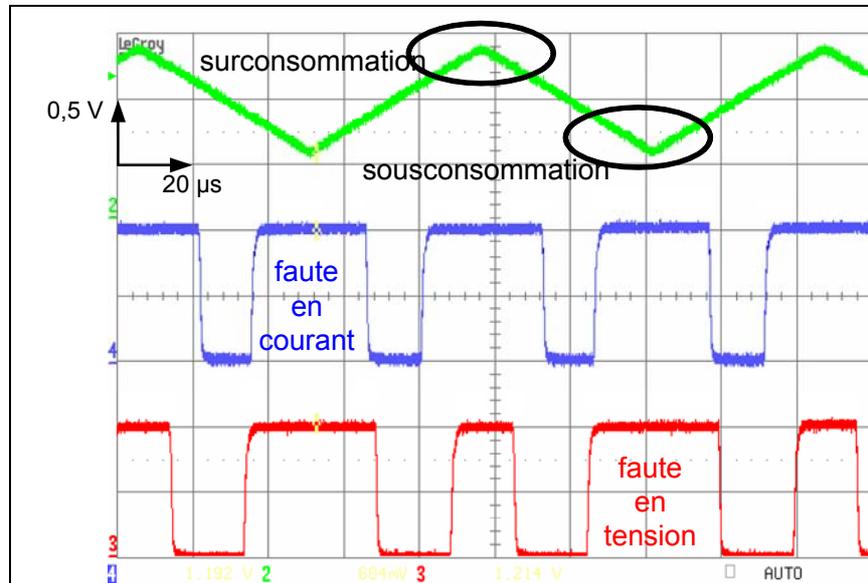


Figure 4.18 : Détection d'une faute simulée.

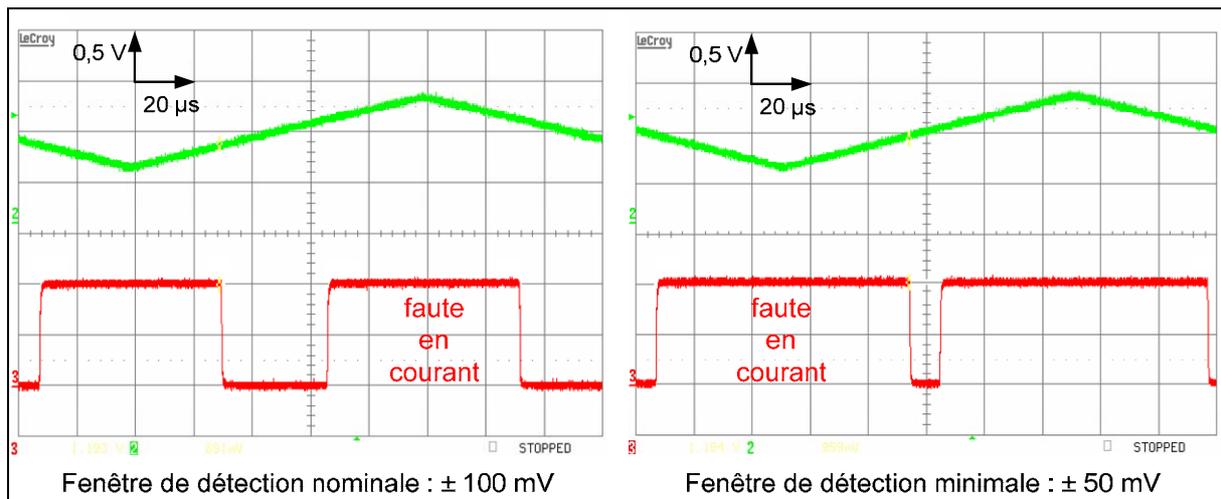
La faute simulée entraînant une dégradation paramétrique des performances du LNA, le niveau de détection de notre BIST en courant a pu être caractérisé. Pour ce faire, nous avons resserré la fenêtre de test jusqu'à arriver aux seuils minimaux de détection. La figure 4.19 présente les résultats des mesures effectuées, la courbe du haut représentant le signal d'injection de faute et celle du bas, le signal de sortie du capteur I_{DD} . Avec la fenêtre de détection dite nominale, qui correspond aux seuils déterminés par les analyses de Monte Carlo, la détection s'effectue pour des variations de la tension d'alimentation du circuit de polarisation de ± 100 mV. Lorsqu'on réduit le fenêtrage à son extrême, on obtient une détection pour des variations de ± 50 mV. La mesure du gain en fonction de la tension d'alimentation de l'étage de polarisation a permis de déduire que :

- En fonctionnement nominal le BIST détecte une faute lorsque le gain du LNA n'a chuté que de 0,6 dB.
- Avec la fenêtre minimale la détection n'a lieu que pour une diminution du gain du LNA de 0,25 dB.

Tableau 4.8 : Variation du gain en fonction des variations de polarisation.

ΔV_{polar}	ΔGain
-150 mV	-1 dB
-100 mV	-0,6 dB
-50 mV	-0,25 dB

Notre circuit d'auto-test intégré est donc bien capable de détecter des fautes paramétriques. De plus, sa fenêtre de détection nominale lui permet de détecter une faute avant que la fonctionnalité du LNA ne soit compromise, ce qui permet un basculement sans perte de fonctionnalité au niveau du circuit RF.

Figure 4.19 : Variations des seuils de détection pour le capteur I_{DD} .

Lors de la détection d'une faute par l'un des deux capteurs, ou les deux, le basculement vers un LNA redondant est effectué avec des interrupteurs placés sur le véhicule de test. Ce basculement entraîne, comme prévu, une annulation de la faute.

III. Perspectives

III.1. Finalisation des démonstrateurs

La méthodologie à base de redondance passive détaillée dans cette thèse nécessite un circuit de test totalement intégré et un basculement automatique par le biais d'un circuit de décision intégré, couplé à des interrupteurs.

Le capteur V_{DC} conçu au cours de ces travaux, est abouti car totalement intégré grâce à une génération interne de ses seuils de détection au moyen d'une référence de tension CMOS robuste. Ce dernier a donc permis de démontrer la faisabilité du système. Mais il reste toutefois à développer une génération interne des références de courant, par exemple à l'aide d'une référence de courant intégrée.

D'autre part, dans les deux démonstrateurs présentés précédemment, le basculement entre les différents éléments redondants est effectué « manuellement » après la détection d'une faute. La mise en place d'un basculement automatisé de l'élément défaillant vers un élément redondant est donc nécessaire pour valider la méthodologie au moyen de tests plus poussés au niveau de la fiabilité, tels que des tests de vieillissement accélérés.

III.1.1. Circuit à fiabilité étendue avec circuit de décision intégré

Entre le premier et le deuxième run auxquels nous avons eu accès au cours de cette thèse, il a été possible de sensiblement améliorer le démonstrateur ZigBee en ajoutant un buffer de sortie pour faciliter les mesures et en intégrant un circuit de décision.

La deuxième version de ce démonstrateur est présentée en figure 4.20. Dans cette nouvelle version, de manière à réduire encore la surface, une double redondance a été choisie, car grâce à sa sortie de test, le nœud sera capable d'avertir le réseau de sa défaillance imminente et une maintenance pourra être envisagée. Le circuit de décision, ici intégré, est seulement constitué d'une bascule D qui permet la mémorisation de l'ordre de basculement et d'un inverseur sur l'entrée du LNA2. Ainsi, lors de la détection d'une faute, le passage à l'état haut de la sortie du test entraîne le changement d'état de la bascule, ce qui génère le

basculement sur le LNA redondant. Pour ne pas que l'activation du test occasionne un basculement intempestif, une ligne à retard a dû être ajoutée sur l'entrée d'activation du test qui est toujours primordiale pour limiter la consommation du démonstrateur (annulation des 0,8 mA consommés par les circuits de test et de basculement).

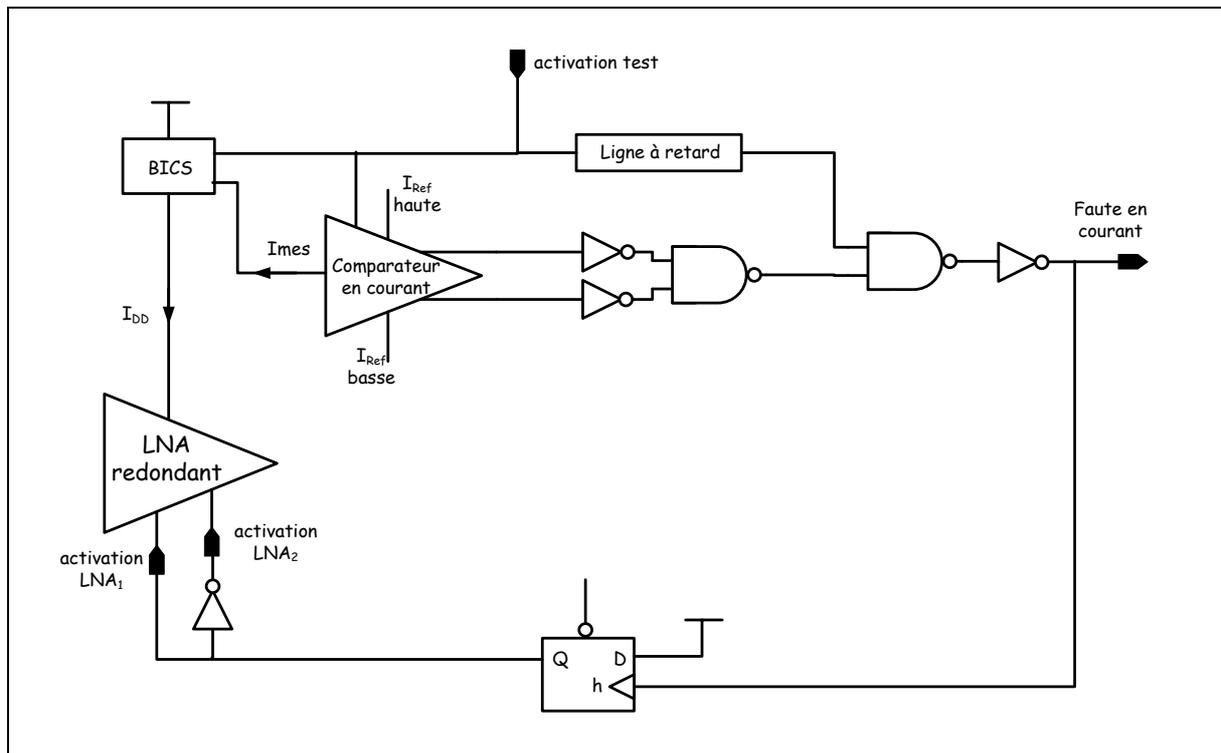


Figure 4.20 : Deuxième version du démonstrateur ZigBee.

De meilleures performances RF ont été obtenues grâce au buffer et sont résumées dans le tableau 4.9. La simulation d'une faute catastrophique génère un basculement automatique du LNA1 vers le LNA2 comme prévu.

Cette nouvelle version du démonstrateur ZigBee a fait l'objet d'une publication dans une conférence internationale [CIM, 07ter].

Tableau 4.9 : Performances du démonstrateur mesurées à 2,4 GHz.

Spécifications	Démonstrateur ZigBee
technologie (μm)	0,13
Gain (dB)	12
S_{11} (dB)	- 20
NF (dB)	3,85
IIP3 (dBm)	- 8
ICP1 (dBm)	- 20
alimentation (V)	1.2
courant (mA)	3 + 0,8

III.2. Application de la méthodologie à d'autres blocs RF

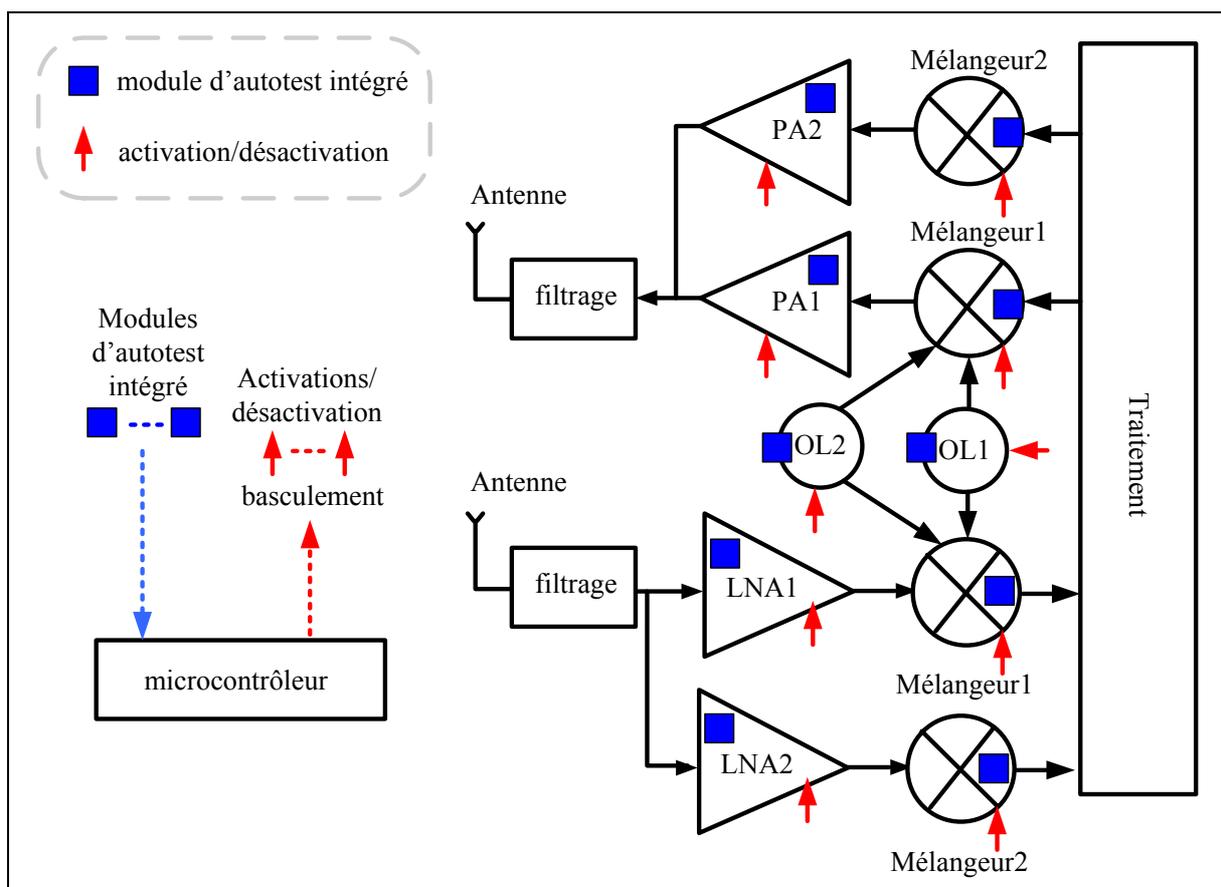


Figure 4.21 : Suggestion de transmetteur à fiabilité étendue.

Afin de totalement valider la capacité de cette méthodologie, il faudrait l'implanter à d'autres blocs RF tel qu'un mélangeur, un oscillateur ou un amplificateur de puissance. Dans ce cas, la méthodologie pourrait être appliquée à un frontal complet ou un transmetteur complet comme le décrit le schéma qui précède.

Dans cet exemple de transmetteur à fiabilité étendue, chaque élément est redondant (deux redondances ou plus) et possède un circuit d'auto-test intégré qui permet de détecter ses défaillances. Tous les BISTs sont connectés à un microcontrôleur qui gère les basculements sur les éléments redondants et assure la fonctionnalité de l'ensemble.

IV. Conclusion

Dans ce chapitre nous avons présenté les deux démonstrateurs réalisés au cours de cette thèse. Les performances radiofréquences mesurées pour les deux LNAs, auxquels sont associés les circuits nécessaires à la mise en place de notre méthodologie à fiabilité étendue, sont similaires à celles obtenues pour les LNAs de référence. De tels résultats permettent de conclure que la méthodologie est peu intrusive pour les circuits RF.

Du point de vue du test, il a été mis en évidence d'une part que les circuits d'auto-test intégrés sont transparents vis-à-vis du CUT RF auquel ils sont connectés. D'autre part, la simulation d'une faute paramétrique dans le deuxième démonstrateur a montré la capacité du BIST à détecter de telles fautes, ce qui est un atout majeur pour la méthodologie car elles sont souvent annonciatrices de défauts catastrophiques. Ce BIST, qui regroupe les caractéristiques essentielles de faible surface, faible intrusivité, précision et robustesse, pourrait être adapté pour du test au niveau industriel.

Finalement, le maintien de la fonctionnalité radiofréquence des LNAs, auxquels la méthodologie a été appliquée, a été démontré grâce à un basculement externe aux démonstrateurs. La comparaison de la fiabilité d'un circuit seul, de référence, avec celle d'un démonstrateur à basculement automatisé, tel que la deuxième version du LNA ZigBee, serait à effectuer à partir de tests dédiés à une telle comparaison pour pouvoir corroborer la validation « manuelle » de la méthodologie.

Conclusion générale

Les travaux présentés dans ce mémoire de thèse entrent dans le cadre de la mise au point d'une méthodologie de conception dédiée aux circuits RF permettant d'améliorer leur fiabilité. En effet, avec l'avènement de la technologie SOC, les modules RF sont utilisés dans un nombre sans cesse croissant d'applications et pour certaines d'entre elles, la fiabilité peut être critique.

Le chapitre I détaille l'ensemble des fautes pouvant affecter les circuits RF et présente un éventail des techniques de conception permettant d'améliorer la fiabilité de ces derniers. Fort de cette étude, une méthodologie pour améliorer la fiabilité des circuits RF se basant sur la mise en place de redondances, classiquement utilisées dans ce but, est par la suite développée. Cette dernière repose sur l'utilisation de redondances passives inactives qui est particulièrement adaptée aux circuits RF intégrés de par leur impossibilité de réparation et la faible surconsommation qu'elle entraîne. En effet, dans une telle méthodologie, les blocs redondants sont inactifs en phase de fonctionnement normal, ce qui n'entraîne aucune consommation additionnelle et les protège des stress dus à l'utilisation. Leur activation n'est commandée qu'en cas de défaillance du circuit actif afin d'assurer la fonctionnalité du système. Toutefois, la mise en place de cette méthodologie nécessite une étude approfondie de sa conception, car elle requiert l'utilisation d'éléments critiques sur le plan de leur insertion au cœur du circuit RF, que sont les systèmes de détection de défaillances et de basculement. Finalement, pour assurer une adaptation optimale de cette méthodologie aux circuits RF intégrés, une étude sur le gain en fiabilité en fonction du nombre de redondances et de la fiabilité des éléments de basculement et de détection est ensuite menée.

Le chapitre II décrit tout d'abord les différents types de test utilisés par les industriels ainsi que les solutions qu'ils proposent pour le test des circuits RF intégrés. De par ses caractéristiques et son adaptabilité, la solution la plus adaptée à notre méthodologie visant à améliorer la fiabilité, apparaît être l'utilisation d'un circuit d'auto-test intégré. En effet, ces derniers sont intégrés au circuit sous test de manière à améliorer sa testabilité et permettent la réalisation de test en ligne. Cependant, la difficulté majeure incombant à l'auto-test intégré des circuits RF est la non dégradation de ses performances. Par conséquent, une étude sur les différents capteurs et l'incidence de leur placement sur le circuit sous test radiofréquence est par la suite menée de manière à sélectionner les mieux adaptés à notre application.

Le chapitre III décrit l'application de notre méthodologie pour améliorer la fiabilité à un circuit RF particulier qu'est le LNA. Ce choix repose principalement sur la volonté de démonstration de la faible intrusivité de la méthodologie vis-à-vis des circuits RF, sachant que le LNA est un élément essentiel des chaînes de réception et que sa structure est particulièrement sensible à toute insertion. La première étape consiste en la mise au point d'un BIST constitué d'un capteur de courant intégré qui permet de couvrir un grand nombre de fautes pouvant affecter le LNA et d'un capteur de tension continue de polarisation ajouté pour augmenter le taux de couverture de l'ensemble. Leur insertion a été réalisée à partir de techniques de conception en vue du test de façon à dégrader le moins possible les performances du LNA. La deuxième étape repose sur la mise en place des redondances à partir d'interrupteurs intégrés dont l'emplacement est choisi de manière à perturber le moins possible le circuit RF.

Le chapitre IV présente les démonstrateurs réalisés au cours de ces travaux de thèse en technologie CMOS 130nm. Le premier est un LNA dédié aux applications ZigBee (standard 802.15.4). Ce dernier est un standard destiné aux réseaux de capteurs, il ne nécessite donc pas de forts débits mais par contre le coût et la consommation sont critiques. La structure choisie pour ce LNA est à contre-réaction résistive, car cette dernière ne nécessite pas d'inductances intégrées, gourmandes en silicium, tout en présentant des caractéristiques suffisantes pour satisfaire les spécifications de ce standard. Le démonstrateur à fiabilité étendue réalisé présente des performances satisfaisantes pour le standard visé tout en ayant des capacités d'auto-test et de redondance valides. Le deuxième démonstrateur conçu est un LNA consacré aux applications WiFi et plus particulièrement les standards 802.11 b, g et n. Les forts débits de données de ces standards nous ont obligé à sélectionner une topologie cascade à dégénérescence inductive qui présente de très bonnes performances tout en étant robuste. Les mesures effectuées sur ce démonstrateur, plus fragile à la mise en oeuvre de la méthodologie à fiabilité étendue à cause de sa topologie, ont montré des performances RF répondant au standard WiFi malgré l'emploi de cette méthodologie d'insertion. Elles ont aussi démontré la capacité de détection de fautes paramétriques du BIST.

L'ensemble de ces travaux de thèse ont donc permis de mettre au point une méthodologie permettant la conception de circuits RF à fiabilité étendue. En effet, l'application de cette méthodologie à des amplificateurs à faible bruit, circuits RF réputés

particulièrement sensibles, et la réalisation de deux démonstrateurs ont permis de démontrer sa faisabilité et sa faible intrusivité grâce à des performances mesurées correspondant aux standards visés.

Bibliographie

- [ABA, 93] : W. Abadeer, W. Tonti, "Bias temperature reliability of N⁺ and P⁺ polysilicon NMOSFETs and PMOSFETs", International Reliability Physics Symposium Proceedings, pp. 147-149, 1993.
- [ABR, 90] : Abramovici, M., M. Breuer, and A. Friedman, "Digital Systems Testing and Testable Design", Computer Science Press, 1990, ISBN 0-7167-8179-4.
- [AL, 95] : M.A. Al-Qutayri, "Analogue Circuit Testing by a Supply Current Monitor", *IMST Workshop*, Grenoble, France, June 20-22, 1995.
- [AME, 97] : E. Amerasekera, F. Najm, "Failure Mechanisms in Semiconductors Devices", second ed. , Wiley, Chichester, 1997.
- [AON, 04] : H. Aono, E. Murakami et al., "Modeling of NBTI Degradation and Its Impact on Electric Field Dependence of the Lifetime", proceeding of the IEEE IRPS, pp. 23-27, 2004.
- [BAN, 06] : U. R. Bandi, M. Dasaka, P. K. Kumar, "Design in Reliability for Communication Designs", Design Automation Conference DAC 2006, pp. 188-192 San Francisco, USA, July 2006.
- [BAR, 76] : C. R. Barret and R. C. Smith, "Failure modes and reliability of dynamic RAMS", International electron device meeting IEDM, pp. 319-322, 1976.
- [BAR, 04] : R. Barsky, I.A. Wagner, "Reliability and Yield: A Joint Defect-Oriented Approach", 19th IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems (DFT'04), pp. 2-10, 2004.
- [BAT, 96] : I. Baturone, J. L. Huertas, S. Sánchez Solano, A. M. Richardson, "Supply Current Monitoring for Testing CMOS Analog Circuits", Proc. XI Conference on Design of Circuits and Integrated Systems (DCIS), pp. 231-236, 1996.
- [BES] : site internet Bestofmicro.com, wifi : ce qu'il faut savoir les normes IEEE 802.11x, www.bestofmicro.com/guide/base-Wi-Fi,4-htm.
- [BOW, 03] : P. N. Bowerman, H. Kirkham, G. Fox, P. Lancaster, S. Lentz, R. P. Kemski, B. M. Howe, "Engineering reliability for the NEPTUNE observatory", Scientific Use of Submarine Cables Workshop, University of Tokyo, Japan, 25 June 2003.

[BRA, 05] : M. Brandolini, P. Rossi, D. Manstretta and F. Svelto, "Toward multistandard mobile terminals fully integrated receivers requirements and architectures," IEEE Trans. Microwave Theory & Tech., vol. 53, no. 3, pp. 1026-1038, march 2005.

[BRO, 93] : S.P. Broadwater, E.A. Cockey, "Time Stress Measurement Device use for on-board diagnostic support", IEEE Systems Readiness Technology Conference, Proceedings AUTOTESTCON '93, pp. 251-258, San Antonio, USA, September 1993, ISBN: 0-7803-0646-5.

[CAL, 02] : E. Callaway, P. Gorday, L. Hester, J.A. Gutierrez, M. Naeve, B. Heile, V. Bahl, "Home networking with IEEE 802.15.4: a developing standard for low-rate wireless personal area networks", IEEE Communications Magazine , Vol.40, Iss.8, pp. 70-77, Aout 2002.

[CHI, 05] : S. Chitwood, J. Zheng, " IR Drop in high-speed IC packages and PCB", printed circuit design & manufacture, pp. 16-18, April 2005.

[CIM, 04] : M. Cimino, M. De Matos, H. Lapuyade, J.B. Bégueret, Y. Deval, " Robustness Improvement of a Ratiometric Built-In Current Sensor", Conference on Design of Circuits and Integrated Systems (DCIS 2004), Bordeaux, France, 24-26 November 2004.

[CIM, 06] : M. Cimino, H. Lapuyade, M. De Matos, T. Taris, Y. Deval, J.B. Bégueret "A Robust 130nm-CMOS Built-In Current Sensor Dedicated to RF Applications", European Test Symposium, ETS 2006, Southampton, United Kingdom, 21-24 May, 2006.

[CIM, 06bis] : M. Cimino, M. De Matos, H. Lapuyade, T. Taris, Y. Deval, J.B. Bégueret, « Conception d'un Amplificateur Faible Bruit CMOS avec Autotest Intégré », Journées Nationales du Réseau Doctoral en Microélectronique (JNRDM 2006), Rennes, France, 10-12 May, 2006.

[CIM, 06ter] : M. Cimino, M. De Matos, H. Lapuyade, T. Taris, Y. Deval, J.B. Bégueret, « A Low-Power and Low Silicon Area Testable CMOS LNA Dedicated to 802.15.4 Sensor Network Applications », International Conference on Electronics, Circuits, and Systems (ICECS 2006), Nice, December 10-13, 2006, pp. 383-386.

[CIM, 07] : M. Cimino, M. De Matos, H. Lapuyade, T. Taris, Y. Deval, J. B. Bégueret, « A Robust 130nm-CMOS Built-In Current Sensor Dedicated to RF applications », Journal of Electronic Testing: Theory and Applications (JETTA), à paraître.

- [CIM, 07bis] : M. Cimino, H. Lapuyade, M. De Matos, T. Taris, Y. Deval, J.B. Bégueret, «A Sub 1V CMOS LNA dedicated to 802.11b/g applications with self-test & high reliability capabilities. », Radio Frequency Integrated Circuits Symposium, RFIC 2007, pp. 343-346, Honolulu, Hawaii, June 3-5, 2007.
- [CIM, 07ter] : M. Cimino, H. Lapuyade, M. De Matos, T. Taris, Y. Deval, J.B. Bégueret, « A RF circuit design methodology dedicated to critical applications», PRIME 2007, pp.53-56, Bordeaux, France, July 2-5, 2007.
- [COI, 01] : D. W. Coit, “Cold-standby redundancy optimization for nonrepairable systems”, IIE Transactions, vol. 33, no. 6, pp. 471-478, June 2001.
- [CON, 03] : C. Constantinescu, “Trends and Challenges in VLSI Circuit Reliability”, IEEE Micro, vol. 23, pp. 14-19, 2003, ISSN 0272-1732.
- [FAN, 85] : F. Fantini and C. Morandi, “Failure Modes and Mechanisms for VLSI ICs - A Review”, IEE. Proceedings, vol. 132, pp. 341-350, June, 1985.
- [FRI, 89] : R. Fritzmeier, H. Nagle, C. Hawkins, “Fundamentals of Testability - A Tutorial”, IEEE Transactions on Industrial Electronics, vol. 36 (2), pp. 117-128, 1989.
- [GAS, 02] : M. S. Gast, M. Loukides, “802.11 Wireless Networks: The Definitive Guide”, O'Reilly & Associates, Inc., Sebastopol, CA, 2002, ISBN : 978-0-596-10052-0.
- [GER, 91] : W. Gerling, “Modern reliability assurance of integrated circuits- A strategy based on technology capability assessment and production reproducibility control”, Quality and Reliability Engineering International, vol.7 n. 4, pp. 207, 1991, ISSN 0748-8017.
- [GEE, 05] : D. Geer, « Users make a Beeling for ZigBee Sensor Technology », IEEE journal of computer, vol. 38, Iss. 12, pp. 16-19, December 2005.
- [GOO, 00] : D. L. Goodman, “Prognostic Techniques for Semiconductor Failure Modes”, Ridgetop Group, 2000.
- [GOP, 04] : A. Soldo, A. Gopalan, M. Margala, P. R. Mukund, “A Current Sensor for On-Chip, Non-Intrusive Testing of RF Systems”, *vlsid*, p. 1023, 17th International Conference on VLSI Design, 2004.

- [GOP, 05] : A. Gopalan, M. Margala, P. R. Mukund, “A current based self-test methodology for RF front-end circuits”, *Microelectronics Journal*, vol. 36, pp. 1091-1102, December 2005.
- [GUA, 05] : C. Guardiani, M. Bertoletti, N. Dragone, M. Malcotti and P. McNamara, “An Effective DFM Strategy Requires Accurate Process and IP Pre-Characterization”, *Design Automation Conference DAC 2005*, pp. 760-761, Anaheim, California, USA, June 2005.
- [GUT, 03] : A. Gutierrez, Edgar H. Callaway, and Raymond L. Barrett, “Low-Rate Wireless Personal Area Networks - Enabling Wireless Sensors with IEEE 802.15.4”, *IEEE Press*, 2003.
- [HAY, 00] : Ray Haythornthwaite, “Failure Mechanisms in Semiconductor Memory Circuits.”, *8th IEEE International Workshop on Memory Technology, Design, and Testing (MTDT 2000)*, pp. 7-13, San Jose, CA, USA, , 7-8 August, 2000, ISBN 0-7695-0689-5.
- [HEU, 03] : A. Heurtel, “La gestion des risques techniques (sûreté de fonctionnement) et des risques de management”, *CNRS IN2P3/LAL, Version 2.4, Décembre 2003*.
- [HU, 99] : C. Hu, Q. Lu, “A Unified Gate Oxide Reliability Model”, *IRPS*, pp. 47-51, San Diego, USA, 1999.
- [HUA, 04] : F.-J. Huang and K. O, “Single-Pole Double-Throw CMOS Switches for 900-MHz and 2.4-GHz Applications on p- Silicon Substrates”, *IEEE Journal of Solid-State Circuits*, vol.39, no.1, pp.35–41, January 2004.
- [HUM, 93] : J. Humphrey, G. Luetgenau, “Reliability considerations in design and use of RF integrated circuits“, *Motorola Inc.*, 1993.
- [ITR, 06]: <http://public.itrs.net>
- [JAR, 95] : M. Jarwala, L. Duy, M.S Heutmaker, “End-to-End Test Strategy for Wireless Systems”, *International Test Conference ITC*, pp. 940-946, 1995.
- [KAB, 05] : P. Kabisatpathy, A. Barua, S. Sinha, “Fault Diagnosis of Analog Integrated Circuits”, *Springer*, 2005, ISBN: 978-0-387-25742-6.
- [KHE, 04] : R. Kheriji, V. Danelon, JL Carbonero, S. Mir, “Optimising test sets for RF components with a defect-oriented approach”, communication to *ICM'04*.

- [KIL, 01] : Y. Kilic, and M. Zwolinski, "Process variation independent built-in current sensor for analogue built-in self-test", Proceedings of International Symposium on Circuits and Systems ISCAS, pp. 398-401, 2001.
- [KIM, 01] : H. Kim D. M. H. Walker and D. Colby, "A Practical Built-In Current Sensor for I_{DDQ} Testing," IEEE International Test Conference, Baltimore, pp. 405-414, October 2001.
- [LAP, 07] : H. Lapuyade, M. Cimino, M. De Matos, T. Taris, Y. Deval, J-B. Bégueret, Current Sensor Design for ZIGBEE LNA monitoring, On-Chip/Off-Chip DC, RF, and Microwave Measurement Modules for RFIC, SoC, and SiP Self Characterization, Self Test, Self Debug, and Diagnosis Workshop (WMB), International Microwave Symposium (IMS 2007), Honolulu (Hawaii), June 3-8, 2007.
- [LIN, 98] : W. M. Lindermeir, T. J. Vogels, H. E. Graeb, "Analog Test Design with IDD Measurements for the Detection of Parametric and Catastrophic Faults," Design Automation and Test in Europe (DATE '98), pp. 822-829, 1998.
- [LIU, 06] : Z. Liu, B. W. McGaughy and J. Z. Ma, "Design Tools for Reliability Analysis", Design Automation Conference DAC 2006, pp. 188-192, San Francisco, USA, July 2006.
- [LEE, 98] : Thomas H. Lee, "The Design of CMOS Radio-Frequency Integrated Circuits", Cambridge University Press, chapitre 18 : Architectures, pp. 550-570, Cambridge, UK, 1998.
- [LOG, 95] : Logic Vision, ICBIST User Guide, 1995.
- [MAC, 95] : J. Machado da Silva, J. Silva Matos, I. M. Bell, and G. E. Taylor, "Cross-correlation Between i_{DD} and v_{OUT} signals for Testing Analogue Circuits", IEE Electronics Letters, Vol. 31, no 19, pp. 1617-1618, September 14, 1995.
- [MAC, 06] : J. Machado da Silva, "A low-power oscillation based LNA BIST scheme", International Conference on Design and Test of Integrated Systems in Nanoscale Technology, DTIS 2006, pp. 268- 272, Tunis, Tunisia, September 5-7, 2006.
- [MAI, 97] : Y. Maidon, Y. Deval, J.B. Begueret, J. Tomas and J.P. Dom, "3.3V CMOS Built-in Current Sensor," Electronic Letters, vol. 33, pp. 345-346, February 1997.

- [MIL, 98] : L.S. Milor, "A Tutorial Introduction to Research on Analog and Mixed-Signal Circuit Testing", IEEE Analog and Digital Signal Processing, VOL. 45, NO. 10, October 1998.
- [MIS, 02] : S. Mishra, M. Petch, D. Goodman, "In-situ Sensors for Product Reliability Monitoring", proceedings of SPIE, Vol. 4755, pp. 10-19, 2002.
- [NEG, 03] : M. Neigeros, E. Schuler, L. Carro, A. A. Susin, "Testing RF signal paths using spectral analysis and subsampling", IEEE Symposium on Integrated Circuits and Systems Design, 2003.
- [NOW, 05] : M. Nowak, R. Radojicic, "Are There Economic Benefits in DFM?", DAC 2005, pp. 767-768, Anaheim, California, USA, June 2005.
- [PAP, 99] : Y.E Papanonos, "Radio-frequency microelectronic circuits for telecommunication Applications", Kluwer Academic Publishers, Boston, USA, 1999.
- [PAT, 98] : J. H. Patel, "Stuck-At Fault: A Fault Model for the Next Millennium," Proceedings International Test Conference *ITC* 1998, p. 1166, 1998.
- [PEC, 00] : I. Pecuh, M. Margala et V. Stopjakova, "Low-voltage low-power current monitor for deep submicron testing" , International Journal of Electronics, Vol. 88, pp. 1117-1129 October 2001.
- [PET, 04] : L. Peter, "NBTI : a growing threat to device reliability", Semiconductor International, march 2004.
- [PIN, 03] : J. Pineda de Gyvez, G. Gronthoud and R. Amine, " VDD Ramp Testing for RF Circuits ", International Test Conference 2003, pp. 651- 658, Charlotte, NC, USA.
- [POM, 06]: T. Pompl, C. Schlünder, M. Hommel, H. Nielen, J. Scheinder, "Practical Aspects of Reliability Analysis for IC Designs", DAC 2006, pp. 193-198, San Francisco, California, USA, July 24–28, 2006.
- [RAM, 06] : R. Ramzan, J. Dąbrowski, "CMOS blocks for on-chip RF test", Analog Integrated Circuits and Signal Processing, Vol. 49, Number 2, pp. 151-160, October 2006.

- [RAZ, 98] : B. Razavi, "RF Microelectronics", Prentice Hall PTR, Upper Saddle River, NJ, USA, 1998.
- [RYU, 06] : J.Y. Ryu, and S.-H. Noh, "A New Approach for Built-in Self-Test of 4.5 to 5.5 GHz Low-Noise Amplifiers", ETRI Journal, vol.28, no.3, pp.355-363, June 2006.
- [SAC, 95] : M. Sachdev, "A realistic defect oriented testability methodology for analog", circuits Source Journal of Electronic Testing: Theory and Applications, Vol. 6 , Issue 3, pp. 265-276, 1995, ISSN:0923-8174.
- [SOM, 95] : M. Soma, "Structure and concepts for current-based analog scan", Proceedings of Custom Integrated Circuits Conference CICC, pp. 517-520, Santa Clara, USA, 1995.
- [SRI, 02] : A. Srivastava, S. Aluri, "A novel approach to IDDQ testing of mixed-signal integrated circuits", Proceedings of 45th IEEE International Midwest Symposium on Circuits and Systems, pp. 270-273, Tulsa, Oklahoma, August 2002.
- [SRI, 06] : S. Srinivasan, K. Sarpatwari, "FLAW : FPGA Lifetime Awareness", DAC , San Francisco, California, USA, 2006.
- [STE, 00] : A. Steininger, "Testing and built-in self test a survey", Journal of Systems Architecture 46, pp. 721-747, 2000.
- [STA, 04] : J. H. Stathis et al., "Broad Energy Distribution of NBTI-Induced Interface States in PMOS FETs with Ultra-Thin Nitrided Oxide", proceeding of the IEEE IRPS, pp. 1-7, 2004.
- [SUN, 95] : S. Sunter, "The P1149.4 mixed signal test bus: Costs and benefits", International Test Conference, pp. 444-450, 1995.
- [SUR, 64] : J. Suran, "Use of circuit redundancy to increase system reliability" IEEE International Solid-State Circuits Conference, pp. 82-83, 1964.
- [SYL, 06] : D. Sylvester, D. Blaauw, E. Karl, "ElastIC: An Adaptive Self-Healing Architecture for Unpredictable Silicon", IEEE Design & Test of Computers, pp. 484-490, November 2006.

- [TAR, 03] : T. Taris, "Conception de circuits radiofréquences en technologie CMOS VLSI sous contrainte de basse tension", Thèse de l'Université de Bordeaux 1, 2003.
- [TAY, 03] : D. Taylor, A. Platts, "Transient response testing of nonlinear analog circuits using optimised fault sets", IEE Proc. Circuits Devices Systems, 2003.
- [TIE, 02] : M. Tiebout, E. Papparisto, "LNA Design for a Fully Integrated CMOS Single Chip UMTS Transceiver", 28th European Solid-State Circuits Conference, 24 - 26 September 2002, Florence, Italy.
- [TM, 03] : "Reliability Centered Maintenance (RCM) for Command, Control, Communications, Computer, Intelligence, Surveillance, and Reconnaissance (C4ISR) Facilities" US department of the Army, Technical Manuel TM 5-698-2, Washington, DC, 3 May 2003.
- [TUR, 90] : J. Turino, "design to test", second edition, Van Nostrand Reinhold, New York, 1990, ISBN 0-912253-05-3.
- [VAL, 04] : A. Valdes-Garcia, J. Silva-Martinez, E. Sanchez-Sinencio, « An on chip transfer function characterization system for analog built-on testing », IEEE VLSI Test Symposium, 2004.
- [VAL, 05]: A. Valdes-Garcia, R. Venkatasubramanian, R. Srinivasan, J. Silva-Martinez, E. Sanchez-Sinencio, "A CMOS RF RMS detector for built-in testing of wireless transceivers", 23rd VLSI Test Symposium, pp. 249 - 254, 1-5 May 2005.
- [VAL, 06] : A. Valdes-Garcia, J. Silva-Martinez, E. Sánchez-Sinencio, "On-Chip Testing Techniques for RF Wireless Transceivers," IEEE Design and Test of Computers, vol. 23, no. 4, pp. 268-277, July/August, 2006.
- [VID, 04] : V. Vidojkovic, J. van der Tang, E. Hanssen, A. Leeuwenburgh, A. van Roermund, "Fully-Integrated DECT/Bluetooth Multi-Band LNA in 0.18 μm CMOS", proceeding of ISCAS 2004, pp. 565-568, 2004.
- [WOO, 84] : M. H. Woods, B. L. Euzent, "reliability in MOS integrated circuits", International Electron Device Meeting, pp. 50-55, 1984.

- [WEY, 92] : C. L. Wey, S. Crishnan, "Built-In Self Test (BIST) structure for analog circuit fault diagnosis with current test data", IEEE Transaction on Instrumentation and Measurement, Vol. 41, pp. 535–539, 1992.
- [WOO, 86] : M. H. Woods, "MOS VLSI Reliability and Yield Trends", Proceedings of IEEE, vol. 74, pp. 1715-1729, December 1986.
- [YAM, 01] : K. Yamamoto, T. Heima, A. Furukawa, M. Ono, Y. Hashizume, H. Komurasaki, S. Maeda, H. Sato, and N. Kato, "A 2.4-GHz-band 1.8 V operation single-chip Si-CMOS T/R-MMIC front-end with a low insertion loss switch," IEEE Journal of Solid-State Circuits, vol.36, no.8, pp.1186–1197, Aug. 2001.
- [YAN, 06] : J. Yang, E. Cohen, C. Tabery, N. Rodriguez and M. Craig, "An Up-stream Design Auto-fix Flow for Manufacturability Enhancement", DAC 2006, pp. 73-76, San Francisco, California, USA, July 24–28, 2006.
- [YOO, 05] : J.S Yoon, W.R. Eisenstadt, "Embedded loopback test for RF ICs", IEEE Transactions on Instrumentation and Measurement, Vol. 54, Issue 5, pp. 1715-1720, October 2005.
- [YOU, 94] : D. Young, A. Christou, "Failure Mechanism Models for Electromigration", IEEE Transactions on Reliability, Vol. 43, No. 2, June 1994.
- [ZAI, 02] : N. Zaidan , "Conception des interfaces sécurisées pour contrôle-commande de puissance", Thèse de l'INPG, Grenoble, 2002.
- [ZJA, 05] : A. Zjajo, H.J. Bergveld, R. Schuttert, J.P. de Gyvez, "Power-scan chain: design for analog testability ", International Test Conference, November 2005.

Publications réalisées au cours de la these:

[CIM, 04] : M. Cimino, M. De Matos, H. Lapuyade, J.B. Bégueret, Y. Deval, “ Robustness Improvement of a Ratiometric Built-In Current Sensor”, Conference on Design of Circuits and Integrated Systems (DCIS 2004), Bordeaux, France, 24-26 November 2004.

[CIM, 06] : M. Cimino, H. Lapuyade, M. De Matos, T. Taris, Y. Deval, J.B. Bégueret “A Robust 130nm-CMOS Built-In Current Sensor Dedicated to RF Applications”, European Test Symposium, ETS 2006, Southampton, United Kingdom, 21-24 May, 2006.

[CIM, 06bis] : M. Cimino, M. De Matos, H. Lapuyade, T. Taris, Y. Deval, J.B. Bégueret, « Conception d’un Amplificateur Faible Bruit CMOS avec Autotest Intégré », Journées Nationales du Réseau Doctoral en Microélectronique (JNRDM 2006), Rennes, France, 10-12 May, 2006.

[CIM, 06ter] : M. Cimino, M. De Matos, H. Lapuyade, T. Taris, Y. Deval, J.B. Bégueret, « A Low-Power and Low Silicon Area Testable CMOS LNA Dedicated to 802.15.4 Sensor Network Applications », International Conference on Electronics, Circuits, and Systems (ICECS 2006), Nice, December 10-13, 2006, pp. 383-386.

[CIM, 07] : M. Cimino, M. De Matos, H. Lapuyade, T. Taris, Y. Deval, J. B. Bégueret, « A Robust 130nm-CMOS Built-In Current Sensor Dedicated to RF applications », Journal of Electronic Testing: Theory and Applications (JETTA), à paraître.

[CIM, 07bis] : M. Cimino, H. Lapuyade, M. De Matos, T. Taris, Y. Deval, J.B. Bégueret, «A Sub 1V CMOS LNA dedicated to 802.11b/g applications with self-test & high reliability capabilities. », Radio Frequency Integrated Circuits Symposium, RFIC 2007, pp. 343-346, Honolulu, Hawaii, June 3-5, 2007.

[CIM, 07ter] : M. Cimino, H. Lapuyade, M. De Matos, T. Taris, Y. Deval, J.B. Bégueret, « A RF circuit design methodology dedicated to critical applications», IEEE PRIME 2007, pp.53-56, Bordeaux, France, July 2-5, 2007.

[CIM, 07qua] : M. Cimino, H. Lapuyade, M. De Matos, T. Taris, Y. Deval, J.L. Carbonéro, J.B. Bégueret, « A Low Power, Testable and Reliable CMOS LNA Dedicated to 802.15.4 Sensor Network Applications », Transaction on Circuits And Systems (TCAS1), soumise.

Glossaire

BICS : Built-In Current Sensor ou capteur de courant intégré.

BIST : Built-In Self Test ou autotest intégré.

CUT : Circuit Under Test ou circuit sous test.

DFM : Design For Manufacturing ou conception en vue de la fabrication.

DFR : Design For Reliability ou conception en vue de la fiabilité.

DFT : Design For Testability ou conception en vue du test.

DRC : Design Rules Check ou vérification des règles de dessin des masques.

LNA : Low Noise Amplifier ou amplificateur à faible bruit.

MTTF : Mean Time To Failure ou temps moyen avant dégradation.

NBTI : Negative Bias Temperature Instability ou Instabilité en température de la polarisation négative pour les PMOS.

OL : Oscillateur Local.

PA : Power Amplifier ou amplificateur de puissance.

RF : Radiofréquence.

SOC : System on Chip ou système sur une seule puce.

WLAN : Wireless Local Area Network ou réseau local sans fil.

ANNEXES

Sommaire

<i>I. Annexe A : détermination de la fiabilité d'un sous-système utilisant une méthodologie de redondance passive inactive.....</i>	<i>175</i>
<i>II. Annexe B : Calcul théorique du rapport de conversion dans le BICS.....</i>	<i>177</i>
<i>III. Annexe C : Etude des caractéristiques des différents interrupteurs CMOS analogiques.....</i>	<i>179</i>
<i>IV. Annexe D : Conception d'une référence de tension CMOS.....</i>	<i>182</i>
<i>V. Annexe E : Brochage des puces réalisées.....</i>	<i>188</i>
Puce TROMPA :	188
Puce TROMPETTA :	190

V. Annexe A : détermination de la fiabilité d'un sous-système utilisant une méthodologie de redondance passive inactive

Un sous-système de n éléments intégrant une méthodologie à base de redondances passives inactives, possède un élément principal qui réalise les opérations et $n-1$ éléments redondants passifs. Quand un élément devient défaillant, l'élément redondant est activé. Dans les cas de redondances passives inactives, l'élément redondant n'a pas été exposé au stress de fonctionnement, et ainsi, il est supposé avoir une probabilité de défaillance nulle avant d'être activé.

Nous définirons T_i comme le temps de défaillance du $i^{\text{ème}}$ composant et S_i comme la somme des temps de défaillance des i premiers composants. Dans ces conditions, la fiabilité d'un sous-système à l'instant t , ayant un basculement parfait, sera égale à la probabilité qu'un de ses composant soit toujours en fonctionnement au temps t :

$$R(t) = \Pr\{S_n > t\} = \Pr\{T_1 + T_2 + \dots + T_n > t\} \quad \text{Eq. A.1}$$

$$\begin{aligned} R(t) = & \Pr\{T_1 > t\} + \Pr\{T_1 + T_2 > t \cap T_1 < t\} \\ & + \Pr\{T_1 + T_2 + T_3 > t \cap T_1 + T_2 < t\} \\ & + \dots + \Pr\{T_1 + T_2 + \dots + T_n > t \cap T_1 + T_2 + \dots + T_{n-1} < t\} \end{aligned} \quad \text{Eq. A.2}$$

Soit $f_{S_j}(t)$ la densité de probabilité de la somme des temps de défaillance pour le $j^{\text{ème}}$ composant, $r(t)$ est la fiabilité d'un composant au temps t et $f_{S_1}(t) = f_{T_1}(t)$, on obtient alors :

$$\begin{aligned}
 R(t) &= r(t) + \int_0^{\infty} \Pr\{T_2 > t - T_1 \cap T_1 < t | T_1 = u\} f_{T_1}(u) du \\
 &\quad + \int_0^{\infty} \Pr\{T_3 > t - S_2 \cap S_2 < t | S_2 = u\} f_{S_2}(u) du + \dots \\
 &\quad + \int_0^{\infty} \Pr\{T_n > t - S_{n-1} \cap S_{n-1} < t | S_{n-1} = u\} f_{S_{n-1}}(u) du
 \end{aligned}
 \tag{Eq. A.3}$$

$$\begin{aligned}
 R(t) &= r(t) + \int_0^t \Pr\{T_2 > t - u\} f_{T_1}(u) du + \int_0^t \Pr\{T_3 > t - u\} f_{S_2}(u) du + \dots \\
 &\quad + \int_0^t \Pr\{T_n > t - u\} f_{S_{n-1}}(u) du
 \end{aligned}
 \tag{Eq. A.4}$$

$$\begin{aligned}
 R(t) &= r(t) + \int_0^t r(t-u) f_{T_1}(u) du + \int_0^t r(t-u) f_{S_2}(u) du + \dots \\
 &\quad + \int_0^t r(t-u) f_{S_{n-1}}(u) du
 \end{aligned}
 \tag{Eq. A.5}$$

D'où finalement :

$$R(t) = r(t) + \sum_{j=1}^{n-1} \int_0^t r(t-u) f^{(j)}(u) du \quad \text{avec} \quad f^{(j)}(t) = f_{S_j}(t)
 \tag{Eq. A.6}$$

VI. Annexe B : Calcul théorique du rapport de conversion dans le BICS

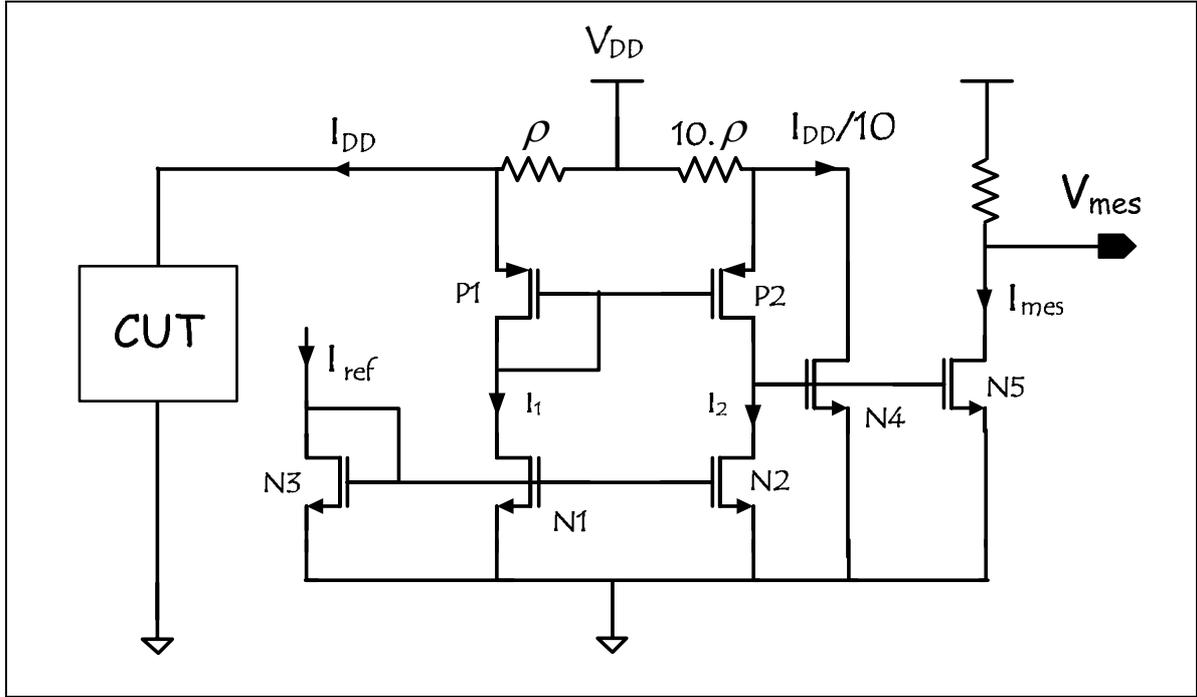


Figure A1.1 : capteur initial

Le miroir de courant P1-P2 ainsi que les deux résistances ρ et 10ρ (avec leur chute de tension respective ΔV_ρ et $\Delta V_{10\rho}$) forment le capteur de courant. D'après la figure 2, nous avons :

$$\Delta V_\rho - V_{GS_{P1}} = \Delta V_{10\rho} - V_{GS_{P2}} \quad \text{Eq. A1.1}$$

En considérant que le courant de grille de N4 est nul, on obtient :

$$\left| I_{D_{P2}} \right| = \left| I_{D_{N2}} \right| \quad \text{Eq. A1.2}$$

De plus, grâce au rapport K des miroirs de courant N3-N2 et N3-N1, et sachant que P1 et N1 sont traversés par le même courant on a :

$$\left| I_{D_{P2}} \right| = K \left| I_{D_{N1}} \right| = K \left| I_{D_{P1}} \right| \quad \text{Eq. A1.3}$$

Comme chaque transistor est en régime de saturation et d'après la théorie des canaux longs, on peut réécrire l'équation 1 de la manière suivante :

$$\Delta V_{\rho} + \sqrt{\frac{L_{P1}}{W_{P1}}} \sqrt{\frac{1}{k'_P}} \sqrt{|I_{DP1}|} = \Delta V_{10\rho} + \sqrt{\frac{L_{P2}}{W_{P2}}} \sqrt{\frac{1}{k'_P}} \sqrt{|I_{DP2}|} \quad \text{Eq. A1.4}$$

en négligeant les effets de modulation de longueur de canal.

On peut aussi écrire :

$$\begin{cases} \Delta V_{\rho} = \rho \cdot (I_{DD} + |I_{DP1}|) \\ \Delta V_{10\rho} = 10\rho \cdot (I_{mes} + |I_{DP2}|) \end{cases} \quad \text{Eq. A1.5}$$

Ainsi en introduisant les équations 3 et 5 dans l'équation 4, on obtient :

$$\rho \cdot (I_{DD} - 10 \cdot I_{mes} + |I_{DP1}| (1 - K \cdot 10)) = \sqrt{\frac{1}{k'_P}} \left(\sqrt{K} \sqrt{\frac{L_{P2}}{W_{P2}}} - \sqrt{\frac{L_{P1}}{W_{P1}}} \right) \sqrt{|I_{DP1}|} \quad \text{Eq. A1.6}$$

En considérant que P1-P2 et N1-N2 ont le même rapport K, on peut simplifier l'équation 6 de la manière suivante :

$$10 \cdot (I_{DD} - N \cdot I_{mes} + |I_{DP1}| (1 - 10 \cdot K)) = 0 \quad \text{Eq. A1.7}$$

Dans le but d'obtenir une relation linéaire entre I_{DD} et I_{mes} , il faut s'assurer que :

$$10K = 1 \quad \text{Eq. A1.8}$$

D'où finalement :

$$I_{mes} = \frac{I_{DD}}{10} \quad \text{Eq. A1.9}$$

Cette équation montre bien que le capteur est linéaire et ne dépend que du rapport entre les deux résistances parasites à condition que le rapport des miroirs de courant soit l'inverse de celui des résistances. Le capteur est alors ratiométrique et donc robuste au sens de la microélectronique. Le rapport de 10 a été choisi pour limiter la consommation lors du test tout en ayant une résolution suffisante pour notre application. Cependant un rapide redimensionnement du capteur permet d'obtenir un rapport de 100 ou de 1 si nécessaire.

VII. Annexe C : Etude des caractéristiques des différents interrupteurs CMOS analogiques

Dans le cadre de cette thèse, les interrupteurs pouvant être insérés n'importe où dans la structure du bloc radiofréquence considéré, nous avons réalisé une étude permettant de caractériser les paramètres « RF » des interrupteurs.

Nous avons étudié les principales structures utilisées en analogique qui sont les suivantes :

- Le transistor seul (1): c'est la structure la plus simple et c'est un transistor qui suivant son état jouera le rôle d'interrupteur. Les transistors NMOS sont généralement préférés aux PMOS car leur transconductance est plus importante ce qui permet d'avoir moins de pertes.

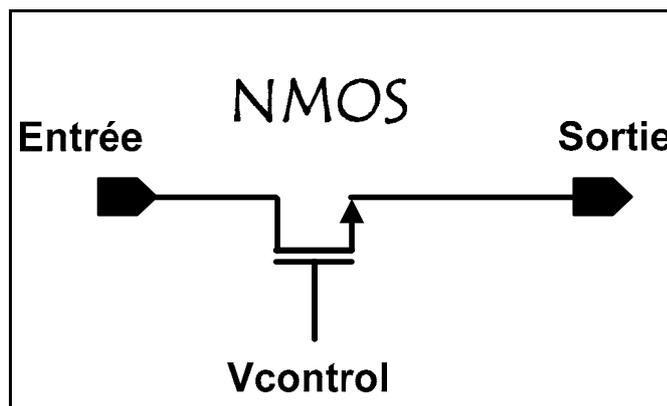


Figure A2.1 : transistor seul.

Dans un tel transistor, les fluctuations de V_{gs} et V_{gd} , vont entraîner des problèmes de linéarité lorsque l'amplitude du signal sera trop importante.

- La porte de transmission (2): comme nous venons de le voir, le problème majeur d'un transistor seul est sa non-linéarité pour des signaux de forts niveaux. Un moyen classique de résoudre ce problème est de connecter en parallèle un transistor PMOS et un transistor NMOS. Ceci permettra de rendre la résistance de l'interrupteur lorsqu'il est passant, indépendante des variations du signal.

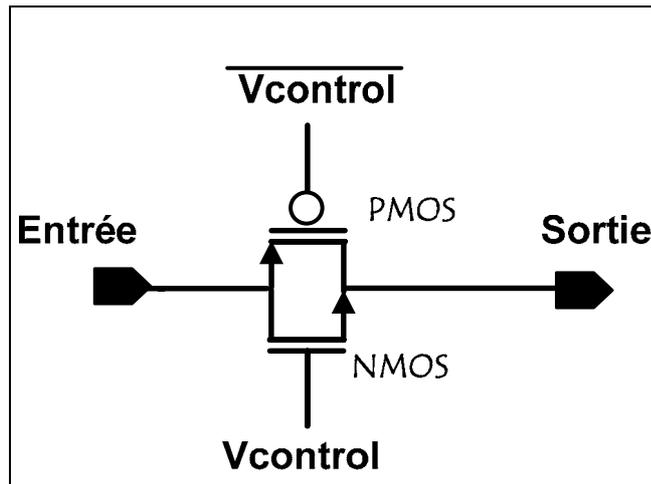


Figure A2.2 : porte de transmission.

- L'interrupteur en T (3): Dans un circuit analogique, il ne faut pas que l'interrupteur bien qu'ouvert laisse passer le signal, surtout quand le niveau de puissance est important par exemple en sortie de l'oscillateur local ou en sortie de l'amplificateur de puissance. Pour augmenter le paramètre d'isolation, la structure couramment mise en jeu est l'interrupteur en T qui permet la mise à la masse de la ligne intermédiaire lorsque l'interrupteur est ouvert.

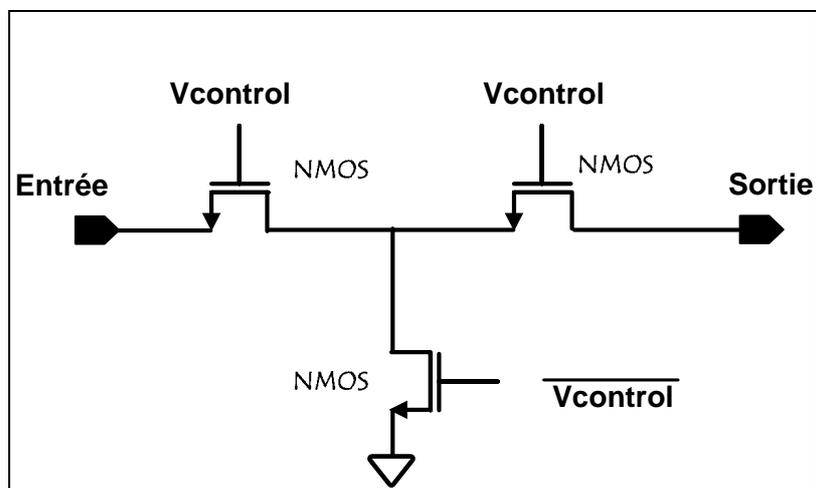


Figure A2.3 : interrupteur en T.

Afin de les caractériser, nous avons effectué des simulations pour chacun des interrupteurs de manière à relever :

- lorsqu'ils étaient passants : la résistance ON, les pertes en lignes S_{21ON} , la linéarité IIP_3 et ICP_1 .

- Lorsqu'ils étaient bloqués : l'isolation OFF caractérisée par le S_{21OFF} .

Ces simulations ont été effectuées à 2,4 GHz, qui est la fréquence de fonctionnement des applications visées par nos démonstrateurs. Les résultats présentés dans la figure qui suit sont donnés pour des dimensions optimales des transistors qui composent chacun des interrupteurs.

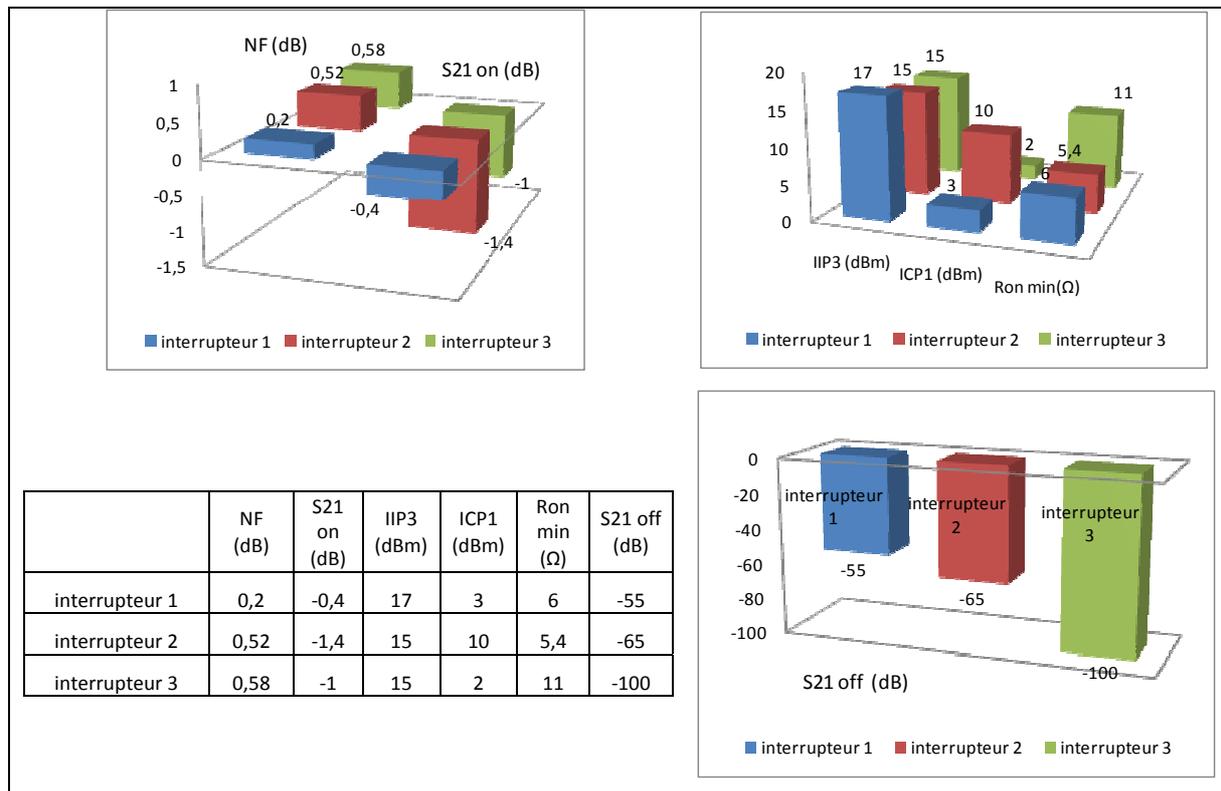


Figure A2.4 : Résultats de simulations pour les trois interrupteurs.

La figure A2.4 présente les résultats de simulation obtenus. Ces résultats confirment les caractéristiques spécifiques de chaque type d'interrupteur et ont permis d'établir le tableau 3.1 du chapitre 3.

A partir de ces trois structures, il est possible de réaliser des combinaisons qui permettent d'obtenir de meilleurs compromis, comme par exemple une porte de transmission avec deux structures en T, qui permettrait d'obtenir une bonne linéarité tout en ayant une bonne isolation. Par contre, dans de tels cas, la complexité et la surface des circuits des interrupteurs se trouvent grandement augmentées, ce qui peut être rédhibitoire suivant les applications visées.

VIII. Annexe D : Conception d'une référence de tension CMOS

Les références de tension et de courant précises et stables, c'est-à-dire principalement indépendantes des tensions d'alimentation et de la température, sont des circuits essentiels pour la réalisation des circuits intégrés analogiques. En effet, les spécifications des différents dispositifs actifs (gain, fréquence de transition, etc ...), fixées par des courants ou des tensions de référence, doivent respecter le cahier des charges, d'une part pour une gamme de températures variant typiquement de 0°C à 70°C pour un circuit à vocation grand public et de -55°C à 125°C pour un circuit à vocation militaire, et d'autre part pour des tensions d'alimentation généralement données à $\pm 10\%$.

Pour notre application, nous avons besoin d'une référence possédant de très bonnes performances de stabilité étant donné que c'est l'élément de détection de fautes. Il existe un grand nombre de référence de tension dont la classique et largement usitée référence Bandgap [WID, 71], [BRO, 74], dont nous ne pouvons que difficilement nous inspirer étant donné que notre conception est en technologie CMOS. Nous avons choisi d'adapter la conception décrite dans [MAT, 05] dont le principe a été initié par Tsvidis et al. dans [TSI, 78].

Son schéma de principe est le suivant.

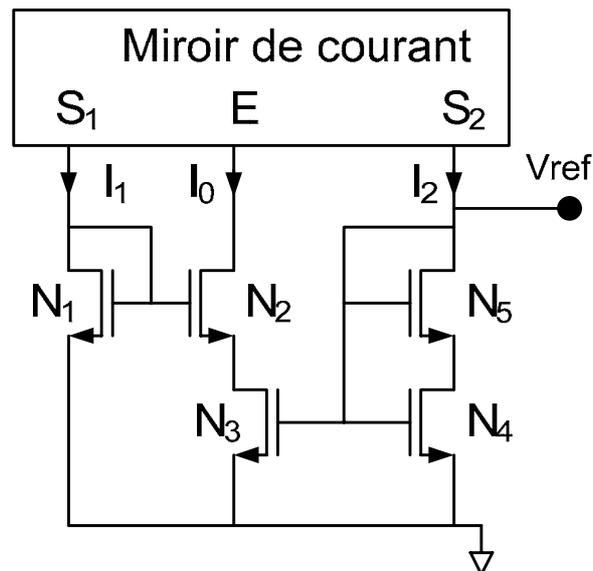


Figure D.1 : Référence de tension stable en température.

Le miroir de courant est considéré comme parfait et les courants I_0 , I_1 , et I_2 sont considérés égaux. Les courants de grille sont considérés nuls.

Les transistors N_1 et N_2 fonctionnent sous le seuil en régime saturé. Les transistors N_3 et N_4 sont en régime linéaire. Le transistor N_5 est saturé.

Le fonctionnement du circuit est alors régi par sept équations :

$$V_{REF} = V_{DS4} + V_{GS5} \quad \text{Eq.D.1}$$

$$I_2 = k'_d A_5 (V_{GS5} - V_{TH})^2 \quad \text{Eq.D.1}$$

$$I_2 = k'_d A_4 \left[2(V_{REF} - V_{TH})V_{DS4} - V_{DS4}^2 \right] \quad \text{Eq.D.3}$$

$$I_0 = k'_d A_3 \left[2(V_{REF} - V_{TH})V_{DS3} - V_{DS3}^2 \right] \quad \text{Eq.D.4}$$

$$I_0 = I_s A_2 \exp\left(\frac{V_{GS2} - V_{TH}}{n u_T}\right) \quad \text{Eq.D.5}$$

$$I_1 = I_s A_1 \exp\left(\frac{V_{GS1} - V_{TH}}{n u_T}\right) \quad \text{Eq.D.6}$$

$$V_{DS3} = V_{GS1} - V_{GS2} \quad \text{Eq.D.7}$$

Dans les équations précédentes, il intervient des paramètres dont les expressions sont données ci-dessous :

$$k'_d = \frac{\mu_n C_{ox}}{2} \quad \text{Eq.D.8}$$

$$A_j = \frac{W_j}{L_j} \quad \text{avec } j \in \{1, \dots, 5\} \quad \text{Eq.D.9}$$

La combinaison des équations D.1, D.2 et D.3 conduit à l'expression suivante du courant I_2 :

$$I_2 = k'_d A_{eff} (V_{REF} - V_{TH})^2 \quad \text{Eq. D.10}$$

dans laquelle le paramètre A_{eff} se définit comme suit :

$$A_{eff} = \frac{1}{\frac{1}{A_4} + \frac{1}{A_5}} = A_4 // A_5 \quad \text{Eq.D.11}$$

Tout se passe comme si les transistors N_4 et N_5 se réduisaient à un seul transistor NMOS qui fonctionnerait en régime de saturation et dont le paramètre géométrique effectif serait A_{eff} .

Les équations D.4 et D.10 permettent de lier la tension de sortie V_{REF} à la tension V_{DS3} comme suit:

$$V_{REF} - V_{TH} = \left(1 + \sqrt{1 - \frac{A_{eff}}{A_3}} \right) \frac{A_3}{A_{eff}} V_{DS3} \quad \text{Eq. D.12}$$

De la comparaison des équations D.3 et D.4, on déduit que la relation entre les tensions V_{REF} et V_{DS4} est similaire à celle relative aux tensions V_{REF} et V_{DS3} :

$$V_{REF} - V_{TH} = \left(1 + \sqrt{1 - \frac{A_{eff}}{A_4}} \right) \frac{A_4}{A_{eff}} V_{DS4} \quad \text{Eq. D.13}$$

Les équations D.12 et D.13 montrent que les tensions V_{DS3} et V_{DS4} voient leur rapport fixé par les dimensions des transistors N_3 , N_4 et N_5 .

Les équations D.5, D.6 et D.7 permettent d'établir que la tension V_{DS3} est proportionnelle au potentiel thermique :

$$V_{DS3} = nu_T \ln \left(\frac{A_2}{A_1} \right) \quad \text{Eq. D.14}$$

Des équations D.12 et D.14 se déduit l'expression de la tension de sortie :

$$V_{REF} = V_{TH} + Bnu_T \quad \text{Eq. D.15}$$

dans laquelle le paramètre B s'écrit :

$$B = \left(1 + \sqrt{1 - \frac{A_{eff}}{A_3}} \right) \frac{A_3}{A_{eff}} \ln \left(\frac{A_2}{A_1} \right) \quad \text{Eq. D.16}$$

Ainsi défini, ce paramètre ne dépend que des dimensions géométriques des cinq transistors. C'est sa valeur qu'il convient d'ajuster pour annuler la dérive thermique de la tension de sortie. En effet, il faudra jouer sur les tailles de ces cinq transistors pour que les variations négatives de V_{TH} soient compensées par les variations positives de B_{nUT} .

Le schéma de la référence de tension que nous avons conçue dans le cadre de cette thèse est donné dans la figure qui suit.

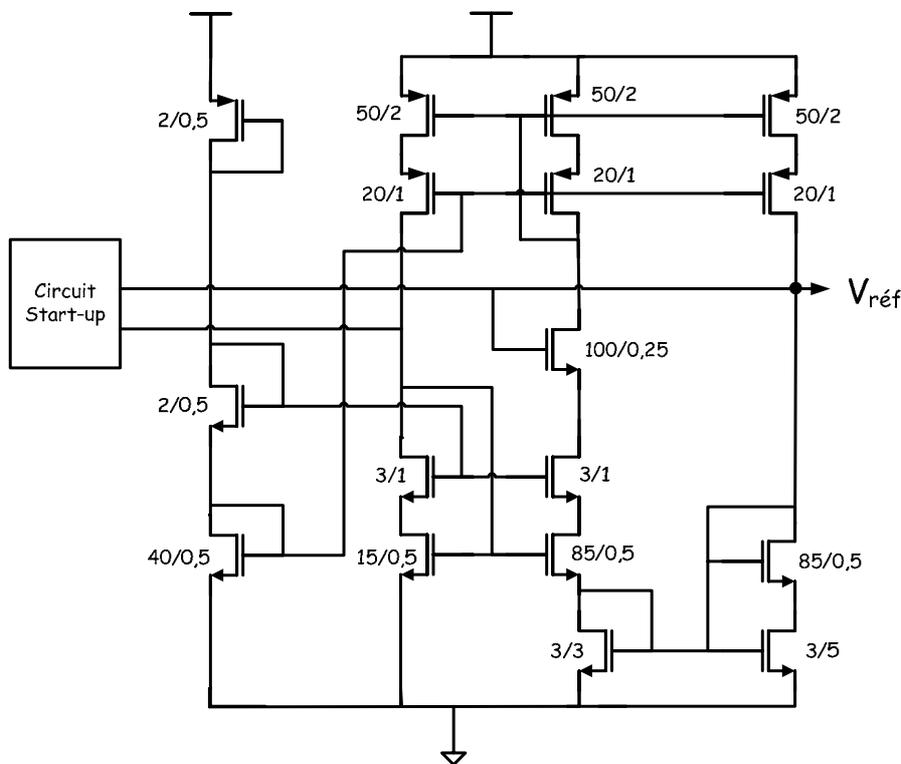


Figure D.2 : Topologie de la référence de tension CMOS (dimensions des transistors en μm).

Comme on peut le voir en figure D.2, le miroir de courant a été cascodé pour le rendre plus robuste et une topologie faible tension a été choisie car le circuit est capable de fonctionner sous 0,8 V. On peut noter aussi que les transistors n'utilisent pas les dimensions minimales de la technologie, ceci dans le but d'accroître la robustesse du circuit aux dispersions technologiques. La courbe de sortie simulée de cette référence est présentée en figure D.3.

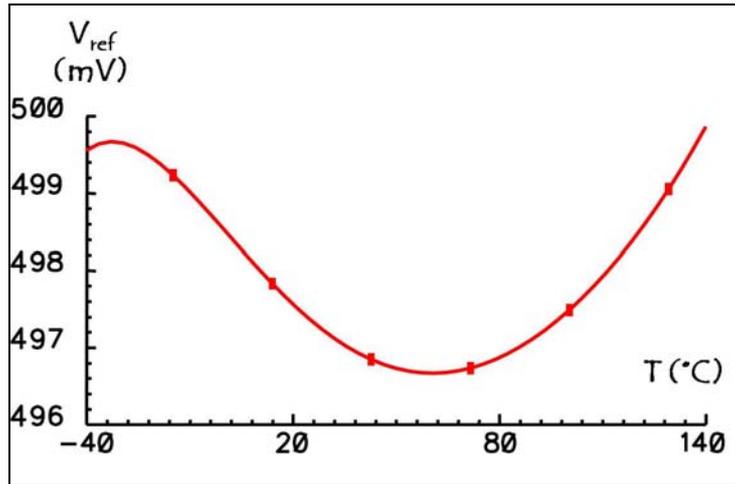


Figure D.3 : Tension de référence en fonction de la température.

On peut voir sur la vue du dessin des masques, présentées ci-dessous, que le miroir de courant, dont la qualité de copie est essentielle pour le bon fonctionnement du circuit, a fait l'objet d'une attention particulière. En effet, une structure centroïde a été utilisée afin de minimiser encore une fois les effets de dispersion de fabrication.

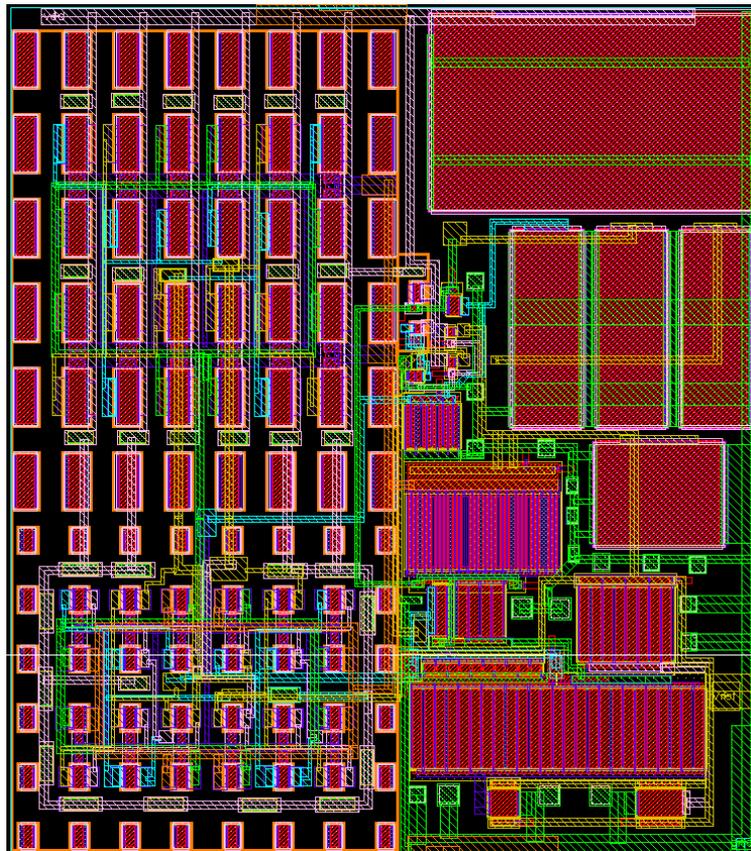


Figure D.4 : Dessin des masques de la référence de tension CMOS.

[BRO, 74] : Brokaw, P., "A simple three-terminal IC bandgap reference", 'IEEE Journal of Solid-State Circuits', vol. 9, pp. 388 - 393, December 1974.

[MAT, 05] : T. Matsuda, R. Minami, A. Kanamori, H. Iwata, T. Ohzone, Shinya Yamamoto, T. Ihara and S. Nakajima, "A Temperature and Supply Voltage Independent CMOS Voltage Reference Circuit", IEICE Transactions on Electronics, n.5, pp. 1087-1093, May 2005.

[TSI, 78] : Y. P. Tsvividis and R. W. Ulmer, "CMOS reference voltage source," ISSCC Digest of Technical Papers, pp. 49-50, 1978.

[WID, 71] : R. J. Widlar, "New developments in IC voltage regulators," IEEE. J. Solid-State Circuits, vol. 6, issue 1, pp. 2-7, Feb. 1971.

IX. Annexe E : Brochage des puces réalisées

Puce TROMPA :

Sur la puce TROMPA, nous avons intégré le démonstrateur du LNA à dégénérescence inductive à fiabilité étendue. Nous pouvons voir sur la figure qui suit le nom de chacune des broches de ce circuit.

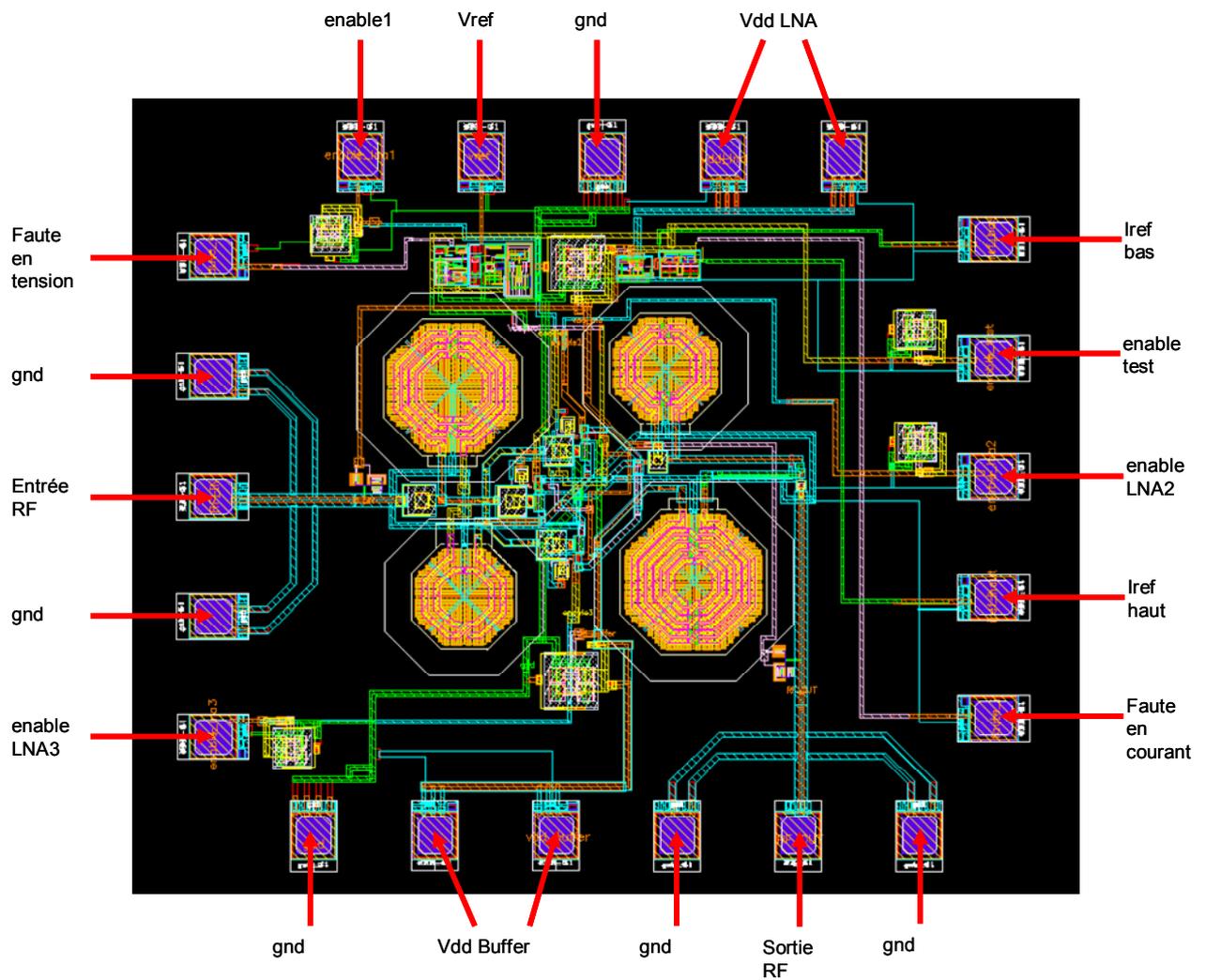


Figure D.1 : LNA à dégénérescence inductive à fiabilité étendue, brochage de la puce TROMPA.

Dans la figure ci-dessous sont désignés les principaux composants de ce circuit.

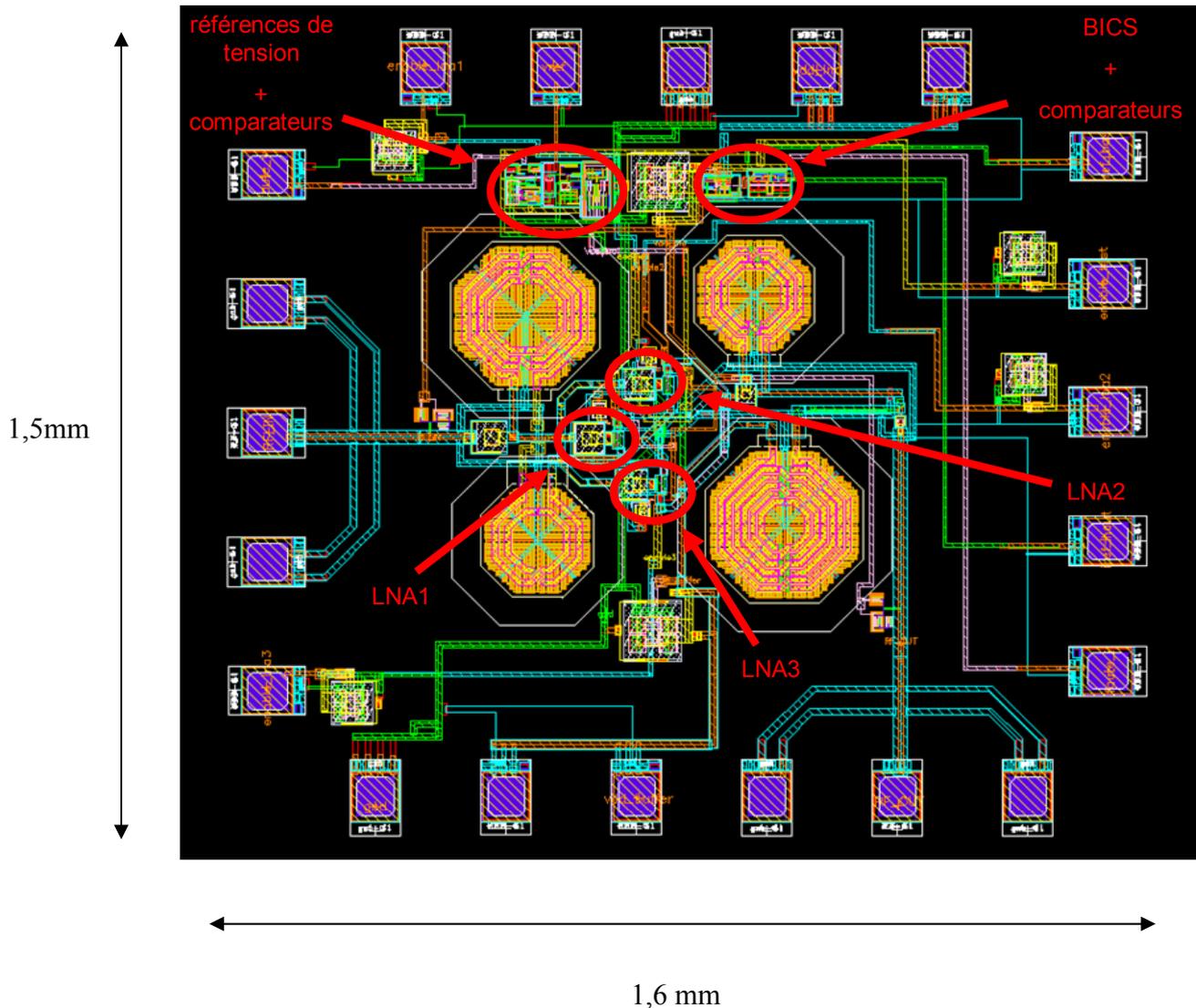


Figure D.2 : LNA à dégénérescence inductive à fiabilité étendue.

Puce TROMPETTA :

Sur la puce TROMPETTA nous avons intégré le démonstrateur du LNA ZigBee à fiabilité étendue, et les deux LNAs seuls, c'est-à-dire sans circuit d'auto-test et sans redondance, dont les paramètres serviront de références afin de démontrer la transparence de nos circuits de test et de redondance. La figure qui suit présente chacun des éléments de la puce.

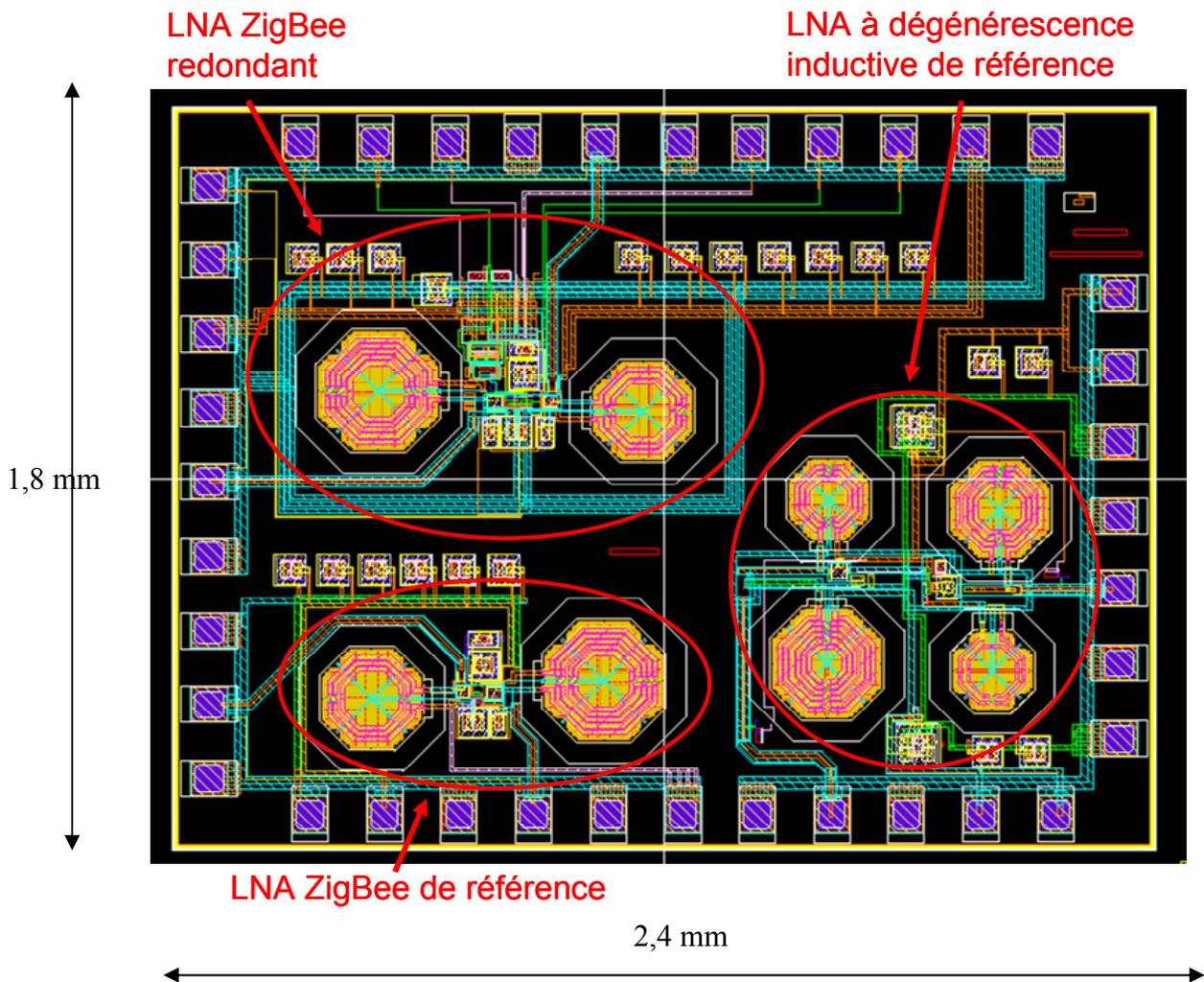


Figure D.3 : LNA ZigBee à fiabilité étendue + LNA ZigBee de référence
+ LNA à dégénérescence inductive de référence.

En figure D.4, nous pouvons observer le branchement de chacun des plots de la puce TROMPETTA.

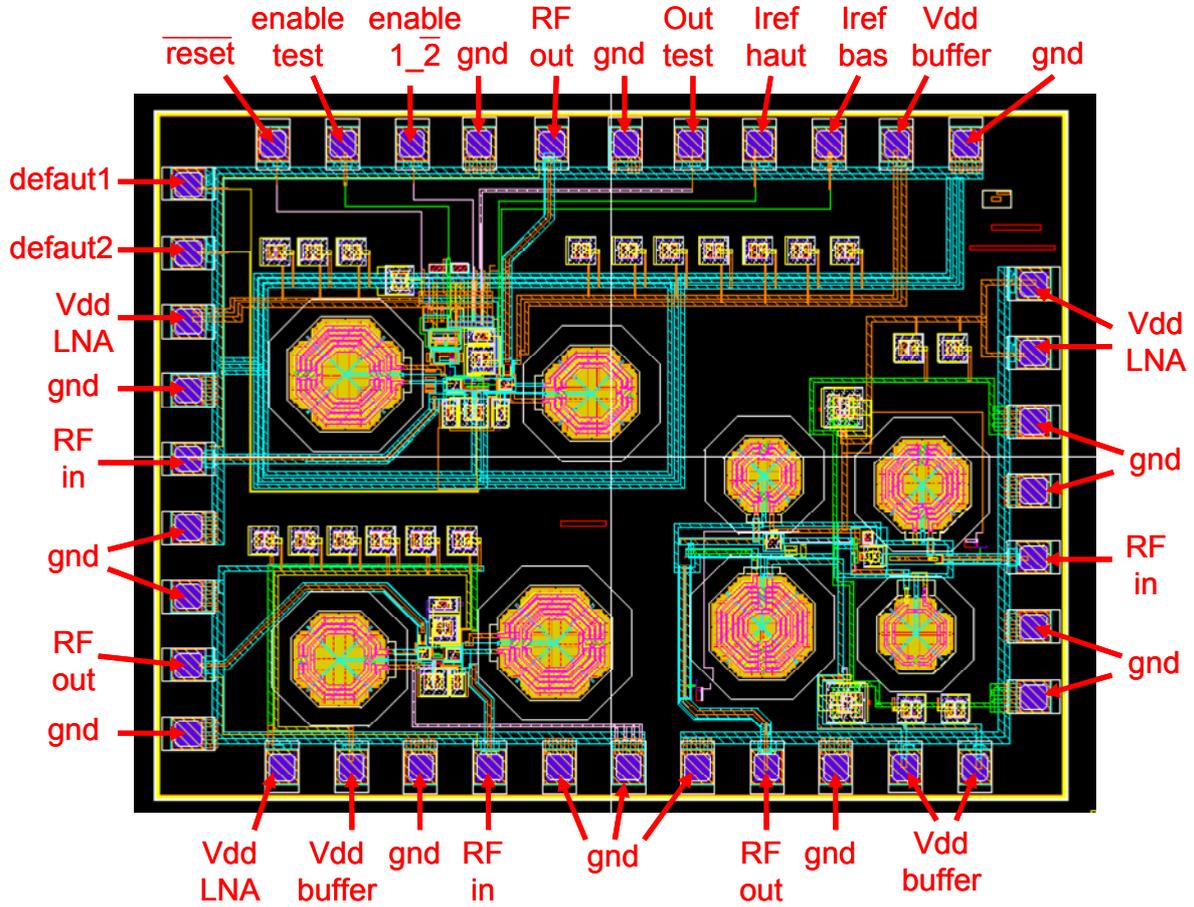


Figure D.4 : Brochage de la puce TROMPETTA.