

THÈSE

PRESENTÉE A

L'UNIVERSITÉ BORDEAUX I

ÉCOLE DOCTORALE DES SCIENCES PHYSIQUES ET DE L'INGENIEUR

par **Cyril RECOQUILLON**

POUR OBTENIR LE GRADE DE

DOCTEUR

SPÉCIALITÉ : **Electronique**

**CONTRIBUTION AU DESSIN ET À L'INTÉGRATION
D'UN ÉCHANTILLONNEUR/DÉMULTIPLEXEUR À
TRÈS HAUT DÉBIT POUR LE PROJET ALMA**

Soutenue le : 16 novembre 2005

Après avis de :

MM. **J.M Fournier,**
O. Llopis,

Professeur, ENSERG, Grenoble
Directeur de recherche, LAAS Toulouse

Rapporteur
Rapporteur

Devant la commission d'examen formée de :

MM. **A. Baudry,**
J.B. Bégueret,
Y. Deval,
L. Dugoujon,
J.M Fournier,
O. Llopis,
G. Montignac,
M. Torres,
A. Touboul,

Professeur, Observatoire de Bordeaux
Maître de Conférences, IUT A, Bordeaux
Professeur, ENSEIRB, Bordeaux
Ingénieur, STMicroelectronics, Crolles
Professeur, ENSERG, Grenoble
Directeur de recherche, LAAS Toulouse
Ingénieur, Observatoire de Bordeaux
Ingénieur, IRAM Grenoble
Professeur, Université de Bordeaux

Directeur de Thèse
Codirecteur de Thèse
Invité
Invité
Rapporteur
Rapporteur
Invité
Examineur
Président

*La rigueur vient toujours à bout de l'obstacle.
Léonard de Vinci*

Remerciements

L'achèvement de cette thèse est un des fruits d'une riche collaboration au sein de plusieurs structures travaillant dans des domaines différents. Toutes ces personnes grâce à leur aide et à leurs conseils ont participé à la réussite de ces travaux et c'est pour cela que je tiens à les remercier.

Mes travaux de thèse se sont déroulés en collaboration avec l'observatoire astronomique de Floirac (L3AB) et avec le laboratoire de microélectronique de Talence (IXL). Si pour des raisons de localisation du matériel de simulation, je fus localisé la majeure partie du temps à l'IXL. Cela ne m'a pas empêché de côtoyer et de travailler avec les personnes de ces deux entités.

En tout premier lieu, je tiens donc à exprimer toute ma reconnaissance à Alain Baudry pour avoir fait confiance à un jeune novice pour concevoir des circuits dans un projet ayant une telle envergure. De plus, il a encadré, planifié et vérifié mes travaux tout au long des différentes étapes de conception. Il s'est toujours montré disponible et ses qualités humaines ont contribué à rendre mon travail très agréable même lors des phases de grand stress lors de la finalisation des circuits.

Je remercie également Jean-Baptiste Bégueret qui a encadré la partie microélectronique de mon travail. Par sa bonne humeur et ses qualités humaines, il a permis de souder l'équipe conception de circuit qui a grandement contribué à la réussite de ces travaux. Je le remercie aussi pour avoir supporté et corrigé mes fautes d'orthographe qui parfois étaient d'un assez beau gabarie...

J'exprime toute ma gratitude à Alain Baudry, Jean-Baptiste Bégueret, Yann Deval, Laurent Dugoujon, Guy Montignac et Marc Torres pour avoir accepté de faire partie de mon jury de thèse. Je remercie André Touboul pour avoir présidé ce jury, ainsi que Jean-Michel Fournier et Olivier Llopis qui ont bien voulu rapporter sur mon travail.

Je remercie chaleureusement les ingénieurs de la salle de Transfert de Technologie pour leur aide précieuse et le soutien qu'ils m'ont apporté durant toutes les étapes de la conception et surtout durant les moments d'urgence. Sans eux rien n'aurait fonctionné ... aussi bien.

Je remercie particulièrement Patrick Hellmuth pour avoir participé à différentes étapes de conception, pour son aide et surtout pour m'avoir supporté lors de la génération des masques alors que la pression me rendait presque hystérique.

Je remercie également Olivier Mazouffre pour son esprit critique, ses conseils et sa réponse favorite "RTFDRM" qui m'a obligé à aller chercher l'information là où elle se trouvait !!!

Je remercie aussi Magali Dematos pour sa sociabilité et pour ses conseils lors des différentes adaptations d'impédance que j'ai dû réaliser.

Je n'oublie pas de remercier l'équipe du laboratoire d'électronique du L3AB pour son accueil. Je remercie tout particulièrement Guy Montignac pour sa rigueur et Stéphane Gauffre pour sa vitesse de réaction. Je les remercie tous deux pour avoir mis au point le banc de test utilisé pour la caractérisation des circuits.

Mes multiples déplacements m'ont permis de travailler avec d'autres structures privées telles l'institut de radioastronomie Millimétrique (IRAM) et le fabricant de circuits électroniques STMicroelectronics. Ils m'ont permis d'observer durant une certaine période, des techniques de conception et des méthodes d'organisation différentes. Pour ces raisons, pour leur accueil et pour avoir résisté à mes multiples questions et sollicitations, je remercie Olivier Gentaz et Marc Torres de l'IRAM et Laurent Dugoujon de STmicroelectronics

Je remercie aussi David Deschans. Même si nous n'avons pas travaillé ensemble durant une longue période, il m'a présenté le projet ALMA et les choix architecturaux déjà définis ce qui m'a fait gagner un temps précieux.

J'envoie un remerciement spécial à tous les plongeurs de l'UCB1 avec qui je partage mon principal hobby car cette activité m'a souvent servi de soupape de sécurité comme défouloir ...

Je n'oublie pas non plus les doctorants de l'IXL (Isabelle Bord, Nathalie Deltimple, Vincent Lagarestre, Cédric Majek et Christophe. Rougier) que j'ai côtoyé durant ces trois années. Je les remercie pour leurs conseils et pour tous les bons moments que nous avons passés ensemble.

Je remercie également les doctorants ou ancien doctorants (Michael Cimino, André Mariano, Nicola Seller et Thierry Taris) que j'ai côtoyé un peu plus tard mais avec qui j'ai passé d'excellents moments !!!!

Et pour finir, je n'oublie pas les doctorants de l'IXL qui étaient avec moi dans les murs du laboratoire durant ce dernier mois d'Août. Je les remercie tout spécialement pour leur esprit de groupe et pour l'ambiance qu'ils ont su instaurer qui m'a permis de résister aux appels de la plage durant cette période estivale. Et je les remercie aussi pour les repas arrosés que nous partageons ...

Table des matières :

INTRODUCTION	13
CHAP. I – PRESENTATION DU PROJET ALMA	15
1. GENERALITES SUR LA RADIO ASTRONOMIE	17
1.1. RADIO ASTRONOMIE ET SYSTEME HETERODYNE	17
1.2. LES INTERFEROMETRES	18
1.3. L'ANALYSE DES SIGNAUX	19
1.4. MECANISMES D'EMISSION DES ONDES RADIOELECTRIQUES	19
1.5. LES SOURCES RADIO DANS L'UNIVERS	19
2 PRESENTATION DU PROJET ALMA	20
2.1. L'HISTORIQUE	21
2.2. LE CONSORTIUM ALMA	21
2.3. L'ARCHITECTURE DU SYSTEME ALMA	22
2.4. LES OBJECTIFS DU PROJET ALMA	23
3.1. LA CHAINE DE RECEPTION DANS SON ENSEMBLE	23
3.2. LES ANTENNES	24
3.3. LE RECEPTEUR RADIOFREQUENCE	25
3.4. LE DIGITIZER	26
3.4.1. LE CONVERTISSEUR ANALOGIQUE - NUMERIQUE	27
3.4.2. LE DEMULTIPLEXEUR	27
3.5. LE DATA TRANSMITTER	27
CHAP. II – ETAT DE L'ART DES CONVERTISSEURS A/N ET DES DEMULTIPLEXEURS	29
1 GENERALITES SUR LES PHENOMENES DEGRADANTS LES PERFORMANCES	31
1.1. COMPOSANTS A HAUTE FREQUENCE	31
1.1.1. COMPOSANTS PASSIFS A HAUTE FREQUENCE	31
1.1.1.1. Résistances	31
1.1.1.2. Condensateurs	32
1.1.2. TRANSISTOR BIPOLAIRE AUX HAUTES FREQUENCES	33
1.1.2.1. Modèle grand signal	33
1.1.2.2. Modèle petit signal	34
1.2. ADAPTATION D'IMPEDANCE ET PROPAGATION DANS LES LIGNES	36
1.2.1. OBJECTIF	36
1.2.2. LES LIGNES MICROSTRIP	38
1.2.3. PROPAGATION DANS LES LIGNES MICROSTRIP	39
1.3. SPECTRE D'UN SIGNAL NUMERIQUE	39

1.4.	LES COUPLAGES	41
1.4.1.	LE COUPLAGE PAR IMPEDANCE COMMUNE SUR UNE LIAISON SYMETRIQUE ET ASYMETRIQUE	41
1.4.2.	LE COUPLAGE ENTRE CONDUCTEURS PAR LE CHAMP ELECTRIQUE (COUPLAGE CAPACITIF)	42
1.4.3.	LE COUPLAGE MAGNETIQUE (COUPLAGE INDUCTIF)	43
1.5.	LES PROBLEMES TECHNOLOGIQUES	44
1.5.1.	ERREURS DE PROCESS	44
1.5.2.	ERREURS DE RECOPIE	44
1.5.3.	L'ANALYSE MONTE CARLO	45
1.6.	MISE EN BOITIER	45
1.6.1.	DEFINITION	45
1.6.2.	DISSIPATION THERMIQUE	46
1.6.3.	LES BONDINGS	47
1.6.4.	DISTRIBUTION DES SIGNAUX SUR LES PADS	47
2	<u>GENERALITES SUR LA FIABILITE</u>	48
3	<u>GENERALITES SUR LES CONVERTISSEURS ANALOGIQUE-NUMERIQUE</u>	49
3.1.	PRINCIPE	49
3.2.	THEOREME DE SHANNON	49
3.3.	CARACTERISTIQUE DE TRANSFERT	50
3.4.	TYPES D'ERREUR	51
3.4.1.	ERREUR DE QUANTIFICATION	51
3.4.2.	ERREUR D'OFFSET	52
3.4.3.	ERREUR DE GAIN	52
3.4.4.	ERREUR D'HYSTERESIS	52
3.4.5.	BRUIT THERMIQUE	53
3.4.6.	ERREUR D'OUVERTURE ET JITTER	53
3.4.6.1.	Définition	53
3.4.6.2.	Gigue à l'ouverture	53
3.4.6.3.	Incertitude à l'ouverture	55
3.4.6.4.	Retard à l'ouverture	55
3.5.	PRINCIPALES ARCHITECTURES DE CONVERTISSEURS RAPIDES ET ULTRA RAPIDES	56
3.5.1.	CONVERTISSEUR A APPROXIMATION SUCCESSIVE	56
3.5.2.	LE CONVERTISSEUR PIPELINE	57
3.5.3.	FLASH	58
4	<u>ETAT DE L'ART DES CONVERTISSEURS ANALOGIQUE-NUMERIQUE FLASH</u>	58
5	<u>GENERALITES SUR LES DEMULTIPLEXEURS</u>	59
5.1.	PRINCIPE	59
5.2.	TYPES D'ERREUR	60
5.2.1.	TRANSPARENCE DES BASCULES	60
5.2.1.1.	Présentation de la bascule D	60
5.2.1.2.	Présentation de la bascule DFF	60
5.2.1.3.	Présentation du phénomène de transparence	61
5.2.2.	BIT ERROR RATE (BER)	62
5.3.	PRINCIPALES ARCHITECTURES	62
5.3.1.	LA CONFIGURATION MAITRE-ESCLAVE (CLASSIQUE)	62
5.3.2.	LA CONFIGURATION MAITRE-ESCLAVE AVEC UN ETAGE DE SYNCHRONISATION	63
5.3.3.	REGISTRE A DECALAGE ET SYNCHRONISEUR	64

6	<u>ETAT DE L'ART DES DEMULTIPLEXEURS</u>	64
7	<u>CONCLUSION</u>	65
<u>CHAP. III – ETUDE, CONCEPTION ET CARACTERISATION DU DEMULTIPLEXEUR</u>		
	<u>ALMA</u>	67
1	<u>CHOIX PRELIMINAIRES</u>	69
1.1.	METHODOLOGIE UTILISEE	69
1.2.	CHOIX TECHNOLOGIQUES	70
2	<u>ETUDE ET CONCEPTION DU DEMULTIPLEXEUR ALMA</u>	70
2.1.	HISTORIQUE	70
2.2.	CHOIX DE L'ARCHITECTURE	71
2.3.	DESIGN DE PHOBOS	71
2.3.1.	DESCRIPTIF DU SYSTEME	71
2.3.1.1.	Etages de polarisation	72
2.3.1.2.	Amplificateur d'entrée	74
2.3.1.3.	Amplificateur d'horloge à 4GHz	75
2.3.1.4.	Amplificateur d'horloge à 250MHz	76
2.3.1.5.	Les bascules DFF	77
2.3.1.6.	Buffer LVDS	79
2.3.2.	BOUCLE DE TEST	80
2.3.2.1.	Descriptif du système	80
2.3.2.2.	Les interrupteurs analogiques	81
2.3.2.3.	Amplificateur de test	82
2.4.	PAD ET PROTECTION ANTI-DECHARGE ELECTROSTATIQUE	83
2.5.	BROCHAGE	84
2.6.	BILAN DES SIMULATIONS	85
3	<u>MESURES DU DEMULTIPLEXEUR ALMA</u>	86
3.1.	TESTS STATIQUES	86
3.1.1.	PRESENTATION DE LA PROCEDURE ET DU MONTAGE DE TEST	86
3.1.2.	PRESENTATION DES RESULTATS ET DE LEUR DISPERSION VIS-A-VIS DE LA SIMULATION	86
3.1.3.	RECHERCHE DES CAUSES DE LA NON CONVERGENCE DES RESULTATS	87
3.2.	TESTS DYNAMIQUES	88
3.2.1.	PRESENTATION DU MONTAGE ET DE LA PROCEDURE DE TEST	88
3.2.2.	VALIDATION DE LA FONCTIONNALITE	88
3.2.3.	VALIDATION DES PERFORMANCES	89
4	<u>CONCLUSION</u>	90
<u>CHAP IV – ETUDE, CONCEPTION ET CARACTERISATION DU CONVERTISSEUR ALMA</u>		
1	<u>ETUDE ET CHOIX PRELIMINAIRES POUR LE CONVERTISSEUR ALMA</u>	93
1.1.	HISTORIQUE	93

1.2.	PRESENTATION DE L'ARCHITECTURE	93
1.2.1.	CHOIX DE L'ARCHITECTURE	93
1.2.2.	CHOIX DE LA RESOLUTION	94
2	<u>CONCEPTION DU CONVERTISSEUR VEGA 1</u>	94
2.1.	DESCRIPTIF DU SYSTEME	94
2.2.	AMPLIFICATEUR ADAPTATEUR	95
2.3.	CHAINE DE RESISTANCE	99
2.4.	COMPARATEURS	100
2.5.	ECHANTILLONNEUR	102
2.6.	ENCODEUR	103
2.7.	SYNCHRONISEUR	104
2.8.	AMPLIFICATEUR D'HORLOGE	105
2.9.	GENERATEUR D'HORLOGE DE TEST	106
2.10.	BUFFERS LVDS	107
2.11.	BROCHAGE	109
2.12.	BILAN DES SIMULATIONS	109
3	<u>RESULTATS DES TESTS DU CONVERTISSEUR VEGA 1</u>	110
3.1.	TESTS STATIQUES	110
3.1.1.	PRESENTATION DE LA PROCEDURE ET DU MONTAGE DE TEST	111
3.1.2.	PRESENTATION DES RESULTATS ET DE LEUR DISPERSION	111
3.1.3.	RECHERCHE DES CAUSES DE LA NON-CONFORMITE DES RESULTATS	111
3.2.	TESTS DYNAMIQUES	112
3.2.1.	PRESENTATION DU MONTAGE ET DE LA PROCEDURE DE TEST	112
3.2.2.	VALIDATION DE LA FONCTIONNALITE	113
3.2.2.1.	Sorties LVDS	113
3.2.2.2.	Codage Gray	113
3.2.2.3.	Boucle de mode commun	114
3.2.3.	VALIDATION DES PERFORMANCES	115
3.2.3.1.	Adaptation d'impédance en entrée du demi-digitizer	115
3.2.3.2.	Adaptation d'impédance sur l'entrée de l'horloge	116
3.2.3.3.	Statistique du bruit numérisé	116
3.2.3.4.	Variation du gain sur la bande passante	117
3.2.3.5.	Variance d'Allan	120
3.3.	BILAN DES MESURES DE VEGA 1	121
4	<u>CONCEPTION DU CONVERTISSEUR VEGA 2</u>	121
4.1.	DESCRIPTIF DU SYSTEME	122
4.2.	AMPLIFICATEUR ADAPTATEUR	122
4.3.	CHAINE DE RESISTANCE	123
4.4.	ECHANTILLONNEUR ET SYNCHRONISEUR	124
4.5.	ENCODEUR	124
4.6.	AMPLIFICATEUR D'HORLOGE	126
4.7.	BROCHAGE	127
4.8.	BILAN DES SIMULATIONS	127
5	<u>RESULTATS DES TESTS DU CONVERTISSEUR VEGA 2</u>	128

5.1.	TESTS STATIQUES	128
5.1.1.	PRESENTATION DE LA PROCEDURE ET DU MONTAGE DE TEST	128
5.1.2.	PRESENTATION DES RESULTATS ET DE LEUR DISPERSION	129
5.1.3.	RECHERCHE DES CAUSES DE LA NON-CONFORMITE DES RESULTATS	129
5.2.	TESTS DYNAMIQUES	130
5.2.1.	PRESENTATION DU MONTAGE ET DE LA PROCEDURE DE TEST	130
5.2.2.	VALIDATION DE LA FONCTIONNALITE	130
5.2.2.1.	Sorties LVDS.	130
5.2.2.2.	Code Gray.	130
5.2.3.	VALIDATION DES PERFORMANCES	130
5.2.3.1.	Adaptation d'impédance en entrée du demi-digitizer	130
5.2.3.2.	Adaptation d'impédance sur l'entrée de l'horloge	131
5.2.3.3.	Restitution d'une distribution gaussienne du bruit	131
5.2.3.4.	Variation du gain sur la bande passante	132
5.3.	BILAN DES MESURES DE VEGA 2	135
6	CONCLUSION	135
<hr/>		
CHAP V – PROSPECTIVE SUR LE DEMI DIGITIZER MONOLITHIQUE		137
<hr/>		
1	VERIFICATION DE LA FAISABILITE	139
<hr/>		
1.1.	FAISABILITE DE L'INTEGRATION	139
1.2.	FAISABILITE DE L'ENCAPSULATION	139
1.2.1.	TAILLE DE LA PUCE	140
1.2.1.1.	Choix du convertisseur	140
1.2.1.2.	Version 1:16	140
1.2.1.3.	Version 1:8	141
1.2.2.	PUISSANCE DISSIPÉE	141
1.2.2.1.	Version 1:16	141
1.2.2.2.	Version 1:8	141
1.2.3.	NOMBRE D'ENTREES/SORTIES	141
1.2.3.1.	Version 1:16	141
1.2.3.2.	Version 1:8	142
1.2.4.	BOITIERS ENVISAGEABLES	142
1.2.4.1.	Version 1:16	142
1.2.4.2.	Version 1:8	143
1.3.	CONFIGURATION ET ENCOMBREMENT DES PADS	143
1.3.1.	VERSION 1:16	143
1.3.2.	VERSION 1:8	143
1.4.	BROCHAGE EXTERNE	144
1.4.1.	VERSION 1:16	144
1.4.2.	VERSION 1:8	145
1.5.	FAISABILITE DE L'INTEGRATION SUR PCB	145
1.5.1.	PROBLEMES DE DISSIPATION THERMIQUE	146
1.5.2.	INSERTION AU SEIN DE LA CARTE DIGITIZER	146
2	ARCHITECTURES ELIGIBLES	147
<hr/>		
2.1.	ARCHITECTURE BASIQUE	147
2.2.	ARCHITECTURE OPTIMISEE	147
2.3.	POINTS NEVRALGIQUES	148

2.3.1.	ISOLATION DES BLOCS ANALOGIQUES VIS-A-VIS DES BLOCS NUMERIQUES	148
2.3.2.	ROUTAGE ET CONNECTIQUE DES ALIMENTATIONS	148
2.3.3.	ROUTAGE ET CONNECTIQUE DES SIGNAUX	149
2.3.4.	TIMING DES HORLOGES	149
3	<u>CONCLUSIONS</u>	149
	<u>CONCLUSION</u>	151
	<u>ANNEXE</u>	159

Introduction

Depuis l'avènement des télécommunications numériques et des microprocesseurs, les convertisseurs analogique-numériques n'ont cessé d'évoluer. Cette évolution s'est faite suivant plusieurs axes majeurs. Le premier privilégie la précision en utilisant des architectures complexes afin de minimiser les bruits et les sources d'erreur interne. Cet axe est surtout orienté vers des applications d'instrumentation. Le second axe de recherche se concentre sur les circuits faible consommation particulièrement adaptés aux applications nomades comme les téléphones mobiles et le positionnement par satellite. Un autre axe de recherche se focalise sur des convertisseurs large bande possédant une vitesse d'échantillonnage élevée. Ces circuits sont destinés aux systèmes d'acquisition de données rapide tels les oscilloscopes numériques et les systèmes de détection comme les radars et les radiotélescopes. Dans le cas spécifique de la radio astronomie, les larges bandes permettent d'améliorer significativement la sensibilité de détection ; pour cela il est nécessaire d'utiliser des fréquences d'échantillonnage qui dépassent le Giga-Hertz.

Cette thèse a pour finalité la conception d'un convertisseur analogique numérique rapide dou "Digitizer" industrialisable à plusieurs milliers de pièces pour équiper le futur radiotélescope ALMA (Atacama Large Millimeter Array). Le projet mondial ALMA implique l'Europe, le continent nord-américain et le Japon. Il a pour but de développer un interféromètre millimétrique et sub-millimétrique constitué de 64 radiotélescopes de 12 mètres de diamètre sur un plateau Chilien situé à 5000 mètres d'altitude. Pour réaliser la fonction de conversion du Digitizer, celui-ci utilise deux sous-systèmes étroitement liés. Le premier est un convertisseur analogique-numérique ayant une résolution de 3 bits qui échantillonne à la fréquence de 4Gsp/s et le second est un démultiplexeur à 4Gbps à une entrée et seize sorties qui réalise une transformation série parallèle pour abaisser le débit des données. Ce changement de débit est indispensable pour permettre le traitement des données et la détection astronomique dans un cross-corrélateur qui analyse les signaux de toutes les paires d'antenne du réseau ALMA

Cette thèse a été menée en étroite collaboration avec l'Observatoire Astronomique de Bordeaux (L3AB) et le Laboratoire de recherche en microélectronique (IXL) de l'Université de Bordeaux I et avec la participation de l'Institut Radioastronomie Millimétrique (IRAM) de Grenoble. Pour des raisons de localisation du matériel de simulation, la partie d'étude et de conception de cette thèse a été réalisée au sein du laboratoire IXL. Mais toutes les phases de test et de caractérisation des différents circuits ont été menées au sein du laboratoire L3AB.

Par ailleurs, un partenariat avec l'industriel STMicroelectronics a permis de faciliter la phase de pré-industrialisation. Et l'industrialisation des pièces a fait l'objet d'un contrat entre STMicroelectronics et le projet ALMA.

Actuellement, les convertisseurs utilisés en radioastronomie possèdent une résolution de 2 bits or le projet ALMA nécessite une résolution de 3 bits avec d'autres spécifications bien précises. C'est l'absence dans l'industrie de convertisseurs possédant les caractéristiques requises pour ALMA qui a généré le développement d'un nouveau circuit. En effet, il existe des convertisseurs ayant une résolution et une fréquence d'échantillonnage suffisantes mais soit ceux-ci sont à l'état

de prototype non industrialisable soit ils ont une consommation énergétique incompatible avec le projet. Par ailleurs la fréquence maximale d'entrée du signal (4GHz) est incompatible avec tous les produits commerciaux existants. C'est pour ces raisons qu'un circuit spécifique a été développé.

Cette thèse est articulée en cinq chapitres principaux :

- Le premier chapitre de cette thèse a pour but de présenter le projet tout en introduisant des notions générales en radioastronomie afin de mieux comprendre les spécifications imposées pour ce projet. Les principes de base des récepteurs radio fréquences et l'architecture de récepteur ALMA y seront aussi abordés pour mieux percevoir l'environnement et les caractéristiques requises pour les circuits à concevoir.
- Ensuite nous aborderons dans le second chapitre, les principaux phénomènes parasites qui entrent en jeu dans le domaine des hautes fréquences. Ceux-ci ne peuvent pas être supprimés mais ils peuvent être minimisés par différentes méthodes afin de permettre l'obtention de performances maximales. Les principales architectures de démultiplexeur et de convertisseur analogique-numérique font aussi l'objet d'une présentation dans ce chapitre afin de préparer les futures étapes de conception.
- Le troisième chapitre est consacré tout d'abord à l'étude et à la conception d'un démultiplexeur. Durant cette étape, la technologie de fabrication et l'architecture du circuit seront définies puis les sous systèmes du circuit seront réalisés les uns après les autres. Pour finir, ils seront assemblés pour réaliser la fonction de démultiplexage voulue. Une fois le circuit fabriqué, celui-ci est testé suivant une procédure spécifique débutant par la vérification de la fonctionnalité et poursuivie par la caractérisation qui permet de vérifier la conformité du système vis-à-vis du cahier des charges.
- Une fois le démultiplexeur déclaré conforme la phase d'étude et de conception d'un convertisseur analogique numérique a pu débuter et c'est à ce niveau que débute le chapitre quatre. Cette partie traite de la conception et du test de deux versions du convertisseur ALMA suivant la même procédure que pour les démultiplexeurs. Et ce n'est que suite à la caractérisation de plusieurs dizaines de circuits que la version destinée à l'industrialisation a été choisie.
- Le chapitre cinq décrit les principales étapes préliminaires à la conception et à l'intégration d'un Digitizer monolithique (SOC). Cette réflexion est possible car les différents constituants du Digitizer ALMA (1 CAN et 3 DEMUX) existent dans leurs versions finales. Même si ce système monolithique reprend les circuits précédemment validés, leur assemblage au sein d'une même puce n'est pas trivial et il est nécessaire de vérifier certains paramètres avant même de commencer la phase de conception.

CHAPITRE I

Présentation du projet ALMA

Ce premier chapitre donne un aperçu de l'importance en radio astronomie du projet ALMA (Atacama Large Millimeter Array) qui a pour objectif d'accroître notre compréhension de l'univers.

Dans le troisième paragraphe nous donnons une idée de la complexité et des performances attendues des différents systèmes embarqués sur les antennes.

Pour clore ce chapitre, nous présenterons de manière succincte les différents organes de la chaîne de réception afin de pouvoir localiser le dispositif (le digitizer) qui sera réalisé dans le cadre de cette thèse par l'université de Bordeaux seront présentées.

1 Généralités sur la radio astronomie

1.1. Radio astronomie et système hétérodyne

L'atmosphère de la Terre arrête le plupart du rayonnement électromagnétique émis par les astres. Seules quelques fenêtres sont ouvertes à l'observation astronomique terrestre. La première est comprise entre 400 et 700 nanomètres de longueur d'onde, elle correspond à l'astronomie optique. Les autres fenêtres correspondent au domaine des ondes radio et elles vont du centimètre à quelques dizaines de mètres ce qui correspond aux fenêtres d'observation radio millimétrique et sub-millimétrique. Pour observer les autres rayonnements (ondes très longues, infrarouge, ultraviolet et rayon X ou gammas) il faut utiliser des ballons, des fusées ou des satellites artificiels. Les outils modernes fournis par la recherche spatiale ainsi que l'observation du sol en radio astronomie millimétrique et sub-millimétrique requièrent presque toujours des moyens considérables. Le projet ALMA est le projet d'astronomie au sol le plus novateur et le plus considérable des décennies à venir.

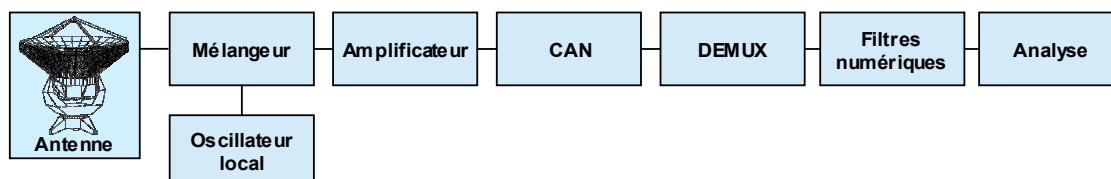


Figure 1.01 : Synoptique simplifié d'un récepteur hétérodyne

L'architecture de récepteur utilisée pour la radioastronomie est de type hétérodyne. Il permet de translater par battement avec une onde locale une fréquence élevée en une fréquence plus basse que l'on amplifie plus aisément (Fig. 1.01). C'est le seul procédé qui permet d'analyser des signaux avec une résolution spectrale de quelques kilohertz à quelques mégahertz autour d'une fréquence d'émission pouvant aller à quelques dizaines de gigahertz voire le terahertz.

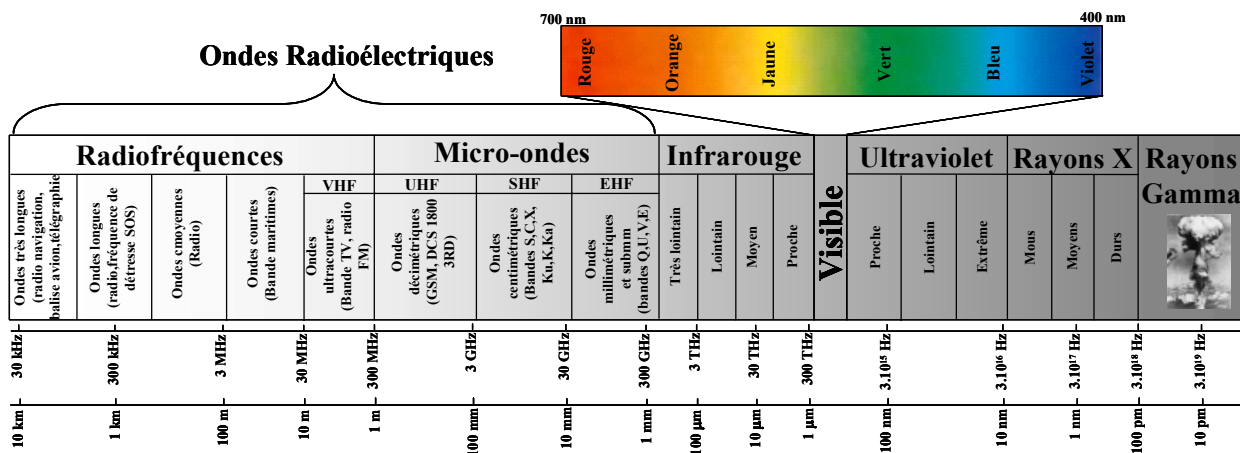


Figure 1.02 : Spectre électromagnétique

Les émissions étudiées sont si faibles que l'antenne collectrice doit être aussi grande que possible pour recevoir le maximum d'énergie provenant des radiosources. Cependant, avec ces grandes surface de captation, plus la longueur d'onde est courte et plus la qualité de la surface réceptrice est difficile à atteindre pour ce rapprocher de la parabole idéale.

Mais en acceptant de sacrifier la sensibilité, il est possible de construire des antennes individuelles de taille raisonnable, tout en conservant un grand pouvoir de résolution. Il suffit pour cela de connecter ensemble deux ou plusieurs antennes réparties sur de grandes distances.

1.2. Les interféromètres

Pour obtenir un pouvoir séparateur suffisant, les radioastronomes utilisent le principe de l'interférométrie. Un interféromètre est constitué de plusieurs radiotélescopes indépendants mais physiquement reliés entre eux (pour maintenir la cohérence de phase) pour observer simultanément une même radiosource. On combine les signaux pour obtenir des interférences. Les intensités combinées du rayonnement capté s'ajoutent ou se retranchent en fonction de l'évolution du chemin géométrique des ondes radioélectriques arrivant de la source sur les radiotélescopes.

Du fait du mouvement apparent de la radiosource dans le ciel (retard géométrique variable), le signal mélangé passe par une alternance de maxima et minima, les rayonnements captés étant successivement en phase ou en opposition de phase. La phase de ce signal dépend de la position et de la structure de la source. Son amplitude dépend à la fois de son intensité et de son diamètre apparent. Le pouvoir séparateur $\theta = \frac{\lambda}{L}$ dépend directement de la distance L entre les antennes et non plus du diamètre des antennes.

Un radio-interféromètre ou réseau d'antennes est composé de n antennes séparées par des distances distinctes, chaque antenne est équipée de son propre récepteur. Les antennes et récepteurs sont identiques et pointés dans la même direction. Les signaux captés par les antennes provenant d'une source unique, ont une différence de chemin ΔD dépendant de la direction de la source et de l'orientation du couple d'antennes considéré.

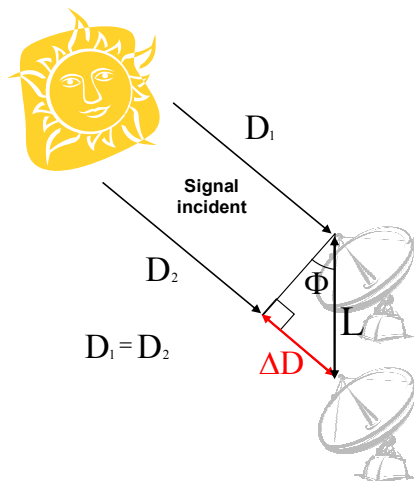


Figure 1.03 : Représentation du déphasage du signal incident

Les réseaux interférométriques d'antennes permettent de synthétiser de grandes surfaces de captation. La synthèse d'ouverture est une méthode interférométrique mise en œuvre dès 1960 qui permet d'obtenir des images de haute résolution angulaire à l'aide d'un réseau d'antennes de taille modeste. La résolution angulaire obtenue serait identique à celle fournie par une antenne dont le diamètre serait égal à la distance entre les antennes les plus éloignées du réseau. Par

ailleurs, pour un système comportant n radiotélescopes, la sensibilité totale est améliorée d'un

facteur $\sqrt{\frac{n(n-1)}{2}}$ par rapport à un interféromètre composé seulement de deux radiotélescopes.

1.3. L'analyse des signaux

Le signal reçu par les radiotélescopes est traité par des spectromètres qui permettent d'analyser la répartition de la densité spectrale de puissance dans l'onde électromagnétique reçue.

Les signaux recueillis ont les propriétés d'un bruit stationnaire (leurs propriétés statistiques sont indépendantes d'une translation quelconque dans le temps) et ergodiques (leurs moyennes au sens des probabilités peuvent être remplacées par les moyennes temporelles correspondantes).

Pour un temps d'intégration très grand, la Transformée de Fourier du produit d'autocorrélation d'un signal noyé dans du bruit correspond au spectre du signal sans bruit. Dans la réalité, le temps d'intégration étant fini, on retrouvera le signal avec une précision inversement proportionnelle à la racine carré du produit du temps d'intégration multiplié par le support spectral qui sert à l'analyse (loi des radioastronomes).

1.4. Mécanismes d'émission des ondes radioélectriques

Les émissions radioélectriques ont pour origine les phénomènes physiques qui œuvrent dans l'univers. Ces émissions sont donc variables en fonction des conditions physiques des milieux observés (température, densité, champ magnétique,...). Pour pouvoir comprendre les observations radioastronomiques, il est nécessaire de connaître les mécanismes d'émission des ondes électromagnétiques. Ces ondes radio proviennent souvent de milieux appelés plasmas qui forment un gaz interstellaire dilué et fortement ionisé. Mais elles peuvent aussi être émises par un milieu gazeux neutre composé d'atomes ou molécules.

Il existe principalement trois types de mécanismes naturels d'émission d'ondes radio :

- Les rayonnements thermiques qui trouvent leur source dans l'agitation thermique des particules.
- Les rayonnements dus aux émissions de freinage magnétique qui sont de nature non-thermique. Ce type de mécanisme est particulièrement intéressant car il renseigne sur les sources mêmes de l'énergie (particules de haute énergie, jets de matière, oscillations de plasma).
- Les rayonnements atomiques et moléculaires dus à l'interaction matière rayonnement peuvent être de nature thermique ou non lorsque le milieu se trouve être très éloigné des conditions d'équilibre thermodynamique local en raison des collisions dans un milieu raréfié.

1.5. Les sources radio dans l'univers

Tous les astres émettent sur tout le spectre électromagnétique, mais le maximum de rayonnement peut se trouver à des longueurs d'onde très variables. C'est ainsi que le ciel radioélectrique sera très différent du ciel visible.

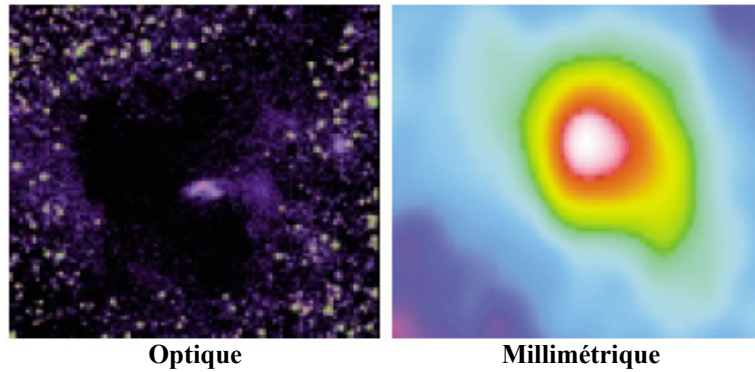


Figure 1.04 : Observation optique et millimétrique du nuage de gaz L483

Dans notre Galaxie, les étoiles sont en général trop éloignées pour être observables en onde radio. Les exceptions sont : le Soleil, tellement proche qu'il est même la radiosource la plus brillante du ciel; certaines étoiles particulières (par exemple de type T Tauri) sujettes à de violentes éruptions; les pulsars. Deux types d'émission planétaires sont détectables : le rayonnement thermique propre, intense en onde millimétrique puisqu'il s'agit de corps froids; et un rayonnement non thermique pour les planètes possédant une magnétosphère (la Terre, Jupiter, Saturne, Uranus et Neptune, qui émettent à plus basse fréquence et ne sont en général observés que depuis les sondes spatiales). En radioastronomie, le milieu interstellaire apparaît particulièrement riche. Il comprend d'une part des régions où l'hydrogène est ionisé par les étoiles chaudes voisines et émet un rayonnement thermique intense. Mais il contient aussi de l'hydrogène neutre (non ionisé) qui émet à la longueur d'onde de 21cm. Enfin on y trouve de très nombreuses molécules dont les raies d'émission se situent surtout dans le domaine millimétrique. Dans certains cas les molécules voient leur énergie augmentée, par collisions ou par un autre rayonnement. Elles rayonnent alors par effet maser, l'équivalent du laser en ondes radio. Toutes ces particules sont observées dans un milieu froid où se forment les nouvelles générations d'étoiles. Les comètes sont également riches en molécules. La radioastronomie a beaucoup contribué à nos connaissances sur les comètes, leur composition, leur histoire, qui nous renseignent sur l'origine du Système Solaire.

Hors de notre Galaxie, certaines galaxies, dites radiogalaxies ont un rayonnement synchrotron intense dû à un noyau actif. Les quasars sont des galaxies elliptiques géantes encore plus actives. Ils émettent beaucoup plus en radio qu'en optique, et surtout aux longueurs d'onde assez courtes. Enfin on recueille, provenant de toutes les directions, un faible rayonnement thermique correspondant à une température de 3°K, et présentant donc un maximum vers 1mm de longueur d'onde. Ce rayonnement est le "résidu" de l'explosion initiale de l'univers (Big Bang).

2 Présentation du projet ALMA

Le vaste réseau d'antennes millimétriques situé sur le plateau d'Atacama au nord du Chili sera l'un des plus puissants télescopes astronomiques. Il comprend 64 antennes déplaçables sur une distance pouvant atteindre 14km environ. Sa capacité d'imagerie sans précédent et sa sensibilité seront plusieurs ordres de grandeur supérieurs à ce qui existe actuellement.

Le projet ALMA permettra d'étudier les longueurs d'ondes millimétriques et submillimétriques provenant de l'espace. Ces longueurs d'onde, à la limite entre l'infrarouge et les micro-ondes, sont essentielles pour comprendre la formation des planètes, des étoiles, des premières galaxies et des amas galactiques ainsi que la formation des molécules organiques ou autres dans l'espace.



Figure 1.05 : Logo ALMA

2.1. *L'histoire*

Lors du colloque de prospective d'Arcachon organisé par le CNRS/INSU en mars 1998, les astronomes français avaient mis la réalisation de ce projet en première priorité. Ils ont en effet une expertise scientifique et technologique de tout premier plan dans les observations dans ce domaine de longueur d'onde, grâce notamment à la participation de la France à l'IRAM (Institut de Radioastronomie Millimétrique). Cette société internationale est financée par la France (CNRS), l'Allemagne (Max-Planck Gesellschaft) et l'Espagne (Instituto Geographico Nacional). L'interféromètre de l'IRAM (6 antennes de 15m) est actuellement le meilleur instrument mondial dans ce domaine de longueur d'onde, mais ALMA le surpassera de très loin en sensibilité et pour la finesse des détails qu'il pourra observer.

Un premier accord a été signé en 1999 entre l'Europe et les Etats-Unis portant sur la phase 1 d'étude et de développement du projet ALMA. L'objectif de cette collaboration était de développer deux prototypes d'antennes de 12m de diamètre et divers systèmes démontrant la faisabilité.

Un autre accord a permis de lancer la construction qui devrait durer une dizaine d'années avec une entrée en fonctionnement de l'ensemble des antennes aux alentours de 2012 avec une première série d'observations démarrant autour de 2007-2008.

En plus du partenariat originel entre l'Europe et les USA, un agrément a été signé courant 2004 pour incorporer le Japon au projet. Le Japon développera le réseau ALMA Compact Array (ACA) constitué de 12 antennes de 7m et de 4 antennes de 12m. Ce réseau sera constitué d'antennes mobiles qui seront localisées à l'intérieur du réseau plus vaste des 64 antennes. Le Japon fournira aussi l'électronique et les corrélateurs associés à ces antennes.

2.2. *Le consortium ALMA*

Ce projet associe les organismes suivants : Aux Etats-Unis, le National Radio Astronomy Observatory (NRAO) avec le soutien de l'Associated Universities Incorporated (AUI) et de la National Science Foundation (NSF).

En Europe, le projet est piloté par l'European Southern Observatory (ESO) (Observatoire Austral Européen) soutenu par le Centre National de la Recherche Scientifique (CNRS), le Max-Planck-Gesellschaft (MPG) d'Allemagne, le Netherlands Foundation for Research in Astronomy (NFRA), le Nederlandse Onderzoekschool Voor Astronomy (NOVA) et l'United Kingdom

Particle Physics and Astronomy Research Council (PPARC). Un accord a été signé également entre l'ESO et l'IGN (Espagne).

Au Japon, c'est le National Institute of Natural Sciences of Japan qui dirige les recherches [BAA-00].

2.3. *L'architecture du système ALMA*

ALMA sera donc constitué de 64 radiotélescopes de 12 mètres de diamètre chacun couvrant une gamme de fréquence allant de 30GHz à 900GHz. Les 64 antennes de l'ALMA travailleront de concert pour donner des "clichés" instantanés ou de longues "poses" d'objets astronomiques et d'importantes parties de la voûte céleste.

Chaque antenne renverra les ondes millimétriques de ces objets cosmiques vers le réflecteur secondaire, en son centre. Les ondes seront ensuite dirigées vers des récepteurs à haute sensibilité fonctionnant quelques degrés au-dessus du zéro absolu (-273°C), qui amplifieront le signal, le numériseront et l'enverront, grâce à des fibres optiques placées dans des tranchées, au grand processeur de signaux, dans l'édifice central.

Cet ordinateur spécialisé (ou corrélateur), capable d'effectuer 16 000 milliards d'opérations à la seconde, combinera les données des 64 antennes pour créer des images d'une remarquable finesse. La configuration variable des 64 antennes permettra de faire un zoom des régions observées et leur configuration maximale donnera une image de finesse comparable à celle d'un radiotélescope de 14km de diamètre.

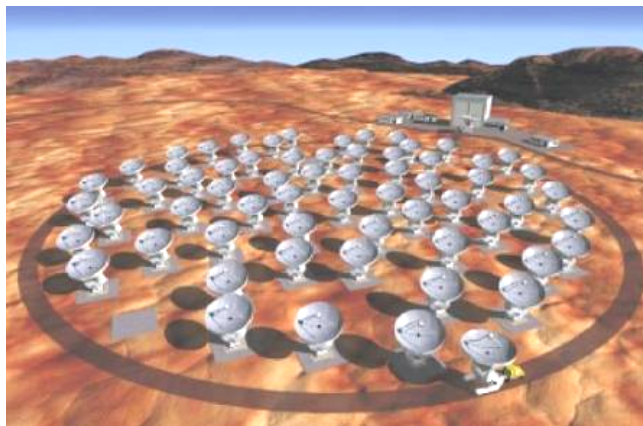


Figure 1.06 : Image de synthèse du projet ALMA

Cet interféromètre sera installé au Chili, sur le haut plateau de l'Atacama à Chajnantor à 5 000m d'altitude. Cet emplacement a été donné en concession par le gouvernement chilien au Conicyt (Chilean National Commission for Science and Technology). Ce site est extrêmement sec, et l'atmosphère y est très transparente aux ondes millimétriques et submillimétriques.

La mise en place d'un tel projet est un défi technologique tant au niveau des modes d'interférométrie à développer que de l'électronique à concevoir et des performances des antennes à réaliser.



Figure 1.07 : Localisation des différents sites ALMA

2.4. Les objectifs du projet ALMA

ALMA a deux objectifs scientifiques majeurs qui sont la question de l'origine des galaxies et celle de la formation des étoiles. Pour les galaxies, le problème est de savoir si elles se sont formées en une seule fois ou construites petit à petit par épisodes successifs, et à quelle époque de l'histoire de l'Univers cela s'est produit. Concernant les étoiles, ALMA permettra de comprendre quelle est l'origine de la distribution observée des masses, et pourquoi elle est la même quelque soit la région de l'Univers que l'on observe ; quel est le lien entre la naissance des étoiles et la structure fractale des nuages interstellaires ? Est-ce que les disques protoplanétaires autour des jeunes étoiles, isolées, binaires ou en amas, sont des phénomènes fréquents.

Mais en-dehors de ces questions fondamentales, ALMA intéresse l'ensemble des astronomes. Avec cet instrument, ils pourront par exemple mesurer la masse des trous noirs au centre des galaxies actives, caractériser la formation des poussières dans les enveloppes des étoiles en fin de vie, ou encore étudier les planètes du système solaire.

3 Descriptif succinct de la chaîne de réception

3.1. La chaîne de réception dans son ensemble

Pour faire l'analogie avec le système auditif humain, le système de réception ALMA est constitué d'organes extrêmement spécialisés dont l'ensemble constitue la fonction "auditive".

En effet, le signal radio est tout d'abord capté par une antenne. Ensuite il est amplifié et appliqué à un élément non linéaire (mélangeur) qui permet de transposer le signal reçu vers une fréquence plus basse afin de le numériser par l'intermédiaire d'un convertisseur analogique-numérique (digitizer).

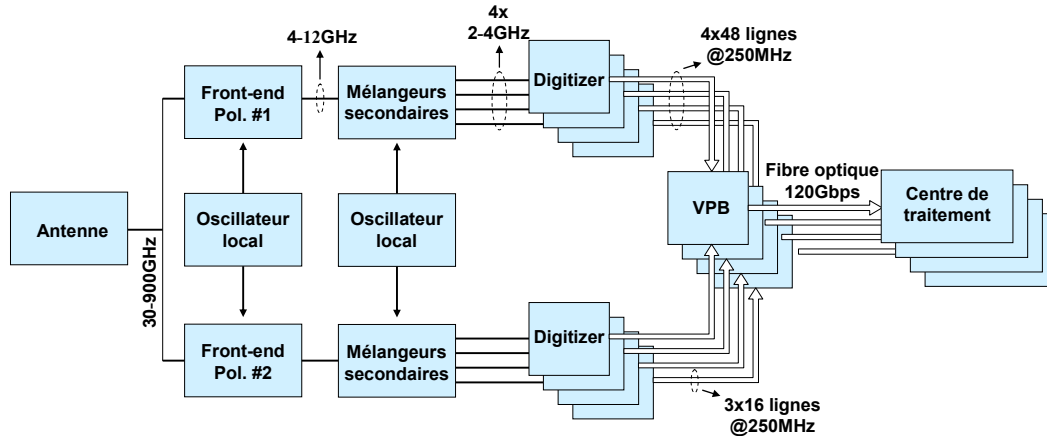


Figure 1.08 : Synoptique de la chaîne de réception ALMA

Le signal analogique capté par les antennes est transmis sur deux voies traitant deux états de polarisation orthogonale (fig. 1.12). La bande passante de chaque voie est de 8GHz (de 4GHz à 12GHz). Le signal est ensuite démultiplé en 4 sous-bandes de 2GHz chacune par les mélangeurs sur une bande passante située entre 2GHz et 4GHz. Chaque sous-bande analogique est alors échantillonnée par un convertisseur analogique-numérique à une fréquence de 4 Géchantillons/s. Le récepteur de chaque radiotélescope contiendra 8 convertisseurs analogique-numérique (4 par polarisation), qui numériseront chacun 2GHz de bande passante [BAU-02]. Ce qui fait un total de 512 convertisseurs pour l'ensemble des 64 antennes. Le signal numérisé est démultiplé pour délivrer un signal à 250MHz (1/16 de la fréquence d'échantillonnage). Un formatage des données est ensuite effectué suivi d'un étage de multiplexage pour transmettre les données par fibre optique jusqu'au centre de traitement où il est filtré numériquement puis corrélé à 125MHz d'horloge avec les signaux provenant des autres radiotélescopes du réseau.

L'ensemble comprenant 2 Convertisseurs et 6 Demultiplexeurs est nommé "Digitizer". Ce système est développé par l'Observatoire Bordeaux Floirac (L3AB) en collaboration avec le laboratoire de Microélectronique IXL.

3.2. Les antennes

Avec 64 antennes à 5000m d'altitude et une électronique complexe, l'intervention humaine est réduite au maximum ce qui exige la réalisation de systèmes robustes requièrent peu ou pas de maintenance. C'est pourquoi les télescopes doivent être simples, robustes et facile à transporter sur site (fig. 1.09).



Figure 1.09 : Antennes d'essai VertexRSI & AEC construites à l'emplacement du Very Large Array près de Socorro (NM).

Quelques spécifications demandées aux antennes sont données dans le tableau 1.01.

Tableau 1.01 : Tableau des principales caractéristiques des antennes ALMA

Domaine de captation	30GHz à 950GHz
Précision sur la surface de réflexion	Objectif : 20 μ m rms Spécifié : 25 μ m rms
Précision du pointage	2 arcsec (absolu)
Vitesse de poursuite	1.5 deg en 1.5 sec

La spécification de 25 μ m de précision sur la surface de l'antenne n'a jamais été atteinte à ce jour mais le groupe de travail ALMA a considéré que cette spécification est réalisable. Après plusieurs essais, les premiers prototypes d'antennes sont testés sur le site du VLA au Nouveau Mexique (fig 1.09). Tous ces tests ont pour but de diminuer le travail de test sur le site final au Chili et de sélectionner un type d'antenne [TAR-03]- [UKI-01].

Les antennes sont localisées en milieu naturel, par conséquent elles subissent l'effet du soleil et des changements climatiques. Ces changements influent sur la structure métallique de l'antenne et détériorent la précision du système qui requiert donc des études spécifiques particulièrement difficiles.

3.3. Le récepteur Radiofréquence

Le récepteur radiofréquence se situe juste après l'antenne réceptrice et constitue le premier système actif de la chaîne de réception.

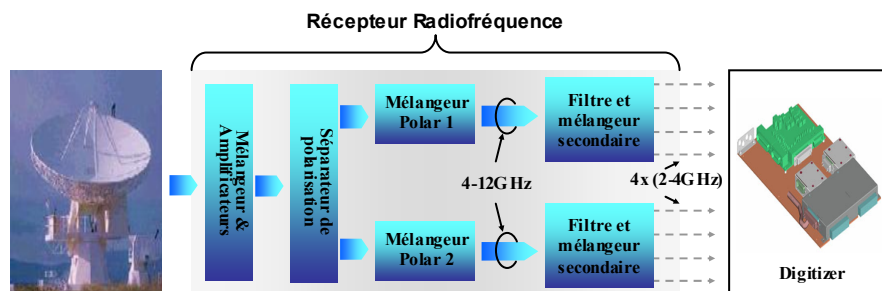


Figure 1.10 : Description du Front-end

Le principal rôle de ce système consiste à transformer les signaux captés pour qu'ils deviennent utilisables par le digitizer en amont.

Les signaux subissent tout d'abord un décalage de fréquence et une amplification. Ensuite, ils sont séparés suivant leur polarisation par bande de 8GHz. Pour finir, ces deux bandes sont décalés une seconde fois vers les basses fréquences et découpés en 4 sous bandes de 2 à 4GHz chacune.

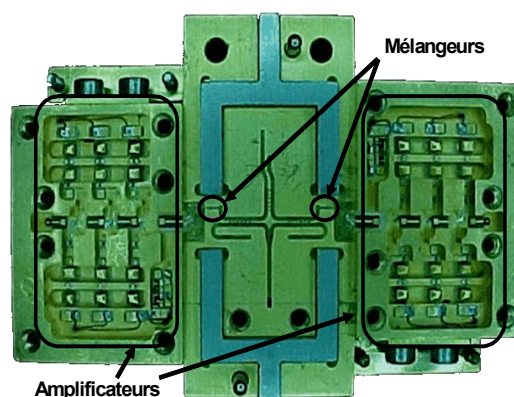


Figure 1.11 : Mélangeur et amplificateurs

Les mélangeurs SIS (Semi-conducteur Isolant Semi-conducteur) et les amplificateurs sont composés de matériaux supraconducteurs, refroidis à des températures de l'ordre de 4 degrés au dessus du zéro absolu. Ces températures permettent en effet de limiter les dégradations du signal causées par le bruit thermique des composants.

Pour obtenir de telles conditions de température la seule solution est de placer l'ensemble des dix récepteurs ALMA dans une seule enceinte cryogénique (fig. 1.12) [TAR-03] [KER-04].

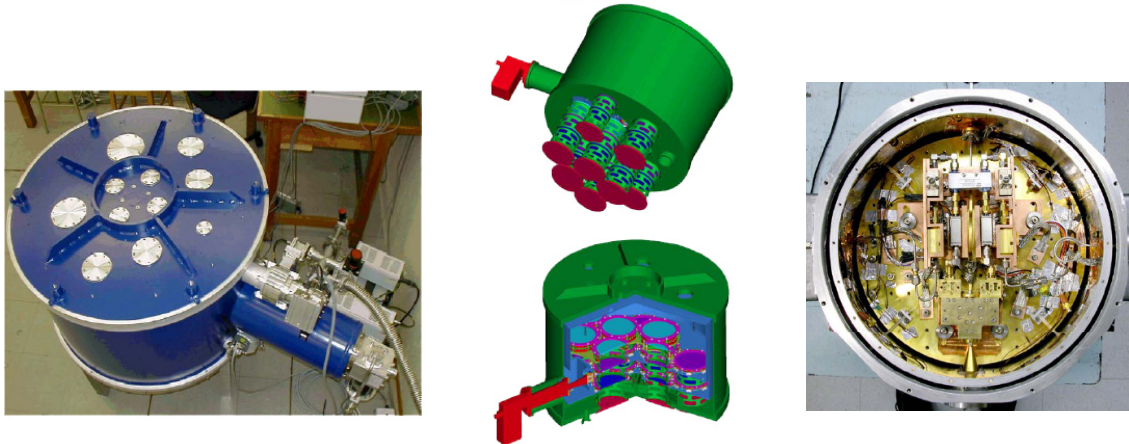


Figure 1.12 : Vue extérieure et intérieure (avec le front-end) de l'enceinte cryogénique

L'oscillateur local (LO) est une partie cruciale du système de réception car le principe de réception hétérodyne demande une grande pureté du signal généré pour pouvoir être mélangé avec les signaux captés et ainsi permettre de les descendre en fréquence (Fig 1.01).



Figure 1.13 : Oscillateur local

L'architecture retenue pour le projet ALMA nécessite 2 oscillateurs. Le premier génère des signaux entre 27.3 et 938GHz qui pilotent le mélangeur primaire [TAR-03] [BEL-99] [PAY-02].

Tableau 1.02 : Tableau des principales caractéristiques des antennes ALMA

Caractéristique	Spécifications	Objectif
Bande passante	LO n°1 : 27.3GHz à 938GHz LO n°2 : 8-10GHz et 12-14GHz	
Fluctuation de phase (>1 Hz)	63 fsec	31.4 fsec
Fluctuation de phase (<1 Hz)	29.2 fsec	6.9 fsec

Le second oscillateur local quant à lui est utilisé pour le mélangeur secondaire et il permet d'abaisser la fréquence traitée la une découpe finale en sous-bandes de 2GHz qui sont numérisées.

3.4. Le digitizer

Un digitizer est constitué de deux convertisseurs analogique-numérique et de démultiplexeur. Chaque convertisseur traitera une voie de polarisation distincte et les démultiplexeurs auront pour rôle d'abaisser la fréquence du flux des données en sortie du digitizer.

3.4.1. Le convertisseur analogique - numérique

Les signaux issus du récepteur sont des signaux analogiques (c'est-à-dire qu'ils passent d'une valeur à une autre sans discontinuité). Mais le stockage et le traitement des signaux reçus ne peuvent se faire qu'avec des données numériques. Pour réaliser cette transformation, il est nécessaire d'avoir recours à des convertisseurs Analogique Numérique (CAN ou ADC).

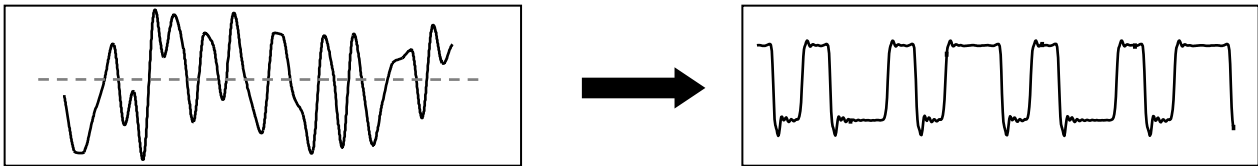


Figure 1.14 : Conversion d'un signal analogique en donnée numérique

Les CAN sont des interfaces entre le monde analogique (dit physique) et le monde numérique (dit informatique). Grâce à eux, les signaux numérisés peuvent être traités, stockés ou transmis à un centre de calcul spécialisé (corrélateur) qui traitera les signaux captés pour fournir les images des objets astronomiques observés.

La grande particularité du convertisseur ALMA est localisé au niveau de sa fréquence d'échantillonnage ce qui permet de numériser les larges bandes observées.

3.4.2. Le démultiplexeur

Un démultiplexeur (DEMUX) est un système qui permet de désérialiser des données. Par cette opération, on transforme une voie d'entrée en plusieurs voies de sortie ce qui revient à diminuer le débit par voie de données (fig. 1.14). Dans le projet ALMA, le démultiplexage est effectué à 250MHz.

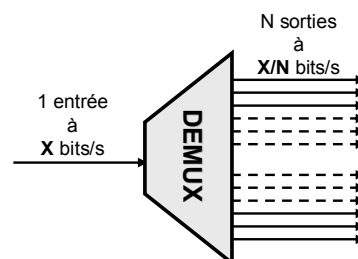


Figure 1.15 : Démultiplexage d'un flux de données

3.5. Le data transmitter

Le DTS (data transmitter system) a pour but de transmettre au centre de traitement les données issues des antennes sur une distance d'environ 25km. Pour cela, il utilise des VPB (virtual parallel bus) et des fibres optiques [TAR-03] [FRE-02].

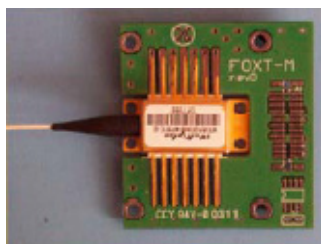


Figure 1.16 : Module ALMA d'émission sur fibre optique

Le VPB est un multiplexeur qui transforme les 48 bits à 250MHz issus de la polarisation 1 et les 48 bits de la polarisation 2 sur une fibre optique 3 canaux à 10Gb/s. Il y a 1 VPB par sous bande ce qui fait 4 VPB par antenne.

Le VPB en plus de multiplexer, rajoute des bits de correction d'erreur pour rendre le système plus robuste aux erreurs de transmission.

A l'autre bout de la fibre, les données sont démultiplexées à 125MHz (la fréquence de base du corrélateur ALMA).

CHAPITRE II

Etat de l'art des convertisseurs analogique-numérique et des démultiplexeurs

Comme nous l'avons vu dans le chapitre premier de ce mémoire, le "Digitizer" est un élément clef de la chaîne de réception ALMA car il sert d'interface en tant que dernier système analogique du récepteur. En effet, il doit transformer le signal analogique capté et amplifié en données numériques pour qu'elles puissent être stockées et analysées.

Le choix de la bonne architecture du convertisseur analogique-numérique et du démultiplexeur a une importance cruciale sur les performances. Mais cet aspect n'est pas le seul car du niveau système jusqu'au niveau élémentaire que sont les composants, chaque choix au niveau de la taille, du positionnement, de la consommation, etc.... aura des répercussions.

Pour déterminer de manière optimale les principaux paramètres qui rentrent en ligne de mire dans la réalisation d'un tel système, il est nécessaire d'avoir été initié aux principaux phénomènes parasites de l'électronique haute fréquence, aux questions de fiabilité et aux principales architectures des convertisseurs analogique-numérique et des démultiplexeurs. C'est ce que nous allons présenter dans ce chapitre.

1 Généralités sur les phénomènes dégradants les performances

Afin de percevoir au mieux les avantages et les inconvénients de telle ou telle architecture pour un système donné, il est nécessaire de connaître les principaux phénomènes qui viennent limiter les performances des composants élémentaires utilisés dans la conception de circuits intégrés.

En effet, dès que la fréquence devient suffisamment élevée, aucun composant ne peut être considéré comme parfait. En effet les différentes inductances parasites ou capacités réparties peuvent prendre des proportions importantes et dégrader les caractéristiques de ceux-ci.

1.1. Composants à Haute Fréquence

1.1.1. Composants passifs à Haute Fréquence

La liste des composants passifs élémentaires comprend : résistance, capacité et inductance. Il en existe d'autres mais ils ne sont que des évolutions des composants précédents [LEE-98] [DIE-99a]. Nous ne décrirons que les résistances et les capacités car les inductances sont rarement utilisées dans les systèmes large bande comme ceux nécessaires au Digitizer ALMA.

1.1.1.1. Résistances

Le schéma équivalent d'une résistance accompagnée de ses éléments parasites est donné dans la figure 2.01. Les deux selfs $L/2$ sont dues aux liaisons et C est la capacité répartie. $L/2$ et C sont petits et sont sans importance en basse fréquence, mais deviennent non négligeable ou prépondérante à haute fréquence. L'impédance complexe de ce circuit se calcule aisément et l'on a avec $p = j\omega$:

$$Z = \frac{RLCp^2 + Lp + R}{RCp + 1} \quad \text{Équation 2.1}$$

La courbe d'impédance est donnée à la figure 2.02. Elle doit être comparée à la courbe d'impédance d'une résistance parfaite. A basse fréquence, les impédances parasites n'ont pas d'influence; à haute fréquence, les impédances parasites deviennent primordiales et la résistance se transforme en une self. La fréquence de résonance vaut :

$$f_R = \frac{1}{2\pi\sqrt{LC}} \quad \& \quad |Z| = \sqrt{\frac{R^2L^2C^2\omega^4 + L^2\omega^2 - 2R^2LC\omega^2 + R^2}{R^2C^2\omega^2 + 1}} \quad \text{Équation 2.2}$$

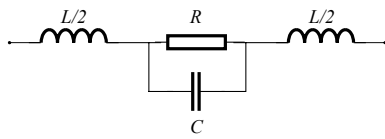


Figure 2.01 : Schéma équivalent d'une résistance.

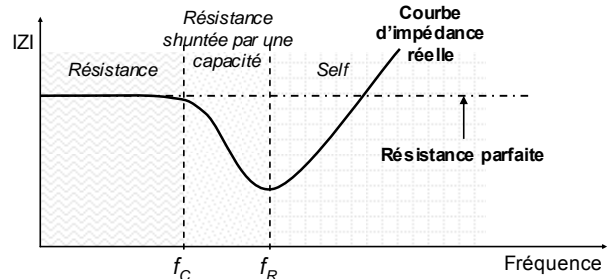


Figure 2.02 : Courbe d'impédance d'une résistance.

Si $f \ll f_R$, alors $Z = R$ Équation 2.3(a)

Si $f = f_R$, alors $Z = L \sqrt{\frac{1}{R^2 C^2 + LC}}$ Équation 2.3(b)

Si $f \gg f_R$, alors $Z = L\omega$ Équation 2.3(c)

La courbe d'impédance de la figure 2.02 peut se scinder en trois zones distinctes. Du continu à la fréquence de coupure f_C , les éléments parasites sont négligeables et la résistance peut être considérée comme parfaite. De la fréquence de coupure f_C à la fréquence de résonance f_R , la self est négligée et la résistance est simplement shuntée par une capacité répartie. Au-delà de la fréquence de résonance f_R , la résistance se comporte comme une self.

1.1.1.2. Condensateurs

Le schéma équivalent d'un condensateur accompagné de ses éléments parasites est donné dans la figure 2.03. Les deux selfs $L/2$ sont dues aux liaisons et R est la résistance de fuite.

$L/2$ et R sont négligeables à basse fréquence, mais deviennent non négligeables à haute fréquence. L'impédance complexe de ce circuit se calcule aisément et l'on a :

$$Z = \frac{RLCp^2 + Lp + R}{RCp + 1} \tag{Équation 2.4}$$

La courbe d'impédance est donnée à la figure 2.04 et doit être comparée à la courbe d'impédance d'un condensateur parfait. La fréquence de résonance vaut :

$$f_R = \frac{1}{2\pi\sqrt{LC}} \quad \& \quad |Z| = \sqrt{\frac{R^2 L^2 C^2 \omega^4 + L^2 \omega^2 - 2R^2 LC \omega^2 + R^2}{R^2 C^2 \omega^2 + 1}} \tag{Équation 2.5}$$

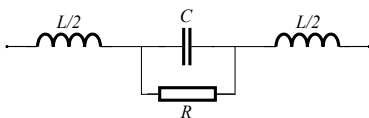


Figure 2.03 : Schéma équivalent d'un condensateur C.

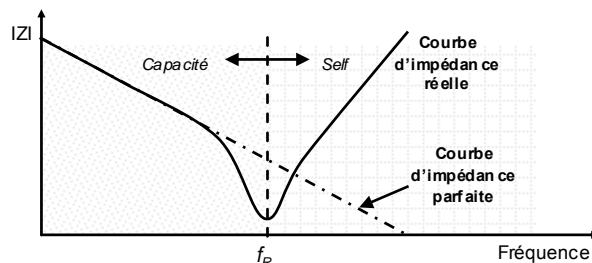


Figure 2.04 : Courbe d'impédance d'un condensateur.

Si la résistance de fuite est importante, ce qui est en général le cas, seul le terme en R^2 est prépondérant au numérateur et $R^2 C^2 \omega^2$ est prépondérant au dénominateur.

Si $f \ll f_R$, alors $Z = \frac{1}{C\omega}$ Équation 2.6(a)

Si $f = f_R$, alors $Z = L\sqrt{\frac{1}{R^2C^2 + LC}}$ Équation 2.6(b)

Si $f \gg f_R$, alors $Z = L\omega$ Équation 2.6(c)

La courbe d'impédance de la figure 2.04 montre que le condensateur aura tendance à se comporter comme une inductance aux fréquences élevées.

1.1.2. Transistor bipolaire aux hautes fréquences

En microélectronique, il existe deux grandes familles de transistor : les MOS et les bipolaires qui diffèrent par leur architecture et leur comportement. Dans ce paragraphe, nous nous intéresserons uniquement au transistor bipolaire, car pour une technologie donnée, il est plus utilisé du fait de sa meilleure réponse en fréquence ce que nous allons démontrer par la suite.

On peut scinder le comportement des transistors bipolaires en deux parties : grand signal et petit signal. Le modèle grand signal est un modèle statique qui sert à polariser le transistor avant d'utiliser le modèle petit signal qui est un modèle dynamique prenant en compte la fréquence de travail [BAD-00] [GET-74].

1.1.2.1. Modèle grand signal

La figure 2.05 est un exemple de caractéristiques d'entrée et de sortie d'un transistor NPN vertical. Ces caractéristiques mettent en évidence quatre modes de fonctionnement :

- Mode normal direct : $V_{be} > 0$ et $V_{bc} < 0$.
- Mode saturé direct : $V_{be} > V_{bc} > 0$.
- Mode normal inverse : $V_{be} < 0$ et $V_{bc} > 0$.
- Mode saturé inverse : $V_{be} < V_{bc} < 0$.

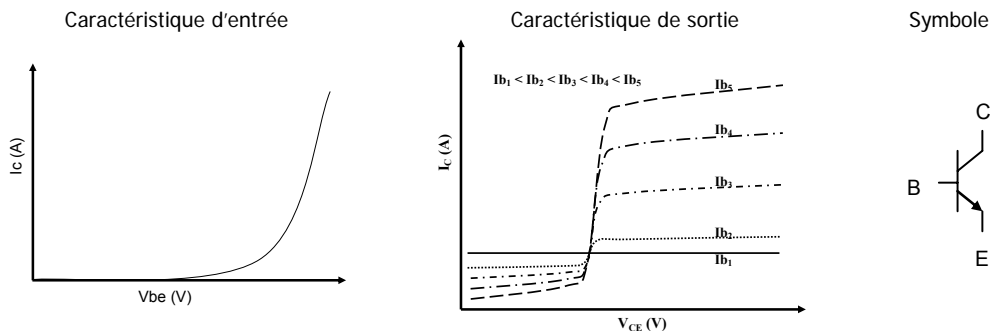


Figure 2.05 : Caractéristiques d'entrée et de sortie typique d'un transistor NPN vertical.

Nous nous intéresserons au mode normal de fonctionnement, saturé et direct.

1.1.2.1.1. Régime saturé

La figure 2.06 représente le modèle du transistor bipolaire dans le régime saturé. La tension V_{BEon} correspond à peu près à la tension de seuil de conduction de la diode.

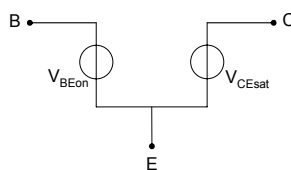


Figure 2.06 : Modèle du transistor bipolaire dans le régime saturé.

1.1.2.1.2. Régime normal direct

La figure 2.07 représente le modèle du transistor bipolaire grand signal dans le régime normal direct. V_{BEon} est la tension de seuil de la jonction base-emetteur polarisée en direct. Le courant de collecteur s'écrit :

$$I_C = \beta_F \cdot I_S \cdot \exp\left(\frac{V_{BE}}{U_t}\right) \left(1 + \frac{V_{CE}}{V_A}\right) \tag{Equation 2.7}$$

Où β_F est le gain en courant direct, I_S le courant de saturation de la jonction base-emetteur, et V_A un paramètre appelé tension d'Early. I_S dépend des paramètres technologiques et géométriques du transistor bipolaire de même que β_F avec en plus une dépendance vis-à-vis des polarisations.

L'expression de la résistance R_{CE} est donné en première approximation par :

$$R_{CE} = \frac{V_A}{I_C} \tag{Equation 2.8}$$

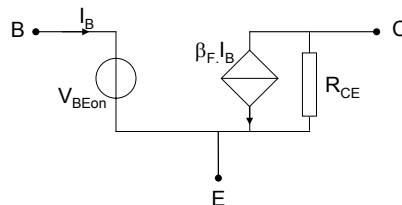


Figure 2.07 : Modèle du transistor bipolaire dans le régime normal direct.

1.1.2.2. Modèle petit signal

La figure 2.08 représente un transistor NPN vertical intégré avec les composants parasites inhérents à l'intégration :

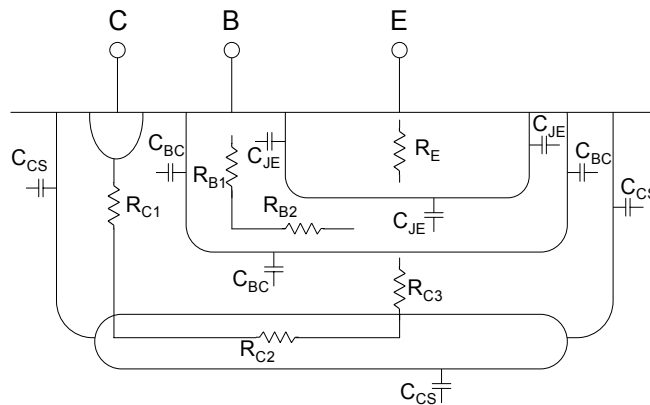


Figure 2.08 : Transistor bipolaire intégré.

R_b représente la résistance d'accès à la base. Le transistor NPN ayant une structure verticale, cette résistance se décompose en deux résistances d'accès R_{b1} et R_{b2} . R_{b1} représente la résistance de la base extrinsèque et R_{b2} la résistance de la base intrinsèque.

R_C représente la résistance d'accès au collecteur qui se décompose en trois résistances. R_{C1} est la résistance d'accès à la couche enterrée. R_{C2} est la résistance de la couche enterrée jusqu'au collecteur. R_{C3} est la résistance du collecteur dans la zone active.

R_E est la résistance d'accès à l'émetteur.

C_{CS} est la capacité de jonction entre le caisson N du transistor et le substrat P. Il s'agit donc d'une jonction polarisée en inverse.

C_{BC} est la jonction entre le collecteur et la base. En fonctionnement direct du transistor, cette jonction est polarisée en inverse. Cette capacité est la somme d'une capacité, C_{BX} correspondant à la surface verticale de la jonction base collecteur et d'une autre, C_{μ} correspondant à la surface horizontale (entre la base intrinsèque et le collecteur intrinsèque). Notons que dans les technologies actuelles où la surface verticale est largement supérieure à la surface horizontale, $C_{bc} \approx C_{bx}$ et C_{je} est la capacité de jonction en direct base-émetteur.

Le modèle de la figure 2. 09 représente un modèle petit signal simplifié du transistor NPN. Outre les éléments parasites décrits plus haut, on trouve les éléments suivants :

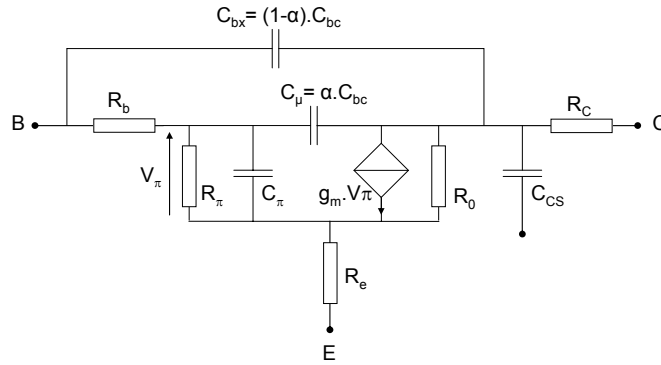


Figure 2.09 : Modèle petit signal simplifié du transistor NPN intégré.

R_{π} qui est la résistance dynamique de base. $R_{\pi} = \frac{\beta}{g_m}$ où β est le gain en courant du transistor et g_m sa transconductance.

C_{π} qui est la somme d'une capacité de diffusion C_b et de la capacité de jonction C_{je} . On montre que C_b prédomine dans un régime de fonctionnement normal direct

avec $C_b = \frac{\partial Q_b}{\partial V_{\pi}} \approx g_m \cdot \tau_f$ où τ_f est le temps de transit dans la base.

R_0 qui est la résistance modélisant l'effet Early du transistor c'est-à-dire, l'effet de la tension entre collecteur et émetteur sur la largeur de la base.

g_m est la transconductance du transistor bipolaire donnée par la relation :

$$g_m = \frac{\partial I_c}{\partial V_{\pi}} = \frac{I_{c0}}{U_t} \tag{Équation 2.9}$$

où I_{c0} est le courant de collecteur de la polarisation du transistor et U_t un paramètre technologique.

Comme pour le transistor MOS, la fréquence de transition pour un transistor bipolaire est définie comme étant la fréquence représentant un gain de courant i_c/i_b unitaire dans la configuration émetteur commun. Son expression est donnée par la relation :

$$f_{t\text{bip}} = \frac{1}{2} \times \frac{\sqrt{(g_m r_{\pi})^2 - 1}}{r_b C_{bc} + r_{\pi} (C_{\pi} + C_{bc})} \approx \frac{1}{2} \times \frac{g_m}{C_{\pi} + C_{bc}} \tag{Équation 2.10}$$

Cette expression est à comparer avec l'expression donnant la fréquence de transition pour un transistor MOS :

$$f_{tMOS} = \frac{1}{2\pi} \times \frac{g_m}{C_{gs} + C_{gd}} \approx \frac{1}{2\pi} \times \frac{g_m}{C_{gs}}. \tag{Équation 2.11}$$

En règle générale, l'obtention d'une même transconductance g_m entraîne une capacité parasite C_{gs} pour le transistor MOS bien supérieure à la capacité C_π pour le transistor bipolaire. Ceci entraînant pour un g_m donné une fréquence de transition plus faible pour le transistor MOS que pour le transistor bipolaire. C'est pour cette raison que dans les technologies BiCMOS (Bipolaire et MOS sur une même puce) on utilise les transistors MOS pour la polarisation (car ils possèdent un meilleur comportement en statique) et les transistors bipolaires pour le traitement des signaux (car ils possèdent un meilleur comportement en dynamique).

A partir de cette fréquence de transition, il est alors possible de définir le temps de transit correspondant au temps nécessaire à un signal pour traverser le transistor :

$$\tau_f = \frac{1}{2\pi \times f_{tbip}} - \frac{kT}{q \cdot I_c} \left(C_{be} + C_{bc} \left(1 + \frac{q \cdot I_c}{kT} r_c \right) \right) \tag{Équation 2.12}$$

Comme le montre l'équation précédente, le temps de transit est fonction de la largeur de base, du coefficient de diffusion des porteurs et du courant de collecteur. Ce paramètre ne doit pas être négligé surtout dans les systèmes logiques car il introduit des retards dans la transmission des données. A titre d'exemple, ce retard est de l'ordre de la trentaine de pico secondes pour une technologie 0.25µm.

1.2. Adaptation d'impédance et propagation dans les lignes

1.2.1. Objectif

Pour les radiocommunications, on cherche à transférer une puissance maximale d'une source de tension V_E de résistance interne R_G vers une charge de valeur R_L [DIE-99b].

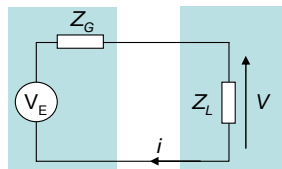


Figure 2.10 : Transfert de puissance.

Par définition, la puissance active P_a est la valeur moyenne de la puissance instantanée :

$$P_a = \langle P(t) \rangle = \langle i(t) \cdot v(t) \rangle \tag{Équation 2.13}$$

A une fréquence $f = \omega/2\pi$ donnée, l'excitation $V_E(t)$ est une sinusoïdale pouvant s'écrire :

$$V_E(t) = E_0 \cos \omega t \tag{Équation 2.14}$$

Les variables d'état $i(t)$ et $v(t)$ peuvent se mettre sous la forme :

$$\begin{cases} i(t) = | \langle i \rangle | \cos (\omega t + \varphi') \\ v(t) = | \langle v \rangle | \cos (\omega t + \varphi'') \end{cases} \tag{Équation 2.15}$$

Ainsi $| \langle i \rangle |$ et $| \langle v \rangle |$ représentent les modules et φ' et φ'' représentent les arguments des expressions complexes précédentes.

En exploitant d'une part les propriétés du calcul complexe et d'autre part la formule du pont diviseur de tension, on a pour les modules :

$$\left\{ \begin{array}{l} | \langle i \rangle | = \frac{E_0}{| \langle Z_L \rangle + \langle Z_G \rangle |} = \frac{E_0}{\sqrt{(R_G + R_L)^2 + (X_G + X_L)^2}} \\ | \langle v \rangle | = \frac{| \langle Z_L \rangle |}{| \langle Z_L \rangle + \langle Z_G \rangle |} = \sqrt{\frac{R_L + X_L}{(R_G + R_L)^2 + (X_G + X_L)^2}} \times E_0 \end{array} \right. \quad \text{Équation 2.16}$$

Pour les arguments on a :

$$\left\{ \begin{array}{l} \varphi' = \text{Arctg} \left(-\frac{X_G + X_L}{R_G + R_L} \right) \\ \varphi'' = \text{Arctg} \left(\frac{X_L}{R_L} \right) - \text{Arctg} \left(-\frac{X_G + X_L}{R_G + R_L} \right) \end{array} \right. \quad \text{Équation 2.17}$$

φ' et φ'' constituent le déphasage respectif de $i(t)$ et $v(t)$ par rapport à $V_E(t)$.

La puissance active est :

$$\begin{aligned} P_a = \langle P(t) \rangle = \langle i(t) \cdot v(t) \rangle &= \frac{1}{2\pi} | \langle i \rangle | \cdot | \langle v \rangle | \cdot \int_0^{2\pi} \cos(\omega t + \varphi') \cos(\omega t + \varphi'') d\omega t \\ &= \frac{1}{2\pi} | \langle i \rangle | \cdot | \langle v \rangle | \cdot \int_0^{2\pi} \cos(\varphi' - \varphi'') + \cos(2\omega t + \varphi' + \varphi'') d\omega t \\ &= \frac{1}{2\pi} | \langle i \rangle | \cdot | \langle v \rangle | \cdot \cos(\varphi' - \varphi'') \\ &= \frac{1}{2\pi} | \langle i \rangle | \cdot | \langle v \rangle | \cdot \cos(\varphi) \end{aligned} \quad \text{Équation 2.18}$$

φ représente le déphasage entre i et v :

$$\varphi = (\varphi' - \varphi'') = - \text{Arctg} \frac{X_L}{R_L} \quad \text{Équation 2.19}$$

La puissance active devient :

$$P_a = \frac{E_0}{| \langle Z_L \rangle + \langle Z_G \rangle |} = \frac{E_0^2 \sqrt{R_L^2 + X_L^2}}{(R_G + R_L)^2 + (X_G + X_L)^2} \times \cos \varphi \quad \text{Équation 2.20}$$

Comme :

$$(\cos \varphi)^2 = \frac{1}{1 + (\text{tg} \varphi)^2} = \frac{R_L^2}{R_L^2 + X_L^2} \quad \text{Équation 2.21}$$

La puissance active peut donc finalement s'écrire de la manière suivante :

$$P_a(R_L, X_L) = \frac{E_0^2 \cdot R_L}{(R_G + R_L)^2 + (X_G + X_L)^2} \quad \text{Équation 2.22}$$

P_a est maximum si :

$$\frac{\partial P_a}{\partial R_L} = 0 \quad \frac{\partial P_a}{\partial X_L} = 0$$

Les deux conditions sont satisfaites si : $X_g = -X_u$ et $R_u = R_g$

Ces deux conditions peuvent se ramener à : $Z_L = Z_G^*$ Équation 2.23

En régime harmonique, la puissance débitée par un dipôle générateur alimentant un dipôle récepteur est maximum si l'impédance complexe de ce dernier est la conjuguée de l'impédance interne du dipôle générateur. Dans ce cas, on dit qu'il y a *adaptation d'impédance entre les deux dipôles*.

1.2.2. Les lignes microstrip

Les lignes métalliques utilisées dans les puces en microélectronique peuvent être considérées comme des lignes microstrip. Ce type de ligne est constitué d'un ruban conducteur placé sur l'une des deux faces d'un matériau diélectrique dont l'autre face constitue un plan de masse (Fig. 2.11).

De nombreuses études ont montré qu'une telle ligne de transmission est le siège d'une onde se propageant en mode quasi-TEM (Transverse Electro-Magnetic), c'est-à-dire que les champs électrique et magnétique sont perpendiculaires à l'axe de la ligne selon lequel s'effectue la propagation [FIS-78] [HUP-81] [DIE-99c].

L'impédance caractéristique d'un microstrip dépend de ses dimensions et de la nature du matériau isolant.

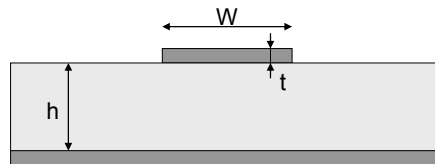


Figure 2.11 : Constitution d'une ligne microstrip.

Comme on l'a vu précédemment dans certaines conditions, il est nécessaire d'adapter l'impédance de cette ligne. Pour cela, on dispose des équations de E.O.Hammerstad [HAM - 74] qui permettent :

- Soient de calculer W/h correspondant à une impédance Z_0 donnée. Ce sont les équations de synthèse.
- Soient de calculer Z_0 correspondant à une géométrie W/h donnée. Ce sont les équations d'analyse.

1.2.2.1.1. Equations de synthèse

Dans les processus de fabrication industriel, h et t sont des paramètres fixés par le fabricant sur lesquels on ne peut jouer. Mais il reste W pour obtenir l'impédance souhaitée grâce aux équations suivantes. Pour une meilleure précision, on utilise deux équations différentes selon la valeur de W/h .

$$\text{Pour } W/h < 2 : \quad \frac{W}{h} = \frac{8 \exp(A)}{\exp(2A) - 2} \quad \text{Équation 2.24}$$

$$\text{Avec :} \quad A = \frac{Z_0}{60} \sqrt{\frac{\epsilon_r + 1}{2} + \frac{\epsilon_r - 1}{\epsilon_r + 1} \left(0.23 + \frac{0.11}{\epsilon_r} \right)} \quad \text{Équation 2.24(bis)}$$

$$\text{Pour } W/h > 2 : \quad \frac{W}{h} = \frac{2}{\pi} \left\{ B - 1 - \ln(2B - 1) + \frac{\epsilon_r - 1}{2\epsilon_r} \left[\ln(B - 1) + 0.39 - \frac{0.61}{\epsilon_r} \right] \right\} \quad \text{Équation 2.25}$$

où ϵ_r est la permittivité électrique du matériau.

$$\text{Avec :} \quad B = \frac{377\pi}{2Z_0\sqrt{\epsilon_r}} \quad \text{Équation 2.25(bis)}$$

1.2.2.1.2. Equation d'analyse

Dans de plus rares cas les dimensions de la ligne sont fixées et il est alors nécessaire de connaître son impédance pour pouvoir l'adapter à ses extrémités. Encore une fois pour une meilleure précision, on utilise ici encore deux équations différentes selon la valeur de W/h :

$$\text{Pour } W/h < 1 : \quad Z_0 = \frac{60}{\sqrt{\epsilon_{\text{eff}}}} \ln \left(\frac{8h}{W} + \frac{W}{4h} \right) \quad \text{Équation 2.26}$$

$$\text{Avec :} \quad \epsilon_{\text{eff}} = \frac{\epsilon_r + 1}{2} + \frac{\epsilon_r - 1}{2} \left[\left(1 + 12 \frac{h}{W} \right)^{-\frac{1}{2}} + 0.04 \left(1 - \frac{h}{W} \right)^2 \right] \quad \text{Équation 2.26(bis)}$$

$$\text{Pour } W/h > 1 : \quad Z_0 = \frac{120\pi / \sqrt{\epsilon_{\text{eff}}}}{\frac{W}{h} + 1.393 + 0.667 \times \ln \left(\frac{W}{h} + 1.444 \right)} \quad \text{Équation 2.27}$$

$$\text{Avec :} \quad \epsilon_{\text{eff}} = \frac{\epsilon_r + 1}{2} + \frac{\epsilon_r - 1}{2} \left(1 + 12 \frac{h}{W} \right)^{-\frac{1}{2}} \quad \text{Équation 2.27(bis)}$$

Les relations précédentes ont été établies en supposant que l'épaisseur t du conducteur est très faible devant l'épaisseur h de l'isolant ($t/h < 0.005$). Dans les autres cas, il faut apporter une correction, la plupart du temps négligeable:

$$\text{Pour } W/h > 0.16 : \quad \frac{W_{\text{eff}}}{h} = \frac{W}{h} + \frac{t}{\pi h} \left(1 + \ln \left(\frac{2h}{t} \right) \right) \quad \text{Équation 2.28}$$

1.2.3. Propagation dans les lignes microstrip

Comme pour la lumière et le son, un signal électrique possède une vitesse de propagation. Dans une ligne microstrip, comme dans un câble coaxial, la vitesse de propagation de l'onde dépend du matériau isolant et est inférieure à sa vitesse dans l'air :

$$v_p = \frac{c}{\sqrt{\epsilon_{\text{eff}}}} \quad \text{Équation 2.29}$$

où c est la vitesse de la lumière. Ceci donne une vitesse de propagation voisine de 150000km/s avec de l'oxyde de silicium comme diélectrique.

Cette caractéristique intrinsèque aux ondes électriques provoque des retards de transmission qu'il ne faut pas négliger.

1.3. Spectre d'un signal numérique

En électronique numérique, on utilise des signaux carrés pour transporter l'information. Ces signaux ont une propriété spectrale particulière que l'on peut décrire grâce à l'utilisation des transformées de Fourier [COT-02] [NEF-99].

La série de Fourier joue un rôle considérable en électronique, et d'une manière générale dans l'étude des systèmes dynamiques. Son intérêt provient de l'interprétation physique que l'on peut avoir du théorème de Fourier qui conduit à la notion fondamentale de spectre décrivant un signal non plus dans le domaine temporel, mais dans le domaine fréquentiel. L'équivalence entre

représentation temporelle et représentation fréquentielle est essentielle pour l'étude du traitement du signal.

Un signal périodique de fréquence f et de forme quelconque peut être obtenu en ajoutant une sinusoïde de fréquence f (fondamental) et des sinusoïdes dont les fréquences sont des multiples entiers de f . Ces signaux ont des amplitudes et des phases appropriées. De même, on peut décomposer toute onde récurrente en une somme de sinusoïdes (fondamentale et harmoniques) :

$$f(t) = a_0 + \sum (a_n \cdot \cos(n \cdot \omega \cdot t) + b_n \cdot \sin(n \cdot \omega \cdot t))$$

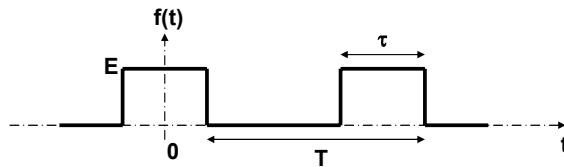


Figure 2.12 : Représentation d'impulsions périodiques.

En particulier un signal carré peut être décomposé en impulsions périodiques de période T , de largeur τ et d'amplitude E (Fig. 2.12). En choisissant l'origine des temps au milieu d'une impulsion, on obtient une fonction paire et le développement ne comporte que des cosinus ($b_n = 0$).

Le développement en série de Fourier donne :

$$a_n = \frac{2}{T} \int_{t_0}^{t_0+T} f(t) \cdot \cos(n \omega t) \cdot dt \quad \text{avec } \omega = \frac{2\pi}{T} \quad \text{Équation 2.30(a)}$$

$$= \frac{2}{T} \int_{-\frac{\tau}{2}}^{\frac{\tau}{2}} E \cdot \cos(n \omega t) \cdot dt \quad \text{Équation 2.30(b)}$$

$$= \frac{2E}{\pi n} \times \sin\left(n \pi \frac{\tau}{T}\right) \quad \text{avec } a_0 = \frac{2}{T} \int_{-\frac{\tau}{2}}^{\frac{\tau}{2}} E \cdot dt = E \frac{\tau}{T} \quad \text{Équation 2.30(c)}$$

D'où un développement :

$$f(t) = E \left[\frac{\tau}{T} + \frac{2}{\pi} \left\{ \sin\left(\pi \frac{\tau}{T}\right) \cos(\omega \cdot t) \dots + \frac{1}{n} \sin\left(n\pi \frac{\tau}{T}\right) \cos(n \cdot (\omega \cdot t)) + \dots \right\} \right] \quad \text{Équation 2.31}$$

On peut tirer le spectre en amplitude :

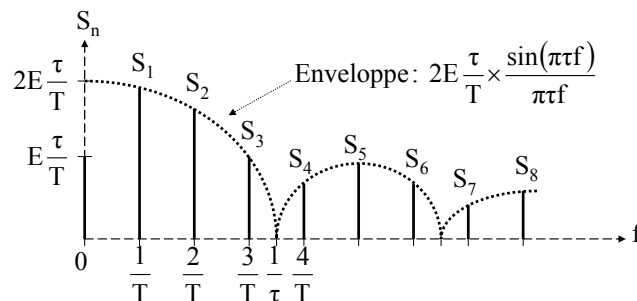


Figure 2.13 : Spectre en amplitude de la fonction "Impulsions périodiques".

L'amplitude des harmoniques peut s'écrire encore :

$$S_n = a_n = 2E \frac{\tau}{T} \times \frac{\sin\left(\pi\tau \frac{n}{T}\right)}{\pi\tau \frac{n}{T}} \quad \text{Équation 2.32}$$

On en déduit que l'enveloppe des raies a pour équation un sinus cardinal :

$$2E \frac{\tau}{T} \times \frac{\sin(\pi\tau f)}{\pi\tau f} \quad \text{Équation 2.33}$$

La forme de l'enveloppe ne dépend que du paramètre τ qui correspond à la durée de l'impulsion du signal.

Grâce à la transformée de Fourier, on peut constater que le spectre d'un signal carré est infini avec toutefois une décroissance en sinus cardinal. Or on a vu précédemment que le spectre est limité du fait de la présence de phénomènes parasites qui réduisent la bande passante. C'est pour cela que les signaux carrés réels possèdent un temps de montée et de descente non nuls car les harmoniques de haute fréquence sont supprimées par des phénomènes parasites.

1.4. Les couplages

Les couplages entre une perturbation et un système peuvent être provoqués par différentes situations. Citons par exemple [NAY-03] :

- Une impédance commune (perturbations conduites).
- Un champ électrique (capacités parasites, rayonnement).
- Un champ magnétique (inductances mutuelles, rayonnement).

Ce type de perturbation peut dégrader fortement un signal et peut aller jusqu'à le rendre inutilisable si la perturbation est de forte puissance.

1.4.1. Le couplage par impédance commune sur une liaison symétrique et asymétrique

Le couplage par impédance commune se produit lorsque des courants de deux systèmes différents traversent une impédance commune. La variation de tension vue par l'un des systèmes dépendra de la variation de courant engendré par l'autre système :

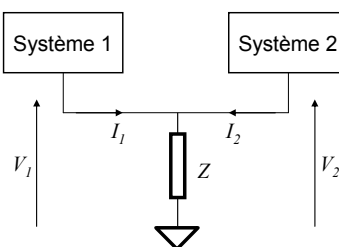


Figure 2.14 : Principe de l'impédance commune.

Une autre forme de ce couplage se produit lorsque l'équipotentialité entre deux systèmes n'est pas assurée, il existe alors un courant I_P qui circule dans des boucles dites *de masse*.

La figure 2.15 représente une liaison asymétrique. Avec ce type de liaison, le récepteur ne rejette pas la perturbation de mode commun V_{mc} par impédance commune car : $V_2 = V_{mc} + V_1$.

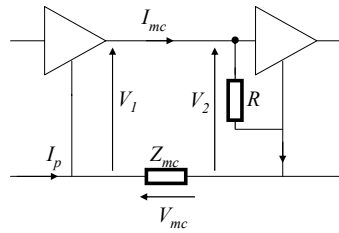


Figure 2.15 : Sensibilité à la tension de mode commun

Avec une liaison de type symétrique ou différentielle, le récepteur mesure la différence de potentiel entre les deux fils de la liaison. Dans le cas d'une perturbation conduite I_p , l'impédance commune Z_{mc} développe à ses bornes une tension de mode commun : $V_{mc} = Z_{mc} I_p$.

Le récepteur rejette cette perturbation conduite en soustrayant la perturbation qui est commune aux deux entrées.

Le taux de réjection du mode commun dépendra de la bonne symétrie du récepteur.

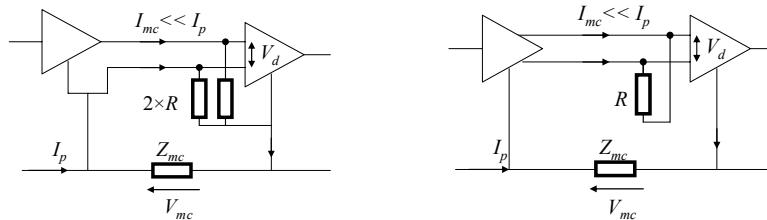


Figure 2.16 : Réjection de la perturbation de mode commun

1.4.2. Le couplage entre conducteurs par le champ électrique (couplage capacitif)

Le couplage capacitif entre deux conducteurs résulte de l'interaction d'un champ électrique. Ce type de couplage est dominant lorsque l'impédance des circuits augmente, les différences de potentiel deviennent prédominantes tandis que les courants restent faibles.

La figure 2.17 schématise ce couplage entre les fils 1 et 2 qui sont représentés en coupe :

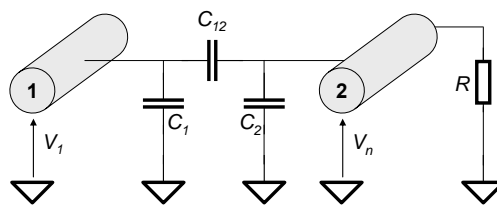


Figure 2.17 : Le couplage capacitif

Considérons deux fils conducteurs parallèles 1 et 2. Le fil 1 est porté au potentiel V_1 . Les capacités C_1 et C_2 sont respectivement les capacités des fils 1 et 2 par rapport à la masse. C_{12} est la capacité de couplage entre les deux fils. La résistance R correspond aux différents composants connectés sur le fil 2.

La tension de bruit V_n est dans ce cas :

$$V_n = \frac{C_{12}}{C_{12} + C_2} \times \frac{1}{1 + \frac{1}{jR(C_{12} + C_2)\omega}} \times V_1 \tag{Équation 2.34}$$

Dans le cas fréquent où : $\frac{1}{jR(C_{12} + C_2)\omega} \gg 1$

on obtient : $V_n = j \cdot \omega \cdot R \cdot C_{12} \cdot V_1$ **Équation 2.35**

Cette équation montre que le couplage capacitif entre 2 conducteurs est proportionnel à la pulsation ω , R , C_{12} et V_1 .
 Pour diminuer ce couplage, il faut diminuer C_{12} en éloignant les conducteurs ou blinder les deux fils en intercalant des fils de masse.

1.4.3. Le couplage magnétique (couplage inductif)

Un courant I qui traverse un circuit fermé de surface S crée un flux magnétique Φ . On peut écrire :

$$\Phi = L \cdot I$$
Équation 2.36

Où L est l'inductance du circuit.

Quand un courant I_1 traverse un circuit et produit un flux magnétique Φ_2 dans un autre circuit, les deux circuits sont couplés par une mutuelle inductance M : $M = \frac{\Phi_2}{I_1}$ et :

$$\Phi = B \cdot S \cdot \cos(\theta)$$
Équation 2.37

θ étant l'angle du champ magnétique B par rapport à la normale à la surface S .

Si l'induction magnétique B varie selon la pulsation ω , la tension de bruit induite par un couplage magnétique est : $V_n = i \cdot L \cdot \omega \cdot I$

$$V_n = i \cdot \omega \cdot B \cdot S \cdot \cos(\theta)$$
Équation 2.38

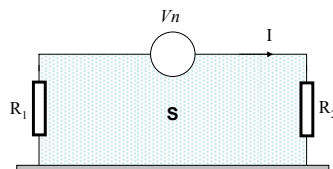


Figure 2.18 : Couplage inductif.

La figure 2.19 illustre les conditions d'un couplage magnétique entre deux conducteurs.

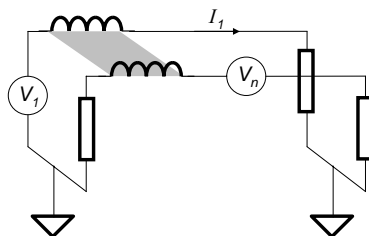


Figure 2.19 : Couplage magnétique entre deux conducteurs.

V_n peut être exprimée en fonction de la mutuelle inductance M entre les deux circuits :

$$V_n = j \cdot \omega \cdot M \cdot I_1 = M \cdot \frac{dI_1}{dt}$$
Équation 2.39

La tension de couplage V_n peut être réduite en réduisant B, S ou θ . La surface S peut être réduite en plaquant les conducteurs contre une surface métallique reliée à la masse. Si un blindage d'accompagnement est utilisé, il doit être relié à ses deux extrémités pour être utile (car un courant doit circuler).

1.5. Les problèmes technologiques

Une fois le dessin des masques du circuit (layout) finalisé, la phase de fabrication peut débuter. Durant cette phase, le fabricant du circuit tente de reproduire à l'identique sur silicium le circuit originel défini par le layout.

Lors de cette fabrication (cf. annexe A) de petites variations de certains paramètres technologiques font apparaître différents types d'erreur de recopie. Les principaux paramètres qui subissent des dispersions sont les suivants :

- L'alignement des masques affecte les dimensions (et par voie des conséquence les caractéristiques) de tous les composants implantés dans la puce.
- Le dopage du substrat subit des dispersions, ce qui fait varier principalement les caractéristiques des transistors et des diodes.
- Le dopage du poly-silicium subit aussi des dispersions, ce qui fait varier principalement les caractéristiques des grilles des transistors MOS, la résistivité des résistances et les caractéristiques des capacités en poly-silicium.

Toutes ces dispersions technologiques provoquent deux types d'erreur dans les circuits électroniques : l'erreur de process et l'erreur de recopie que nous allons décrire.

1.5.1. Erreurs de process

L'erreur de process aussi appelé "erreur absolue" correspond à l'erreur de recopie entre puces. Pour représenter l'erreur de process, imaginons que nous disposons d'une grande quantité de puces dans lesquelles nous avons deux résistances R1 et R2 de même valeur sur le layout. L'erreur de process aura pour conséquence de modifier la résistivité de R1 et R2 suivant une statistique gaussienne centrée sur leurs valeurs initiales $R1_0$ et $R2_0$ données dans le layout. La distribution gaussienne sera plus ou moins large selon la robustesse du process vis-à-vis des dérives technologiques. Mais ce type d'erreur ne crée pas de dissymétrie entre R1 et R2.

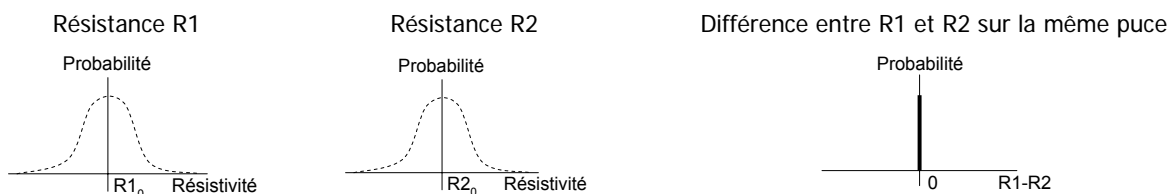


Figure 2.20 : Distribution statistique de la résistivité sur des puces différentes subissant une erreur de process

A titre d'exemple : Dans la technologie BiCMOS 7, la variation consécutive aux erreurs de process peut aller jusqu'à 20% de la valeur nominale pour la résistivité des résistances Poly-Silicium.

1.5.2. Erreurs de recopie

L'erreur de recopie (matching) est appelée "erreur relative" car elle est relative aux composants d'une même puce.

Pour représenter l'erreur de recopie, imaginons que nous disposons encore une fois d'une grande quantité de puces dans lesquelles nous avons deux résistances R_1 et R_2 de même valeur sur le layout. L'erreur de recopie aura pour conséquence de modifier la résistivité de R_1 et R_2 suivant une statistique gaussienne centrée sur leurs valeurs initiales R_{1_0} et R_{2_0} données dans le layout. Mais pour l'erreur de recopie cette distribution gaussienne sera beaucoup moins large que dans le cas de l'erreur de process et surtout elle crée une dissymétrie entre R_1 et R_2 .

Cette erreur est bien inférieure à l'erreur de process mais elle pose aussi un grand nombre de problème car elle disymétrise les circuits différentiels les rendant plus sensibles face au couplages par impédance commune (§1.4.1) et elle crée des erreurs de recopie dans les miroirs de courant qui sont à la base de nombreux systèmes électroniques.

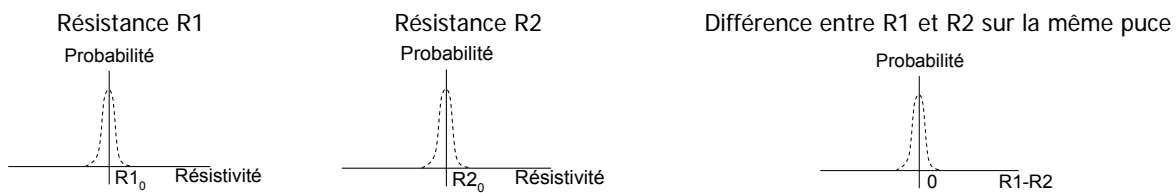


Figure 2.21 : Distribution statistique de la résistivité sur des puces différentes subissant une erreur de matching

A titre d'exemple : Dans la technologie BiCMOS 7, la variation consécutive aux erreurs de matching peut aller jusqu'à 0.2% de la valeur nominale pour la résistivité des résistances Poly-Silicium.

1.5.3. L'analyse Monte Carlo

On appelle méthode de Monte-Carlo toute méthode visant à calculer une valeur numérique, et utilisant des procédés aléatoires, c'est-à-dire des techniques probabilistes. Les méthodes de Monte-Carlo sont particulièrement utilisées pour calculer des intégrales en dimensions plus grandes que 1 (en particulier, pour calculer des surfaces, des volumes, etc....).

Cette technique de calcul est utilisée en électronique pour faire varier de manière aléatoire différents paramètres technologiques tels que le dopage des transistors, l'épaisseur d'oxyde, la largeur des pistes métalliques, etc.... Elle permet ainsi de vérifier la robustesse d'un circuit face aux dispersions technologiques présentées précédemment. Une telle analyse a été menée pour les puces du projet ALMA.

1.6. Mise en boîtier

1.6.1. Définition

Le package (ou emballage en français) est un boîtier qui permet de protéger la puce des attaques d'ordre chimique (humidité, acidité, etc.), d'ordre mécanique (protection contre les chocs) et d'ordre électrique (protection contre les ESD : Electro Static Discharge/Décharge Electro-statique).

Un boîtier est constitué principalement par :

- des **PADs** qui permettent la connexion électrique du boîtier au circuit imprimé
- des **Bondings** qui connectent les PADs de la puce avec ceux de boîtier
- la **Résine** qui scelle l'ensemble pour le rendre hermétique

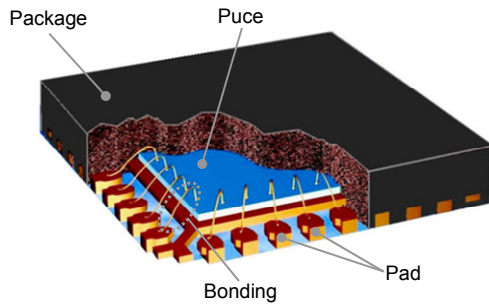


Figure 2.22 : Vue 3D des constituants du boîtier

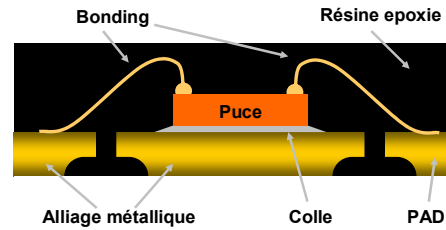


Figure 2.23 : Vue en coupe du boîtier

1.6.2. Dissipation thermique

Une bonne conductivité thermique est nécessaire dans le substrat semi-conducteur, d'une part pour réduire la température du substrat par dissipation dans le cas d'un auto-échauffement généré par une forte injection locale de chaleur, et d'autre part pour assurer une température uniforme dans tout le substrat, afin d'améliorer la similitude ("matching") entre le comportement des dispositifs de nature identique.

Les technologies des circuits intégrés sur silicium ont fortement évolué en densité d'intégration, et densité de puissance dissipée, tout en conservant le même type de substrat semi-conducteur, produisant une augmentation de la température, et des gradients de température, dans le substrat. En revanche, de considérables améliorations de la conductivité thermique des boîtiers et de la dissipation passive ou dynamique de la chaleur dans l'environnement ont été apportées.

La quantité de chaleur Q (en joules) dans un matériau est proportionnelle à sa température absolue T :

$$Q = C_T \times T = M \times c \times T \quad \text{Équation 2.40}$$

Où M est la masse du matériau et c sa capacité thermique par unité de masse ou capacité thermique spécifique (en $J/Kg \cdot ^\circ K$) celle-ci étant une propriété fondamentale du matériau. La capacité thermique spécifique est une mesure de la propriété d'un matériau d'accumuler de l'énergie thermique, en analogie avec la capacité d'un condensateur électrique qui accumule de l'énergie électrostatique.

Une différence de température entre deux points d'un matériau se comporte de la même manière qu'une différence de tension, car elle génère un flux de chaleur du point le plus chaud vers le point le plus froid. Le débit dQ/dt du flux de chaleur à travers le matériau dépend du gradient de température dT/dx :

$$P_Q = \frac{dQ}{dt} = -\kappa \times S \times \frac{dT}{dx} \quad \text{Équation 2.41}$$

Où P_Q (en Watts) est la puissance thermique dissipée, S la surface de la section du matériau à travers lequel la chaleur passe, et κ (en W/mK) la conductivité thermique du matériau. Dans le cas du silicium la conductivité κ est de $1.56 W/cmK$ [WIL-97] [CLU-97].

La résistance thermique R_T d'un corps, définie comme la réticence au passage de la chaleur à travers le corps (en analogie avec la résistance électrique au passage du courant), dépend de la conductivité du matériau et sa géométrie (la surface de sa section S et la longueur L).

$$R_T = \frac{L}{\kappa \times S} \quad \text{Équation 2.42}$$

Un modèle linéaire du système thermique représente dans la plupart des cas une bonne approximation du comportement réel. Dans la figure 2.30, un modèle simple pour la dissipation de la chaleur d'un circuit intégré encapsulé est décrit, où S = Substrat, Csb = Contact entre le substrat et le boîtier, B = Boîtier, P = Pattes du boîtier, Cbd = Contact entre le boîtier et le dissipateur, D = Dissipateur, C = Convection spontanée, et Amb = Ambiante.

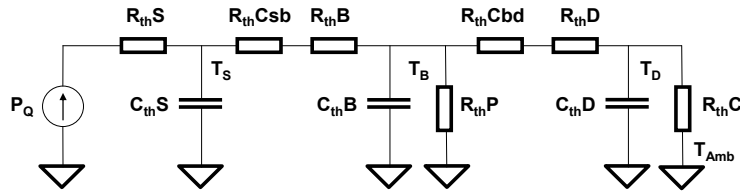


Figure 2.24 : Modèle simple pour la dissipation thermique d'un circuit intégré encapsulé.

1.6.3. Les bondings

Les bondings sont des fils d'aluminium ou d'or d'une longueur typique comprise entre 1.5mm et 3mm (Fig. 2.22 et 2.23) ce qui fait d'eux de véritables inductances parasites. De plus, le fait qu'ils soient contigus entraîne un très fort couplage inductif (§II.1.4.3). Ces couplages sont difficiles à modéliser et extrêmement néfastes car ils parasitent un signal avec un autre.

Ce phénomène est indissociable de l'utilisation d'un boîtier mais il peut être minimisé en adaptant au mieux la puce à la taille de son boîtier.

1.6.4. Distribution des signaux sur les PADs

Lorsque les dimensions de la puce et du boîtier sont fixées, il ne reste plus qu'un seul paramètre sur lequel jouer pour minimiser le couplage inductif : l'affectation des signaux sur tel ou tel PAD. Pour tous les boîtiers, il existe différentes zones de PADs (Hautes Fréquences : HF, Basse Fréquences : BF, et statique : alimentation) caractérisées par la longueur des bondings qui y sont connectés.

En effet les bondings associés aux Pads localisés au milieu d'un côté ont une longueur minimale et par voie de conséquence l'inductance parasite est elle aussi minimale. C'est pourquoi les signaux HF y sont de préférence affectés.

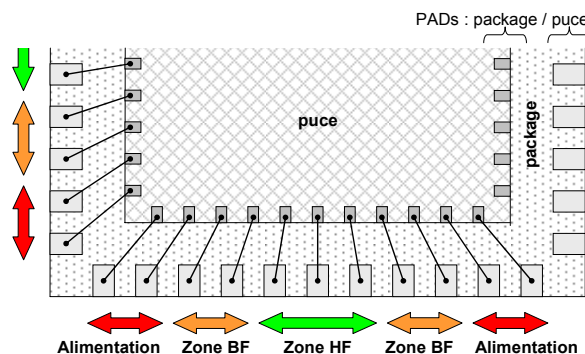


Figure 2.25 : Descriptif des zones d'affectation des signaux

Si on dispose de signaux différentiels, il est impératif de les affecter à 2 PADs adjacents afin de réaliser un guide coplanaire minimisant les pertes par couplage entre les deux voies et d'encadrer le tout par 2 masses qui auront pour but d'isoler ces signaux différentiels des autres signaux. Si les signaux ne sont pas différentiels, on réalise encore une fois une isolation grâce à 2 PADs de masse.

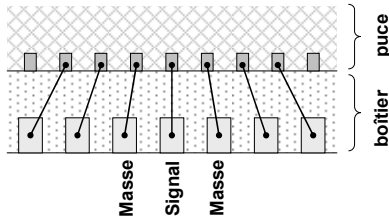


Figure 2.26 : Isolation d'un signal simple

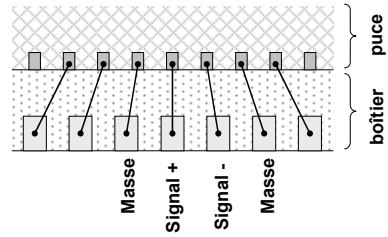


Figure 2.27 : Isolation d'un signal différentiel

En plus de la distribution fréquentielle des PADs, il faut faire attention pour les circuits hybrides à bien séparer les parties analogiques (générant peu de bruit mais très sensibles à celui-ci) et les parties numériques (générant beaucoup de bruit et peu sensibles). En effet la partie numérique peut très fortement dégrader les signaux analogiques.

2 Généralités sur la fiabilité

La fiabilité est l'aptitude d'un dispositif à accomplir [HUM-93] :

- une fonction requise
- dans des conditions données
- pendant une durée de temps donnée

C'est un paramètre crucial dans l'électronique car il est inutile de développer un excellent système si celui-ci n'est capable de fonctionner sur de longues durées. Afin de définir la fiabilité d'un système, il est nécessaire de définir quelques paramètres :

- $R(t)$ = Probabilité de survie au temps t
 - $F(t)$ = Probabilité d'être défaillant au temps t
- $$R(t) + F(t) = 1 \quad \text{Équation 2.43}$$

$\lambda(t)$ correspond au taux de défaillance au temps t :
$$\lambda(t) = \frac{-dR/dt}{R(t)} \quad \text{Équation 2.44}$$

En électronique le taux de défaillance d'un lot de pièces évolue suivant une forme caractéristique en forme de baignoire.

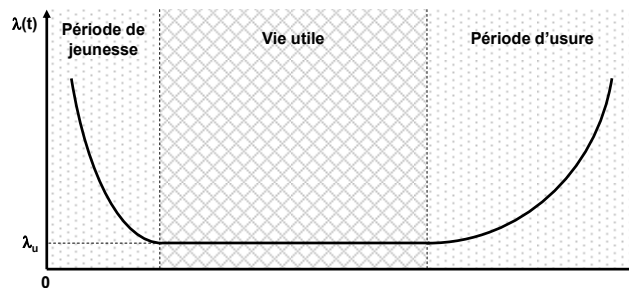


Figure 2.28 : Variation du taux de défaillance au cours du temps (courbe en baignoire).

La période de jeunesse est caractérisée par un λ décroissant. Durant cette période, on observera des défaillances précoces provenant de défauts de conception, de packaging ou d'assemblage.

La période de vie utile est caractérisée par un λ constant et minimal. Durant cette période, on observera des défaillances aléatoires.

La période d'usure est caractérisée par un λ croissant. Durant cette période, on observera des défaillances provenant de la corrosion, de la migration d'élément chimique ou de rupture mécanique consécutives à des cycles thermiques.

Le taux de défaillance en électronique est lié à la température de fonctionnement du système étudié. Il suit la loi d'Arrhenius :

$$V_{\text{réaction}} = A.e^{\frac{-E_a}{k.T}} \quad \text{Équation 2.45}$$

Où A est une constante, E_a correspond à l'énergie d'activation, k est la constante de Boltzmann et T la température absolue.

Ainsi la loi d'Arrhenius permet de déduire que si l'on veut accroître la durée de vie d'un circuit, il faut abaisser sa température de fonctionnement. Pour cela on peut diminuer la consommation et/ou diminuer la résistance thermique du système.

3 Généralités sur les convertisseurs analogique-numérique

Comme on l'a vu dans le chapitre I, le digitizer ALMA utilise des convertisseurs analogique-numérique pour numériser les signaux captés.

3.1. Principe

Les convertisseurs Analogique Numérique "CAN" sont des interfaces entre le monde analogique (dit physique) et le monde numérique (dit informatique). Le signal analogique peut avoir comme origine plusieurs types de capteur effectuant la conversion d'un phénomène physique : température, pression, position, son, image, vidéo ou n'importe quel signal électrique. Le signal électrique provenant d'un capteur se traduit par un courant ou par une tension dont les valeurs sont fonction du phénomène physique mesuré.

Il existe une multitude d'architectures permettant de réaliser des convertisseurs. C'est le choix des caractéristiques dominantes (consommation – plage d'utilisation – pas de conversion – vitesse – coût) qui permet de définir quelle architecture sera apte à remplir les spécifications du cahier des charges. Le choix d'une architecture est parfois "simple" lorsqu'il n'y a qu'un seul paramètre dominant mais en général il faut réaliser un compromis entre différents paramètres le plus souvent opposés tel : la vitesse d'échantillonnage, la consommation et le coût de fabrication car ce paramètre doit toujours rester dans l'esprit des concepteurs [HOE-94a].

Le choix de telle ou telle architecture aura un impact sur les caractéristiques du convertisseur. C'est pour éviter des erreurs qui coûteraient du temps et de l'argent qu'il est nécessaire de bien connaître les caractéristiques de chaque architecture et de bien définir le cahier des charges avant de commencer la conception d'un convertisseur.

Pour pouvoir définir et interpréter le cahier des charges, il est nécessaire de connaître quelques définitions et caractéristiques élémentaires sur les convertisseurs.

3.2. Théorème de Shannon

La quantification d'un signal analogique $V(t)$ est réalisée en échantillonnant ce même signal à une fréquence f_e appelée fréquence d'échantillonnage. T_e est le pas d'échantillonnage lié à la fréquence f_e par la relation $T_e = 1/f_e$.

Le signal échantillonné théorique $V_{\text{ech}}(t)$ peut être considéré comme le produit du signal $V(t)$ et d'une fonction d'échantillonnage ou fonction peigne noté $P_{T_e}(t)$, représentée par une suite d'impulsions de Dirac.

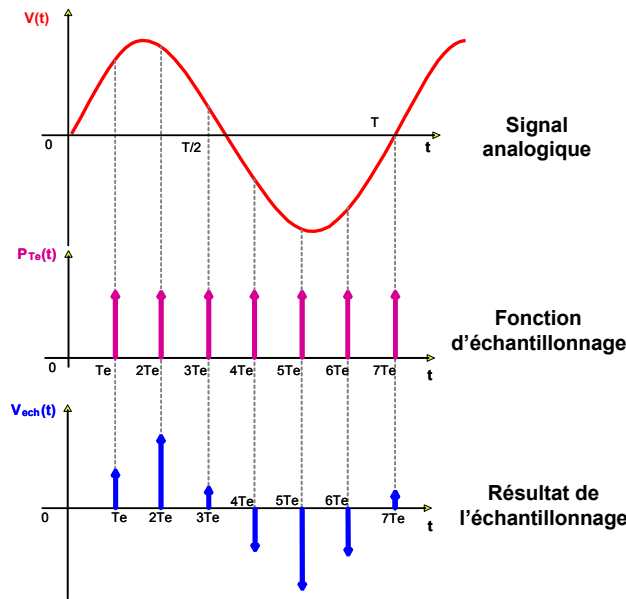


Figure 2.29 : Echantillonnage d'un signal analogique.

Ainsi, le résultat de l'échantillonnage d'une sinusoïde (Fig. 2.29) être décrit de la façon suivante :

$$V_{ech}(t) = V(t) \times P_{Te}(t) = V(t) \cdot \sum_{k=-\infty}^{+\infty} \delta(t - kT_e) \tag{Équation 2.46}$$

Après avoir effectué une transformation de Fourier ($V(f)=TF[V(t)]$), on obtient :

$$V_{ech}(f) = \frac{1}{T_e} V(f) * \sum_{n=-\infty}^{+\infty} \delta\left(f - \frac{n}{T_e}\right) = \frac{1}{T_e} \sum_{k=-\infty}^{+\infty} V\left(f - \frac{n}{T_e}\right) \tag{Équation 2.47}$$

Le spectre de $V_{ech}(t)$ est celui de $V(t)$ rendu périodique selon un pas fréquentiel $f_e=1/T_e$. Le spectre est replié autour de la fréquence $f_c/2$. Pour que la périodisation du spectre ne modifie pas le motif répété, il faut et il suffit que la fréquence de répétition f_e , qui n'est autre que la fréquence d'échantillonnage, respecte la condition du **théorème de Shannon**.

D'après ce théorème, si la fréquence d'échantillonnage f_e est au moins égale à deux fois la fréquence maximale contenue dans le signal analogique, toute l'information contenue dans le signal sera conservée par l'échantillonnage. Cette fréquence est aussi appelée **fréquence de Nyquist**.

Si la fréquence d'échantillonnage f_e est supérieure à deux fois la fréquence maximale contenue dans le signal analogique, on dit que l'on effectue du **sur-échantillonnage**.

Si la fréquence d'échantillonnage f_e est inférieure à deux fois la fréquence maximale contenue dans le signal analogique, on dit que l'on effectue du **sous-échantillonnage**. Dans ce dernier cas, l'échantillonnage provoque un recouvrement du spectre.

3.3. Caractéristique de transfert

La caractéristique de transfert idéale sert de référence pour l'analyse des erreurs (les écarts sont mesurés par rapport à la droite idéale).

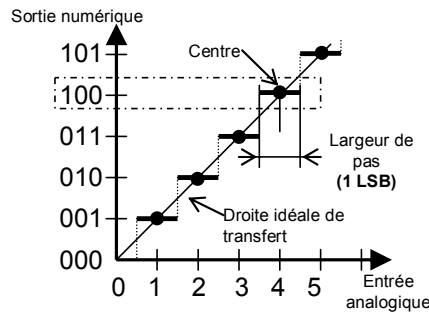


Figure 2.30 : Caractéristique de transfert idéal CAN - CNA

Pour le convertisseur, la caractéristique de transfert idéale est une courbe en escalier qui lie l'entrée analogique au code numérique qui lui est affecté. On peut l'établir à l'aide de la fonction E_{nom} :

$$E_{nom} = U_{ref} \left(\frac{b1}{2} + \frac{b2}{4} + \dots + \frac{bn}{2^n} \right) \tag{Équation 2.48}$$

Ainsi, le code obtenu (b1,b2,...,bn) vérifie :

$$E_{nom} - \frac{1}{2} \frac{U_{ref}}{2^n} < V_{in} < E_{nom} + \frac{1}{2} \frac{U_{ref}}{2^n} \tag{Équation 2.49}$$

Pour un convertisseur analogique-numérique, la résolution est la plus petite variation de tension : LSB (least significant bit) qui engendre une modification du code. Elle correspond à un **quantum**:

$$q = LSB = MSB/2^n \tag{Équation 2.50}$$

où le MSB correspondant au bit de poids fort (most significant bit).

3.4. Types d'erreur

3.4.1. Erreur de quantification

L'erreur de quantification est l'écart entre la tension que l'on convertit (entrée du convertisseur A/N) et la tension correspondante au code que l'on obtient (sortie du convertisseur N/A).

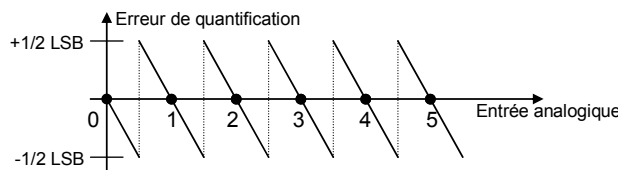


Figure 2.31 : Erreur de quantification.

C'est une caractéristique en dent de scie à valeur moyenne nulle de manière à minimiser son influence. Elle évolue entre +/- 1/2 quantum.

C'est une erreur qui est inhérente à toute numérisation et on ne peut pas l'éliminer mais elle peut être réduite en augmentant la résolution.

Le rapport signal sur bruit (noté S/N ou encore SNR de *Signal to Noise Ratio*) chiffre le rapport entre le signal utile et le bruit. Ce rapport est généralement exprimé en décibels par :

$$SNR = 20 \log \left(\frac{U_{utile}}{U_{bruit}} \right)$$

Avec U_{utile} : tension efficace du signal [V]
 U_{bruit} : tension efficace du bruit [V]

Plus le SNR est élevé, plus le convertisseur est immunisé vis-à-vis du bruit. A titre d'exemple, le SNR propre au bruit de quantification est d'environ 7dB pour un convertisseur 3 bits et augmente jusqu'à environ 45dB pour un 10 bits du fait de la diminution de l'erreur de quantification.

3.4.2. Erreur d'offset

L'erreur d'offset est un décalage entre la courbe de transfert idéale et la courbe réelle :

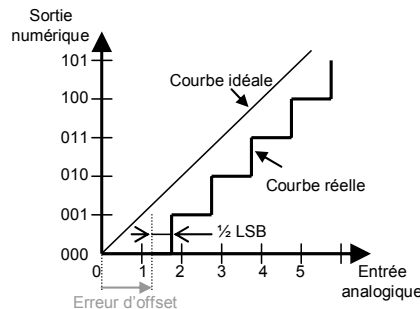


Figure 2.32 : Erreur d'offset.

Elle est due à la présence d'un offset au niveau des comparateurs du convertisseur. Elle est définie par l'écart :

$$V_{\text{offset}} = V_z - V_{\text{idéal}} \quad \begin{matrix} V_z = \text{tension du premier niveau de transition.} \\ V_{\text{idéal}} = 1/2 \text{ LSB.} \end{matrix}$$

On peut la compenser par un circuit externe en ramenant l'écart sur le code nul à zéro.

3.4.3. Erreur de gain

La pente de la fonction de transfert est différente de la pente idéale :

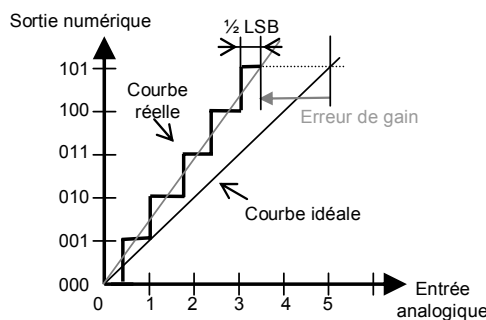


Figure 2.33 : Erreur de gain.

Elle peut être due à une erreur sur la référence de tension, sur les gains des amplificateurs utilisés ou encore un mauvais appareillage d'un réseau de résistance. On la définit par l'écart :

$$\text{Erreur de gain} = V_f - V_{\text{idéal}} \quad V_f = \text{tension du dernier niveau de transition.}$$

On peut aussi la compenser par un circuit externe annulant cette erreur.

3.4.4. Erreur d'hystérésis

Les tensions de transition peuvent varier selon le sens dans lequel on parcourt la fonction de transfert. Cela reflète la présence d'hystérésis au sein des comparateurs.

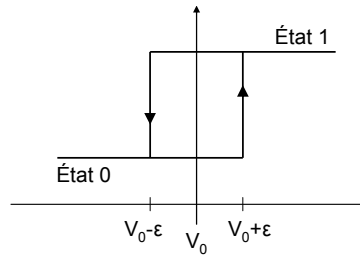


Figure 2.34 : Erreur d'hystérésis.

3.4.5. Bruit thermique

Dans un conducteur, les électrons sont soumis à des mouvements aléatoires (agitation thermique); mouvements qui produisent une variation de potentiel (également aléatoire) aux bornes de ce conducteurs. Ce phénomène génère une tension aléatoire, dite tension de bruit, dont la valeur efficace est proportionnelle à la racine carrée de la bande passante considérée et à la résistance électrique du conducteur. Il s'agit d'un bruit blanc à distribution normale. La tension efficace du bruit thermique est donnée par:

$$U_n = \sqrt{4 \cdot k \cdot T \cdot R \cdot B} \text{ [V]} \quad \text{Équation 2. 51}$$

Avec : $k = 1,38 \cdot 10^{-23}$ [J/K] Constante de Boltzmann
 T [K] Température
 B [Hz] Bande passante
 R [Ω] Résistance

Le bruit thermique dans les convertisseurs ne doit pas être ignoré mais il n'est pas significatif surtout pour les convertisseurs ayant une faible résolution. Pour preuve, le SNR propre au bruit thermique généré par une résistance d'adaptation de 100Ω d'un convertisseur 3 bit est d'environ : 60dB. Cette valeur est négligeable face aux 7dB propre au bruit de quantification.

3.4.6. Erreur d'ouverture et Jitter

3.4.6.1. Définition

Ces erreurs sont plus connues sous leur terminologie anglaise : *aperture errors*. Les trois principales sources d'erreurs sont la **gigue à l'ouverture** (*aperture jitter*), le **retard à l'ouverture** (*aperture delay* ou *aperture time*) et l'**incertitude à l'ouverture** (*aperture uncertainty*) [DEM-91].

3.4.6.2. Gigue à l'ouverture

La gigue (jitter) sur l'horloge d'échantillonnage est l'une des plus importantes sources d'erreur des convertisseurs. Car une erreur sur l'instant de capture entraînera une erreur sur la tension échantillonnée.

La gigue à l'ouverture est due à des variations aléatoires de l'instant d'échantillonnage causées par les sources de bruit (bruit thermique, bruit d'alimentation, bruit d'horloge,...)

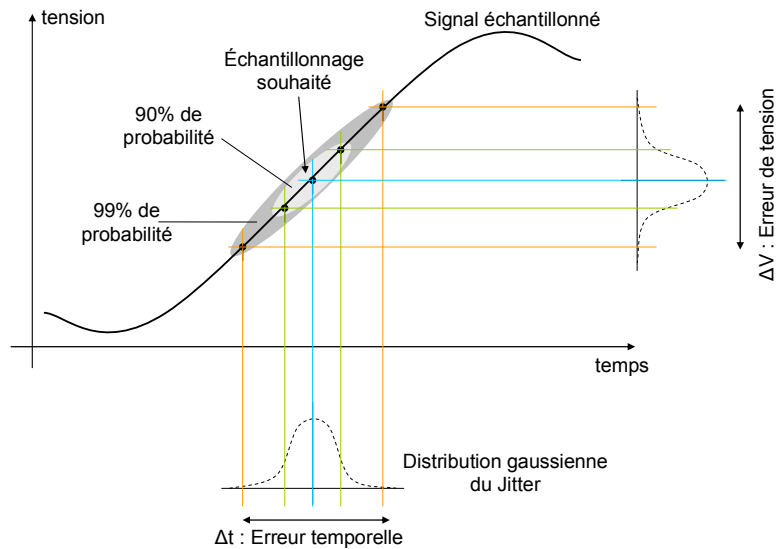


Figure 2.35 : Représentation de l'erreur de Jitter.

Afin de quantifier les effets du jitter, utilisons par exemple une source sinusoïdale $V(t) = A \cdot \sin(2\pi ft)$ en entrée du convertisseur. L'erreur de tension ΔV , induite par l'erreur du moment de capture Δt , est du premier ordre.

$$\Delta V = \frac{dV(t)}{dt} \Delta t \tag{Équation 2.52}$$

Si la distribution statistique du jitter de temps est modélisée comme une distribution gaussienne (cf. Figure 2.35) de valeur moyenne nulle et de variance σ^2 , alors l'erreur de tension rms sur une période pour une sinusoïde en entrée s'exprime par :

$$\sigma(\Delta V) = \sqrt{\frac{1}{T} \int_0^T \left(\frac{dV(t)}{dt} \right)^2 dt} \times \sigma(\Delta t) = \sqrt{2} \pi \cdot A \cdot f \cdot \sigma(\Delta t) \tag{Équation 2.53}$$

La puissance du signal est alors de $A^2/2$ ce qui donne un rapport signal sur bruit de :

$$SNR_{jitter} = -20 \cdot \log(2\pi f \sigma) \text{ dB} \tag{Équation 2.54}$$

Comme le montre l'équation 2.53, l'erreur temporelle causée par le Jitter entraîne une erreur de conversion en ne convertissant pas la tension capturée au moment T.

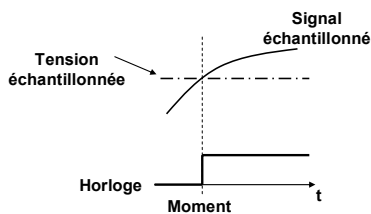


Figure 2.36 : Conversion dans un CAN 1 Bit idéal (sans Jitter)

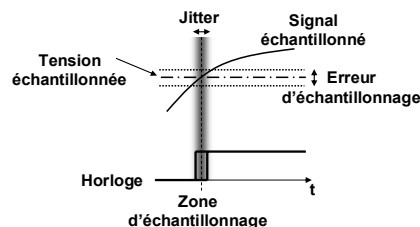


Figure 2.37 : Conversion dans un CAN 1 Bit avec du Jitter

On constatera que plus la fréquence du signal en entrée est grande plus le SNR_{jitter} est faible ce qui caractérise un système bruité.

Pour mieux appréhender le conséquence de ce jitter, il faut savoir qu'une erreur d'ouverture de 15% du pas de quantification ($\sigma(\Delta V_{15\%}) = 15\% \times q$) pour un convertisseur 3 bit est provoqué pas

une erreur temporelle de : $\sigma(\Delta t) = \frac{\sigma(\Delta V_{15\%})}{\sqrt{2\pi} \cdot A \cdot f}$ où $A = 2^{\text{résolution du convertisseur} - 1}$.

Ceci donne à 2GHz : $\sigma(\Delta t)_{2\text{GHz}} = 4.22\text{ps}$

$\sigma(\Delta t)_{4\text{GHz}} = 2.11\text{ps}$

3.4.6.3. Incertitude à l'ouverture

Il ne faut pas confondre la gigue à l'ouverture qui est due à une variation temporelle de la position du front de l'horloge avec l'incertitude à l'ouverture qui est due à une variation du potentiel de seuil pour lequel l'échantillonnage à lieu.

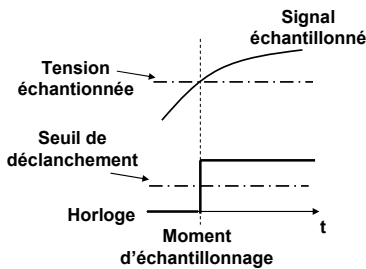


Figure 2.38 : Echantillonnage d'une tension (sans incertitude d'ouverture)

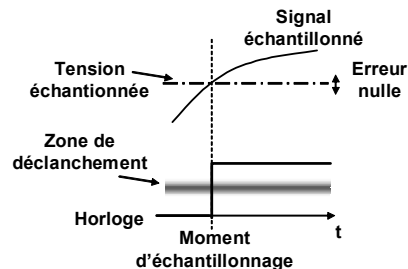


Figure 2.39 : Echantillonnage d'une tension avec une horloge idéale (avec incertitude d'ouverture)

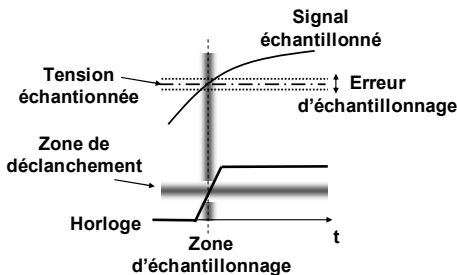


Figure 2.40 : Echantillonnage d'une tension avec une horloge réelle (avec incertitude d'ouverture)

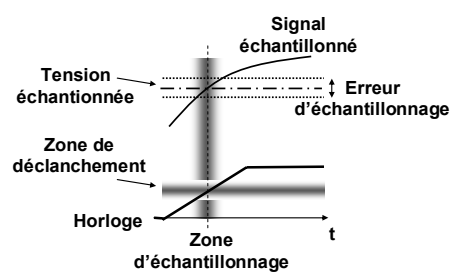


Figure 2.41 : Echantillonnage d'une tension avec une horloge dégradée (avec incertitude d'ouverture)

Contrairement à la gigue d'ouverture, l'incertitude à l'ouverture peut être diminuée par l'augmentation de la pente des fronts d'horloge, car si la pente est infinie alors l'incertitude à l'ouverture devient nulle. Mais pour obtenir un front d'horloge raide, il faut en général concevoir un circuit dans lequel on augmente la consommation ce qui tendra à diminuer la durée de vie. Encore une fois le concepteur se retrouve devant un dilemme face auquel il devra faire des compromis.

3.4.6.4. Retard à l'ouverture

Le temps d'ouverture d'un convertisseur caractérise le temps entre lequel il reçoit l'ordre d'échantillonner et le moment où il le fait. Ce retard est essentiellement du au temps de transit dans les composants, au temps de propagation dans les lignes métalliques et au temps de commutation de l'horloge.

Contrairement aux erreurs précédentes qui créent une erreur de nature aléatoire, le retard à l'ouverture est fixe. Il est de loin le plus grand mais le fait qu'il soit fixe le rend beaucoup moins problématique. Car il peut en principe être pris en compte ou compensé.

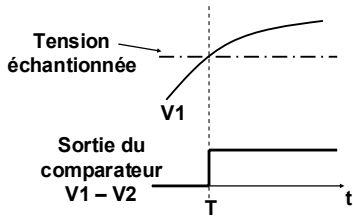


Figure 2.42 : Conversion dans un CAN 1 Bit idéal (sans retard à l'ouverture).

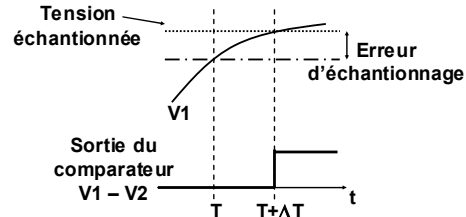


Figure 2.43 : Conversion dans un CAN 1 Bit avec un retard d'ouverture.

A titre d'exemple, cette erreur dans le cas de bascule DFF faible consommation en technologie 0.25µm est de l'ordre de 50ps.

3.5. Principales architectures de convertisseurs rapides et ultra rapides

Après cette présentation des phénomènes parasites des convertisseurs et de leurs conséquences, on est alors plus à même de comprendre les avantages et les inconvénients des architectures décrites par la suite [HOE-94b].

3.5.1. Convertisseur à approximation successive

Dans un convertisseur à approximation successive (SAR), on détermine les valeurs des différents bits les uns après les autres en commençant par le MSB (le bit de poids fort).

$$V_{in} = \frac{V_{ref}}{2} b_{n-1} + \frac{V_{ref}}{4} b_{n-2} + \dots \tag{Equation 2.55}$$

Le signal est comparé à une tension de référence : \$V_o/2\$. S'il est supérieur, on lui retranche cette valeur et on met le bit de comparaison à '1', sinon on met le bit de comparaison à '0' et on le compare à la tension suivante.

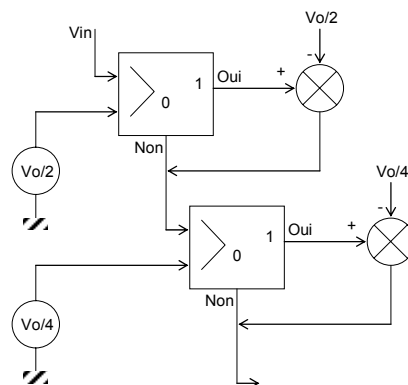


Figure 2.44 : Algorithme d'un CAN par approximations successives.

On dispose d'un registre qui à chaque coup d'horloge va décaler le code initial pour arriver au code final :

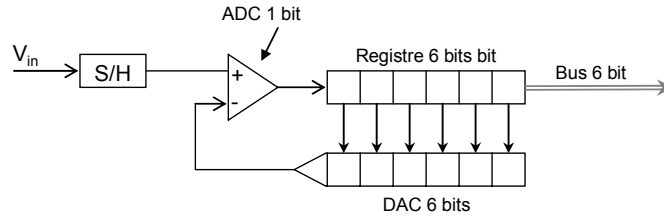


Figure 2.45 : Schéma fonctionnel d'un convertisseur SAR 6 bits.

On effectue une comparaison de la tension à convertir (V_{in}) avec la tension issue du CNA connecté au registre.

Le premier code issu du registre est 1000 (cas d'un convertisseur 4 bits), code correspondant à la tension « moitié » ($V_{ref}/2$). Puis on décale ce code vers *100 puis **10 etc... A la place de « * », on vient placer le résultat de la comparaison. Si la tension d'entrée est supérieure on positionne un « 1 », si elle est inférieure on positionne un « 0 ».

Ci-dessous un exemple de cycle de conversion :

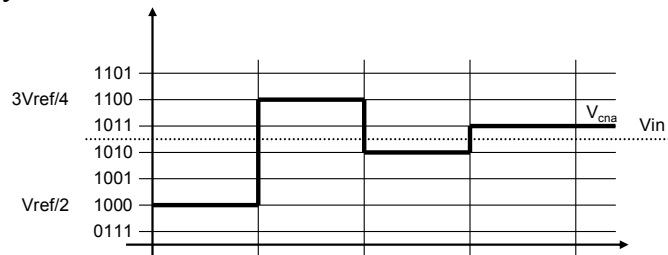


Figure 2.46 : Evolution de la tension et du code numérique en fonction du temps.

Sortie du registre	1000	1100	1010	1011
Retour	Sup.	Inf.	Sup.	Inf.
Retenu	1***	10**	101*	1010

Tableau 2.01 : Evolution du code au cours des pesées successives.

Ce type de convertisseur nécessite peu de place sur silicium mais il est relativement lent (il dépasse difficilement le giga Hertz pour une résolution de 3 bits) car il a besoin de réaliser un nombre de cycles égal à la résolution pour obtenir le codage d'un échantillon.

3.5.2. Le convertisseur Pipeline

A chaque coup d'horloge, on effectue 'n' conversions en parallèle, chaque conversion étant dédiée à une partie du code. En traversant le convertisseur (en 'n' coup d'horloge), la tension d'entrée est convertie en commençant par les bits de poids forts et en finissant par les bits de poids faibles.

Nous prendrons ci-dessous le cas d'un convertisseur pipeline 12 bits décomposés en 3 étages de 4 bits chacun :

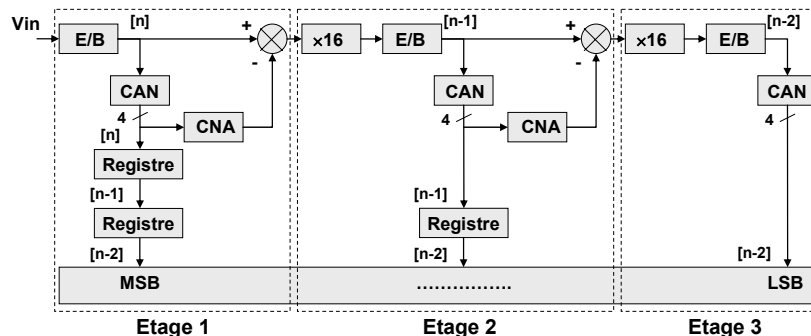


Figure 2.47 : Convertisseur pipeline 12 bits constitué de 3 étages de 4 bits

A chaque front d'horloge, on effectue 3 conversions en parallèle au travers de chaque cellule.

A chaque conversion correspond une partie du code binaire.

- Etape 1 : MSB de l'entrée correspondant à l'instant [n]
- Etape 2 : Bits intermédiaires de l'entrée correspondant à l'instant [n-1]
- Etape 3 : LSB de l'entrée correspondant à l'instant [n-2]

A la fin de chaque étape, on calcule le résidu de la conversion partielle, ce résidu est ensuite recalé à la pleine échelle par une multiplication.

Ce convertisseur possède un temps de latence nécessaire à la propagation de la tension dans les cellules (ici 3 coups d'horloge).

Il est donc nécessaire d'associer à un tel convertisseur des registres à décalage pour synchroniser les données numériques en sortie, ce qui permet une fois le convertisseur « chargé » de fournir les données numériques à chaque coup d'horloge.

Ce type de convertisseur nécessite beaucoup de place sur silicium mais il permet d'avoir des fréquences d'échantillonnage assez hautes qui frôle la dizaine de giga hertz.

3.5.3. Flash

Un convertisseur Flash est constitué par un réseau de comparateur mis en parallèle. Un codage sur n bits nécessite 2^{n-1} comparateurs et 2^n résistances.

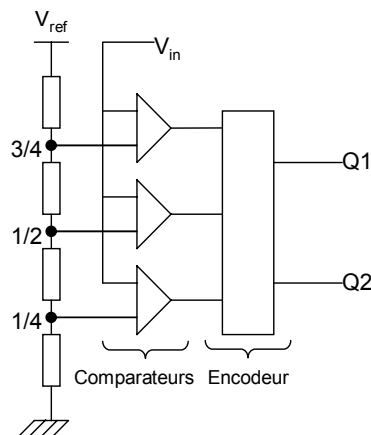


Figure 2.48 : Schéma de principe d'un convertisseur Flash

La conversion est faite en un coup d'horloge. C'est un système qui est très rapide et qui nécessite de la place sur silicium car il a besoin d'un grand nombre de comparateurs. Mais c'est ça forte consommation qui représente son principal inconvénient car en effet sa consommation double pour chaque bit de résolution supplémentaire.

4 Etat de l'art des convertisseurs analogique-numérique FLASH

Dans ce paragraphe, nous allons faire un tour d'horizon des convertisseurs analogique-numérique proposés par l'industrie et dans les publications. Afin de limiter le nombre de référence, nous nous limiterons aux convertisseurs ayant une fréquence d'échantillonnage supérieure au giga Hertz afin d'avoir une idée des performances que le projet ALMA peut atteindre.

Tableau 2.02 : Liste des principaux CAN rapide du commerce

Fabricant	Réf.	$\Delta f_{in} \text{ max}$	$f_{\text{éch}}$	n	Δv_{in}	Cons.
Maxim	MAX1306	1.8 GHz	1.5 GHz	8	+/- 250 mV - 500 mVpp	1.8 W
Fairchild	SPT7610	1.4 GHz	1 GHz	6	-1V to 0	2.85 W
Atmel	TS84AD001B	1.5 GHz	1 GHz	8	1 Vpp	1.7 W
Rockwell	RAD020	6 GHz	1 GHz	10	-	7 W
National Semiconductor	ADC08D1000	0.5 GHz	1 GHz	8	-	1.6 W

Tableau 2.03 : Liste des principaux CAN rapide publiés

Fabricant	Réf.	$\Delta f_{in} \text{ max}$	$f_{\text{éch}}$	n	Δv_{in}	Cons.
-	[BAR-96]	1.8 GHz	8 GHz	3	600 mVpp	3.5 W
-	[BRO-97]	1 GHz	2 GHz	4	-	970 mW
-	[BRO-98]	1 GHz	2 GHz	4	-	810
-	[BRO-01]	5 GHz	10 GHz	4	-	4.25 W

Tous ces convertisseurs sont basés sur une architecture Flash car c'est actuellement presque la seule architecture capable d'atteindre des fréquences d'échantillonnages supérieures au giga Hertz. Mais elle possède une caractéristique qui l'handicape au niveau de l'augmentation de la résolution. En effet, le nombre de comparateur, la complexité de la logique de l'encodeur et par voie de conséquence la consommation double pour chaque bit supplémentaire. C'est pour cela que d'autres architectures plus exotiques combinant plusieurs architectures de base sont à l'étude afin de palier ce problème.

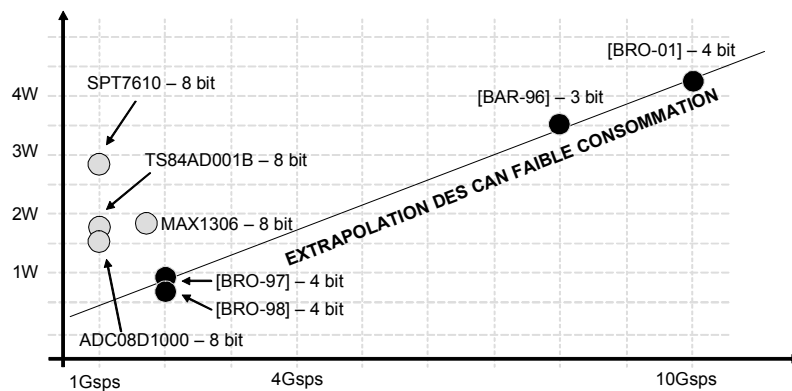


Figure 2.49 : Consommation de quelques CAN en fonction de la fréquence d'échantillonnage.

5 Généralités sur les démultiplexeurs

Pour que les données issues du convertisseur puissent être utilisables à des fréquences relativement basses par les systèmes en aval du digitizer, il est nécessaire d'utiliser des démultiplexeurs.

5.1. Principe

Un démultiplexeur (DEMUX) est un système qui permet de désérialiser des données. Par cette opération, on transforme une voie d'entrée en plusieurs voies de sortie. Cela revient à diminuer le débit par voie en sortie comme le montre la figure suivante :

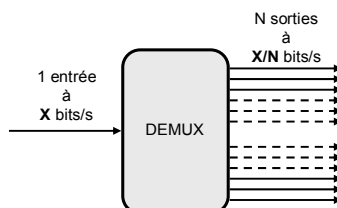


Figure 2.50 : Schéma bloc d'un démultiplexeur 1:N.

5.2. Types d'erreur

Un démultiplexeur est un système totalement numérique mais comme pour les convertisseurs des phénomènes parasites dégradent ses performances jusqu'à le rendre non fonctionnel.

5.2.1. Transparence des bascules

Les bascules (latches) sont des mémoires numériques qui ont la capacité de mémoriser des bits et de les restituer en fonction d'une horloge qui les pilote. Mais dans certaines circonstances qui vont être décrites, ces bascules ne mémorisent pas la bonne valeur du bit ou elles ne gardent pas cette valeur durant le temps voulu. Il existe plusieurs types de bascules mais seules les bascules D et DFF nous importent dans le cadre du projet ALMA car elles sont différentielles.

Mais avant de comprendre les phénomènes parasites que ces bascules subissent, il est d'abord nécessaire de bien connaître leur fonctionnement.

5.2.1.1. Présentation de la bascule D

Dans une bascule D, la sortie Q, recopie la valeur de la donnée D, lorsque C est à 1. Et lorsque l'horloge C est à 0, la valeur en Q est mémorisée, la bascule est alors dite verrouillée.

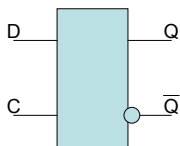


Figure 2.51 : Symbole de la bascule D

Entrées		Sorties	
C	D	Q_{n+1}	\overline{Q}_{n+1}
0	X	Q_n	\overline{Q}_n
1	0	0	1
1	1	1	0

Figure 2.52 : Table de vérité de la bascule D

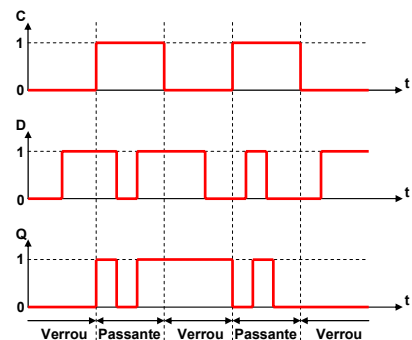


Figure 2.53 : Chronogramme d'un Latch D

5.2.1.2. Présentation de la bascule DFF

Une bascule DFF (Bascule D Flip-Flop) possède deux entrées (les données D et l'horloge C) et une sortie Q. Sur chaque front montant de l'horloge, la sortie Q prend la valeur de l'entrée D et la garde jusqu'au prochain front montant. Parfois, un signal "Reset" existe afin de pouvoir initialiser la valeur initiale de la bascule lors de la mise sous tension.

Une bascule DFF peut être réalisée grâce à deux bascules D qui commutent sur des fronts opposés.

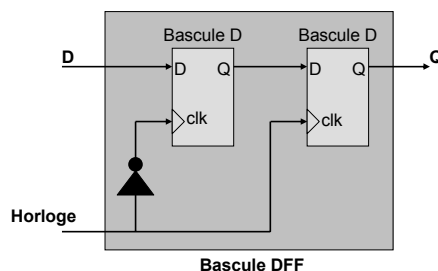


Figure 2.54 : Représentation symbolique d'une DFF

La bascule DFF ne commute que sur les fronts montants de l'horloge. Lors d'une commutation, l'état du signal en sortie devient identique à l'état du signal en entrée au moment de cette commutation comme le montre la figure ci-dessous :

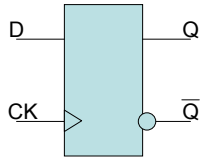


Figure 2.55 : Symbole de la bascule DFF

Entrées		Sorties	
CK	D	Q_{n+1}	$\overline{Q_{n+1}}$
0	X	Q_n	$\overline{Q_n}$
1	X	Q_n	$\overline{Q_n}$
1	0	0	1
1	1	1	0

Figure 2.56 : Table de vérité de la bascule DFF

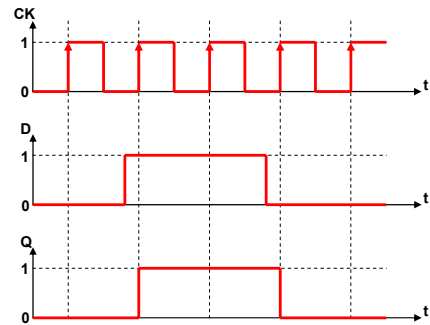


Figure 2.57 : Chronogramme d'un Latch DFF

5.2.1.3. Présentation du phénomène de transparence

Comme on l'a vu précédemment une bascule DFF est constituée de deux bascules D étant soit bloquées soit passantes.

En fonctionnement idéal, la synchronisation de la bascule Maître et Esclave est parfaite. Lorsque l'une est bloquée, l'autre est passante et inversement.

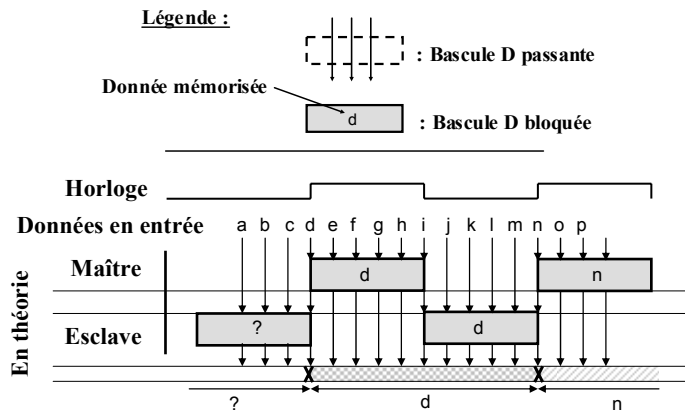


Figure 2.58 : Fonctionnement théorique d'une DFF

Mais cette configuration parfaite est quasi impossible à obtenir. On a alors deux configurations possibles : soit la bascule Maître est en retard, soit elle est en avance.

Si la bascule Maître est en retard alors comme on le voit sur la figure suivante, il existe une zone d'erreur entre la fin du blocage de la bascule Esclave et le début de celui de la bascule Maître. Durant cette période, les données en entrée de la bascule sont directement transmises en sortie mais le processus de mémorisation reprend normalement dès le blocage de la bascule Maître.

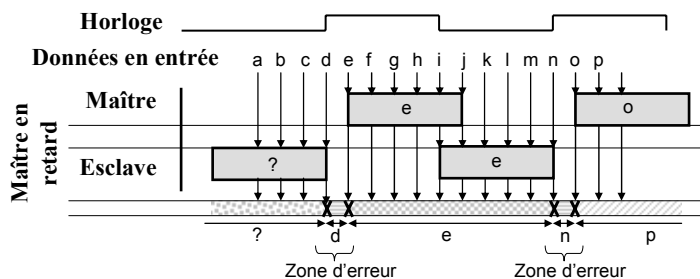


Figure 2.59 : Fonctionnement d'une DFF avec la bascule maître en retard

Si la bascule Maître est en avance alors comme on le voit sur la figure suivante, il y a une commutation sur tous les fronts de l'horloge et la bascule perd entièrement sa fonctionnalité.

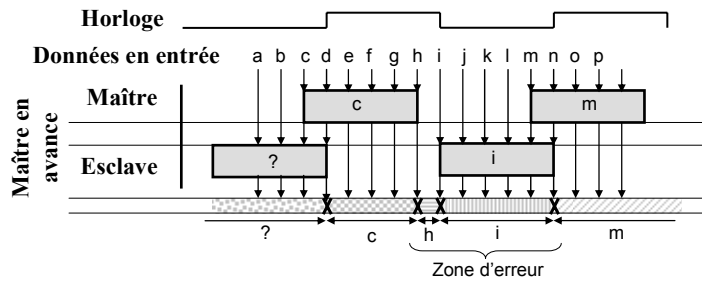


Figure 2.60 : Fonctionnement d'une DFF avec la bascule maître en avance

5.2.2. Bit Error Rate (BER)

Le "Bit Error Rate" (taux d'erreur de bit) caractérise un système en donnant le pourcentage de bits erronés entre l'entrée et la sortie d'un système numérique.

En apparence, le BER est un concept simple :

$$\text{BER} = \text{nombre d'erreur} / \text{nombre de bit total} \quad \text{Équation 2.56}$$

Dans des conditions idéales et avec des composants parfaits, ce nombre est tellement petit qu'il devient insignifiant. Mais dans la réalité, de nombreux phénomènes parasites peuvent faire grandir ce nombre jusqu'à ce qu'il devienne problématique.

Le bruit est le principal acteur dégradant le B.E.R. Comme on l'a vu précédemment, c'est un phénomène aléatoire qui est défini sous forme de distribution statistique décrivant une Gaussienne.

5.3. Principales architectures

Maintenant que le fonctionnement et les erreurs des bascules DFF ont été décrits, il est alors possible d'aborder les architectures de démultiplexeur car elles sont basées sur ce type de bascule.

5.3.1. La configuration Maître-Esclave (classique)

Dans sa version classique, les démultiplexeurs 1:2 utilisent deux bascules DFF pilotées en opposition de phase par une même horloge comme on le voit ci-dessous :

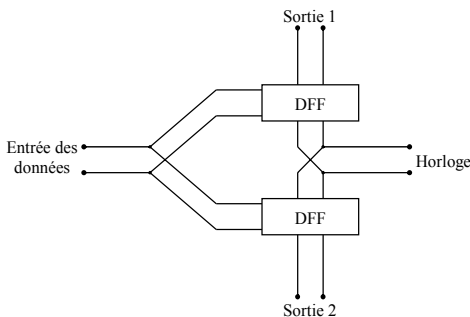


Figure 2.61 : Architecture du démultiplexeur 1:2

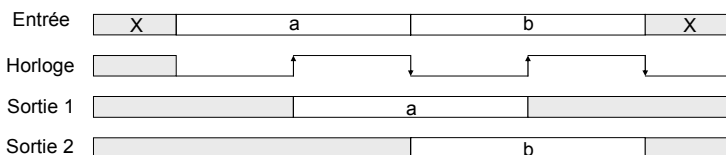


Figure 2.62 : Histogramme d'un démultiplexeur 1:2

Cela permet lors du front montant de l'horloge de mémoriser le premier bit en entrée et sur le front descendant de mémoriser le second bit comme le montre l'histogramme précédent :

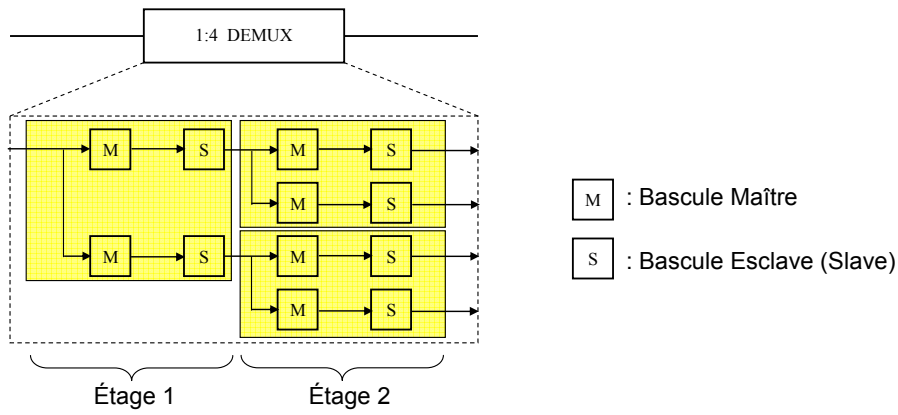


Figure 2.63 : Architecture d'un démultiplexeur 1:4 (classique)

Le principal inconvénient de ce type de démultiplexeur est le fait que les sorties ne sont pas synchronisées ce qui pose de gros problème de phasage avec les systèmes en aval du démultiplexeur. Il faut aussi générer des horloges avec une fréquence et des phases spécifiques pour chaque étage. Mais il est aussi nécessaire d'avoir un signal de remise à zéro (Reset) lors du démarrage du démultiplexeur pour que le premier bit en entrée soit présent sur la sortie 1, le second sur la sortie 2 etc. Sans ce Reset, les données en entrée sont distribuées de manière pseudo-aléatoire sur les sorties du fait du démarrage des différentes horloges dans des états aléatoires.

AVANTAGES :

- Simplicité de l'architecture
- Fréquence de travail divisée par 2 à chaque étage

INCONVENIENTS :

- Les bits de sortie sont en quadrature
- Nécessite une horloge par étage
- Nécessite un Reset

5.3.2. La configuration Maître-Esclave avec un étage de synchronisation

On a vu avec l'architecture précédente que les sorties étaient déphasées. Pour supprimer cet inconvénient, il suffit d'ajouter un étage de synchronisation constitué de bascule DFF pilotées par une horloge ayant la même fréquence que les dernières bascules du démultiplexeur.

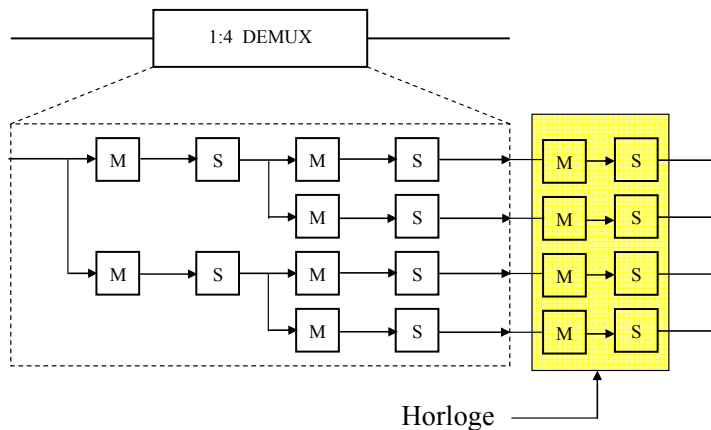


Figure 2.64 : Architecture d'un démultiplexeur 1:4 avec un étage de synchronisation

Grâce à cette architecture toutes les données en sortie sont synchronisées mais il a fallu ajouter des bascules DFF supplémentaires.

AVANTAGES :

- Fréquence de travail divisée par 2 à chaque étage
- Les bits de sortie sont en phase

INCONVENIENTS :

- Rajout de bascule supplémentaire
- Nécessite une horloge par étage
- Nécessite un Reset

5.3.3. Registre à décalage et synchroniseur

Il existe une autre architecture qui utilise un registre à décalage et un synchroniseur pour obtenir la fonction de démultiplexage. Cette architecture contrairement aux deux architectures précédentes ne nécessite pas d'avoir un Reset car les bits en entrée ne peuvent en aucun cas être distribués de manière pseudo-aléatoire sur les sorties.

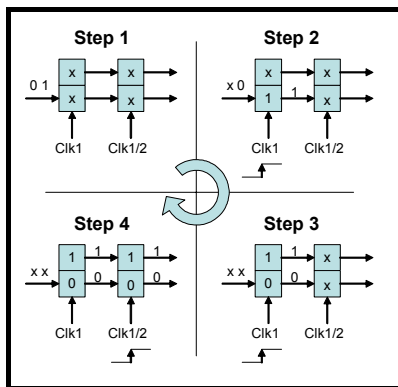


Figure 2.65 : Fonctionnement d'un démultiplexeur 1:2 utilisant un registre à décalage et un synchroniseur.

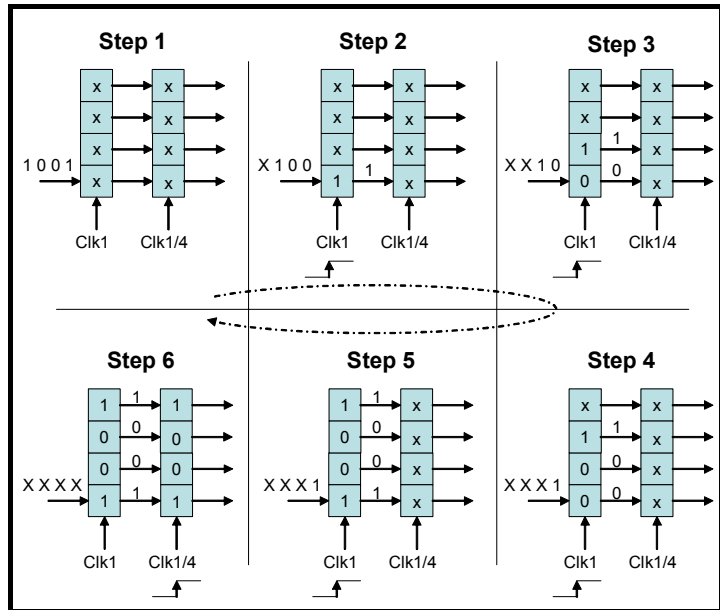


Figure 2.66 : Fonctionnement d'un démultiplexeur 1:4 utilisant un registre à décalage et un synchroniseur.

Le principe de cette architecture est de stocker les données dans un registre et de les décaler pour chaque nouvelle donnée en entrée. Quand le registre est plein, les données sont alors mémorisées par le synchroniseur jusqu'à la fin du cycle suivant comme le montrent les figures précédentes.

AVANTAGES :

- Ne nécessite que 2 horloges quelque soit le rapport de division
- Ne nécessite pas de Reset.
- Les bits de sortie sont en phase

INCONVENIENTS :

- Toutes les bascules fonctionnent à la fréquence haute.

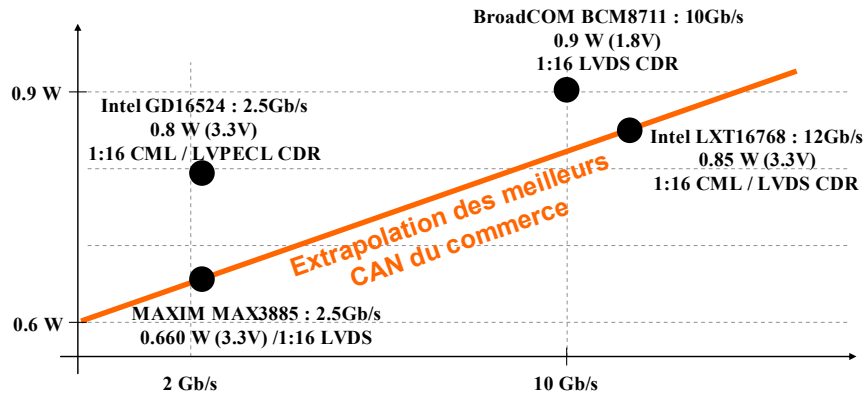
6 Etat de l'art des démultiplexeurs

Dans ce paragraphe, nous faisons un tour d'horizon des démultiplexeurs proposés par l'industrie. Afin de limiter le nombre de références, nous nous limiterons aux démultiplexeurs ayant une fréquence de fonctionnement supérieure au giga Hertz afin d'avoir une idée des performances que le projet ALMA peut atteindre.

Tableau 2.04 : Liste des principaux démultiplexeurs rapides du commerce

Fabricant	Réf.	f _{in} max	CDR	Facteur de division	Norme de sortie des données	Cons.
Intel	DGD16524	2.5 GHz	Oui	1:16	LVPECL	0.8 W (3.3 V)
MAXIM	MAX3885	2.5 GHz	Non	1:16	LVDS	0.66 W (3.3 V)
BroadCOM	BCM8711	10 GHz	Oui	1:16	LVDS	0.9 W (1.8 V)
Intel	LXT116768	12 GHz	Oui	1:16	CML / LVDS	0.85 W (3.3 V)

On constate rapidement qu'une majorité de démultiplexeurs possèdent un système de "Clock and Data Recovery" (CDR). Ce système permet au démultiplexeur de se passer d'horloge car le CDR la génère en interne à partir des données en entrée mais ce système n'est en aucun cas indispensable au fonctionnement intrinsèque du démultiplexeur.



7 Conclusion

On a vu dans ce chapitre que les phénomènes parasites avaient tous tendance à croître en même temps que la fréquence de fonctionnement du système tout comme la puissance dissipée. Ce chapitre a aussi mis en évidence le rôle majeur de la température sur la fiabilité d'un système, expliquant par là même la volonté de réduire la consommation des systèmes.

La présentation des architectures systèmes a montré la nécessité de faire des compromis afin de pouvoir être en accord avec les performances désirées lorsqu'un nouveau système doit être conçu.

CHAPITRE III

*Etude, Conception et Caractérisation
du Démultiplexeur ALMA*

Le chapitre premier nous a permis de fixer les caractéristiques principales du digitizer comme la vitesse d'échantillonnage, la bande passante, le rang de division des démultiplexeurs et la consommation. En suite, le second chapitre nous présente les principaux phénomènes parasites qu'il faut éviter ou du moins minimiser pour conserver la fonctionnalité désirée. Il décrit également les principales architectures qui permettent de réaliser un démultiplexeur pour les fins du projet ALMA.

Une fois ces étapes validées, il est alors possible de passer à la conception. C'est pourquoi dans ce troisième chapitre nous allons traiter des différentes étapes d'étude, de conception et de mesure qui ont permis la réalisation et la validation du démultiplexeur constituant le digitizer ALMA.

1 Choix préliminaires

Avant de présenter les circuits ALMA, il semble important de présenter la méthodologie qui sera utilisée durant la conception des différents circuits afin de mieux appréhender le cheminement conduisant à la réalisation du digitizer ALMA. Mais il est aussi indispensable de choisir la technologie qui sera utilisée lors de la fabrication des puces ALMA afin de connaître les performances des différents composants élémentaires de ces circuits.

1.1. Méthodologie utilisée

Le design d'un circuit complexe peut se décomposer en plusieurs étapes partant du niveau système jusqu'à un niveau élémentaire.

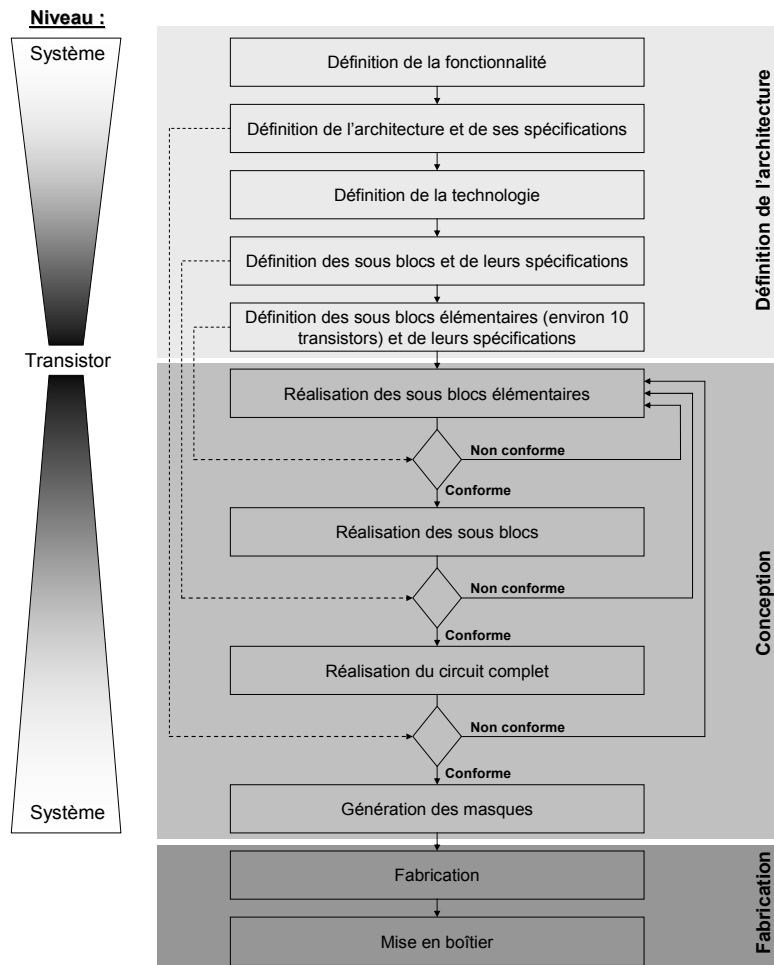


Figure 3.01 : Méthodologie utilisée pour la réalisation des circuits ALMA.

Tout d'abord, il est nécessaire de définir un cahier des charges décrivant la fonctionnalité et les performances souhaitées pour le système. A partir de ces données, il est alors essentiel de choisir une technologie de fabrication avant de définir les performances des sous ensembles.

Une fois le cahier des charges finalisé, la phase de conception peut alors débuter. Cette phase consiste à assembler des composants élémentaires tel les transistors et les résistances afin de réaliser des sous systèmes qui vont s'assembler pour former des entités plus grosses jusqu'au circuit final.

A chaque étape de la conception, la simulation informatique est omniprésente car elle permet de vérifier si la fonctionnalité et les performances de l'élément sont en accord avec le cahier des charges précédemment défini.

La toute dernière étape de conception consiste à générer les masques qui sont indispensable à la fabrication du système. Ensuite le fondeur réalise la fabrication et l'encapsulation.

1.2. Choix technologiques

Le choix d'une technologie est une des premières étapes du processus de conception d'un circuit intégré car ce choix va définir en partie les performances et le coût de production de la puce.

Plusieurs technologies sont à notre disposition et chacune possède des avantages et des inconvénients qu'il faut connaître afin de choisir celle qui répond au mieux à nos besoins :

- La technologie "Silicium pur" est la moins coûteuse de toute mais ses performances en terme de fréquence de fonctionnement sont aussi les plus faibles. Si actuellement, elle permet d'atteindre les performances nécessaires pour le projet ALMA, elle commence juste à être mature mais ce n'était pas le cas au début du projet. C'est pour cette raison qu'elle n'a pas été retenue.
- Les technologies III-V tel l'Arséniure de Galium (AsGa) ou le Phosphure d'Indium (InP) sont largement utilisées depuis plusieurs années pour des circuits dépassant le gigahertz mais elles possèdent des coûts de fabrication bien supérieur au "Silicium pur". Et en plus la tension d'alimentation nécessaire pour ces technologies (3.3V ou 5V) entraîne une puissance dissipée très souvent supérieure aux 2 Watts maximum imposés par le projet.
- Depuis déjà quelques années une autre technologie a émergé permettant de combler le vide au niveau performance et coût entre le "Silicium pur" et les technologies III-V : le Silicium-Germanium : SiGe (ANNEXE 1). Cette technologie est idéale pour la réalisation de circuits fonctionnant entre 1 et 10GHz comme ceux du projet ALMA.

C'est donc cette dernière technologie qui a été choisie car elle possède depuis déjà quelques années la maturité nécessaire pour la réalisation du digitizer ALMA.

2 Etude et conception du démultiplexeur ALMA

2.1. Historique

Deux démultiplexeurs et deux convertisseurs ont été réalisés dans le cadre de cette thèse. Les démultiplexeurs : DEIMOS et PHOBOS ont été dessinés les premiers car ils sont indispensable lors de la caractérisation dynamique des convertisseurs.

Le premier démultiplexeur (DEIMOS) réalisé durant cette thèse ne répondait pas entièrement au cahier des charges à cause d'une forte consommation (2.5W) et de la présence de phénomènes de transparence dans les bascules DFF (§II.5.2.1.3) qui perturbaient grandement sa fonctionnalité. Nous aurons donc conçu un second prototype nommé PHOBOS qui va être présenté par la suite.

2.2. Choix de l'architecture

Pour réaliser le démultiplexeur ALMA qui fonctionne avec un débit en entrée de 4Gbps, nous disposons de 3 configurations potentielles (cf. §II.5.3) :

- Maître-Esclave (classique)
- Maître-Esclave avec étage de synchronisation
- Registre à décalage et synchroniseur

La configuration Registre à décalage et synchroniseur a été choisie puisque elle est la seule en accord avec le cahier des charge car :

- tous les bits de sortie sont en phase
- cette architecture ne nécessite pas de Reset
- elle n'utilise que 2 horloges en interne ce qui simplifie grandement le système.

Une fois l'architecture définie, il est indispensable de définir les performances que les différents sous ensemble doivent atteindre. Le démultiplexeur est un système entièrement numérique. Mais à cause de sa fréquence de travail de 4Gbps les fronts des signaux internes doivent être le plus raides possibles pour être résistant vis-à-vis du jitter, mais cette caractéristique impacte directement sur la consommation. Comme souvent, il va falloir faire un compromis entre performance et consommation.

Pour qu'un système numérique soit performant sans trop consommer, il se doit d'avoir des temps de commutation légèrement inférieurs à 25% de la période du signal. Ce qui donne pour un signal à 4Gbps des fronts inférieurs à 60ps et pour un signal à 250Mbps des fronts inférieurs à 1ns.

2.3. Design de PHOBOS

2.3.1. Descriptif du système

Une fois l'architecture du système fixée, il a fallu définir le rang de division du démultiplexeur. Celui-ci doit être le plus grand possible pour abaisser le plus possible le débit en sortie du digitizer afin que les données puissent être analysées par un FPGA (Field Programmable Gate Array). Ces systèmes possèdent en effet une grande puissance de calcul mais pour l'heure ils ne sont pas capables d'intégrer des données dont le débit est supérieur à 1Gbps.

A l'inverse, le rang de division du démultiplexeur ne doit pas non plus être trop important car plus il est élevé plus le circuit nécessite de broches pour s'interconnecter au système en aval. Or les boîtiers pour les circuits haute fréquence sont limités au niveau de leur nombre de broches ce qui a pour conséquence de limiter le rang de division.

Le plus gros boîtier disponible pour notre application possède 68 broches. Or le nombre de broches affectées aux sorties est de la forme " $2^{\text{facteur de division}}$ " à cause de la norme LVDS qui est différentielle comme on le verra par la suite. Suivant cette règle ($2^{\text{facteur de division}} < 68$) le facteur de division doit se limiter à 32. Mais un tel facteur n'est pas utilisable car il ne reste plus assez de broches pour connecter les horloges et les alimentations. Ceci donne au final un facteur de division optimal de 16.

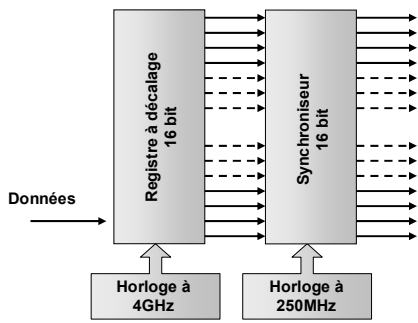


Figure 3.02 : Descriptif du cœur du système.

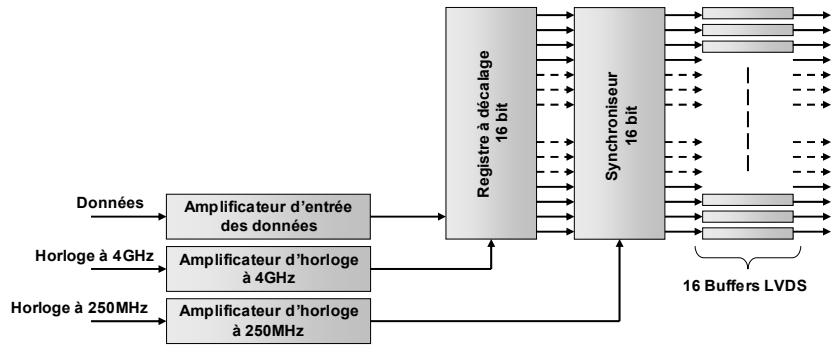


Figure 3.03 : Descriptif de l'architecture complète.

L'architecture choisie pour demultiplexer les données utilise donc un registre à décalage piloté par une horloge à 4GHz et un registre parallèle (synchroniseur) piloté par une horloge à 250MHz (4GHz divisé par 16). Ces éléments constituent le cœur de l'architecture mais ils ne sont pas suffisants pour assurer la fonctionnalité du système. En effet, le démultiplexeur doit utiliser quelques éléments annexes :

- Un amplificateur d'entrée des données
- Un amplificateur d'horloge à 4GHz
- Un amplificateur d'horloge à 250MHz
- Des buffers LVDS

2.3.1.1. Etages de polarisation

Tout circuit électronique nécessite des sources de tension ou de courant pour polariser les différents éléments qui le composent. Ces sources peuvent être très simples, constituées d'un transistor et d'une résistance, ou beaucoup plus complexes. Les tensions ou les courants délivrés par les sources les plus simples sont très sensibles aux variations de température, de tensions d'alimentation ou encore aux dispersions technologiques. En effet, ils dépendent entièrement des valeurs absolues des résistances les composant dont la précision en microélectronique avoisine les 20%. Leurs valeurs peuvent donc fluctuer fortement et de manière mal contrôlées.

Pour palier ce manque de précision et de robustesse face aux variations de process, il existe deux grandes familles d'étage de polarisation : les générateurs de courant de type PTAT et les générateurs de tension de type Bandgap.

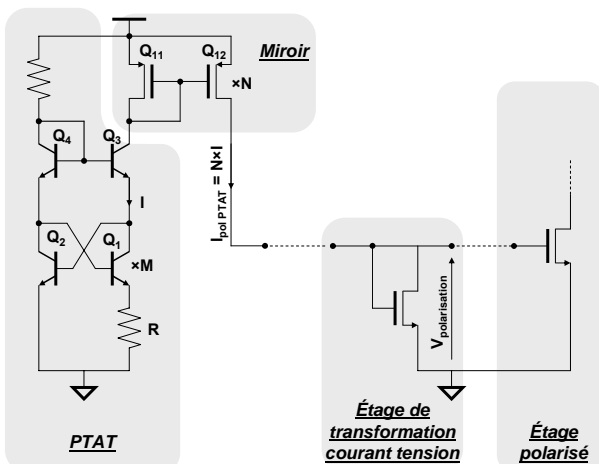


Figure 3.04 : Schéma électrique d'un générateur PTAT avec ses étages en aval.

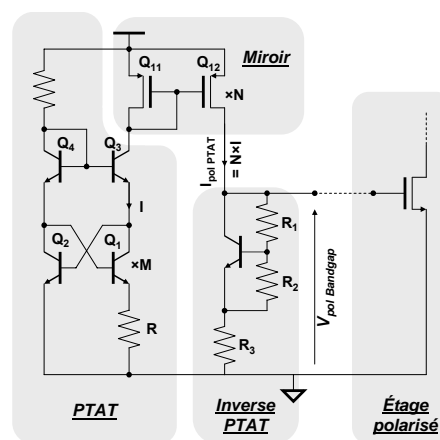


Figure 3.05 : Schéma électrique d'un générateur Bandgap avec ses étages en aval.

2.3.1.1.1. La source de courant PTAT

Les courants de polarisation peuvent être générés à partir d'une source de courant dite proportionnelle à la température (PTAT : Proportional To Absolute Temperature) car le courant qu'elle génère augmente proportionnellement à la température ce qui permet de compenser la chute de performance du circuit polarisé causée par cette même hausse de température. De plus ce type de générateur est indépendant (au premier ordre) de la tension d'alimentation, ce qui contribue à améliorer le taux de réjection des variations dues aux alimentations.

La boucle translinéaire entre les transistors Q1, Q2 permet d'écrire l'égalité suivante :

$$R \times I + V_{be1} = V_{be2} \quad \text{Équation 3.01}$$

D'où le courant I défini par l'équation suivante :

$$I = (U_T / R) \ln(M) \quad \text{Équation 3.02}$$

Dans laquelle $U_T = k.T/q$ représente le potentiel thermique.

Or I_{pol} est directement proportionnel à I:

$$I_{pol \text{ PTAT}} = N \times I \quad \text{Équation 3.03}$$

C'est par souci de faible consommation que le courant I traversant les transistors bipolaires de la PTAT sont de faibles valeurs. Ce courant I est ensuite amplifié par un facteur N dans un miroir de courant. Ce qui donne au final :

$$I_{pol \text{ PTAT}} = (N \times U_T / R) \ln(M) \quad \text{Équation 3.04}$$

Ce courant dépend de la valeur de la résistance R et de la surface d'émetteur du transistor Q_1 qui est M fois supérieure à la surface des autres transistors $Q_2-Q_3-Q_4$.

Ainsi si on néglige la variation de résistivité de la résistance en fonction de la température, on obtient la relation décrivant la variation du courant I_{pol} en fonction de la température :

$$\frac{\partial I_{pol \text{ PTAT}}}{\partial T} = \left(\frac{N}{R} \times \frac{k}{q} \right) \times \ln(M) \quad \text{Équation 3.05}$$

Connaissant les deux équations précédentes, il est alors possible de fixer le courant Pol et sa pente en fonction de la température.

2.3.1.1.2. La source de tension de type Bandgap

Dans le cas du générateur de tension Bandgap, les tensions de polarisation sont générées en combinant une source de courant PTAT dont la variation est proportionnelle à celle de la température et un transistor monté en diode multiplicateur de tension VBE dont la variation en courant est inversement proportionnelle à celle de la température.

La tension ainsi obtenue est exprimée par l'équation suivante :

$$V_{pol \text{ Bandgap}} = V_{BE} \frac{R_1 + R_2}{R_2} + U_T \frac{NR_3}{R} \times \ln(M) \quad \text{Équation 3.06}$$

Les valeurs des différents paramètres sont alors choisies afin de minimiser la variation $\Delta V_p / \Delta T$ pour $T_0 = 65^\circ\text{C}$ qui correspond à la température de jonction estimée des circuits ALMA.

Les coefficients multiplicateurs de V_{BE} et de U_T de l'équation précédente étant des rapports de résistances, la tension de polarisation est peu sensible aux dispersions technologiques.

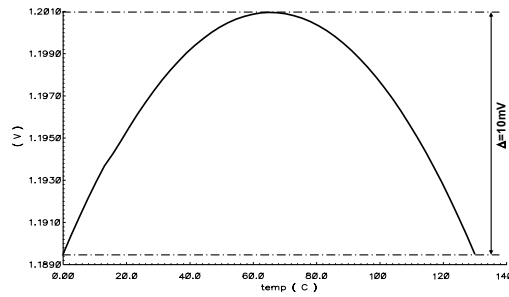


Figure 3.06 : Simulation en température de la tension générée par un bandgap.

2.3.1.2. Amplificateur d'entrée

L'amplificateur en entrée du démultiplexeur est le premier système (actif) que rencontre les signaux numériques dans le démultiplexeur, il se situe juste après les bondings et en amont du registre à décalage.

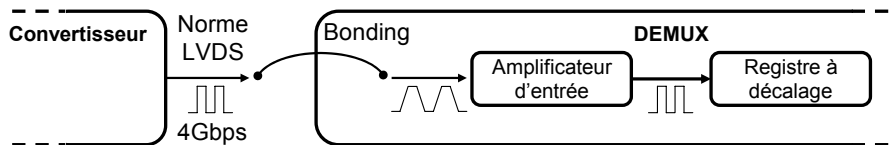


Figure 3.07 : Localisation de l'amplificateur de données dans son environnement.

On a vu précédemment (§II.1.4.3) que les bondings pouvaient être assimilés à des inductances. Or les données provenant du convertisseur ALMA en amont doivent passer par des bondings avant d'atteindre le cœur de la puce. Ces fils créent des filtres passe-bas qui dégradent la raideur des fronts du signal numérique en supprimant les harmoniques de haut rang (§II.1.3).

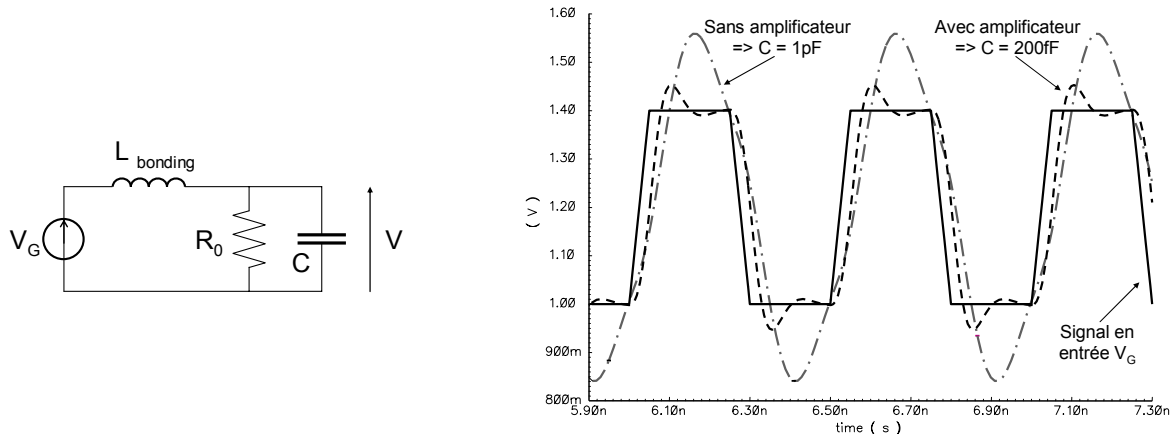


Figure 3.08 : Modélisation de l'entrée de la puce.

Figure 3.09 : Visualisation de la tension en entrée du premier bloc pour plusieurs capacités.

On peut voir grâce à une modélisation de l'entrée de la puce dans lequel L représente l'inductance de bonding (2nH) et R_0 l'adaptation (100Ω) que la valeur de la capacité de charge C modifie grandement les fronts du signal au niveau de la charge 100Ω.

La capacité de charge est composée de la capacité de ligne et de celle des composants qui y sont raccordés. Mais en implantant un étage amplificateur juste après les bondings, on diminue cette capacité de ligne, ce qui permet d'avoir des signaux au niveau de la charge 100Ω de bien meilleure qualité comme on peut le voir sur la figure précédente. Mais surtout cet ajout va

améliorer les performances du registre car l'amplificateur va remettre en forme les signaux en entrée de celui-ci. Cela a pour conséquence de minimiser l'incertitude lors du traitement des données en diminuant le temps de commutation des signaux.

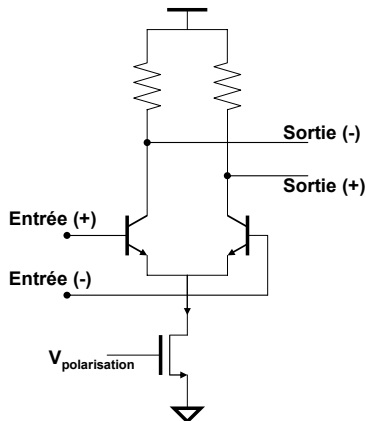


Figure 3.10 : Schéma électrique de l'amplificateur.

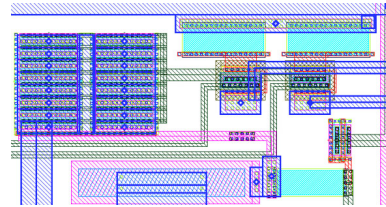


Figure 3.11 : Layout de l'amplificateur d'entrée des données

Pour réaliser cet amplificateur, une simple paire différentielle a été utilisée. Elle permet de rejeter le mode commun et d'avoir un gain en courant utile pour contrer les effets parasites des capacités des lignes amenant le signal au registre.

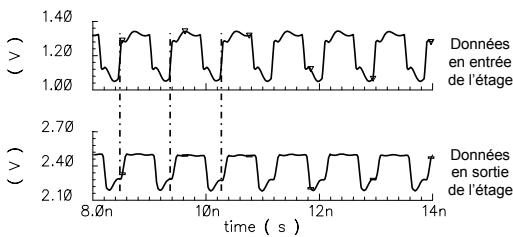


Figure 3.12 : Analyse temporelle des signaux de l'étage d'entrée des données.

Tableau 3.01 : Bilan des caractéristiques transitoires du signal en sortie de l'amplificateur des données à 4Gbps.

Valeur crête supérieure	2.5V	$\Delta = 220\text{mV}$
Valeur crête inférieure	2.28V	
Temps de montée	53ps	
Temps de descente	31ps	

La visualisation des signaux en entrée et en sortie de l'amplificateur permet de valider sa fonctionnalité, et le tableau décrivant les caractéristiques du signal de sortie permet de vérifier que tous les fronts sont inférieurs aux 60ps requis (§III 2.2).

2.3.1.3. Amplificateur d'horloge à 4GHz

Le but de cet étage est de transformer le signal sinusoïdal à 4GHz de l'horloge externe en un signal numérique avec des temps de commutation extrêmement raides afin de minimiser l'incertitude à l'ouverture (§II.3.3.7.3) des bascules du registre à décalage.

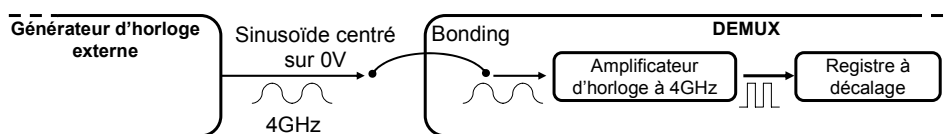


Figure 3.13 : Localisation de l'amplificateur d'horloge dans son environnement.

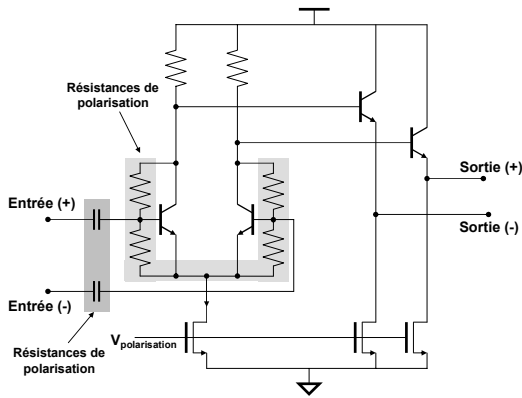


Figure 3.14 : Schéma électrique du premier étage de l'amplificateur.

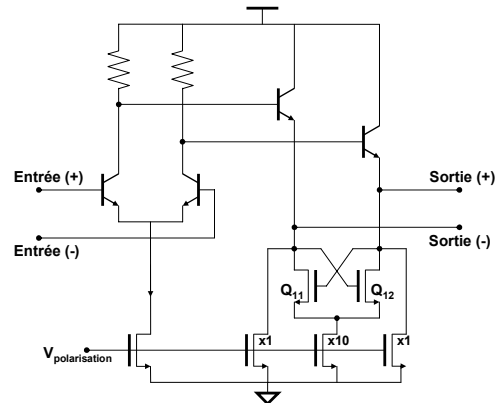


Figure 3.15 : Schéma électrique du second étage de l'amplificateur.

L'amplificateur d'horloge à 4GHz est constitué de deux étages. Le premier permet principalement d'amplifier le signal en tension alors que le second amplifie principalement le courant, ce gain en courant étant indispensable pour pouvoir piloter les seize bascules DFF du registre à décalage.

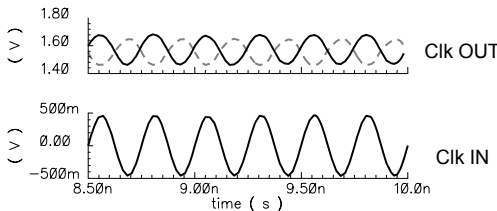


Figure 3.16 : Analyse temporelle des signaux de l'horloge à 4GHz.

Tableau 3.02 : Bilan des caractéristiques transitoires du signal en sortie de l'amplificateur d'horloge à 4GHz.

Valeur crête supérieure	1.68V	$\Delta = 230\text{mV}$
Valeur crête inférieure	1.45V	
Temps de montée	50ps	
Temps de descente	57ps	

Grâce à la figure et au tableau précédents, il est possible de valider la fonctionnalité de ce sous-système et de valider ses performances car ses temps de commutation sont inférieurs aux 60ps requis.

2.3.1.4. Amplificateur d'horloge à 250MHz

Comme pour l'horloge 4GHz, l'horloge 250MHz nécessite d'être amplifiée pour pouvoir piloter le synchroniseur. Mais elle nécessite beaucoup plus d'énergie pour atteindre les mêmes temps de commutation que l'horloge précédente car les temps de commutation de la sinusoïde à 250MHz sont bien inférieurs à ceux de celle à 4GHz.

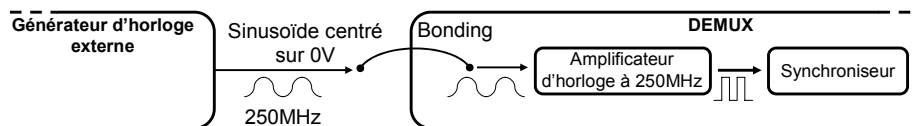


Figure 3.17 : Localisation de l'amplificateur d'horloge dans son environnement.

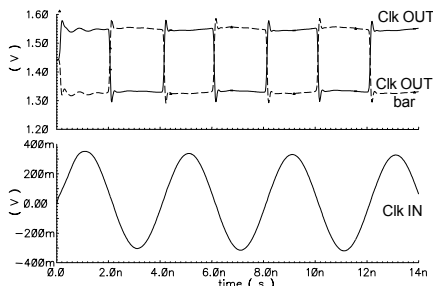


Figure 3.18 : Analyse temporelle des signaux de l'horloge à 250MHz.

Tableau 3.03 : Bilan des caractéristiques transitoires du signal en sortie de l'amplificateur d'horloge à 250MHz.

Valeur crête supérieure	1.544V	$\Delta = 217\text{mV}$
Valeur crête inférieure	1.327V	
Temps de montée	58ps	
Temps de descente	55ps	

La visualisation des signaux en entrée et en sortie de l'amplificateur permet de valider la fonctionnalité du système. Alors que le tableau décrivant les caractéristiques du signal de sortie permet de vérifier que tous les fronts sont inférieurs aux 60ps requis.

L'horloge à 250MHz doit vérifier les mêmes caractéristiques que celle d'un signal à 4GHz car elle doit synchroniser des signaux à 4Gbps issus du registre à décalage.

2.3.1.5. Les bascules DFF

Comme on l'a vu précédemment (§II.5.2.1) la bascule DFF est constituée par 2 bascules D pilotées en inverse de phase. Pour réaliser ces bascules D, l'architecture présentée sur la figure 3.19 est utilisée :

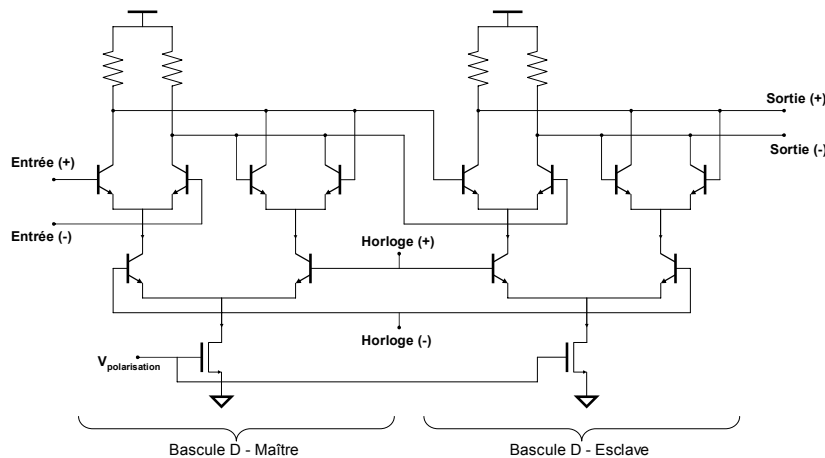


Figure 3.19 : Schéma électrique de la bascule DFF élémentaire.

Cette architecture est totalement différentielle car elle est constituée uniquement de paires différentielles au niveau des données et de l'horloge.

Ce bloc élémentaire constitue tout le cœur du démultiplexeur car il est utilisé dans le registre à décalage comme dans le synchroniseur. Mais les sorties de ces deux systèmes sont chargées de manière différente et leurs signaux n'ont pas besoin d'avoir les même temps de commutation. En effet ceux issus du registre à décalage sont à 4Gbps alors que ceux en sortie du synchroniseur sont à 250Mbps.

Pour économiser du temps lors de la conception, on réutilise la même bascule DFF élémentaire dans le registre à décalage et dans le synchroniseur. Mais à cause des différences décrites précédemment, il a fallu développer deux blocs suiveurs spécifiques : un pour le registre et l'autre pour le synchroniseur. Nous allons détailler maintenant ces cellules.

2.3.1.5.1. Registre à décalage

Le registre à décalage est constitué d'une succession de bascules DFF en série qui sont elles-mêmes constituées d'une bascule DFF élémentaire et d'un étage suiveur.

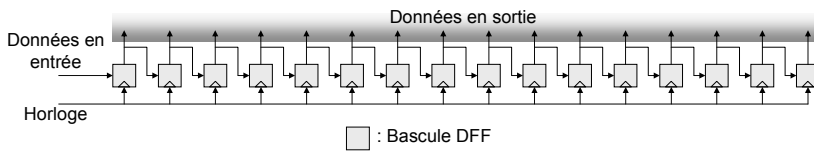


Figure 3.20 : Descriptif du registre à décalage.

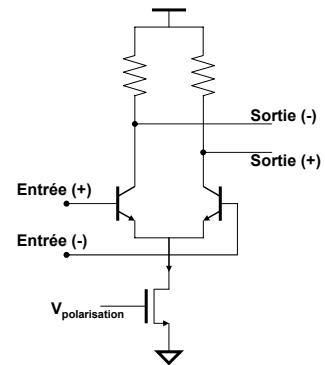


Figure 3.21 : Etage suiveur des bascules du registre à décalage.

Chaque bloc suiveur est chargé par une bascule du registre et par une bascule du synchroniseur. Cette connectique a pour conséquence de créer une charge capacitive non négligeable constituée par les capacités d'entrée de deux bascules auxquelles s'ajoutent les capacités des lignes métalliques d'interconnexion. C'est pourquoi, dans le cas des bascules DFF du registre à décalage, le bloc suiveur est une paire différentielle car un tel montage permet d'avoir un gain en tension réduisant les temps de commutation et un gain en courant permettant d'avoir une charge importante en sortie, au prix néanmoins d'une consommation relativement importante (voir consommation par blocs §III 2.6).

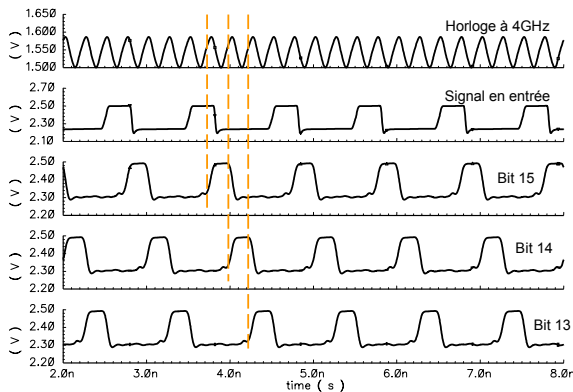


Figure 3.22 : Analyse temporelle des signaux.

Tableau 3.04 : Bilan des caractéristiques transitoires du signal en sortie des bascules du registre à décalage.

Valeur crête supérieure	2.488V	$\Delta = 233\text{mV}$
Valeur crête inférieure	2.25V	
Temps de montée	47ps	
Temps de descente	45ps	

La figure précédente permet de visualiser le décalage des données sur chaque front d'horloge montante. Ceci atteste du bon fonctionnement du registre à décalage. Et le tableau décrivant les caractéristiques du signal de sortie permet de vérifier que tous les fronts sont inférieurs aux 60ps requis.

2.3.1.5.2. Synchroniseur

Le synchroniseur est lui aussi constitué d'une succession de bascules DFF en parallèle qui sont elles-mêmes constituées d'une bascule DFF élémentaire (identique au registre à décalage) et d'un étage suiveur.

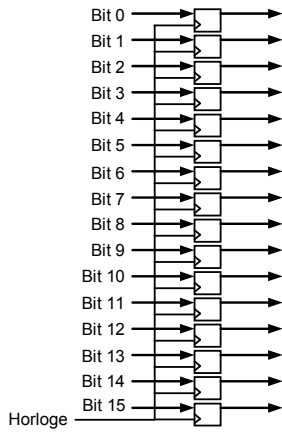


Figure 3.23 : Architecture du synchroniseur.

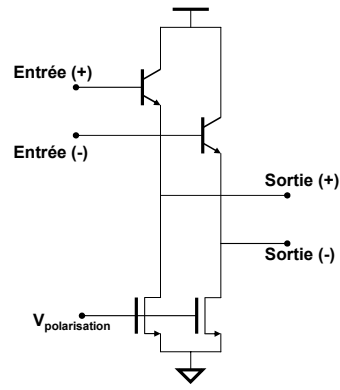


Figure 3.24 : Etage suiveur des bascules du synchroniseur.

Contrairement au registre à décalage le synchroniseur génère des signaux à basse fréquence 250Mbps. Cette caractéristique permet de n'utiliser qu'un simple collecteur commun comme étage suiveur afin d'économiser l'énergie car il n'est plus nécessaire de raidir les fronts de commutation comme c'est le cas dans le registre à décalage.

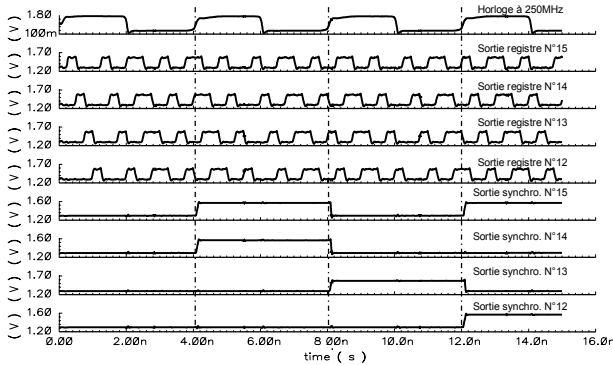


Figure 3.25 : Analyse temporelle des signaux.

Tableau 3.05 : Bilan des caractéristiques transitoires du signal en sortie des bascules du registre à décalage.

Valeur crête supérieure	1.567V	$\Delta = 0.272V$
Valeur crête inférieure	1.295V	
Temps de montée	62ps	
Temps de descente	18ps	

La figure précédente permet de vérifier que la synchronisation est fonctionnelle. Et le tableau décrivant les caractéristiques du signal de sortie permet de vérifier que tous les fronts sont extrêmement inférieurs à la nanoseconde requise car maintenant le débit des données est de 250Mbps.

2.3.1.6. Buffer LVDS

Le but de cet étage est de transformer les signaux issus du synchroniseur en signaux conformes à la norme LVDS décrite ci-dessous :

Tableau 3.06 : Récapitulatif de la norme LVDS.

	Min	Typ	Max	Unit
Impédance différentielle en entrée	85	100	115	Ω
Plage d'excursion en tension	0.925		1.475	V
Tension différentielle	250		400	mV
Courant d'entrée en mode commun (entrée LVDS = 1.2V)		350		μA

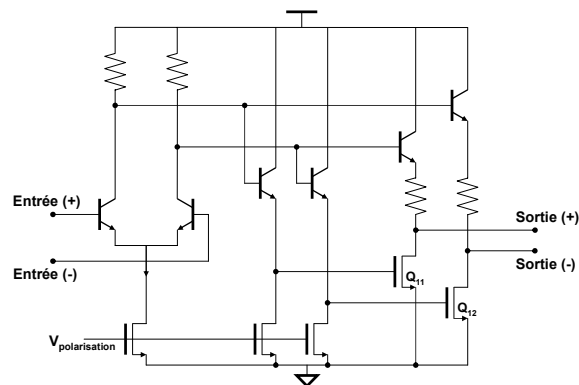


Figure 3.26 : Schéma électrique du Buffer LVDS.

L'architecture du buffer LVDS est dessinée afin de minimiser la consommation du bloc en commutant les courants générés par les transistors Q_{11} et Q_{12} .

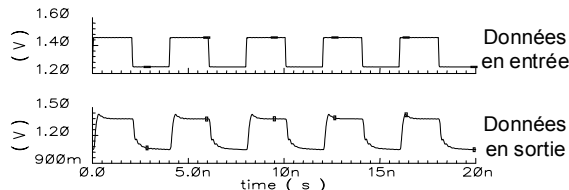


Figure 3.27 : Analyse temporelle des signaux entrants et sortants du buffer LVDS.

Tableau 3.07 : Bilan des caractéristiques transitoires du signal en sortie du Buffer LVDS.

Valeur crête supérieure	1.37V	$\Delta = 0.32V$
Valeur crête inférieure	1.05V	
Temps de montée	100ps	
Temps de descente	300ps	

La visualisation des signaux en entrée et en sortie du registre permet de valider sa fonctionnalité. Le tableau permet de vérifier que tous les fronts sont extrêmement inférieurs à la nanoseconde requise car ce bloc transmet un flux de données ayant un débit de 250Mbps. De plus les tensions crêtes indiquées précédemment permettent de vérifier la conformité des signaux avec le format LVDS.

2.3.2. Boucle de test

L'implémentation d'une cellule permettant l'autotest (BIST) du démultiplexeur interne n'est pas une caractéristique imposée initialement par le projet ALMA. Elle a pour but initial de tester les puces pour vérifier leurs fonctionnalités avant leur montage sur le plateau de l'Atacama. Mais une fois la boucle de test implémentée, le projet ALMA l'a réutilisée pour vérifier in situ que les alimentations et les horloges sont nominales au niveau des démultiplexeurs du digitizer et pour tester toute sa chaîne de réception en aval du digitizer.

Le seul impératif de ce test est d'avoir en sortie un signal prévisible afin de pouvoir comparer les signaux mesurés avec la prédiction.

2.3.2.1. Descriptif du système

Pour réaliser ce test, une méthode originale a été utilisée. Elle consiste à reboucler une sortie du démultiplexeur sur l'entrée de celui-ci en l'inversant.

En mode normal (A : ON et B&C : OFF), les données provenant du convertisseur passent par l'interrupteur A puis elles sont amplifiées, décalées, synchronisées et pour finir elles sont transformées au format LVDS.

En mode de test (A : OFF et B&C : ON), les données provenant du convertisseur sont bloquées par l'interrupteur A. C'est une des sorties qui est rebouclée par l'intermédiaire des interrupteurs B&C et amplifié par l'amplificateur de test. Une fois cette boucle activée par le signal de test, le démultiplexeur se transforme alors en oscillateur en anneau et les sorties commutent de manière périodique à une fréquence prévisible.

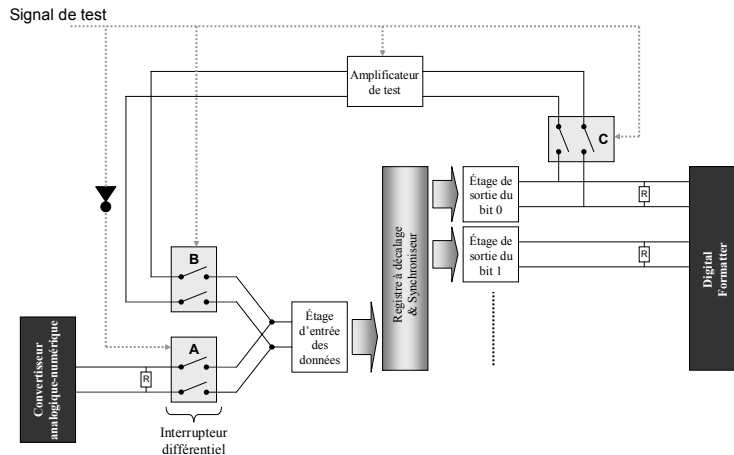


Figure 3.28 : Architecture système de la boucle de test.

La sortie choisie pour être rebouclée correspond au bit 0 car, pour qu'elle commute, le signal a dû traverser l'intégralité du registre à décalage contrairement aux autres sorties. Cela permet de vérifier le fonctionnement de toutes les bascules du démultiplexeur. L'aiguillage des données dans le démultiplexeur est réalisé grâce à l'implantation de trois interrupteurs analogiques.

2.3.2.2. Les interrupteurs analogiques

Pour réaliser les interrupteurs analogiques indispensables à la boucle de test, il existe une multitude d'architecture. Mais comme nous n'avons pas de contrainte sur la linéarité du système ni sur la vitesse de commutation, nous pouvons nous limiter à deux architectures [SAL-02]:

- L'interrupteur NMOS
- La porte de transmission

L'interrupteur NMOS est l'architecture la plus simple que l'on peut utiliser car il est constitué d'un seul transistor NMOS dont la résistivité est décrite par la relation suivante :

$$R_{on,NMOS} = \frac{1}{\mu_n C_{OX} \frac{W}{L} (V_G - V_{IN} - V_{th})} \tag{Équation 3.07}$$

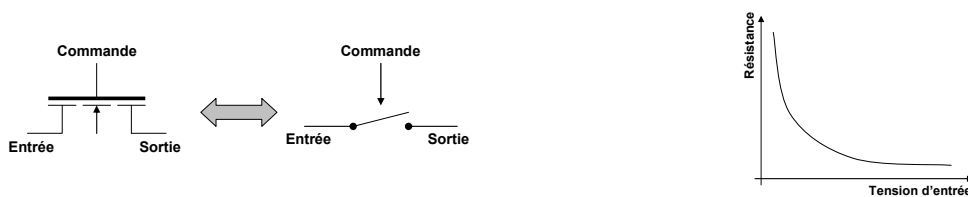


Figure 3.29 : Architecture et caractéristique de l'interrupteur NMOS.

Alors que la porte de transmission quant à elle, utilise de manière combinée un NMOS et un PMOS dont la résistivité est décrite par la formule suivante :

$$R_{on,PMOS} = \frac{1}{\mu_n C_{OX} \frac{W}{L} (V_{IN} - V_{th})} \tag{Équation 3.08}$$

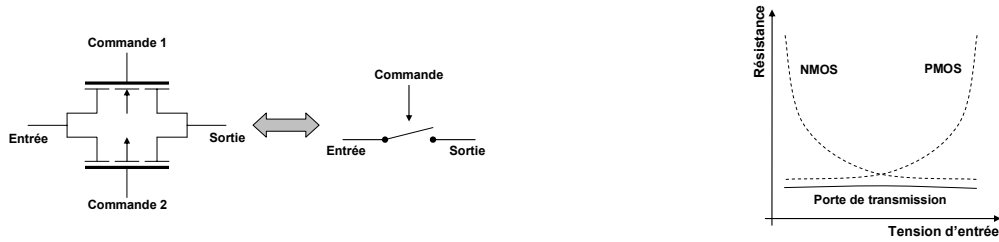


Figure 3.30 : Architecture et caractéristique de la porte de transmission.

Les interrupteurs ont pour rôle de transmettre ou de bloquer des signaux dont la tension de mode commun est de 1.2 V et l’amplitude maximale de 200 mV (format LVDS). Or le mode commun du signal à transmettre se situe précisément à l’intersection de la résistivité des NMOS et des PMOS, ce qui rend quasi équivalente au niveau linéarité les deux solutions. C’est donc dans un but de simplifier au maximum le système que l’interrupteur NMOS a été choisi car il ne nécessite qu’une seule commande.

2.3.2.3. Amplificateur de test

L’amplificateur de test a pour unique but de diminuer les temps de transition du signal rebouclé car celui-ci n’est pas conforme au niveau de ses temps de commutation à ceux demandés en entrée du démultiplexeur. En effet, les signaux à 250Mb/s en sortie possèdent un temps de commutation environ 16 fois supérieur à celui nécessaire en entrée.

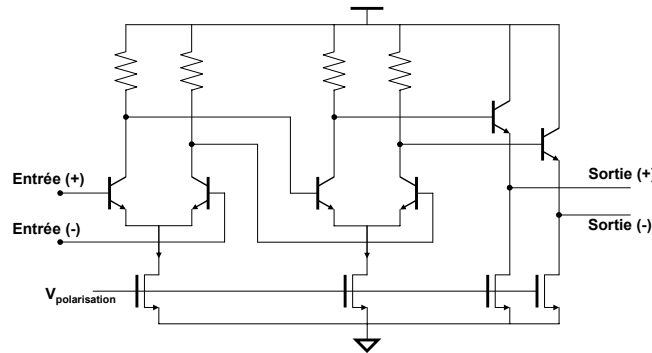


Figure 3.31 : Schéma électrique de l’amplificateur de test.

Cet amplificateur n’a donc pour but que d’amplifier les harmoniques de haut rang. Pour cela on utilise deux paires différentielles suivies d’un émetteur suiveur.

La visualisation des signaux en entrée et en sortie du registre permet de valider sa fonctionnalité. Le tableau décrivant les caractéristiques du signal de sortie montre que tous les fronts sont légèrement supérieurs aux 60ps requis. En effet, bien que l’on se trouve après les buffers LVDS comme ces données sont rebouclées sur l’entrée 4Gbps ce sont ses caractéristiques qui sont requises.

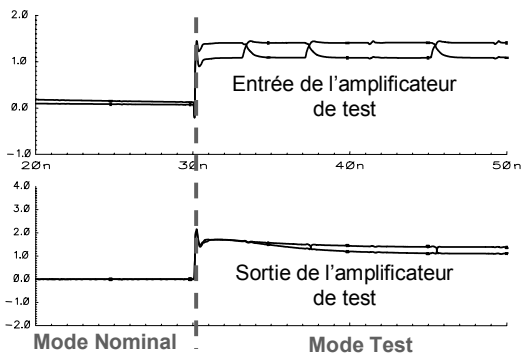


Figure 3.33 : Analyse temporelle des signaux de l’amplificateur de test.

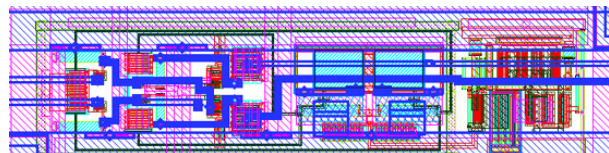


Figure 3.32 : Layout de l’amplificateur de test.

Valeur crête supérieure	1.42V	$\Delta = 0.3V$
Valeur crête inférieure	1.12V	
Temps de montée	80ps	
Temps de descente	75ps	

Tableau 3.08 : Bilan des caractéristiques transitoires du signal en sortie de l’amplificateur de test.

Cette légère dégradation des performances causées par la charge de l'amplificateur du fait de la longueur de la piste reliant le buffer LVDS à l'entrée du démultiplexeur n'est pas problématique car on se trouve dans un mode de test qui n'a pas pour but de vérifier les performances du démultiplexeur mais sa fonctionnalité.

Pour obtenir 60ps de temps de commutation, la puissance nécessaire aurait dû être doublée alors que le gain en performance est totalement inutile.

2.4. PAD et protection anti-décharge électrostatique

Pour pouvoir être implémenté au sein d'un système, une puce doit posséder des PADs. Ils servent de socle pour y connecter des fils d'aluminium ou d'or (bonding) permettant d'entrer et de sortir les signaux de la puce. Ils sont constitués d'une superposition de niveaux métalliques afin d'accroître la résistance de cette zone vis-à-vis des contraintes mécaniques appliquées lors de la connexion des bondings.

Mais du fait de leur structure, ils créent des capacités parasites avec le substrat, ce qui devient extrêmement problématique lors du transfert des signaux hautes fréquences.

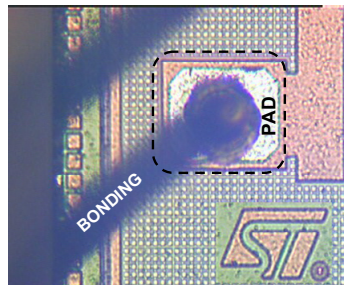


Figure 3.34 : Micrographie d'un PAD avec son bonding.

Ces PADs permettent aux signaux d'entrer dans la puce mais ils laissent aussi passer les décharges électrostatiques. Une décharge électrostatique, dont l'acronyme anglais est ESD (ElectroStatic Discharge), est un phénomène qui se produit quand une charge électrostatique accumulée localement se décharge de manière extrêmement rapide. Les décharges électrostatiques ont souvent pour cause :

- Des frottements (tribo-électricité)
- Un contact avec un corps chargé
- Une ionisation
- Une agitation de particules dans un courant d'air

La décharge électrostatique apparaît lorsque le champ électrique maximum dû à la charge accumulée sur un corps isolant dépasse la valeur du champ disruptif dans le milieu considéré. Le champ disruptif dans l'air dans des conditions normales (20°C, 11g/m³ d'humidité) est :

$$E_d = 3\text{MV/m}$$

Les décharges électrostatiques représentent l'une des principales causes de pannes de dispositifs électriques, il faut prendre des précautions particulières pour manipuler les composants électroniques et la meilleure parade consiste à implémenter dans les circuits des dispositifs de protection anti-ESD constitués de diodes.

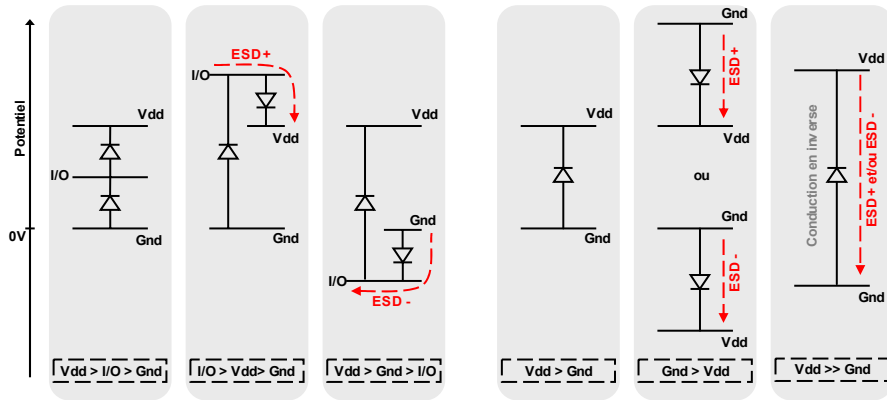


Figure 3.35 : Condition de déclenchement des diodes anti-ESD sur les entrées/sorties (I/O) et sur les alimentations.

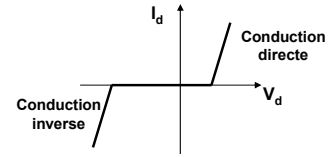


Figure 3.36 : Déclenchement des diodes anti-ESD.

Ces diodes anti-ESD se déclenchent quand le potentiel à leurs bornes dépasse le potentiel de conduction en direct ou en inverse. Comme le courant lors d'un ESD peut atteindre plusieurs dizaines d'ampères, il est nécessaire d'avoir des diodes capables de transmettre de tel courant. Mais de telles diodes doivent avoir une taille importante ce qui ramène au niveau du PAD une capacité parasite supplémentaire qu'il ne faut pas négliger.

2.5. Brochage

Comme on l'a vu dans le §II.1.6.4, le brochage d'un boîtier est relativement critique car il peut très fortement dégrader les performances du circuit qu'il renferme. Les alimentations (Vdd2a/b, Gnd2a/b) de l'amplificateur d'horloge à 4GHz sont les plus sensibles du système car elles doivent évacuer le mieux possible le bruit de l'amplificateur et des autres sous systèmes environnants pour que le signal de l'horloge interne soit le plus propre possible. C'est pour cela qu'elles sont situées quasiment au milieu d'une face pour minimiser la taille de leurs bondings qui ont une impédance parasite de 0.9nH/mm. Viennent ensuite par ordre d'importance, les données numériques à 4Gbps et l'horloge à 4GHz qui sont légèrement moins critiques. Les bits de sortie sont localisés tout autour de la puce sans égard pour la taille de leurs bondings car avec un débit de 250Mbps, ils ne sont pas critiques.

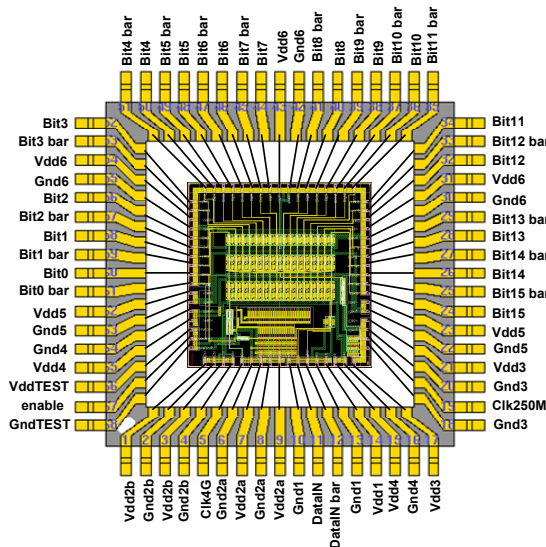


Figure 3.37 : Connectique entre le circuit et le boîtier.

2.6. Bilan des simulations

La matrice de conformité permet de constater rapidement qu'en simulation, PHOBOS est conforme avec toutes les spécifications qui lui étaient imposées.

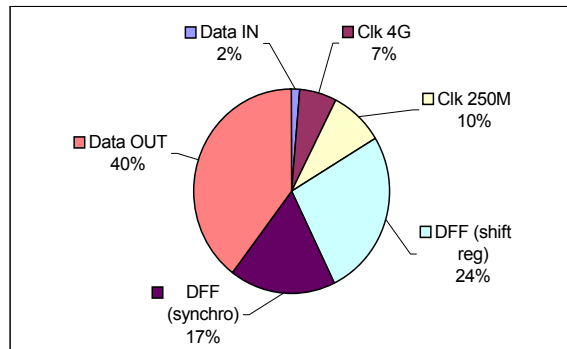
Tableau 3.09 : Matrice de conformité.

Objet	Spécifications	Caractéristiques	Conformité Oui/Non
Puissance du signal des horloges à 4GHz et 250MHz	0dBm		Oui
Impédance d'entrée des horloges 4GHz et 250MHz	50Ohms		Oui
Impédance d'entrée des données	100Ohms différentiel		Oui
Standard d'entrée et de sortie	LVDS		Oui
Durée des fronts montants et descendants en sortie	< 400ps	< 300ps	Oui
Puissance dissipée en mode nominal	< 2W	750mW	Oui
Implémentation d'un mode de test			Oui

Tableau 3.10 : Tableau bilan de la consommation des différents blocs du DEMUX

Bloc	Nbr de PAD	Conso. unitaire	Puissance unitaire	Nbr de composant	Puissance globale du bloc
Data IN	1	4,6 mA	11,5 mW	1	11,5 mW
Clk 4G	4	18 mA	45 mW	1	45 mW
Clk 250M	1	27,13 mA	67,825 mW	1	67,825 mW
DFF (shift reg)	2	4,96 mA	12,4 mW	16	198,4 mW
DFF (synchro)	2	3,3 mA	8,25 mW	16	132 mW
Data OUT	4	7,5 mA	18,75 mW	16	300 mW
TOTAL					754,725 mW

Ampli TEST	1	22 mA	55 mW	1	55 mW
TOTAL					809,725 mW



Grâce au tableau bilan de la consommation du démultiplexeur, on constate rapidement que les buffers LVDS contribuent en grande partie à la consommation globale du circuit alors qu'ils n'ont qu'un rôle d'interface, mais cet état de fait ne peut que très difficilement s'améliorer. C'est suite à un long travail d'optimisation que la consommation du circuit dans son ensemble a pu être abaissée à environ 750mW.

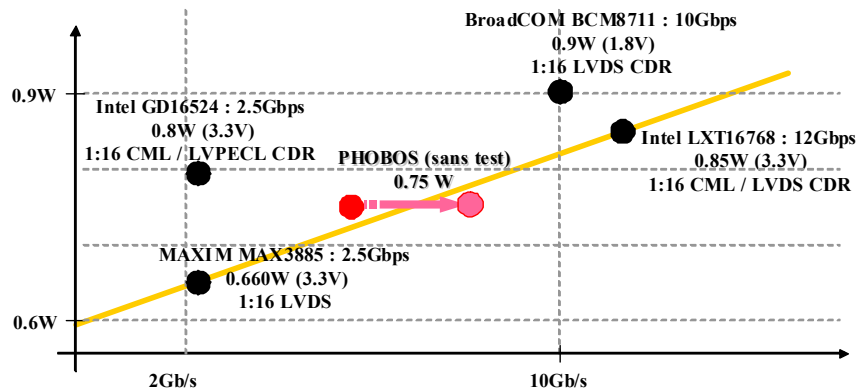


Figure 3.38 : Etat de l'art des DEMUX.

Cette faible consommation permet de situer le démultiplexeur PHOBOS au niveau des meilleurs démultiplexeurs du commerce car il est fonctionnel jusqu'à 8Gbps. Bien que PHOBOS soit différent au niveau de certaines caractéristiques (test interne, CDR, etc.), une telle comparaison permet tout de même de juger du bon rapport performance/consommation de ce circuit.

3 Mesures du démultiplexeur ALMA

Les mesures sur le démultiplexeur ALMA ont été réalisées comme l'ensemble des mesures présentées dans cette thèse à l'Observatoire Astronomique de Floirac avec l'aide de Guy Montignac et Stéphane Gauffre. Ces mesures se décomposent en deux étapes. Tout d'abord, on teste la connectique (tests statiques) du circuit puis c'est au tour de la fonctionnalité d'être vérifiée. Et pour finir, on mesure les performances du système.

3.1. Tests statiques

Les tests statiques ont pour but de vérifier dans un premier temps la connectique du circuit avec le PCB. Ensuite, si aucun court-circuit ou circuit ouvert n'est détecté, on vérifie si les polarisations sont correctes par la correspondance des courants consommés avec ceux simulés.

3.1.1. Présentation de la procédure et du montage de test

Le banc de test en courant est composé d'un boîtier permettant de commuter la ligne d'alimentation choisie vers un multimètre. Ceci permet de mesurer le courant consommé pour chaque alimentation.

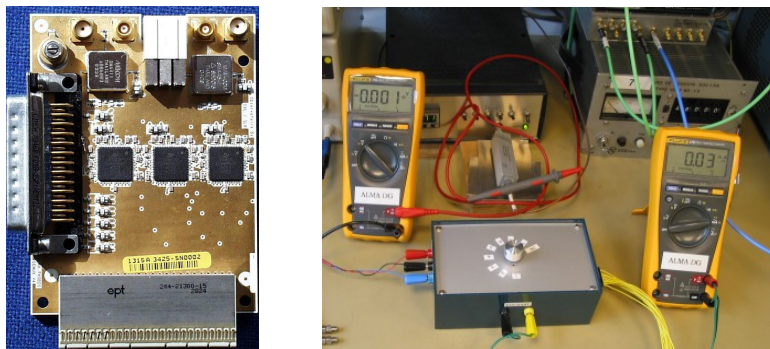


Figure 3.39 : Visualisation de la carte 3 DEMUX et de son banc de test en courant.

3.1.2. Présentation des résultats et de leur dispersion vis-à-vis de la simulation

Les mesures grâce au banc de test sur plusieurs dizaines de circuits ont permis de réaliser le fenêtrage suivant. Elles représentent les extrémités mesurées de la gaussienne qui représente la distribution statistique des courants.

Tableau 3.11 : Bilan des courants mesurés et simulations initiales.

	Limite basse mesuré	Limite haute mesuré	Limite basse simulée	Limite haute simulée	Unité
I_Vdd1	1.5	3.5	2.5	7	mA
I_Vdd2	10	22	12	25	mA
I_Vdd3	18.5	29.5	24	41	mA
I_Vdd4	58	76	48	88	mA
I_Vdd5	35	53	41	75	mA
I_Vdd6	100	120	108	140	mA

Comme on le voit sur le tableau précédent, il n'y a pas concordance exacte entre les mesures et la simulation. Pour toutes les alimentations, la gaussienne mesurée est toujours décalée vers le bas par rapport à la gaussienne simulée. Cet état de fait met en évidence un manque de précision des simulations probablement dû à l'omission d'un phénomène parasite qu'il va falloir découvrir. Ce décalage se retrouve aussi au niveau de la puissance moyenne consommée entre la simulation initiale (810mW) et la mesure (650mW).

3.1.3. Recherche des causes de la non convergence des résultats

Les chutes de tension dans les rails d'alimentation sont les principales causes suspectées pour expliquer ces chutes de consommation. Pour vérifier cette hypothèse, un nouveau modèle a été simulé dans lequel sur chaque rail positif et négatif, des résistances furent insérées afin de reproduire au mieux la chute de tension interne causée par la résistivité des pistes d'alimentation. Les résistances sur les rails d'alimentation furent extraites manuellement en prenant en compte la géométrie des pistes d'alimentation et leur nature (niveau de métal). A cette résistance de piste, il est nécessaire d'ajouter une résistance de bonding de 0.5Ω afin d'avoir une estimation correcte de la résistance du rail.

$$R = R_{\text{piste}} + R_{\text{bonding}} = R_{\text{piste}} + 0.5$$

La résistance de chaque piste est obtenue en faisant le rapport de la longueur sur la largeur de la piste et en multipliant le tout par sa résistivité par carré qui dépend du niveau de métallisation.

$$R_{\text{piste}} = (W/L) \times \rho$$

Tableau 3.12 : Tableau descriptif de la résistivité des pistes métalliques pour les métaux : M4/M5

Métal niveau 5	$\rho = 66\text{m}\Omega / \square$
Métal niveau 4	$\rho = 12,8\text{m}\Omega / \square$

Grâce à quelques calculs (annexe 2), on obtient la valeur des résistances des rails positif et négatif. Et ces résistances permettent une fois implémentées dans le modèle d'obtenir de nouvelles valeurs de la consommation.

Tableau 3.13 : Bilan des courants mesurés et simulés.

	Limite basse mesurée	Limite haute mesurée	Limite basse simulée avec R sur les alimentations	Limite haute simulée avec R sur les alimentations	Unité	Résistance sur le rail d'alimentation positif et négatif
I_Vdd1	1.5	3.5	2	5	mA	1.8
I_Vdd2a	10	22	11	23	mA	2.5
I_Vdd2b						3.2
I_Vdd3	18.5	29.5	19	40	mA	4
I_Vdd4	58	76	48	85	mA	2.3
I_Vdd5	35	53	36	71	mA	3
I_Vdd6	100	120	85	122	mA	0.7

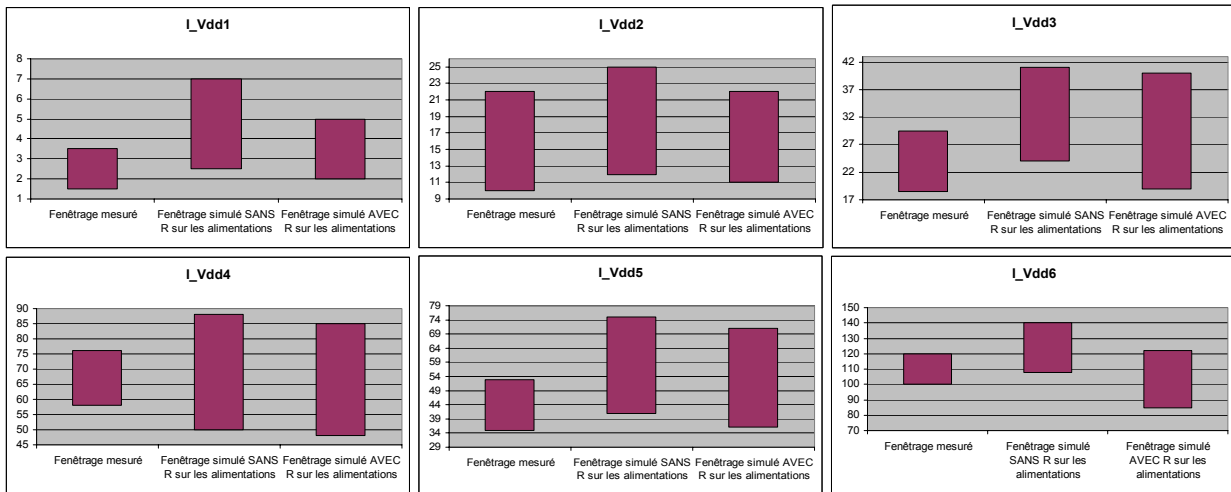


Figure 3.40 : Visualisation graphique des courants simulés et mesurés

Pour l'ensemble des alimentations, l'ajout des résistances d'alimentation a permis à la simulation de se rapprocher des mesures.

3.2. Tests dynamiques

Une fois que les tests statiques ont montré que le circuit est bien connecté et polarisé, les tests dynamiques peuvent débuter. Ils permettent de vérifier la fonctionnalité du circuit dans un premier temps puis de mesurer ses performances.

3.2.1. Présentation du montage et de la procédure de test

Le banc de test est très simple. Il est constitué d'un connecteur 256 broches male que l'on connecte en sortie de la carte avec les trois démultiplexeurs et d'un oscilloscope. La carte a pour but de charger avec une charge 100Ω différentielle les buffers LVDS des démultiplexeurs afin qu'ils fonctionnent en condition nominale. Et l'oscilloscope permet de visualiser les signaux en entrée et en sortie des démultiplexeurs.

3.2.2. Validation de la fonctionnalité

Le démultiplexeur ALMA possède deux modes de fonctionnement. Pour vérifier s'il est totalement fonctionnel, il est nécessaire de vérifier que ces deux modes de fonctionnement sont valides.

Pour vérifier que le mode nominal est fonctionnel, il suffit de brancher un générateur de signal désynchronisé des horloges en entrée et de visualiser le diagramme de l'œil des différentes sorties.

Pour vérifier que le mode de test est fonctionnel il suffit juste de phaser les horloges et de constater la présence d'un signal périodique sur l'ensemble des sorties du démultiplexeur.

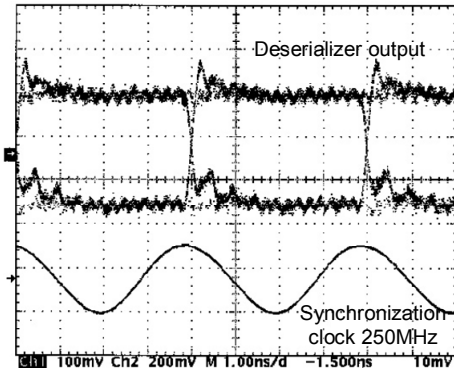


Figure 3.41 : Diagramme de l’œil en sortie du DEMUX.

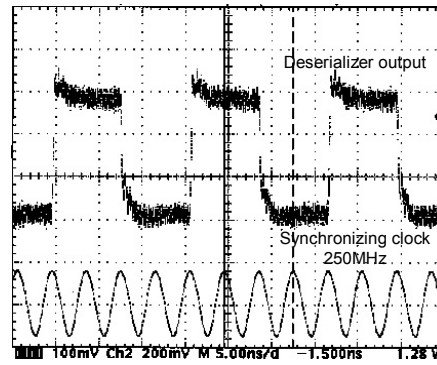


Figure 3.42 : Sorties en mode test.

Les diagrammes des figures précédentes sont les mêmes pour l’ensemble des sorties du circuit. Comme ils sont très peu bruités, cela permet de vérifier que les données en sortie sont exploitables par un étage en aval. De plus les temps de commutation mesurés ($400\pm 100ps$) sont très inférieurs à la nanoseconde requise.

Figure 3.43 : Comparaison de la norme LVDS et des mesures des sorties du DEMUX.

	Norme LVDS		Mesures		Unité
	Min.	Max.	Min.	Max.	
Plage d’excursion en tension	0.925	1.475	0.95	1.4	V
Tension différentielle	250	400	250	290	mV

Le tableau précédent valide la conformité des signaux de sortie avec la norme LVDS.

3.2.3. Validation des performances

Une fois la fonctionnalité du circuit vérifiée, il est alors possible de passer à la phase de validation des performances.

Pour réaliser cette vérification, le test suivant a été imaginé. Ce test consiste à envoyer un signal de 1.6GHz en entrée du démultiplexeur. Après phasage des horloges, la simulation prédit que les signaux de sortie doivent avoir la forme décrite dans le schéma suivant.

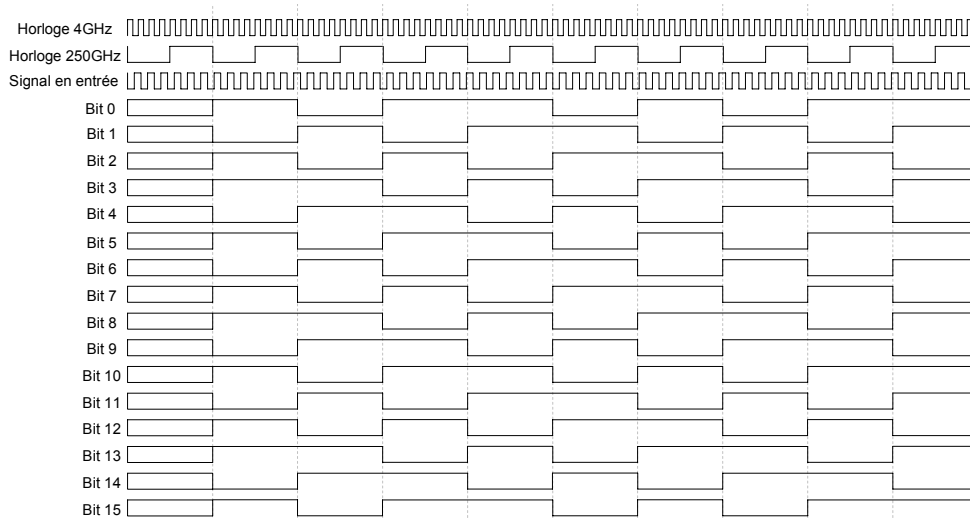


Figure 3.44 : Chronogramme de simulation du comportement de DEMUX avec un signal en entrée de 1.6GHz.

Les effets de "hachures" (Fig. 3.45) sont dûs au mode d'affichage vectoriel de l'oscilloscope. On montre ici que le signal n'a pas le motif répétitif attendu car le transfert se fait quand a lieu un décalage d'horloge.

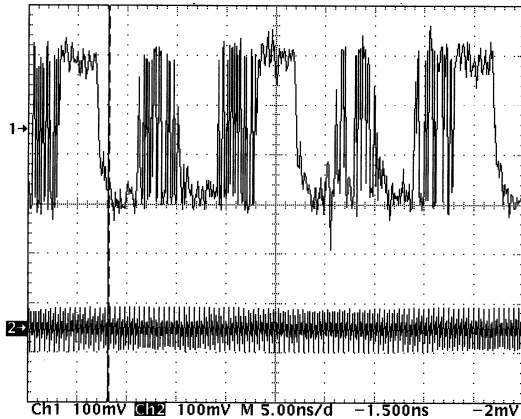


Figure 3.45 : Visualisation d'une sortie avec un mauvais phasage des horloges.

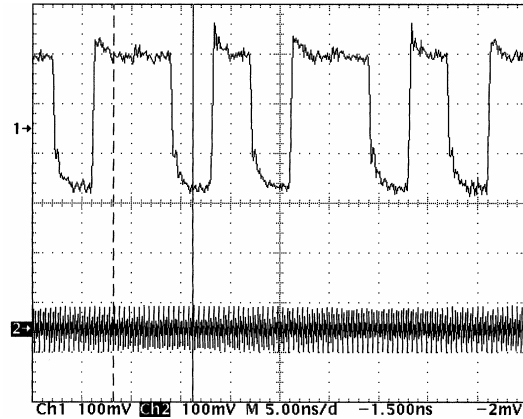


Figure 3.46 : Visualisation d'une sortie avec un bon phasage des horloges.

Une fois les réglages obtenus (Fig. 46), on obtient le résultat prédit par la simulation. On ne visualise ici qu'une seule sortie mais les autres montrent les mêmes motifs.

Cet ultime test permet de vérifier que le démultiplexeur ALMA est pleinement fonctionnel à sa fréquence de fonctionnement nominal de 4GHz.

4 Conclusion

Du transistor jusqu'aux circuits définitifs en passant par les sous blocs, la simulation a permis de vérifier la concordance des résultats avec le cahier des charges comme le montrent les matrices de conformité à la fin de l'étape de conception. Cette méthodologie bien que relativement simple a demandé des mois de travail pour réaliser ce circuit. Mais c'est l'optimisation de la consommation, très gourmande en temps de travail, qui est principalement à l'origine d'un tel délai de conception. Car chaque diminution de la consommation, même localisée, a des répercussions sur les performances du circuit qu'il faut minimiser. Et c'est grâce à un tel cheminement que la conception d'un démultiplexeur pour le projet ALMA a pu être réalisée.

Quoi qu'il en soit, il ne faut pas oublier que tous ces résultats sont issus de simulation. Une petite divergence a été observée entre la simulation et les mesures au niveau de la consommation des différents étages du démultiplexeur. Une fois que les chutes de tension dans les alimentations ont été prises en compte, on constate que la simulation valide beaucoup mieux les mesures même si de légères inégalités persistent encore du fait de la non prise en compte de la totalité des phénomènes parasites (résistance de VIA, résistance des lignes sur le PCB,...).

Une fois l'investigation des tests statiques terminés, les différents tests dynamiques ont permis de valider la fonctionnalité et surtout les performances du démultiplexeur à 4GHz. D'autres tests, tel la mesure du BER (Bit Error Rate) et la mesure des temps de commutation des bits de sortie, viendront bientôt compléter la caractérisation des démultiplexeurs ALMA.

CHAPITRE IV

Etude, Conception et Caractérisation du Convertisseur ALMA

Une fois le démultiplexeur conçu, fabriqué et caractérisé, il est alors possible de passer à la conception du convertisseur analogique-numérique ALMA. La phase d'étude utilise la même méthodologie que celle décrite dans le chapitre précédent. Elle consiste, à partir des spécifications, à concevoir des sous systèmes que l'on assemble afin de réaliser le convertisseur final.

Deux convertisseurs (VEGA 1 et VEGA 2) ont été conçus et testés. La procédure de test se divise en deux parties pour valider ces circuits. La première vérification est un test statique qui consiste à mesurer les courants de chaque alimentation. Ensuite, on compare la mesure avec la simulation ce qui permet de vérifier l'absence de court circuit ou de circuit ouvert. La seconde étape est un test dynamique. Elle permet de vérifier tout d'abord la fonctionnalité puis les performances du système.

Tous ces tests devront être effectués sur les centaines de circuits qui seront utilisés pour équiper les 64 antennes dans un avenir proche. C'est pour cela que des procédures et des bancs de test spécifiques ont été développés et sont en cours d'automatisation.

A la suite de la caractérisation, le meilleur des deux convertisseurs sera choisi pour être implémenté au sein du digitizer ALMA.

1 Etude et choix préliminaires pour le convertisseur ALMA

Au tout début du projet, le cahier des charges du convertisseur se limitait uniquement aux caractéristiques suivantes :

- Vitesse d'échantillonnage : 4Géch/s
- Bande passant en entrée à 0.5dB : 2 – 4GHz
- Consommation maximale : 2Watts

A cela s'ajoute une durée de vie minimale de 10 ans. Cette durée est imposée par le projet ALMA et elle est la conséquence de la difficulté des opérations de maintenance à très haute altitude.

1.1. Historique

Suite au design du démultiplexeur PHOBOS, le dessin des convertisseurs ALMA nommés VEGA 1 et VEGA 2 a pu commencer. Ces deux circuits sont inspirés des travaux menés durant la thèse de David Deschans [DES-03] qui a développé un premier convertisseur analogique numérique 3 bits.

1.2. Présentation de l'architecture

1.2.1. Choix de l'architecture

Comme on l'a vu le chapitre sur dans l'état de l'art des convertisseurs à haute fréquence, actuellement seules l'architecture Flash permet d'obtenir de manière relativement simple et industrialisable un échantillonnage à 4Gps. Toutefois ce résultat est acquis au prix d'une consommation qui double pour chaque bit de résolution supplémentaire.

La bande passante requise par le projet ALMA est définie entre 2 et 4GHz avec une variation maximale du gain ne devant pas excéder +/- 0,5dB. De plus, l'amplificateur doit être le plus résistant possible à la saturation pour ne pas observer d'offset dynamique qui nuirait à la précision des résultats. Enfin l'adaptation sur l'entrée analogique doit être correcte : $S_{11} < -13\text{dB}$.

1.2.2. Choix de la résolution

La résolution du convertisseur doit être suffisante pour ne pas dégrader de manière trop importante le signal analysé mais à l'inverse elle ne doit pas être trop grande pour que le corrélateur puisse effectuer ses calculs à haute vitesse avec des puces dont la résolution même ne peut pas être trop grande pour des raisons pratiques. Un compromis est donc nécessaire.

Les signaux analogiques analysés en radio astronomie sont équivalents à un bruit blanc gaussien. Or la numérisation d'un tel signal peut s'effectuer sur un nombre de bits réduits sans occasionner une forte perte d'information [MAX-87]. En effet en radioastronomie, on ne cherche pas à quantifier à chaque instant la valeur absolue d'un signal analogique comme cela est réalisé par les convertisseurs dans les applications traditionnelles en électronique mais on cherche plutôt sa distribution statistique de puissance sachant que cette puissance varie lentement avec le temps. Le signal bruité sera en effet intégré durant un temps donné afin d'en extraire le signal utile dans le but d'analyser les informations scientifiques qu'il contient.

Malheureusement, la numérisation d'un signal dégrade ce même signal par l'ajout d'un bruit de quantification qui altère les performances du spectromètre. La sensibilité η caractérise cette dégradation de performance (voir par exemple [CAÏ-98] [RAV-99]). Elle est définie par le rapport entre le signal-sur-bruit SNR_n d'un corrélateur numérique dont les signaux d'entrée sont quantifiés sur n niveaux et le signal-sur-bruit SNR_∞ d'un corrélateur analogique, c'est-à-dire un corrélateur disposant d'un nombre infini de pas de quantification à l'entrée.

$$\eta = \frac{SNR_n}{SNR_\infty} \quad \text{Équation 4.01}$$



Figure 4.01 : Sensibilité maximale d'un CAN à la fréquence de Nyquist.

A partir de la figure précédente obtenue suivant les travaux de [COO-70] [THO-01] [THO-98], on peut constater que le meilleur compromis sensibilité / consommation pour un convertisseur de type Flash (dont la consommation double pour chaque bit de résolution supplémentaire) se situe autour d'une résolution de deux bits.

Pour le projet ALMA, on choisit 3 bits de résolution afin d'accroître la définition du système tout en n'augmentant que peu la consommation.

2 Conception du convertisseur VEGA 1

2.1. Descriptif du système

Comme nous l'avons établi, le convertisseur ALMA est réalisé à partir d'une architecture parallèle ou flash qui a pour but de numériser un signal à une fréquence d'échantillonnage de 4GHz sur 2GHz de bande passante avec une résolution de 3 bits (8 niveaux).

Ce convertisseur a la particularité de ne pas utiliser d'échantillonneur bloqueur (E/B) en entrée du circuit. L'échantillonnage a donc lieu au niveau des premières bascules mémoire que rencontre le signal. Un tel système (sans E/B) est plus simple, mais cette configuration est envisageable uniquement à cause de la faible résolution du convertisseur ALMA car cela permet de négliger la perte de sensibilité due à la suppression de l'E/B devant le pas de quantification du convertisseur 3 bits.

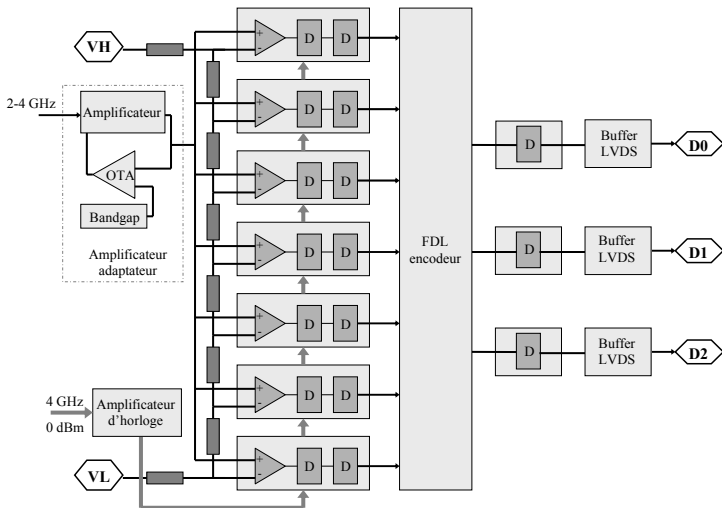


Figure 4.02 : Architecture de VEGA 1.

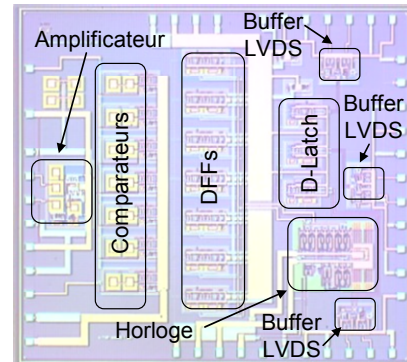


Figure 4.03 : Micrographie de VEGA 1.

Un amplificateur adaptateur est implémenté en entrée du système. Cet étage a pour fonction de maintenir le niveau moyen du signal amplifié au centre de la fenêtre de comparaison définie par les tensions de référence. Un fois amplifié, ce signal est comparé aux tensions de référence issues de la chaîne de résistance. Les données numériques résultant de ces comparaisons sont ensuite mémorisées dans les bascules DFF configurées en Maître-Esclave afin d'éviter les problèmes de métastabilité. L'étape suivante consiste à combiner dans l'encodeur les données issues des bascules DFF d'échantillonnage pour créer un codage conforme au code Gray. Ensuite un dernier étage de bascule permet de synchroniser tous les bits en sortie de l'encodeur avant de les transmettre vers l'extérieur par l'intermédiaire des buffers LVDS.

Comme pour le démultiplexeur, les fronts des signaux numériques vont devoir être inférieurs à 60ps afin de ne pas dégrader les performances du circuit.

2.2. Amplificateur adaptateur

L'amplificateur adaptateur est le premier bloc analogique rencontré par le signal issu des mélangeurs en amont.

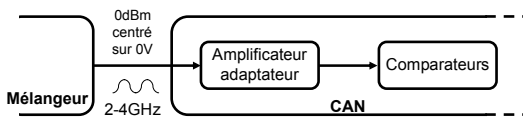


Figure 4.04 : Synoptique des blocs adjacents à l'amplificateur adaptateur.

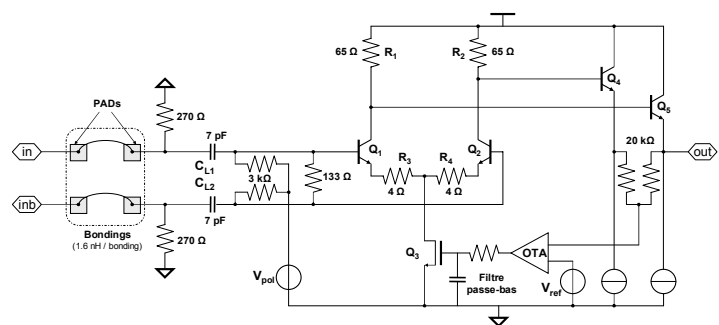


Figure 4.05 : Architecture de l'amplificateur adaptateur.

Son principal rôle est d'adapter et d'amplifier le signal analogique en amont des étages de numérisation et d'échantillonnage. Il doit aussi maintenir la valeur moyenne du signal amplifié au centre de la fenêtre de comparaison déterminée par les deux tensions extérieures de référence V_H et V_L appliquées sur les entrées de l'échelle de résistance.

L'amplificateur adaptateur se compose d'un premier étage constitué d'une paire différentielle (transistors Q_1 et Q_2) dégénérée par les résistances R_3, R_4 afin d'augmenter la bande passante au prix d'une diminution du gain. La paire différentielle est polarisée par le transistor NMOS Q_3 lui-même piloté par l'OTA.

Le deuxième étage est un amplificateur à émetteur suiveur permettant de réduire la capacité vue par la sortie de la paire différentielle ce qui permet d'augmenter encore la bande passante de l'amplificateur.

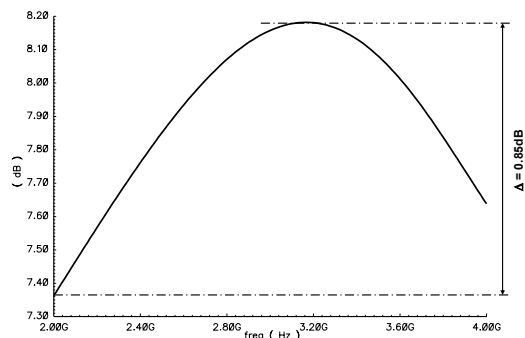


Figure 4.06 : Bande passante de l'amplificateur adaptateur.

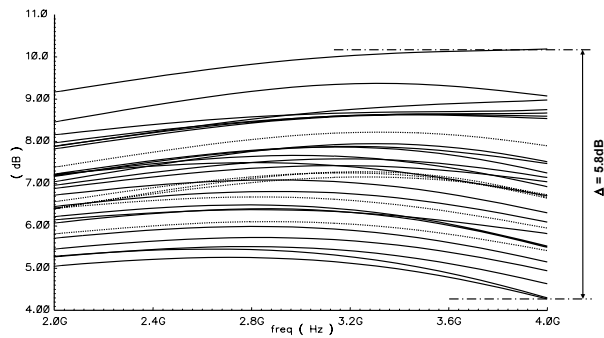


Figure 4.07 : Analyse Monte Carlo de la bande passante de l'amplificateur adaptateur.

Au final, l'amplificateur a un gain typique compris entre 7.36 et 8.18dB avec une bande passante de 2-4.3 GHz pour une variation du gain de $\pm 0,5$ dB mais ce gain est soumis aux variations de process comme le montre l'analyse Monte Carlo. La valeur absolue du gain varie légèrement mais ceci sera compensé par le réglage des tensions externes V_H et V_L .

La tension analogique d'entrée étant asymétrique, elle est appliquée à une seule entrée de l'amplificateur par l'intermédiaire d'une capacité de liaison interne C_{L1} qui permet d'isoler les polarisations interne et externe. La seconde entrée est connectée à une masse externe par la capacité C_{L2} . C'est grâce au pouvoir de réjection du mode commun de la paire différentielle que l'amplificateur génère deux sorties différentielles.

Un réseau de résistance qui suit les capacités de liaison permet d'adapter 50Ω sur la plage de fréquence souhaitée (2-4GHz). Comme on peut le voir sur en simulation (Fig. 4.08), le coefficient de réflexion (S11) est inférieur à -10dB pour plus de 90% des variations de process. Cette adaptation n'est pas idéale mais elle est améliorée par la présence d'un atténuateur -10dB sur l'entrée du demi-digitizer.

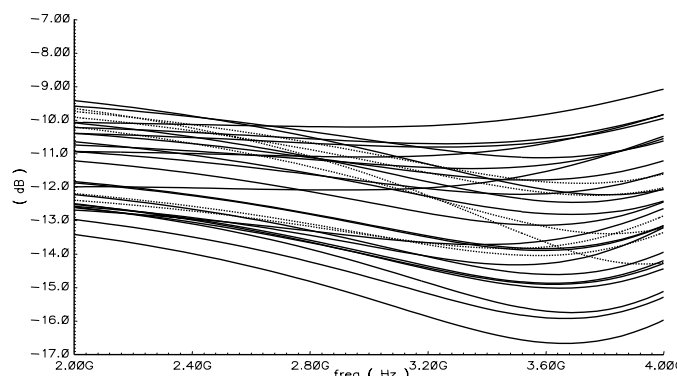


Figure 4.08 : Simulation Monte Carlo de l'adaptation (S11) sur l'entrée de l'amplificateur.

Le maintien de la valeur moyenne du signal analogique d'entrée au centre de la fenêtre de comparaison est assuré par une contre-réaction en mode commun effectuée par l'intermédiaire d'un amplificateur à transconductance (OTA).

La sortie de l'amplificateur est moyennée par l'addition des deux sorties complémentaires du second étage au travers de deux résistances puis cette tension moyenne est comparée à la tension issue d'un générateur de tension de type bandgap (§III.2.3.1.1) par l'intermédiaire de l'OTA.

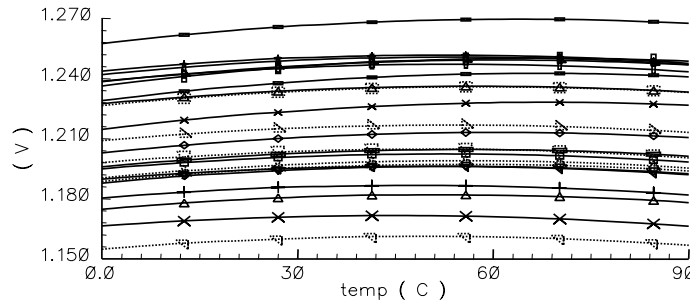


Figure 4.09 : Simulation Monte Carlo de la tension générée par le bandgap.

Dans le cas du générateur bandgap localisé dans l'amplificateur adaptateur, les simulations en température sur la plage allant de 0°C à +90°C, ont montré une variation de la tension typique issue du bandgap de 9 mV soit : $(1/1.2V) \times (9mV) / (90-0) = 83ppm$.

L'OTA permet donc d'asservir le mode commun de la tension de sortie de l'amplificateur en commandant la polarisation de l'étage amplificateur. Ainsi si le niveau moyen est inférieur à V_{ref} , le courant de sortie de l'OTA décroît, diminuant ainsi le courant de polarisation I_{Q3} dans la paire différentielle ce qui diminue l'amplitude du signal de sortie, et compense le niveau moyen. Et inversement si le niveau moyen en sortie de l'amplificateur est supérieur à la tension V_{ref} . Cette contre-réaction permet bien d'asservir le niveau moyen de la sortie de l'amplificateur sur la tension V_{ref} . On voit grâce à la figure suivante comment une variation du courant issue du transistor Q_3 permet de modifier le mode commun des signaux en sortie de la paire différentielle.

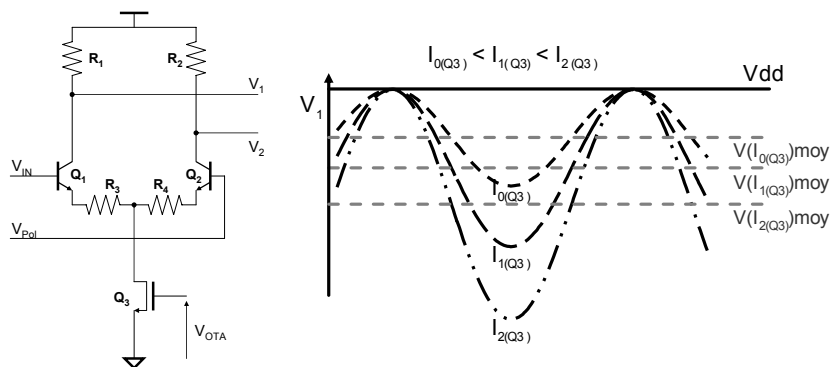


Figure 4.10 : Visualisation des signaux de sortie de la paire différentielle.

Cette boucle de contre réaction permet d'éviter d'avoir recours à un générateur d'offset variable externe qu'il faudrait régler manuellement ce qui représente une manipulation complexe. De plus, un tel système ne prendrait pas en compte les variations de température du système qui sont génératrice d'offset.

Un niveau moyen de sortie de 1.2V a été choisi pour le convertisseur. Ce niveau tient compte de la fenêtre optimale de comparaison des comparateurs ainsi que des régimes de fonctionnement des transistors constituant l'amplificateur.

L'OTA ne doit pas prendre en compte les variations à haute fréquence de la sortie moyennée car dans ces conditions le signal amplifié serait modulé et inutilisable pour l'intégration. C'est pour cela qu'un filtre passe bas constitué de deux cellules RC est inséré entre l'OTA et le NMOS de la paire différentielle.

L'OTA présente un gain de -17dB en basse fréquence et une fréquence de coupure à -3dB de 2.7kHz avec la capacité externe. Ce gain toujours négatif permet à cette boucle d'être inconditionnellement stable d'après les critères de stabilité de Barkhausen.

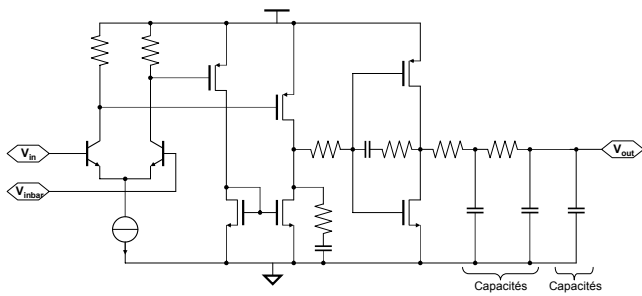


Figure 4.11 : Architecture de l'OTA.

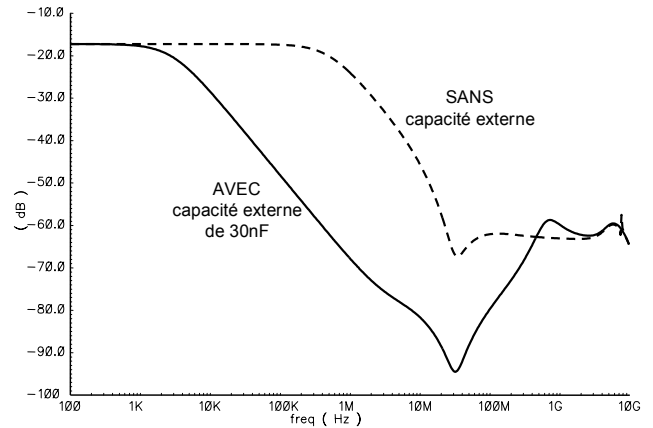


Figure 4.12 : Bande passante de l'OTA avec et sans capacité externe

Pour ne pas observer d'offset dynamique en sortie de l'amplificateur, il est nécessaire d'avoir une grande linéarité pour les forts signaux. Pour quantifier cette linéarité grand signal, nous utilisons la l'approche suivante :

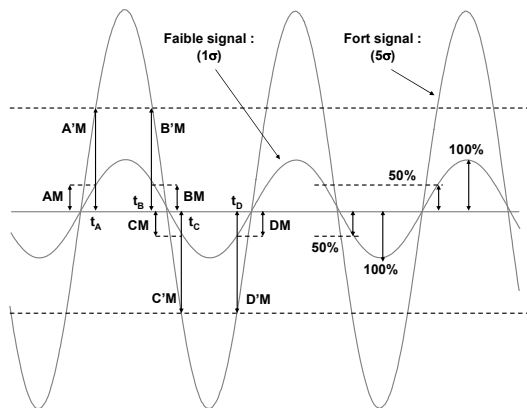


Figure 4.13 : Définition des tensions caractéristiques avec des signaux parfaits.

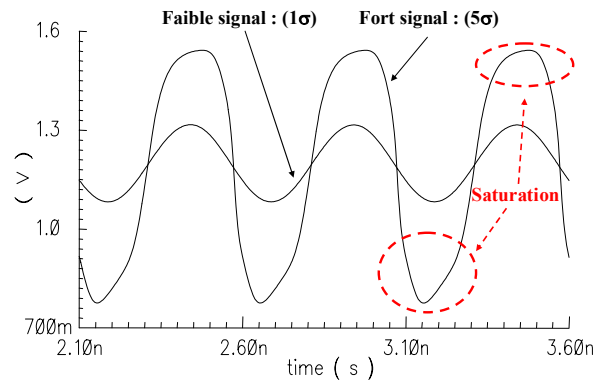


Figure 4.14 : Simulation de la saturation de l'amplificateur d'entrée.

On applique un signal de faible niveau "1σ" (104mV cf. annexe 2) dont on mesure l'amplitude à quatre instants distincts. Les moments "t_A, t_B, t_C, t_D" correspondent aux instants où le signal en sortie de l'amplificateur (pour un faible niveau) passe par la valeur :

$$V_{1\sigma}(t_A, t_B, t_C, t_D) = V_{moy} \pm \frac{V_{cc}}{4}$$

Une fois les instants t_A, t_B, t_C, t_D définis, on mesure les tensions de sortie de l'amplificateur pour un fort signal "5σ" :

$$V_{5\sigma}(t_A), V_{5\sigma}(t_B), V_{5\sigma}(t_C), V_{5\sigma}(t_D)$$

Grâce à ces tensions, on peut observer l'immunité de l'amplificateur vis-à-vis de la saturation :

$$\begin{array}{lll}
 AM = V_{1\sigma}(t_A) - V_{moy} & A'M = V_{5\sigma}(t_A) - V_{moy} & AA' = A'M / AM \\
 BM = V_{1\sigma}(t_B) - V_{moy} & B'M = V_{5\sigma}(t_B) - V_{moy} & BB' = B'M / BM \\
 CM = V_{1\sigma}(t_C) - V_{moy} & C'M = V_{5\sigma}(t_C) - V_{moy} & CC' = C'M / CM \\
 DM = V_{1\sigma}(t_D) - V_{moy} & D'M = V_{5\sigma}(t_D) - V_{moy} & DD' = D'M / DM
 \end{array}$$

Les faibles signaux étant cinq fois plus faible que les forts, on doit théoriquement retrouver ce facteur 5 en faisant les rapports : AA', BB', CC' et DD'.

Suivant cette méthodologie et par l'intermédiaire des simulations, on obtient les valeurs suivantes:

Tableau 4.01 : Résultats de simulation du gain en saturation à 2 et 4GHz

à 2GHz		à 4GHz	
AA'	3,851	AA'	3,979
BB'	4,88	BB'	5,329
CC'	4,882	CC'	4,446
DD'	4,885	DD'	4,847

On constate rapidement que ces résultats sont relativement proches de la valeur théorique de 5 ce qui montre une relative immunité vis-à-vis de la saturation. Seuls les gains AA' à 2GHz et à 4GHz sont légèrement éloignés. Cette dérive est directement la conséquence du retard dû à la saturation de l'amplificateur.

Une fois la taille des composants définis, il est alors possible de passer à l'étape de dessin des masques (Layout). Lors de cette étape, un double anneau de garde a été implanté et relié aux alimentations afin d'avoir une isolation maximale du bloc vis-à-vis des perturbations numériques propagées par le substrat.

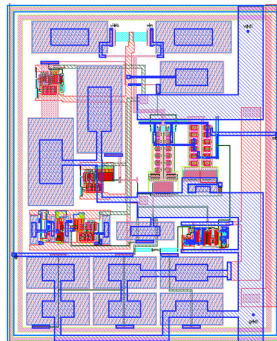


Figure 4.15 : Layout de l'amplificateur adaptateur.

2.3. Chaîne de résistance

La chaîne de résistance permet à partir de deux tensions externes V_H et V_L de générer les sept tensions de référence indispensables aux comparateurs. Pour cela, six résistances de valeur identique : $R_{ref} = 23.3\Omega$ (Fig. 4.17) sont utilisées.

La définition de cette valeur spécifique a été réalisée durant la thèse de David Deschans [DES-03], c'est pour cette raison que leurs calculs ne sont pas repris dans ce document.

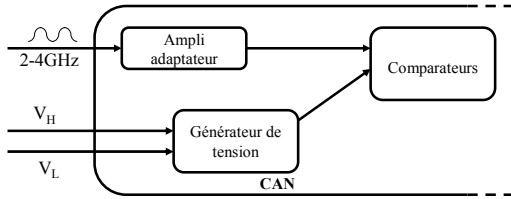


Figure 4.16 : Synoptique des blocs adjacents au générateur de tension de référence.

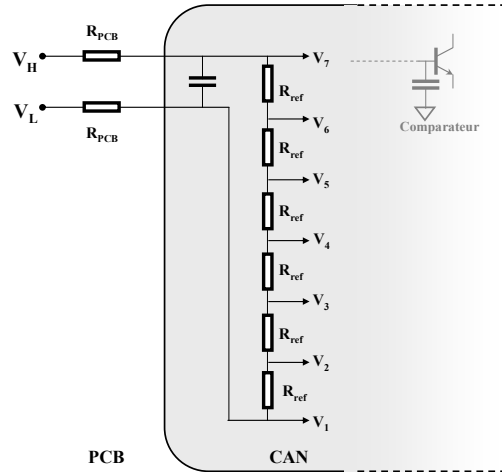


Figure 4.17 : Architecture de l'échelle de référence de tension.

2.4. Compareurs

Les comparateurs vont transformer le signal analogique issu de l'amplificateur en données numériques à temps continu avant qu'elles ne soient échantillonnées par les bascules DFF en aval.

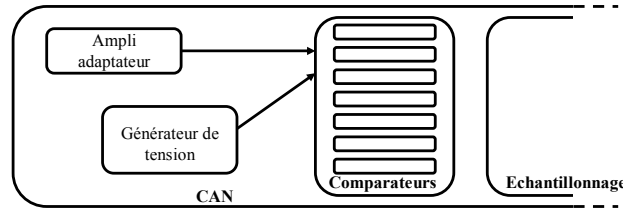


Figure 4.18 : Synoptique des blocs adjacents aux comparateurs.

Un comparateur peut être défini comme un amplificateur à gain infini. Or une seule paire différentielle ne possède pas assez de gain pour être assimilée à un tel système. C'est pourquoi le comparateur est composé de deux paires différentielles "Q₁Q₂" et "Q₃Q₄" (cf. Figure 4.21). La première paire différentielle effectue la comparaison entre le signal fourni par l'amplificateur adaptateur et la tension de référence. Et la seconde amplifie le résultat pour réduire au maximum la zone d'indécision de l'élément. Le tout est suivi par deux transistors Q₅Q₆ montés en suiveur afin de diminuer la charge vue par la seconde paire différentielle dans le but d'accroître la bande passante de l'ensemble.

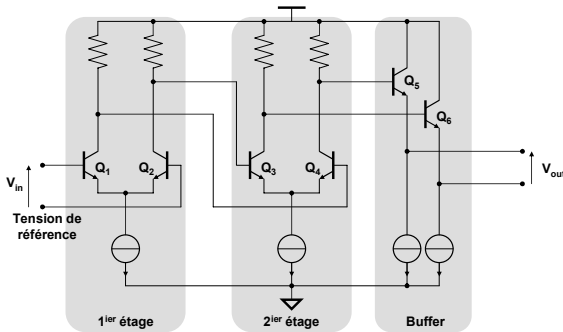


Figure 4.19 : Schéma électrique du comparateur.

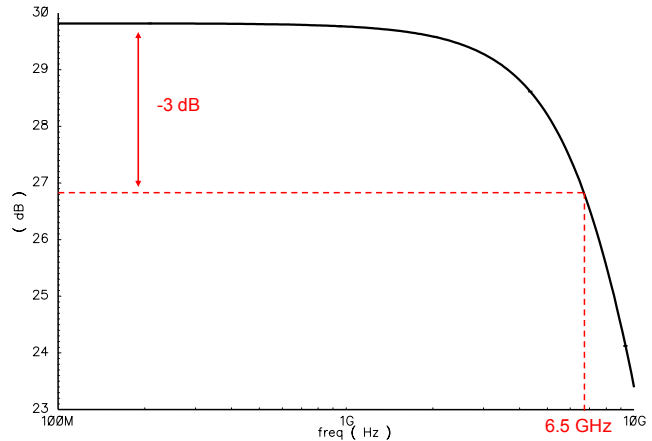


Figure 4.20 : Bande passante du comparateur.

Le gain supérieur à 20 dB apporté par la mise en cascade de ces deux paires différentielles permet de réduire la zone d'indécision à un niveau bien inférieur au millivolt en simulation.

Pour les transistors bipolaires, le courant de collecteur peut être décrit de la manière suivante :

$$I_C = I_S \cdot \left(1 + e^{\frac{V_{BE}}{U_T}} \right) \tag{Équation 4.02}$$

Ce qui donne dans le cas d'une paire différentielle constituée du transistor T1 et T2 les équations suivantes :

$$I_{C1} = I_{S1} \cdot \left(1 + e^{\frac{V_{BE1}}{U_T}} \right) \qquad I_{C2} = I_{S2} \cdot \left(1 + e^{\frac{V_{BE2}}{U_T}} \right)$$

Or si l'on considère que l'offset correspond à :

$$V_{\text{offset}} = V_{\text{in}} \{V_{\text{out}} = 0\} \tag{Équation 4.03}$$

Alors l'offset d'une paire différentielle est :

$$\Rightarrow V_{\text{offset}} = -4U_T \times \ln\left(\frac{I_{S1}}{I_{S2}}\right) \tag{Équation 4.04}$$

En première approximation, on peut dire que I_S est proportionnel à la surface de l'émetteur, qui est fonction de la technologie et du dopage. On constate donc qu'une dérive technologique au niveau des masques ou du dopage aura des conséquences sur la précision des comparateurs et sur celle du convertisseur.

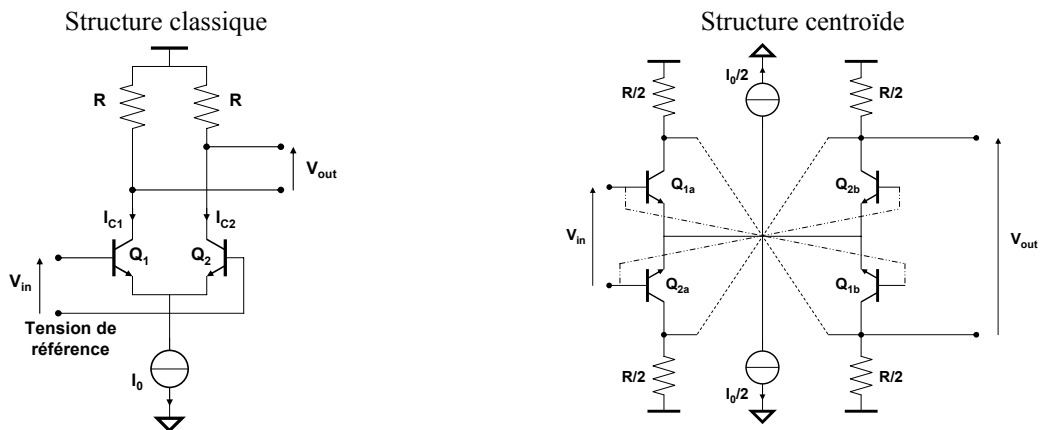


Figure 4.21 : Structures d'une paire différentielle du comparateur

C'est pour minimiser cet offset que la structure centroïde a été utilisée sur les deux paires différentielles des comparateurs car cette structure a la propriété de résister aux dispersions dues aux gradients de température et de dopage mais aussi au décalage de masque.

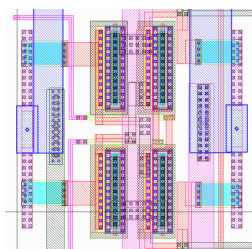


Figure 4.22 : Layout d'une paire différentielle du comparateur.

Comme pour l'amplificateur analogique, les comparateurs sont isolés grâce à un double anneau de garde.

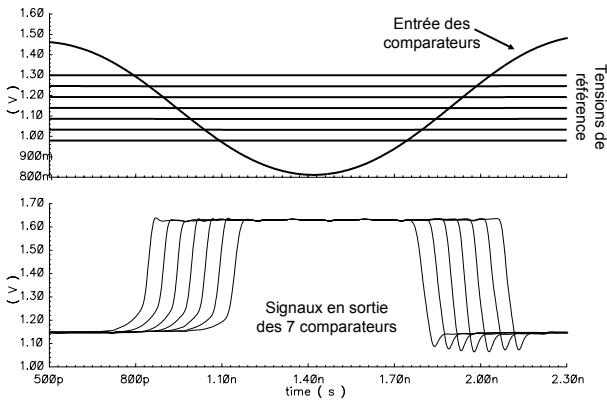


Figure 4.23 : Résultats de simulation des comparateurs.

Tableau 4.02 : Bilan des caractéristiques transitoires des comparateurs.

Valeur crête supérieure	1.6V	$\Delta = 0.45V$
Valeur crête inférieure	1.15V	
Temps de montée	45ps	
Temps de descente	43ps	

La figure 4.23 permet de constater que chaque fois que le signal en entrée des comparateurs franchit une tension de référence, le comparateur associé à cette tension commute ce qui valide la fonctionnalité de ce bloc.

Ces comparateurs ne sont pas des blocs numériques mais ils génèrent des données binaires qui doivent par conséquent valider les mêmes caractéristiques que les blocs numériques.

2.5. Echantillonneur

L'échantillonneur est constitué de sept bascules DFF en parallèle qui ont pour fonction de mémoriser l'état des comparateurs à un instant donné défini par l'horloge. C'est à ce niveau du convertisseur que se fait l'échantillonnage.

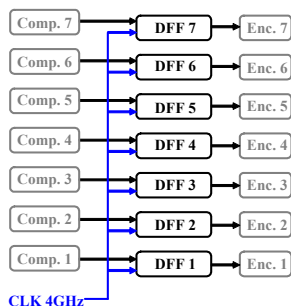


Figure 4.24 : Synoptique des blocs adjacents aux bascules DFF de l'échantillonneur.

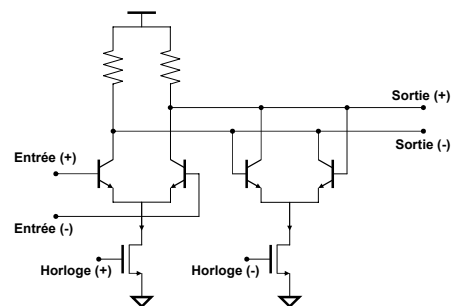


Figure 4.25 : Architecture de la bascule D pseudo différentielle.

Comme on l'a vu précédemment, la bascule DFF est constituée de 2 bascules D pilotées en opposition de phase. Afin d'accroître l'immunité de cet élément vis-à-vis de la tension d'alimentation, il est réalisé en empilant uniquement deux transistors mais cette architecture rend le système plus sensible aux phénomènes de transparence causés par un déphasage au niveau des signaux complémentaires de l'horloge. Il faudra donc porter une grande attention au niveau de la longueur des lignes d'interconnexion pour qu'elles soient les plus identiques possible.

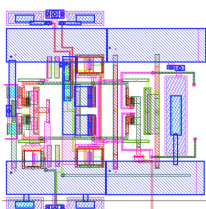


Figure 4.26 : Layout de la bascule D.

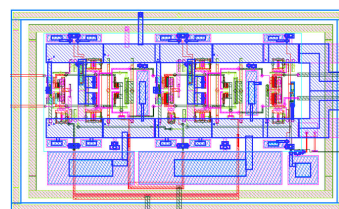


Figure 4.27 : Layout de la bascule DFF.

Encore une fois, le bloc est entouré d'un anneau de garde pour limiter les perturbations provenant des blocs adjacents.

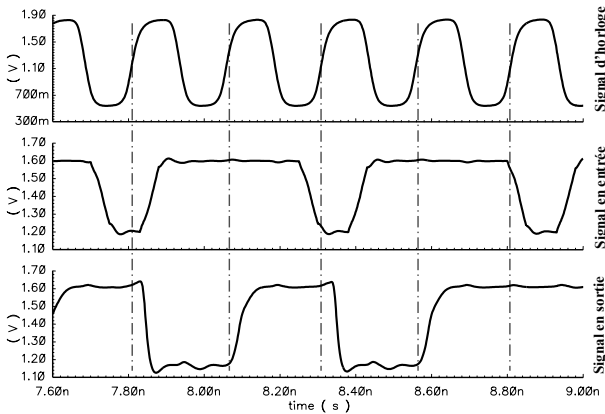


Figure 4.28 : Simulation d'une bascule DFF.

La visualisation des signaux en sortie des bascules permet de vérifier sa fonctionnalité en constatant que les bascules mémorisent le signal en entrée en fonction de l'horloge. Et le tableau décrivant les caractéristiques du signal de sortie permet de vérifier que tous les fronts sont inférieurs aux 60ps requis.

Tableau 4.03 : Bilan des caractéristiques transitoires du signal en sortie du buffer LVDS.

Valeur crête supérieure	1.61V	$\Delta = 0.46V$
Valeur crête inférieure	1.15V	
Temps de montée	45ps	
Temps de descente	40ps	

2.6. Encodeur

L'encodeur FDL (Folding differential Logic) permet de transformer le code "thermomètre" issu des bascules DFF de l'étage d'échantillonnage en code binaire au format Gray par la sommation de courants. Cette transformation permet de réduire le nombre de broches affectées à la sortie des données.

Certains systèmes utilisent une ROM (« Read Only Memory ») qui attribue à un code thermomètre un autre code binaire pré-mémorisé. Cette méthode est intéressante pour des convertisseurs de résolution importante où le nombre de codes est très important. Dans notre cas, le nombre de codes différents étant limité à huit, cette solution n'est pas requise.

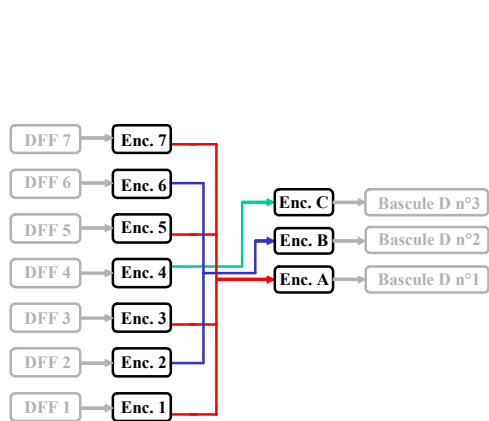


Figure 4.29 : Synoptique des blocs adjacents à l'encodeur.

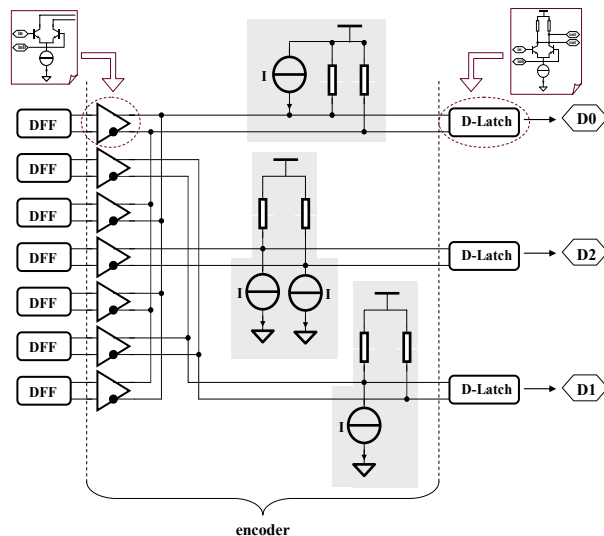


Figure 4.30 : Architecture de l'encodeur.

Le codage Gray est le résultat d'un choix plutôt arbitraire effectué au début du projet ALMA mais un autre codage tel le binaire naturel aurait été acceptable.

Tableau 4.04 : Descriptif du codage en code Gray.

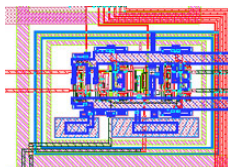
Tensions	C1	C2	C3	C4	C5	C6	C7	D2	D1	D0
Vref7 < V	1	1	1	1	1	1	1	1	0	0
Vref6 < V < Vref7	1	1	1	1	1	1	0	1	0	1
Vref5 < V < Vref6	1	1	1	1	1	0	0	1	1	1
Vref4 < V < Vref5	1	1	1	1	0	0	0	1	1	0
Vref3 < V < Vref4	1	1	1	0	0	0	0	0	1	0
Vref2 < V < Vref3	1	1	0	0	0	0	0	0	1	1
Vref1 < V < Vref2	1	0	0	0	0	0	0	0	0	1
V < Vref1	0	0	0	0	0	0	0	0	0	0

Les bits de sortie D0/D1/D2 sont issus des équations booléennes suivantes qui sont fonction de l'état des comparateurs (C) :

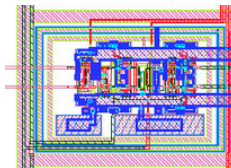
$$D2 = C4$$

$$D1 = C2 \cdot \overline{C6}$$

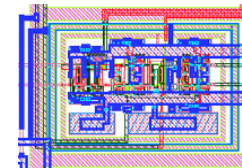
$$D0 = C1 \cdot \overline{C3} + C5 \cdot \overline{C7}$$



Bit D2



Bit D1



Bit D0

Figure 4.31 : Layout de l'encodeur.

Encore une fois, le bloc est entouré d'un anneau de garde pour limiter l'influence des perturbations provenant des blocs adjacents.

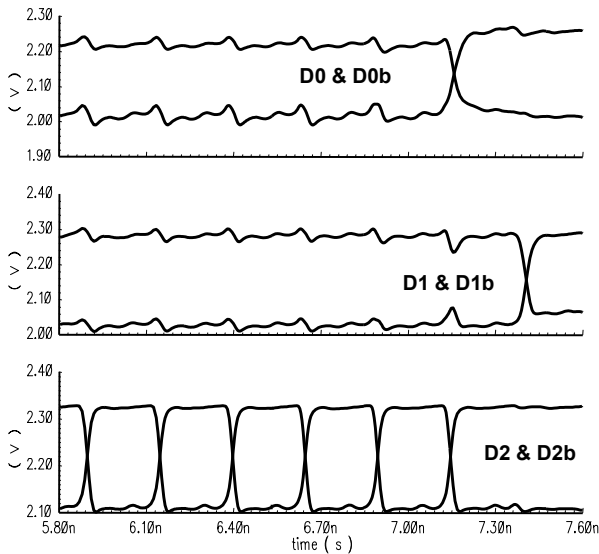


Figure 4.32 : Simulation des signaux de sortie de l'encodeur.

Tableau 4.05 : Bilan des caractéristiques transitoires du signal en sortie de l'encodeur.

Valeur crête supérieure	2.32V	$\Delta = 0.21V$
Valeur crête inférieure	2.11V	
Temps de montée du bit D2	47ps	
Temps de descente du bit D2	42ps	
Temps de montée du bit D1	53ps	
Temps de descente du bit D1	49ps	
Temps de montée du bit D0	52ps	
Temps de descente du bit D0	65ps	

La figure 4.32 permet de vérifier que les signaux en sortie de l'encodeur sont peu bruités et que presque tous les fronts sont inférieurs aux 60ps requis.

Comme on le voit dans le tableau 4.05, seul le temps de descente du bit D0 est légèrement supérieur à la valeur seuil mais comme le signal des données est différentiel c'est la moyenne des temps de commutation qui prime $(52ps+65ps)/2 = 58ps$. Et elle est légèrement inférieure à la valeur requise.

2.7. Synchroniseur

Le synchroniseur est constitué de bascules D en parallèle sur chaque bit de sortie de l'encodeur. Leur rôle est de re-synchroniser les trois bits de sortie en neutralisant la différence de parcours de chacun de ces bits à l'intérieur de l'encodeur.

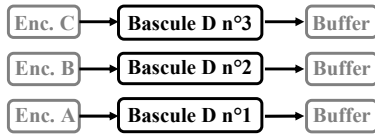


Figure 4.33 : Synoptique des blocs adjacents au synchroniseur.

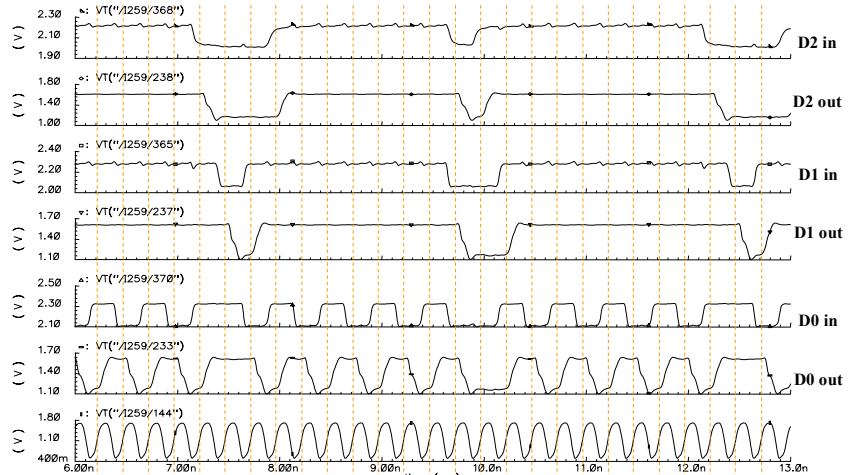


Figure 4.34 : Résultat de simulation du synchroniseur.

Ces résultats de simulation mettent en évidence l'effet mémoire des bascules D. Ceci permet de valider la fonctionnalité du synchroniseur.

Tableau 4.06 : Bilan des caractéristiques transitoires du signal en sortie du buffer LVDS.

Valeur crête supérieure	1.65V	$\Delta = 0.3V$
Valeur crête inférieure	1.35V	
Temps de montée	40ps	
Temps de descente	50ps	

De plus, le tableau décrivant les caractéristiques du signal de sortie permet de vérifier que tous les fronts sont inférieurs aux 60ps requis.

2.8. Amplificateur d'horloge

Le convertisseur est piloté par une horloge sinusoïdale externe. Mais sous cette forme l'horloge extérieure n'est pas capable de piloter les 17 bascules D constituant le convertisseur. Pour la rendre utilisable, il est nécessaire de l'amplifier et de rendre ses fronts plus raides afin de diminuer l'incertitude sur le moment d'ouverture des bascules (cf. §II.3.3.7.3).

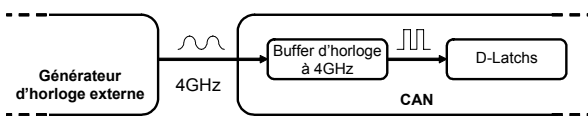


Figure 4.35 : Synoptique des blocs adjacents à l'amplificateur d'horloge.

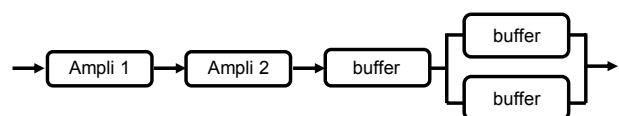


Figure 4.36 : Synoptique des blocs constituant l'amplificateur d'horloge.

L'étage d'entrée de l'horloge à 4GHz est constitué de paires différentielles pour l'amplification en tension du signal. Deux blocs ont été mis en série pour une meilleure réjection du mode commun. En effet, le signal en entrée n'est pas différentiel et une seule paire différentielle ne suffit pas à obtenir un signal différentiel correct (c'est-à-dire sans mode commun) en sortie. A la suite de ces paires différentielles, trois buffers de courant ont été implémentés afin de permettre à l'horloge de commuter rapidement les différentes bascules du système.

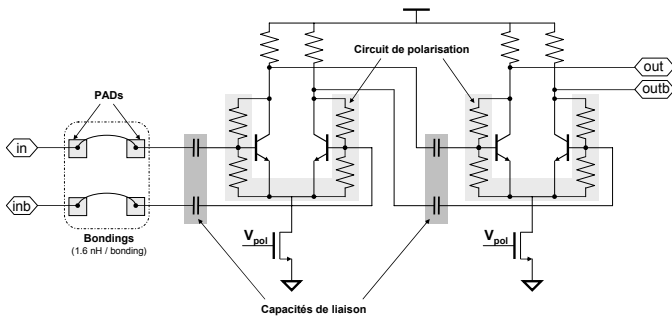


Figure 4.37 : Schéma électrique des deux premiers étages de l'amplificateur d'horloge.

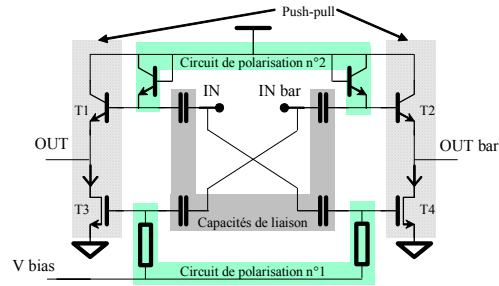


Figure 4.38 : Schéma électrique du dernier étage de l'amplificateur d'horloge.

Dans cette architecture, chaque étage de l'amplificateur améliore le signal jusqu'à ce qu'il ait les caractéristiques souhaitées.

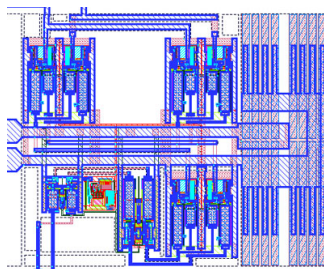


Figure 4.39 : Layout de l'amplificateur d'horloge.

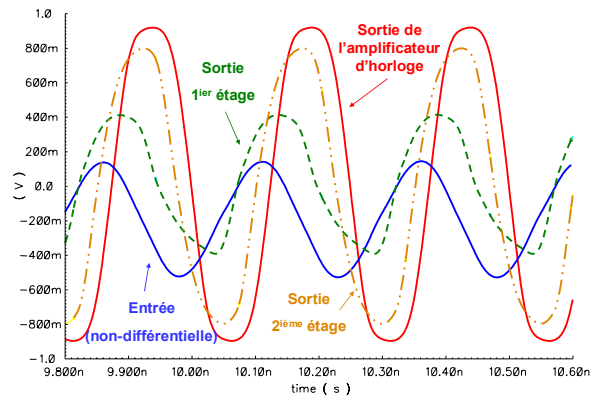


Figure 4.40 : Tension différentielle en sortie des étages de l'amplificateur d'horloge.

Tableau 4.07 : Bilan des caractéristiques transitoires du signal en sortie du buffer LVDS.

Valeur crête supérieure	1.8V	$\Delta = 1.28V$
Valeur crête inférieure	0.52V	
Temps de montée	42ps	
Temps de descente	36ps	

La visualisation des signaux en sortie de l'amplificateur permet de vérifier sa fonctionnalité. Et le tableau décrivant les caractéristiques du signal de sortie permet de vérifier que tous les fronts sont largement inférieurs aux 60ps requis car leurs caractéristiques vont être primordiales afin de minimiser l'influence du jitter.

2.9. Générateur d'horloge de test

Pour vérifier facilement la fonctionnalité du circuit, un générateur d'horloge de test basse fréquence a été implémenté en amont de l'amplificateur d'horloge. Ce générateur permet d'éviter d'avoir recours à l'utilisation d'un générateur haute fréquence coûteux et encombrant. Cette caractéristique est extrêmement pratique lors des tests de fonctionnalité qui ont lieu directement après la fabrication ou durant les tests sur la durée de vie.

Ce générateur d'horloge de test a été réalisé par Olivier Mazouffre durant la thèse de David Deschans, il est constitué d'une succession d'inverseurs constituant un oscillateur en anneau.

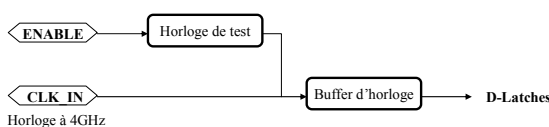


Figure 4.41 : Synoptique des blocs adjacents à l'horloge de test.

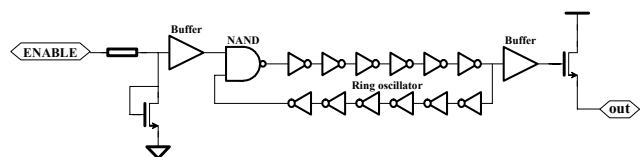


Figure 4.42 : Architecture de l'horloge de test.

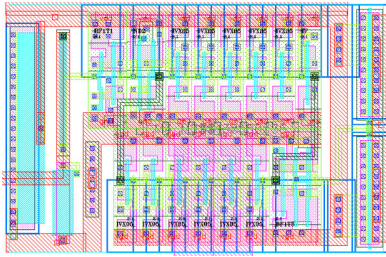


Figure 4.43 : Layout de l'amplificateur d'horloge de test.

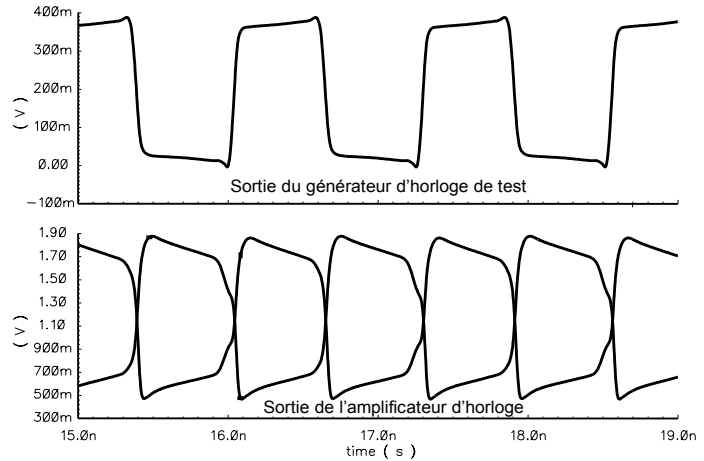


Figure 4.44 : Sortie du générateur d'horloge de test et de l'amplificateur d'horloge.

Ce générateur a pour seul but de permettre de vérifier la fonctionnalité du circuit et non les performances. C'est pour cela qu'il ne génère qu'une horloge autour de 800MHz au lieu des 4GHz nominaux.

La visualisation des signaux en entrée et en sortie du générateur d'horloge de test permet de valider sa fonctionnalité. Et le tableau décrivant les caractéristiques du signal de sortie permet de vérifier que tous les fronts sont inférieurs aux 60ps requis.

Tableau 4.08 : Bilan des caractéristiques transitoires du signal en sortie du générateur.

Valeur crête supérieure	0.37V	$\Delta = 0.35V$
Valeur crête inférieure	0.02V	
Temps de montée	58ps	
Temps de descente	58ps	

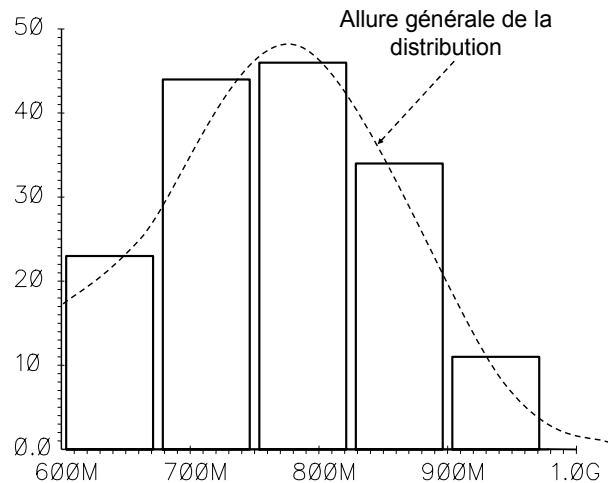


Figure 4.45 : Distribution statistique de la fréquence de l'horloge de test face à des dispersions de process.

Ce générateur produit un signal carré à une fréquence comprise entre 600 et 1300MHz (794MHz en typique). Il est très dépendant des dispersions de process. Mais cette dispersion aléatoire n'a aucune conséquence en mode test car seule la vérification de la fonctionnalité importe.

2.10. Buffers LVDS

Les buffers de sortie sont les derniers blocs par lesquels transitent les signaux avant qu'ils ne sortent du convertisseur. Ces blocs ont pour but de transformer les données pour qu'elles puissent être utilisées par les circuits en aval.

Dans le cadre du projet ALMA, le standard LVDS a été choisi car il permet de transmettre des données à haut débit en bruyant relativement peu les alimentations de ces mêmes blocs.

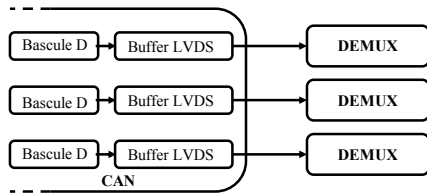


Figure 4.46 : Synoptique des blocs adjacents aux Buffers LVDS.

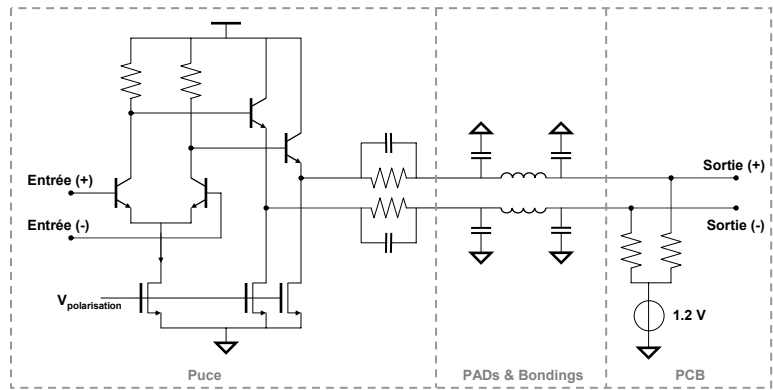


Figure 4.47 : Schéma électrique du Buffer LVDS

Le buffer LVDS est constitué par une paire différentielle qui définit l'amplitude des signaux de sortie et par des émetteurs suiveurs qui fixent la valeur moyenne du signal de sortie.

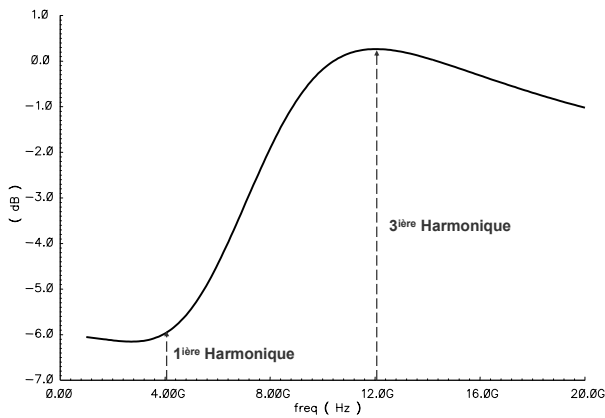


Figure 4.48 : Bande passante du circuit bouchon.

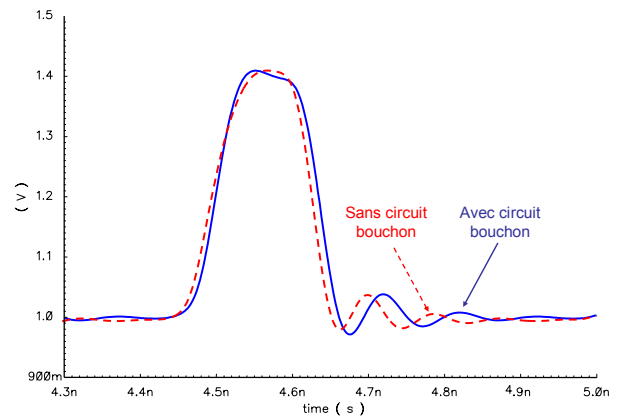


Figure 4.49 : Influence du circuit bouchon sur les signaux en sortie du buffer LVDS.

Afin de rendre les fronts du signal de sortie plus raides, on utilise un circuit bouchon. Comme on le voit sur la simulation, cet élément est équivalent à un circuit passe haut car il atténue la première harmonique du signal de sortie à 4GHz et il amplifie légèrement le troisième à 12GHz.

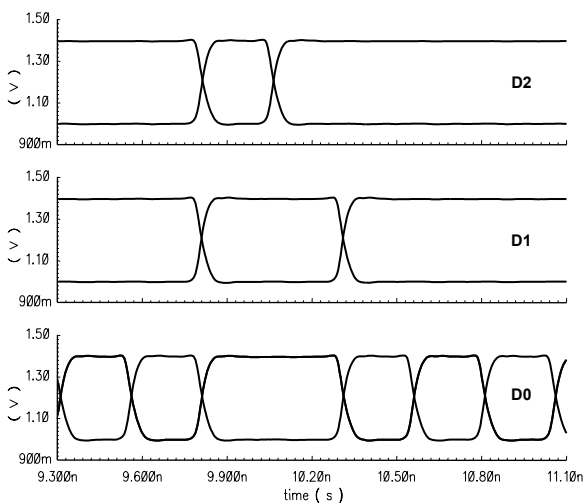


Figure 4.50 : Sorties des buffers LVDS.

Tableau 4.09 : Bilan des caractéristiques transitoires du signal en sortie du buffer LVDS.

Valeur crête supérieure	1.4V	$\Delta = 0.4V$
Valeur crête inférieure	1V	
Temps de montée	50ps	
Temps de descente	45ps	

La visualisation des signaux en sortie des buffers LVDS et le tableau 4.09 permettent de vérifier que les signaux de sortie sont tous à la norme LVDS et que tous leurs fronts sont inférieurs aux 60ps requis.

2.11. Brochage

Comme pour le démultiplexeur PHOBOS, le convertisseur VEGA 1 utilise des PADS anti-ESD. Le brochage du boîtier est encore plus critique que pour PHOBOS car le circuit contient une partie analogique contrairement au démultiplexeur.

Les signaux analogiques sont les plus sensibles du système, c'est pour cela qu'ils sont situés au milieu d'une face pour minimiser la taille de leur bonding. V_H , V_L et l'horloge à 4GHz sont légèrement décentrés car ils sont légèrement moins critiques.

Les trois sorties sont localisées à égale distance des bords de l'arrête sur laquelle ils sont pour qu'ils aient précisément la même longueur de bonding afin de ne pas créer d'erreur de synchronisation sur les bits de sortie.

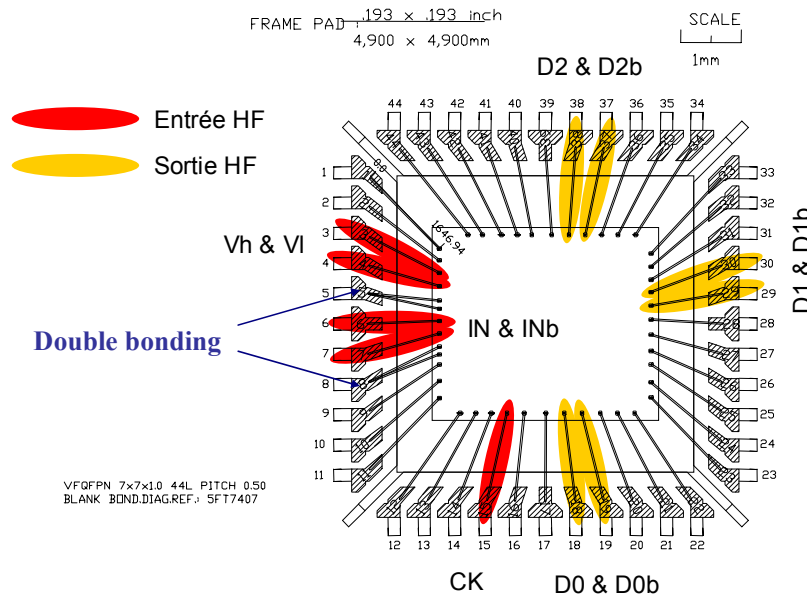


Figure 4.51 : Connectique entre le circuit et le boîtier.

On peut apercevoir sur la figure précédente la présence de deux doubles bondings. Cette implémentation a été réalisée pour diviser par deux la densité de courant par bonding afin de ne pas dépasser la valeur critique de 90mA/bonding.

2.12. Bilan des simulations

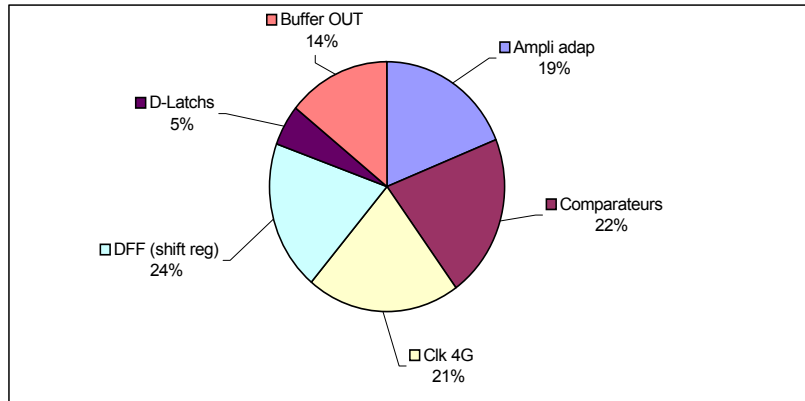
La matrice de conformité permet de constater rapidement qu'en simulation VEGA1 est conforme avec toutes les spécifications qui lui étaient imposées.

Tableau 4.10 : Matrice de conformité

Objet	Spécifications	Caractéristiques	Conformité Oui/Non	Commentaire
Impédance de l'entrée analogique	50Ohms		Oui	
Impédance d'entrée des horloges 4GHz et 250MHz	50Ohms		Oui	
Adaptation de l'horloge : S11	< -13dBm	-13dBm	Oui	
Niveau d'indécision des comparateurs	< 10mV	-	-	Non simulable mais la forme centroïde minimise ce niveau
Stabilité en température			Oui	
Standard de sortie	LVDS		Oui	
Durée des fronts montants et descendant en sortie	< 80ps	<50ps	Oui	
Erreur d'alignement des bits de sortie	< 50ps	??	??	Temps de propagation non simulés
Puissance dissipée	< 2W	1.6W	Oui	

Tableau 4.11 : Tableau bilan de la consommation des différents blocs du convertisseur

Bloc	Conso. unitaire		Puissance unitaire		Nbr de compasant	Consommation globale du bloc		Puissance globale du bloc	
Ampli adap	120	mA	300	mW	1	120	mA	300	mW
Comparateurs	19,3	mA	48,25	mW	7	135,1	mA	337,75	mW
Clk 4G	135	mA	337,5	mW	1	135	mA	337,5	mW
DFFs	17,6	mA	44	mW	7	123,2	mA	308	mW
D-Latchs	11,6	mA	29	mW	3	34,8	mA	87	mW
Buffer OUT	30	mA	75	mW	3	90	mA	225	mW
TOTAL						638,1	mA	1595,25	mW



La répartition relativement bien équilibrée de la consommation des différents organes du convertisseur permet d'éviter la présence de points "chauds" au sein de la puce ce qui pourrait dégrader sa fiabilité.

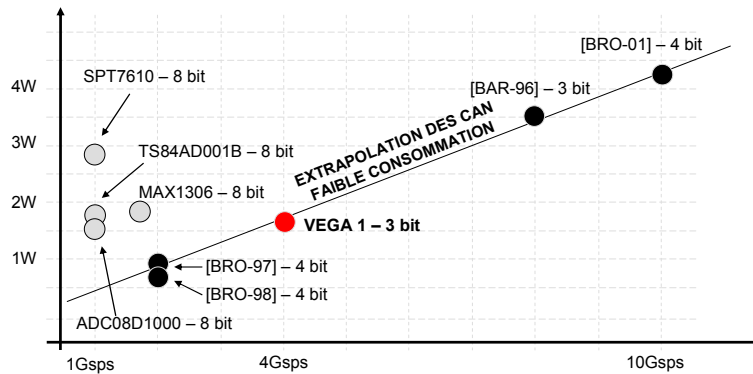


Figure 4.52 : Etat de l'art des convertisseurs A/N.

VEGA 1 (1.6W) consomme bien plus que le démultiplexeur (0.75W) mais il se situe tout de même au niveau des meilleurs convertisseurs analogique numérique publiés et légèrement en dessous de ceux du commerce. Il est vrai que les circuits comparés sont légèrement différents au niveau de certaines caractéristiques (résolution, présence d'un amplificateur analogique interne, etc.) ; mais cette comparaison permet de juger du bon rapport performance/consommation du circuit.

3 Résultats des tests du convertisseur VEGA 1

3.1. Tests statiques

Les tests statiques ont pour but de vérifier dans un premier temps la connectique du circuit avec le PCB. Puis, si aucun court-circuit ou circuit ouvert n'est détecté, on vérifie si celui-ci est correctement polarisé par la correspondance des courants consommés avec ceux simulés.

3.1.1. Présentation de la procédure et du montage de test

Le même montage de test que pour PHOBOS est réutilisé pour mesurer les courants consommés par le convertisseur VEGA 1.

3.1.2. Présentation des résultats et de leur dispersion

Le fenêtrage présenté ci-dessous est issu du test de plus d'une dizaine de circuits. On peut constater dans le tableau 4.12 qu'il existe une dispersion des mesures. Celle-ci provient des variations de process au niveau de la puce mais aussi au niveau du PCB qui possède des pistes plus ou moins résistives d'un PCB à un autre.

Tableau 4.12 : Bilan des courants mesurés et simulés.

	Limite basse mesuré	Limite haute mesuré	Limite basse simulée	Limite haute simulée	Unité
I_VddA1	115	149	125	185	mA
I_VddA2	116	142	100	150	mA
I_VddCK	97	119	90	150	mA
I_VddBM	140	172	130	210	mA
I_VddB0	31	39	31	43	mA
I_VddB1	31	39	31	43	mA
I_VddB2	31	39	31	43	mA

Au final, la consommation moyenne mesurée des puces est de 1,45W alors qu'elle aurait du être de 1.6W. Cette divergence entre les mesures et les simulations peu paraître problématique car elle semblerait montrer une mauvaise capacité des modèles à simuler la réalité.

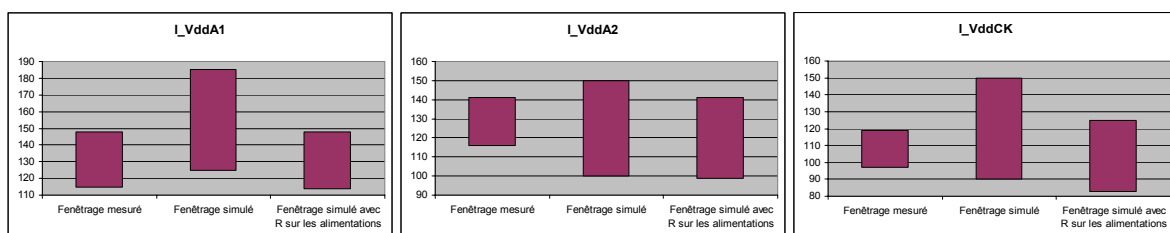
3.1.3. Recherche des causes de la non-conformité des résultats

Comme pour le démultiplexeur, les résistances dans les rails d'alimentation sont les premières suspectes pour expliquer la divergence entre les mesures et la simulation. Pour vérifier cette hypothèse, le modèle simulé est modifié afin de prendre en compte ces résistances parasites. C'est suite à une extraction manuelle que la valeur des résistances de chaque rail est définie.

Tableau 4.13 : Bilan des courants mesurés et simulés en prenant compte les résistances d'alimentation.

	Limite basse mesuré	Limite haute mesuré	Limite basse simulée AVEC R sur les alimentations	Limite haute simulée AVEC R sur les alimentations	Unité	Résistance du rail positif	Résistance du rail négatif
I_VddA1	115	148	114	148	mA	0.9	0.9
I_VddA2	116	141	99	141	mA	0.57	0.9
I_VddCK	97	119	83	125	mA	1	2.5
I_VddBM	140	172	125	185	mA	0.67	1.4
I_VddB0	31	39	30	41	mA	0.72	1.1
I_VddB1	31	39	30	41	mA	0.72	1.1
I_VddB2	31	39	30	41	mA	0.72	1.1

Grâce aux mesures (Tab. 4.13 et Fig. 4.53), on peut constater que l'ajout des résistances sur les rails d'alimentation permet d'améliorer la précision du modèle en rapprochant grandement la simulation de la mesure.



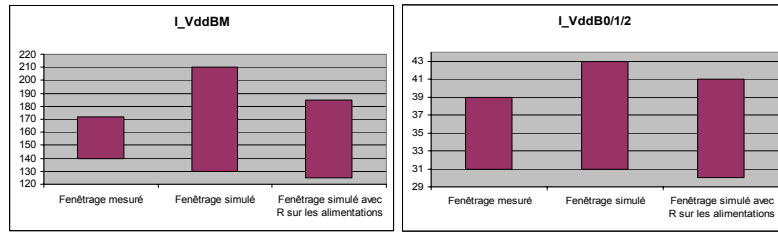


Figure 4.53 : Représentation graphique des courants mesurés et simulés

3.2. Tests dynamiques

Les tests statiques validant la connectivité du circuit une fois accomplis, il est alors possible de passer aux vérifications dynamiques. Celles-ci permettent d'examiner la fonctionnalité du circuit dans un premier temps puis de mesurer ses performances.

3.2.1. Présentation du montage et de la procédure de test

La caractérisation dynamique du convertisseur ALMA est indissociable de la caractérisation dynamique du demi-digitizer car le débit des données en sortie du convertisseur est trop élevé pour qu'un FPGA (corrélateur) puisse traiter ces données en l'état. Et c'est pour abaisser ce débit que les démultiplexeurs PHOBOS sont indispensables.

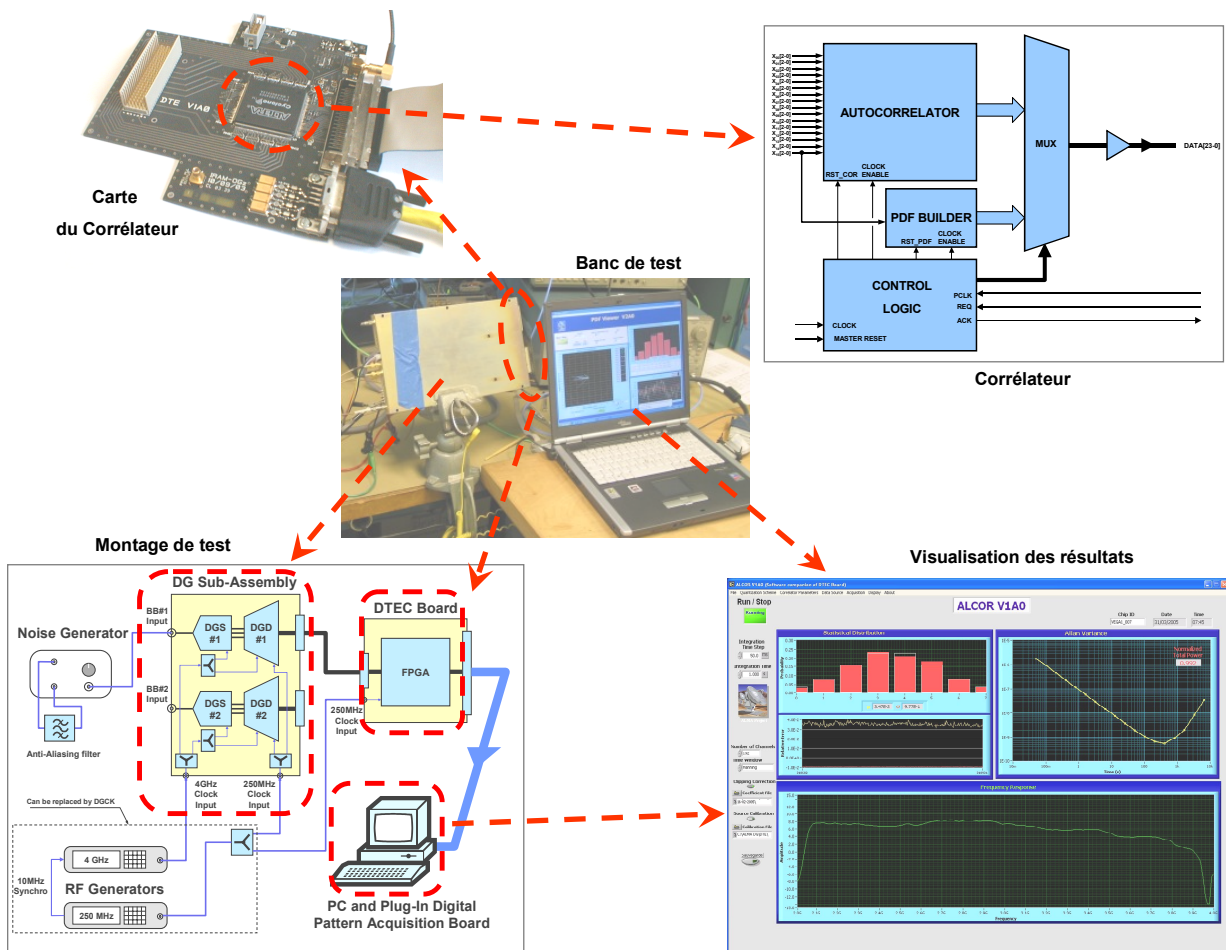


Figure 4.54 : Descriptif du banc de test dynamique

Ce montage permet tout d'abord de phaser les différentes horloges du convertisseur et des trois démultiplexeurs afin d'obtenir la fonctionnalité du demi-digitizer que l'on veut caractériser. Puis les tensions de référence V_H et V_L du convertisseur sont réglées pour définir le fenêtrage des

comparateurs. La phase de mesure peut alors commencer. Durant cette seconde phase, on visualise :

- La statistique des codes de sortie afin de vérifier que l'on retrouve la statistique gaussienne du bruit d'entrée.
- La bande passante entre 2 et 4GHz.
- La variance d'Allan.

Le corrélateur développé pour ces tests (par l'IRAM) n'est pas capable de traiter la totalité des données qu'il reçoit car sa puissance de calcul est insuffisante. Il échantillonne donc en continu les données qu'il reçoit puis les traite. Malgré ce manque de performance du corrélateur de test, celui-ci permet de réaliser l'intégralité des tests souhaités.

Il existe un second banc de test (développé par le NRAO) intégrant le chip corrélateur final utilisé par le projet ALMA. Ce corrélateur est capable de traiter l'intégralité des données qu'il reçoit mais une certaine rigidité de programmation le rend peu pratique dans le cadre d'une procédure de test. Il sera donc utilisé pour vérifier certaines mesures ponctuellement.

3.2.2. Validation de la fonctionnalité

Pour que le convertisseur soit déclaré fonctionnel, il doit valider certaines caractéristiques :

- La norme LVDS en sortie doit être respectée.
- Le codage Gray des bits de sortie doit être observé.
- La boucle de régulation du mode commun doit être active.

3.2.2.1. Sorties LVDS

Pour que le convertisseur communique correctement avec les démultiplexeurs qui le suivent, il est indispensable que les bits de sortie du convertisseur soient en accord avec la norme LVDS.

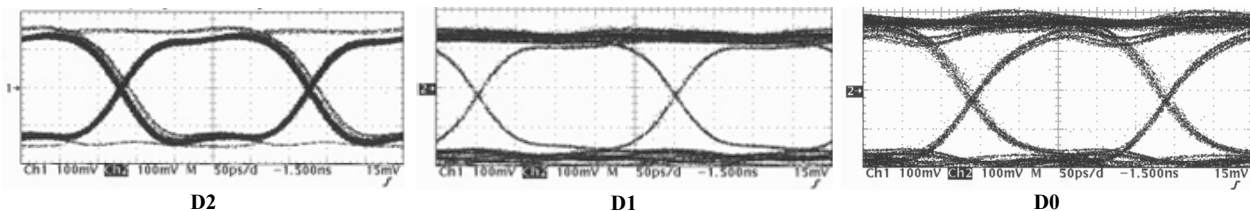


Figure 4.55 : Diagramme de l'œil de bits de sortie.

Le mode commun de ces trois bits est de $1.2 \pm 0.1V$, la valeur crête à crête des signaux sortant est de $270 \pm 20mV$ et les diagrammes de l'œil sont totalement ouverts. Ces caractéristiques étant pleinement en accord avec la norme LVDS, elles permettent de valider la fonctionnalité des buffers LVDS de sortie.

3.2.2.2. Codage Gray

La seconde étape de contrôle de la fonctionnalité du convertisseur consiste à vérifier que le codage de sortie est en accord avec le code Gray. Pour réaliser ceci, on injecte en entrée un signal à 3.99GHz et on regarde les bits de sortie. Comme l'échantillonnage est à 4GHz, par repliement spectral, on doit obtenir en sortie le code d'un signal à 100MHz.

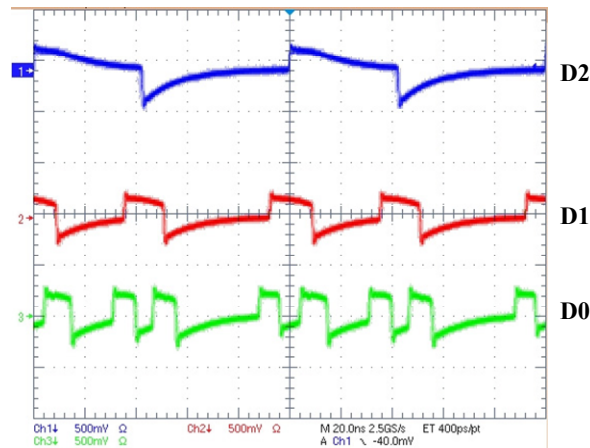


Figure 4.56 : Signaux de sortie du convertisseur mesuré au travers d’une capacité de liaison (Horloge 4GHz / Entrée : 0dBm @ 3.9GHz)

Les signaux de sortie de la figure précédente sont mesurés au travers d’une capacité de liaison qui coupe les basses fréquences, ce qui explique la forme non parfaitement carrée des signaux visualisés. Malgré cette très légère déformation, on reconnaît bien le code Gray (tableau 4.04) d’un signal à 100MHz, ce qui permet de valider la fonctionnalité de l’encodeur interne au convertisseur.

En outre, ce test permet aussi de valider la fonctionnalité de la quasi totalité de convertisseur. Car à l’exception du mode commun, tous les organes du convertisseur sont sollicités pour obtenir ce résultat.

3.2.2.3. Boucle de mode commun

Le bon fonctionnement de la boucle de contre réaction est la dernière étape dans la vérification de la fonctionnalité du convertisseur. Pour vérifier ceci, il suffit de visualiser la statistique des codes de sortie en fonction de la température ambiante avec et sans cette boucle.

Pour désactiver la boucle de mode commun, il suffit de fixer la tension qui sort de la puce pour aller vers la capacité externe qui sert de filtre passe bas à la tension issue de l’OTA (Fig. 4.05). Une fois cette manipulation faite, on constate que chaque changement de température entraîne une dérive de la statistique des codes de sortie. Alors que lorsque la boucle est active la température ne perturbe nullement cette statistique. Cette observation permet de valider la fonctionnalité de la boucle de contre réaction.

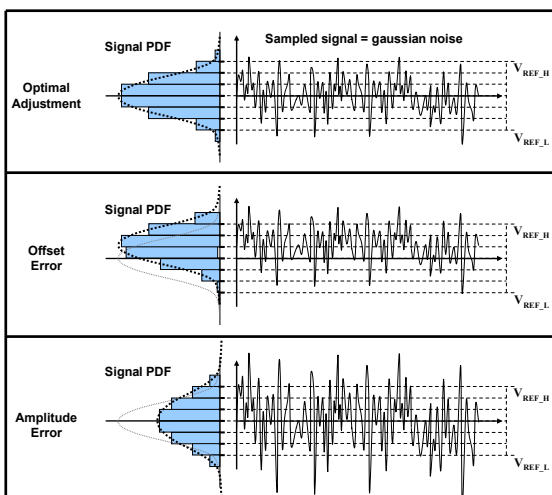


Figure 4.57 : Effet sur la statistique d’une erreur d’offset ou d’amplitude.

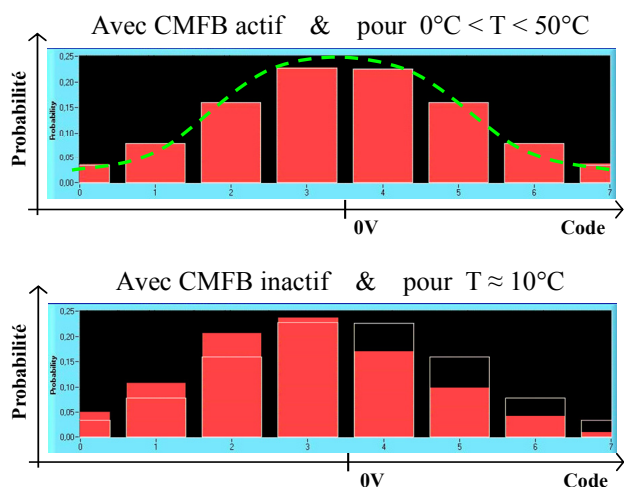


Figure 4.58 : Visualisation de l’effet de la boucle de contre réaction de mode commun.

3.2.3. Validation des performances

Grâce aux vérifications précédentes, on a vérifié la fonctionnalité du convertisseur. Il est maintenant possible de mesurer ses performances.

3.2.3.1. Adaptation d'impédance en entrée du demi-digitizer

3.2.3.1.1. Présentation des résultats et de leur dispersion

L'adaptation en entrée permet un transfert de puissance maximal entre une source et une charge (§II.1.2). Le cahier des charge demande que le coefficient de réflexion soit inférieur à -13dB en entrée du demi-digitizer mais on peut voir sur la figure suivante que cet objectif n'est pas atteint sur la totalité de la bande passante.

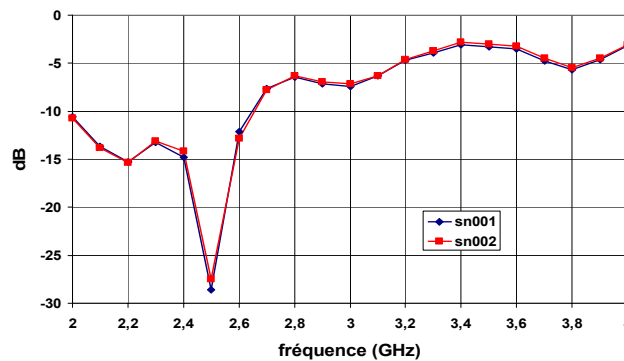


Figure 4.59 : Adaptation mesurée de l'entrée analogique.

3.2.3.1.2. Recherche de l'origine de la non-conformité des résultats

Les mesures ont mis en évidence que l'adaptation d'impédance sur l'entrée analogique n'était pas en accord avec les simulations, ni avec les impératifs du cahier des charges.

Après plusieurs recherches infructueuses, il s'avère que le problème d'une adaptation d'impédance insuffisante est lié aux connecteurs MCX (Fig. 4.60). Lorsque ce connecteur est implémenté dans le boîtier métallique en amont du convertisseur celui-ci dégrade l'adaptation (Fig. 4.61). Cette discontinuité endommage l'adaptation du convertisseur mais elle n'est pas la cause principale de la pente du gain dans la bande passante du spectre reconstitué (voir §IV 3.2.3.4).

Cette dégradation d'impédance parasite ne pouvant être prise en compte lors de la conception de la puce, il a fallu trouver une solution pour améliorer l'adaptation après coup.

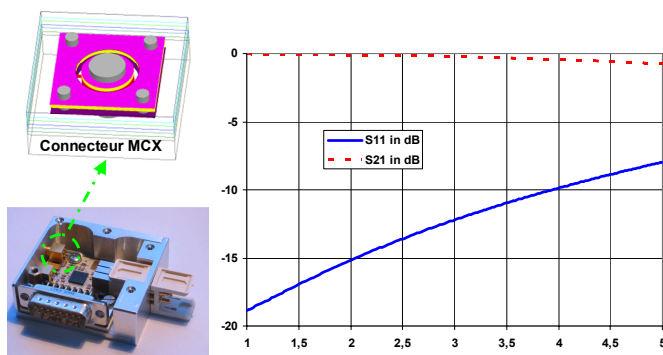


Figure 4.60 : Influence du connecteur MCX sur le S11 d'une charge 50Ω.

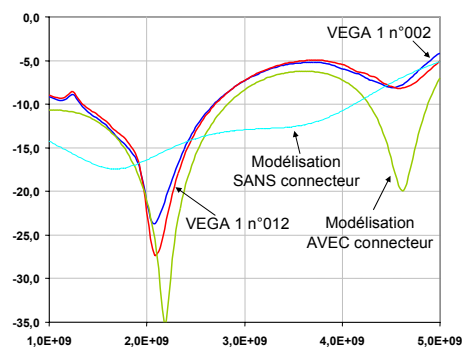


Figure 4.61 : Mesure et simulation du S11 du convertisseur

3.2.3.1.3. Correction de l'Adaptation d'impédance

La seule solution pouvant être rapidement mise en œuvre pour corriger l'adaptation d'impédance consiste à rajouter un atténuateur -10dB en entrée du connecteur. Cet ajout permet d'améliorer l'adaptation de 20dB car l'onde réfléchie passe 2 fois dans l'atténuateur. Mais en contre partie le signal voit sa puissance réduite d'autant. Cette diminution a pour conséquence de dégrader le rapport signal sur bruit du convertisseur qui reste cependant totalement fonctionnel et performant. Evidement supprimer le connecteur MCX permettrait de se retrouver en configuration optimale. Cette solution est appliquée pour un nouveau demi-digitizer en cours d'étude.

3.2.3.2. Adaptation d'impédance sur l'entrée de l'horloge

Contrairement au signal issu des mélangeurs qui est large bande, l'horloge est mono-fréquentielle. Mais elle doit elle aussi avoir une adaptation correcte afin de permettre un transfert maximal de puissance entre le générateur et la puce ce qui permet d'optimiser le gain et la consommation de l'étage interne qui amplifie cette horloge.

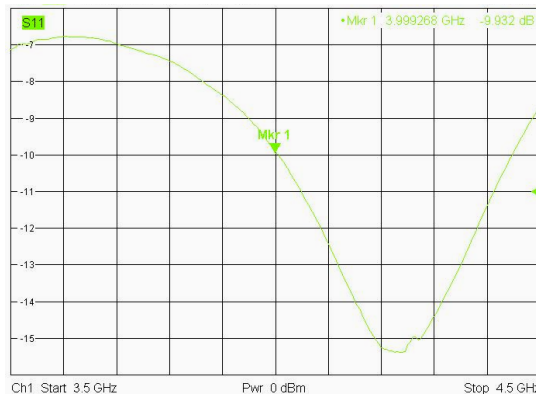


Figure 4.62 : Adaptation de l'entrée de l'horloge.

La modélisation est conforme au cahier des charges (<-13dB) mais la mesure du paramètre S11 à la fréquence de 4GHz est de -9.9dB. Cette valeur n'est pas idéale car l'adaptation subit aussi les effets du connecteur MCX aussi utilisé pour l'entrée des signaux. Mais cela est suffisant pour le bon fonctionnement du convertisseur.

3.2.3.3. Statistique du bruit numérisé

On injecte en entrée du convertisseur un bruit blanc gaussien entre 2 et 4GHz. Un fois la numérisation du convertisseur et le traitement des données par le corrélateur effectué, on obtient la statistique des codes (3 bits => 8 niveaux) du convertisseur.

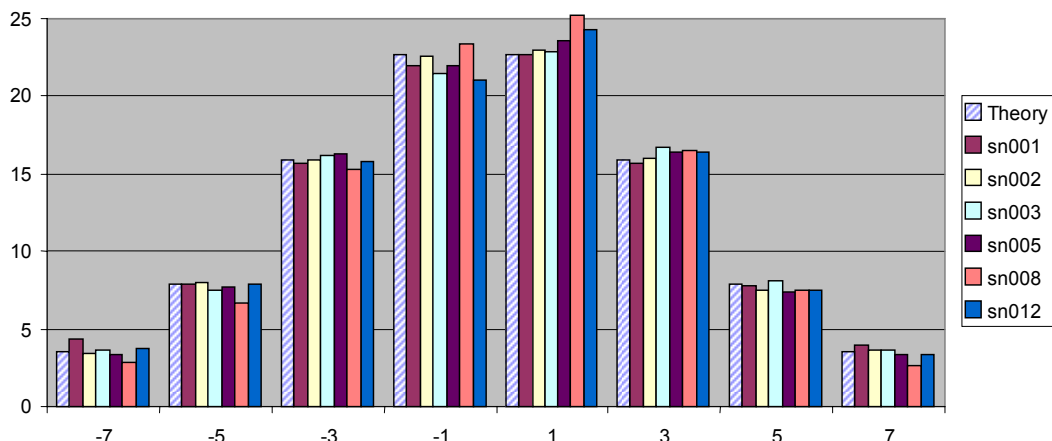


Figure 4.63 : Distribution statistique du codage de sortie pour six convertisseurs.

La statistique du codage ci-dessus représente la théorie et les mesures (celles de six convertisseurs). On constate que l'on retrouve à chaque fois l'allure du bruit gaussien utilisé en entrée malgré de légères fluctuations. Ce résultat permet de montrer que la capacité du convertisseur à retrouver la statistique du bruit en entrée est robuste face aux variations de process.

3.2.3.4. Variation du gain sur la bande passante

3.2.3.4.1. Présentation des résultats et de leur dispersion

La variation de gain de $\pm 0.5\text{dB}$ sur la bande passante de 2-4GHz est un autre impératif du projet ALMA. Or on peut voir sur la figure suivante que le spectre du signal après numérisation ne suit pas la courbe du spectre du bruit en entrée du digitizer. La différence entre ces deux spectre peut atteindre 4dB ce qui est loin des $\pm 0.5\text{dB}$ requis et obtenus lors des simulations du convertisseur.

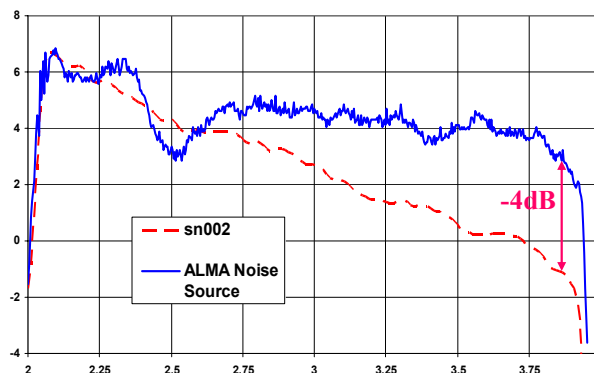


Figure 4.64 : Spectre du signal avant et après numérisation.

3.2.3.4.2. Recherche de l'origine de la non-conformité des résultats

Pour diminuer les temps de simulation, les composants parasites mineurs sont négligés (Fig.4.66). Mais comme on va le voir par la suite, un ensemble de paramètres parasites légèrement sous-estimés peut conduire à des modifications majeures du gain.

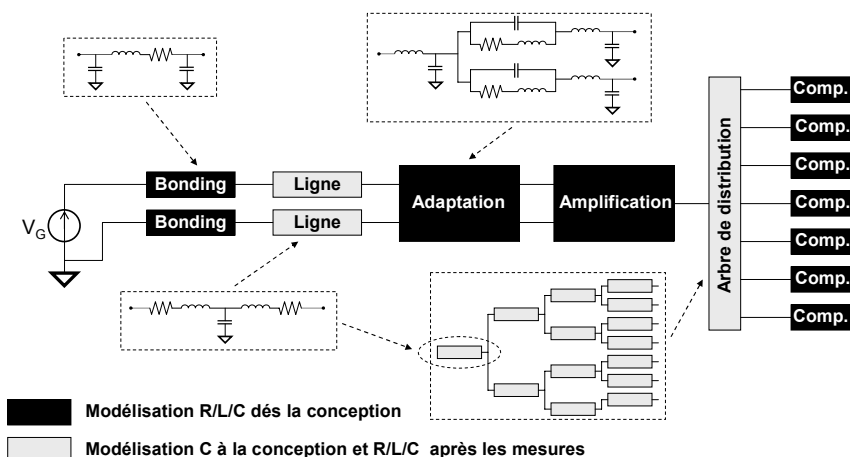


Figure 4.65 : Visualisation des approximations faites durant la conception de VEGA 1.

Lors de la conception, les lignes en amont de l'adaptation et celles de l'arbre de distribution en sortie de l'amplificateur n'ont été modélisées que sous forme de capacités parasites pour diminuer le temps de simulation alors qu'en réalité elles doivent être modélisées par la combinaison d'une résistance (R), d'une inductance (L) et d'une capacité (C).

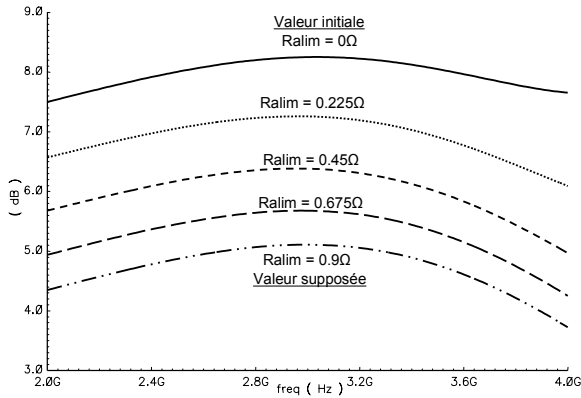


Figure 4.66 : Influence de la résistance d'alimentation sur le gain de VEGA 1.

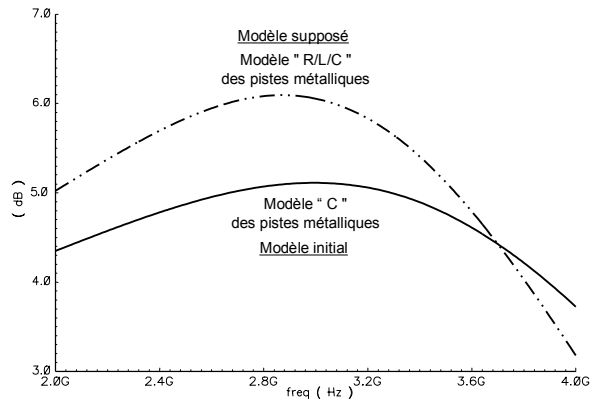


Figure 4.67 : Influence du modèle de l'arbre de distribution en sortie de l'amplificateur sur le gain de VEGA 1

Le premier paramètre totalement sous estimé a été la résistance des rails d'alimentation qui a pour conséquence de diminuer le gain (Fig. 4.66).

La modélisation de l'arbre de distribution du signal entre l'amplificateur et les comparateurs a elle aussi une influence sur l'allure du gain (Fig. 4.67).

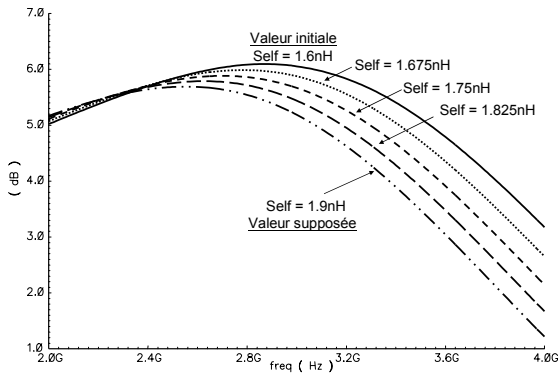


Figure 4.68 : Influence de la taille des bondings sur le gain de VEGA 1.

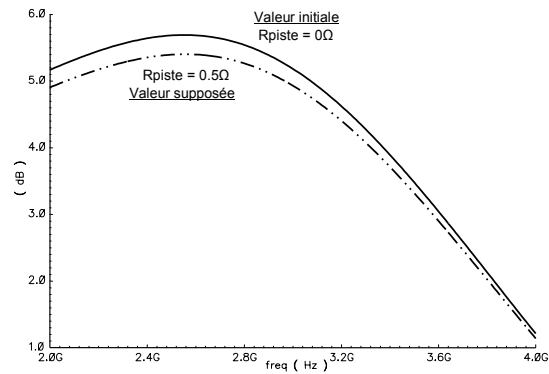


Figure 4.69 : Influence de la résistance de la piste d'entrée du convertisseur sur le gain de VEGA 1.

L'inductance d'un bonding est de 0.8nH/mm et initialement la longueur des bondings a été estimée à 2mm ce qui donnait une inductance parasite de 1.6nH. Mais les bondings d'alimentations ne sont pas les bondings les plus courts et leur longueur est probablement de 2.4mm. Ce détail mineur provoque à son tour une dégradation de l'allure du gain (Fig. 4.68).

Les alimentations ne sont pas les seules à être résistives, la piste qui relie le PAD du signal d'entrée à l'amplificateur est elle aussi résistive (Fig. 4.69). Mais sa faible résistance avait été négligée lors de la conception alors qu'elle a un effet (léger) sur l'allure du gain.

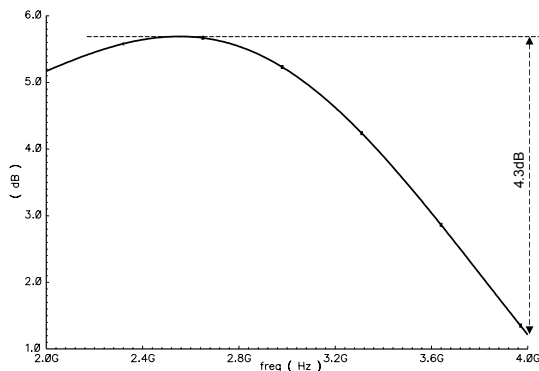


Figure 4.70 : Gain typique de VEGA 1 après modification du modèle.

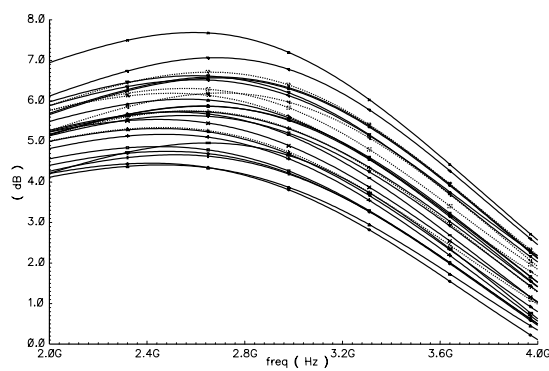


Figure 4.71 : Monte Carlo du gain de VEGA 1 avec le modèle final.

Au final, après avoir pris en compte ces nouveaux paramètres, il en résulte un écart (en typique) de 4.3dB dans la bande passante. Une simulation Monte Carlo permet de vérifier que cette allure est conservée malgré les dérives technologiques montrant que l'on ne se trouve pas dans un cas particulier.

3.2.3.4.3. Correction de la bande passante

Pour la correction de la bande passante, deux solutions correctrices externes au convertisseur sont envisagées :

- Implémentation d'un equalizer de fréquence en entrée du digitizer
- Implémentation d'une cellule passe haut à la place de l'adaptation externe

C'est la cellule passe haut à l'entrée même du convertisseur qui a été choisie pour des raisons de place et de coût.

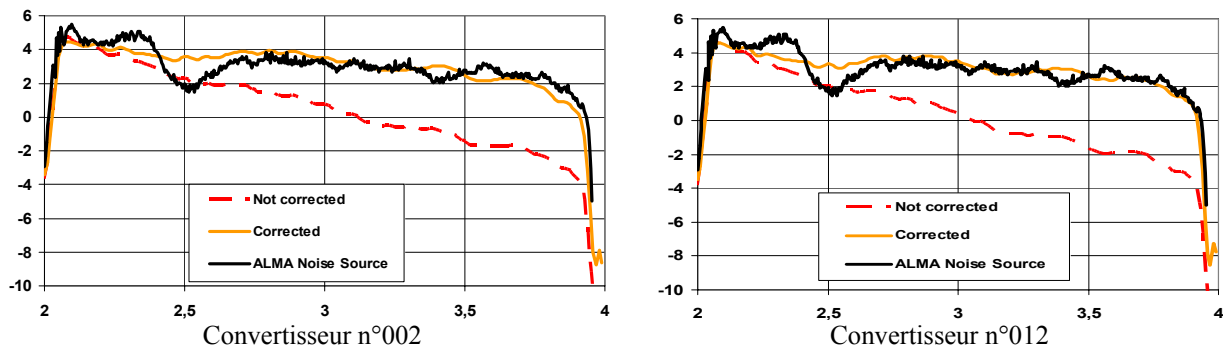


Figure 4.72 : Influence de la correction de pente sur deux convertisseurs (mesures effectuées avec le corrélateur FPGA).

Les résultats ci-dessus montrent l'efficacité de la correction sur deux convertisseurs. Ces mesures (Fig. 4.72) ont été vérifiées sur le second banc de test (Fig. 4.73) réalisé par le NRAO et on retrouve la même allure de la distribution spectrale sur la bande passante.

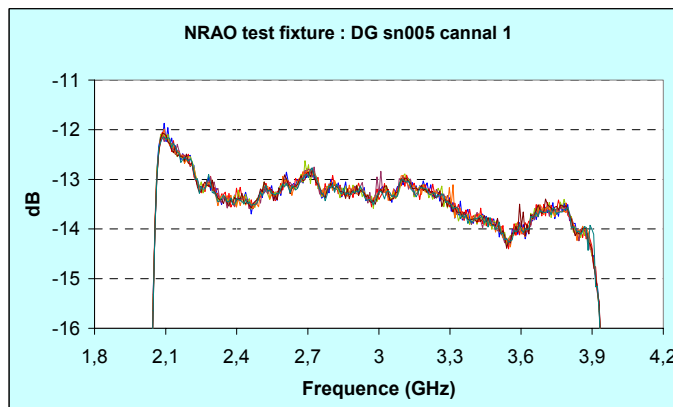


Figure 4.73 : Distribution spectrale du bruit blanc gaussien.

Comme on peut le voir sur la figure 4.73, la distribution spectrale du bruit en entrée du digitizer n'est pas plate. Grâce à un traitement numérique, il est possible de corriger cette pente qui est dû à la nature même de la source de bruit utilisée. Lorsque ces effets sont corrigés, il est alors possible de mesurer l'amplitude de la variation de gain sur la bande passante due au seul dispositif en cours de test (Fig. 4.74 & 4.75).

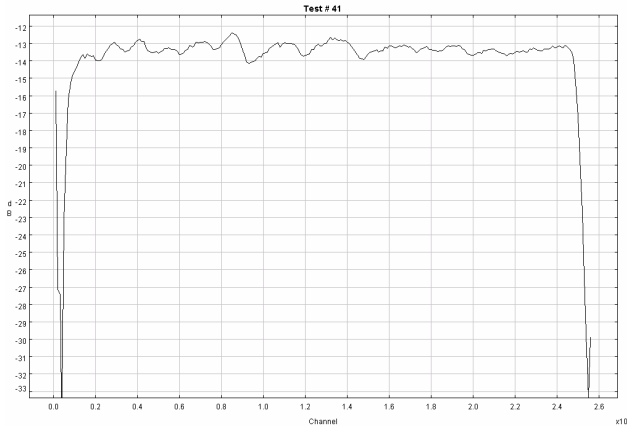


Figure 4.74 : Distribution spectrale du bruit blanc avec prise en compte de la statistique de la source.

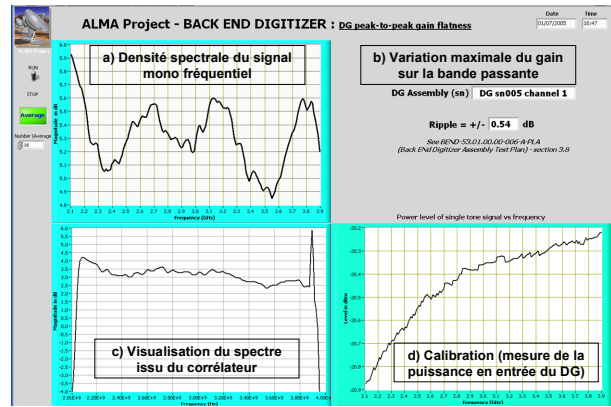


Figure 4.75 : Mesure de la variation du gain par ajout d'une harmonique dans un bruit blanc.

En fonctionnement nominal, le digitizer devra numériser des signaux qui seront noyés dans le bruit. Pour mesurer cette capacité, on ajoute grâce à un coupleur un signal mono fréquentiel au bruit blanc. Après calibration (Fig. 4.75d), on fait varier la fréquence de cet harmonique sur toute la bande passante (Fig. 4.75c) et on mesure la puissance que nous donne le corrélateur pour chacune de ces fréquences et on trace cette courbe (Fig. 4.75a). Pour obtenir la variation de gain (ripple) du convertisseur (Fig. 4.75b), il suffit de faire la différence entre les extrema de cette courbe.

Au final, on obtient une variation maximale de gain allant de 0.35dB à 0.59dB pour les digitizers mesurés jusqu'à maintenant.

3.2.3.5. Variance d'Allan

En théorie (Fig 4.76a), plus on intègre d'échantillons, plus le résultat qui en résulte est précis. Ceci est vrai si la statistique ne subit aucune dérive dans le temps. Or en réalité (Fig. 4.76b), il n'en est rien car d'infimes changements au niveau de la température ou de la tension d'alimentation vont créer des changements au niveau de la statistique.

La variance d'Allan est une mesure qui permet de définir la stabilité d'un système dans le temps. Pour réaliser cette mesure, il faut découper les échantillons en N tranches d'une durée τ et moyenner les échantillons de cet intervalle. La variance d'Allan correspond à l'écart entre les N échantillons ayant le même temps d'intégration.

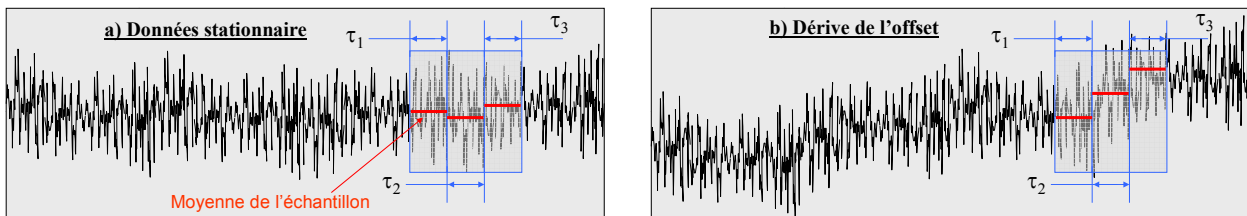


Figure 4.76 : Définition de la variance d'Allan pour des données stationnaires et subissant une dérive de l'offset.

En répétant le même mode opératoire pour des τ de plus en plus grand, on obtient la courbe de la figure 4.77. Grâce à ces mesures, on peut extraire le temps d'intégration optimal compris entre 100 et 300 secondes qui correspond au temps d'intégration pour lequel l'erreur est la plus faible.

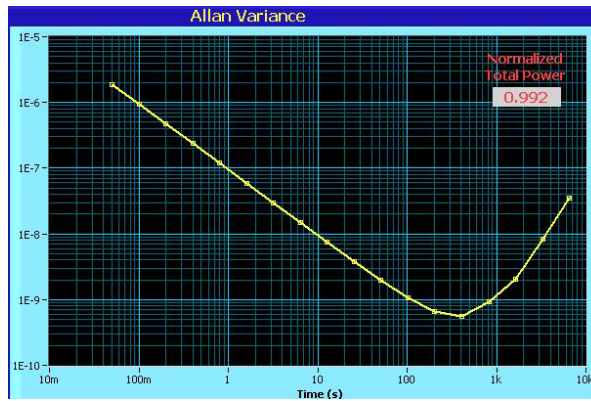


Figure 4.77 : Variance d’Allan.

Même si il n’y a pas d’impératif dans le cahier des charge pour ce paramètre, il reste tout de même extrêmement important car une valeur trop basse (<50sec) pourrait dégrader les performances de toute la chaîne de réception ALMA.

3.3. Bilan des mesures de VEGA 1

Les divergences entre la simulation et les mesures ont été réduites par l’amélioration du modèle. Et les paramètres en désaccord avec la spécification (S11 et variation du gain) ont été corrigés par l’intermédiaire de dispositifs externes.

Tableau 4.14 : Fenêtrage imposé et mesuré sur deux digitizers.

Fonction	Fenêtrage imposé	Fenêtrage mesuré	Validation
Consommation de l’alimentation 3.3V des CAN & DEMUX (A)	$2.25 < I < 3.27$	$2.86 < I < 2.9$	OK
Consommation de l’alimentation 5V des amplificateurs externe d’horloge (A)	$0.24 < I < 0.4$	$0.25 < I < 0.37$	OK
Tension de référence haute : V_H (V)	$1.2 < V_H < 1.6$	$1.344 < V_H < 1.354$	OK
Tension de référence basse : V_L (V)	$0.9 < V_H < 1.3$	$1.284 < V_H < 1.29$	OK
Adaptation de l’entrée du signalanalogique : VSWR	$VSWR < 1.2$	$1.122 < VSWR < 1.141$	OK
Isolation vis-à-vis de l’horloge à 4GHz (dBm)	$P < -40$	$-48 < P < -42$	OK
Isolation vis-à-vis de l’horloge à 8GHz (dBm)	$P < -40$	$-60 < P < -54$	OK
Isolation vis-à-vis de l’horloge à 250MHz (dBm)	$P < -40$	$P < -90$	OK
Variation maximale du gain sur la bande passante	$\Delta < 0.5dB$	$0.35dB < \Delta < 0.59dB$	Quasi-OK

Au final, comme le montre le tableau précédent, toutes les spécifications sont atteintes. Seule la variation maximale du gain dépasse très légèrement la spécification pour certaines puces.

4 Conception du convertisseur VEGA 2

Au moment du design de VEGA 2, les bancs de test du NRAO et de l’IRAM n’étaient pas pleinement fonctionnels mais ils avaient tout de même mis en évidence un problème de pente sur la bande passante non observée en simulation.

De plus la mauvaise adaptation de l’entrée du signal analogique n’avait pas encore été élucidée et à ce moment là, l’hypothèse du connecteur MCX n’était même pas envisagée. On pensait même que ces deux phénomènes étaient liés. C’était donc principalement pour corriger ces problèmes et afin de diminuer encore la consommation que le circuit VEGA 2 a été conçu.

4.1. Descriptif du système

VEGA 2 possède la même architecture système que VEGA 1. Lors de la conception de ce nouveau prototype, plusieurs caractéristiques ont été améliorées pour rendre encore plus performant le convertisseur ALMA. C'est uniquement ces modifications (Amplificateur / Bascules D / Amplificateur d'horloge / Encoder) qui vont être présentées maintenant.

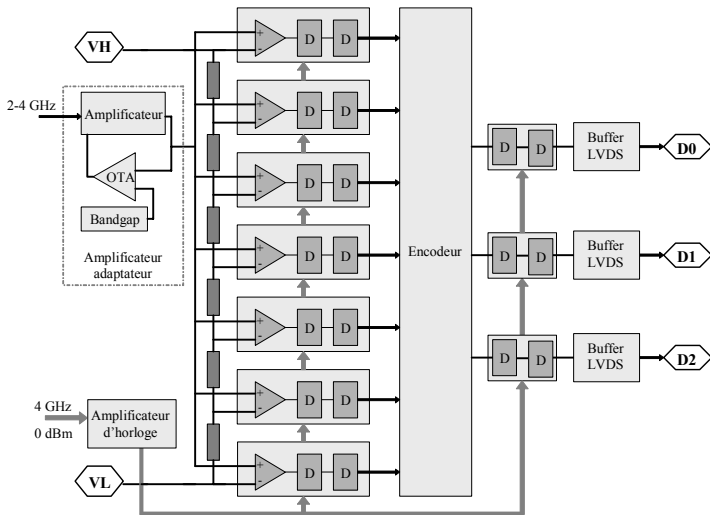


Figure 4.78 : Architecture de VEGA 2.

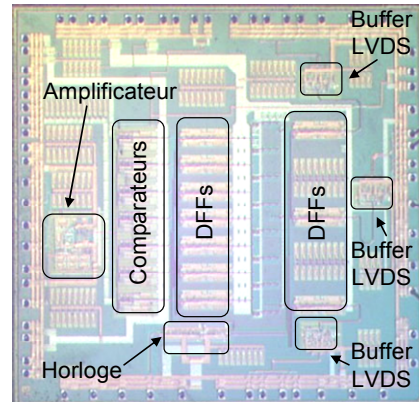


Figure 4.79 : Micrographie de VEGA 2.

4.2. Amplificateur adaptateur

Dans VEGA 2, l'adaptation d'impédance est devenue majoritairement externe (Fig. 4.80) ce qui en simulation a permis d'améliorer le S11 (Fig. 4.82). Le gain de l'amplificateur tout comme l'amplitude de ses variations dans la bande passante ont aussi été modifiés afin d'augmenter la robustesse du système vis-à-vis des dispersions technologiques (Fig. 4.83).

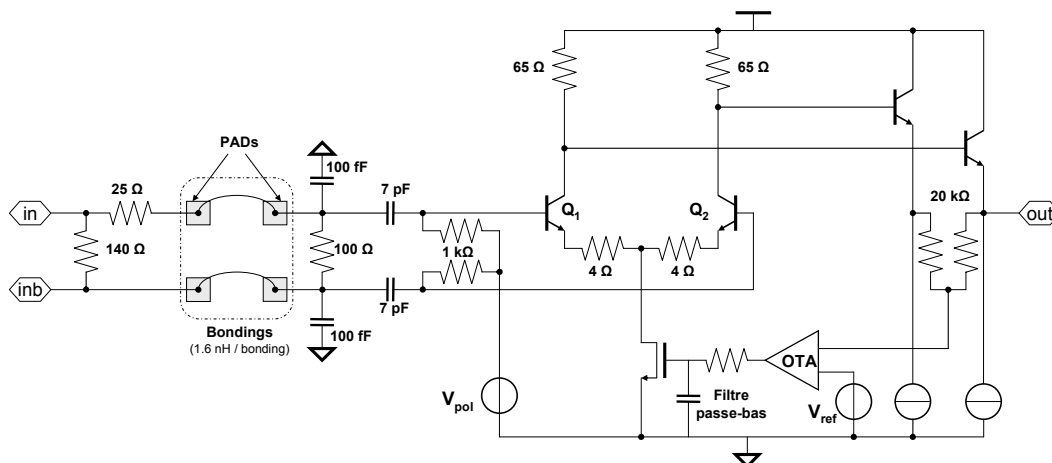


Figure 4.80 : Architecture de l'amplificateur adaptateur.

L'OTA a lui aussi subi une refonte (Fig. 4.81) afin de diminuer sa consommation.

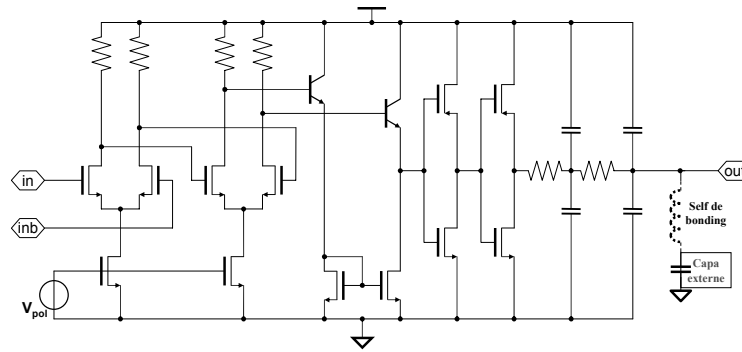


Figure 4.81 : Architecture de l'OTA

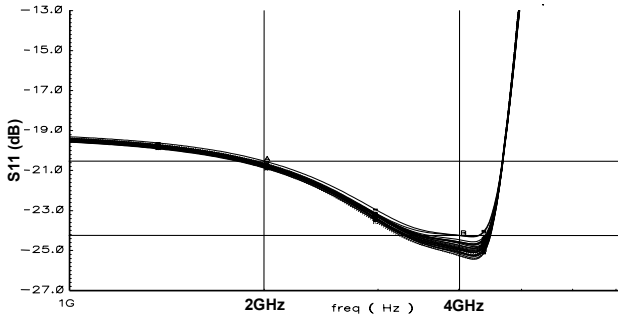


Figure 4.82 : Simulation Monte Carlo de l'adaptation (S11) sur l'entrée analogique.

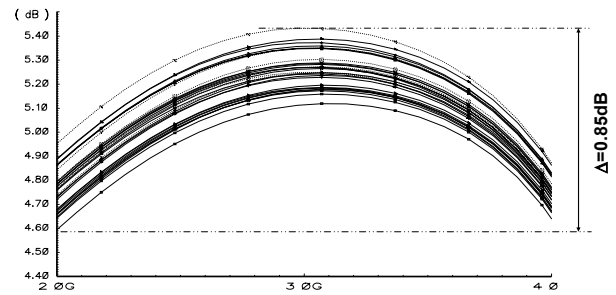


Figure 4.83 : Simulation Monte Carlo de la bande passante de l'amplificateur adaptateur.

Au niveau de l'immunité à la saturation vis-à-vis des grands signaux, on constate rapidement que les résultats sont relativement proches de la valeur théorique de 5 avec un σ de 131mV (cf. ANNEXE 2). Comme pour VEGA 1, cette dérive est directement la conséquence de la saturation de l'amplificateur mais elle reste totalement acceptable.

Tableau 4.15 : Résultats des simulations sur la linéarité grand signal.

AA'	5.329	AA'	4.9
BB'	6.2	BB'	5.632
CC'	5.509	CC'	4.945
DD'	5.22	DD'	4.574
	2GHz		4GHz

4.3. Chaîne de résistance

La chaîne de résistance n'a subi aucune modification au niveau de son architecture ni même au niveau des valeurs des résistances qui la composent. Seul le Layout a évolué.

Afin de rendre plus robuste cet étage face aux variations de process, selon les conseils du fondeur qui suit le design dans le cadre du contrat industriel, le facteur de forme des résistances a été amélioré et leur surface a été augmentée ce qui a nécessité un changement de leur composition chimique.

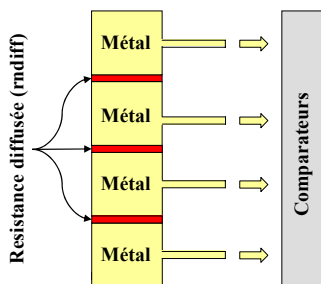


Figure 4.84 : Schéma du LAYOUT de la chaîne de résistance de VEGA 1.

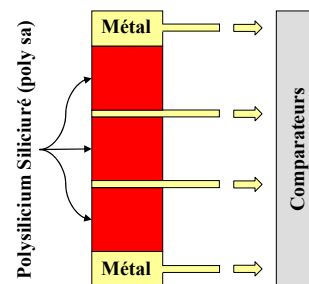


Figure 4.85 : Schéma du LAYOUT de la chaîne de résistance de VEGA 2.

Le facteur de forme d'une résistance correspond au rapport longueur sur largeur. Plus il est proche de 1, moins il est sensible aux dérives technologiques (à surface et à résistivité égales).

Sur le schéma suivant toutes les résistances ont la même valeur, seuls leurs facteurs de forme et leurs surfaces changent. On constate que plus la surface augmente plus la résistance est robuste face aux erreurs de process longitudinales et verticales. Il en est de même lors de l'amélioration du facteur de forme.

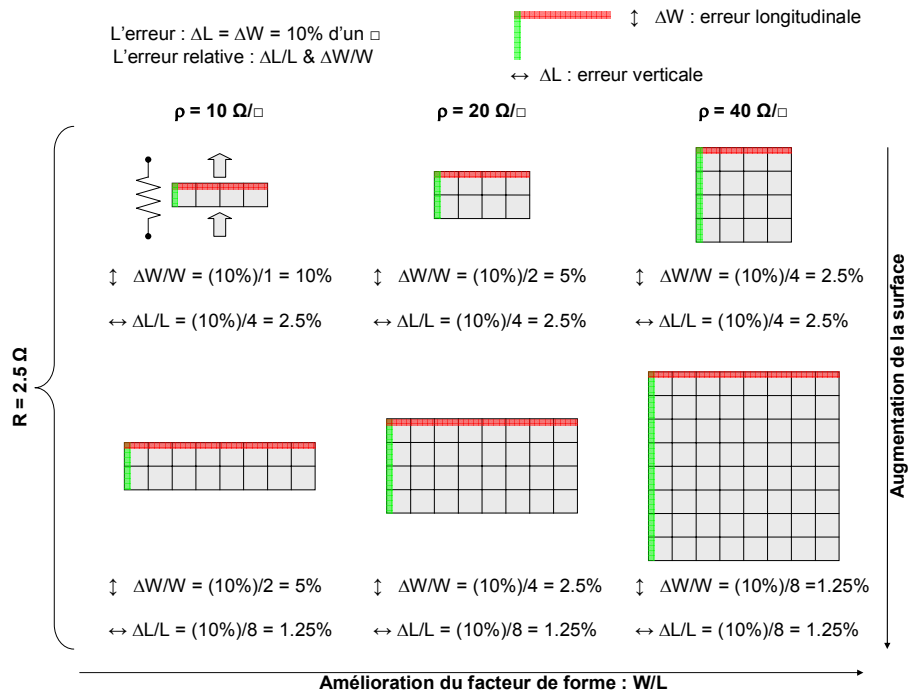


Figure 4.86 : Influence du facteur de forme et de la surface sur l'immunité des composants face aux dérives thermiques.

4.4. Echantillonneur et synchroniseur

Afin d'abaisser la consommation de VEGA 2, les bascules pseudo différentielles de VEGA 1 ont été remplacées par des bascules totalement différentielles issues du démultiplexeur PHOBOS. L'avantage d'un tel échange est de connaître déjà leurs performances car ces bascules ont déjà été caractérisées dans le démultiplexeur.

Le circuit VEGA 2 a subi une légère modification architecturale au niveau du synchroniseur. Dans VEGA 1, la synchronisation est constituée de trois bascules D en parallèle. Or une bascule D est passante durant la moitié de la période d'horloge. Pour qu'elle soit fonctionnelle en tant que synchroniseur, il ne faut pas de commutation durant sa phase passante ce qui rend extrêmement critique le phasage de l'horloge 4GHz entre l'échantillonneur et le synchroniseur. Dans VEGA 2, ce même synchroniseur a évolué pour être constitué de trois bascules DFF en parallèle afin de supprimer ce problème potentiel car une bascule DFF commute sur un front.

4.5. Encodeur

L'encodeur de VEGA 2 utilise des portes "Nand" et un principe d'encodage FDL entièrement différentiel a été mis en œuvre pour rendre tous les bits totalement symétriques.

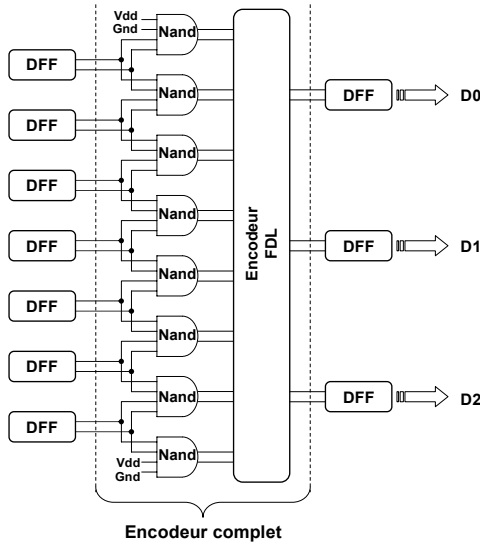


Figure 4.87 : Descriptif de l'encodeur.

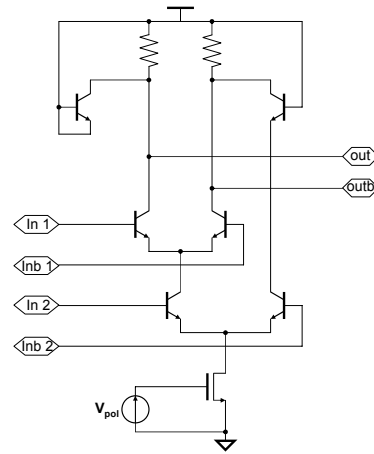


Figure 4.88 : Architecture de la porte NAND.

Pour chaque bit, l'encodeur est constitué de 8 paires différentielles (collecteur ouvert) reliées à 2 résistances. On réalise le codage par l'intermédiaire du câblage (dans un sens direct "+" ou dans l'autre "-") de ces paires différentielles. Les niveaux correspondent au niveau de la paire différentielle et les bits en entrée sont issus des portes "Nand".

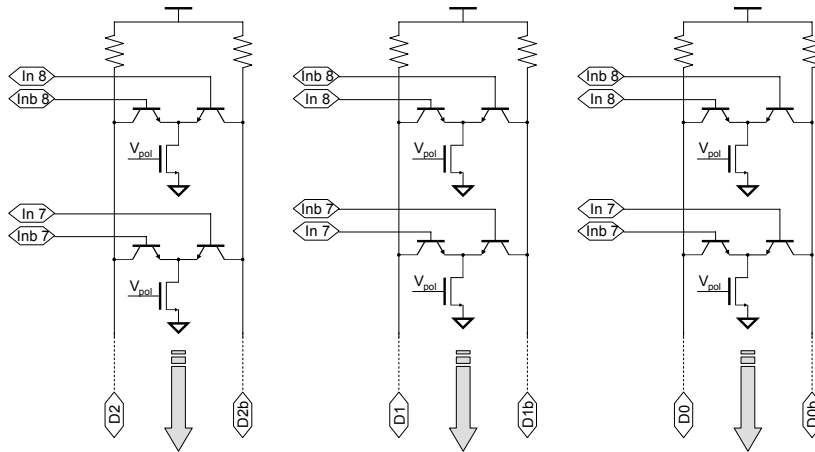


Figure 4.89 : Architecture de l'encodeur FDL.

Le codage est décrit de manière booléenne à la suite mais il peut aussi l'être en utilisant les signaux différentiels comme le montre l'ANNEXE 3.

Les portes Nand réalisent l'opération suivante :

$$B_n = C_{n-1} \cdot \overline{C_n}$$

Ce n'est qu'ensuite que l'encodeur génère le code Gray à partir des signaux issus de ces huit portes :

$$\begin{aligned}
 D2 &= \overline{B1} \cdot \overline{B2} \cdot \overline{B3} \cdot \overline{B4} \cdot \overline{B5} \cdot \overline{B6} \cdot \overline{B7} \cdot B8 & D1 &= \overline{B1} \cdot \overline{B2} \cdot \overline{B3} \cdot \overline{B4} \cdot \overline{B5} \cdot B6 \cdot \overline{B7} \cdot \overline{B8} & D0 &= \overline{B1} \cdot \overline{B2} \cdot \overline{B3} \cdot \overline{B4} \cdot \overline{B5} \cdot \overline{B6} \cdot B7 \cdot \overline{B8} \\
 &+ \overline{B1} \cdot \overline{B2} \cdot \overline{B3} \cdot \overline{B4} \cdot B5 \cdot \overline{B6} \cdot \overline{B7} \cdot B8 & &+ \overline{B1} \cdot \overline{B2} \cdot \overline{B3} \cdot \overline{B4} \cdot B5 \cdot \overline{B6} \cdot \overline{B7} \cdot B8 & &+ \overline{B1} \cdot \overline{B2} \cdot \overline{B3} \cdot \overline{B4} \cdot \overline{B5} \cdot \overline{B6} \cdot \overline{B7} \cdot \overline{B8} \\
 &+ \overline{B1} \cdot \overline{B2} \cdot \overline{B3} \cdot B4 \cdot \overline{B5} \cdot \overline{B6} \cdot \overline{B7} \cdot B8 & &+ \overline{B1} \cdot \overline{B2} \cdot \overline{B3} \cdot B4 \cdot \overline{B5} \cdot \overline{B6} \cdot \overline{B7} \cdot B8 & &+ \overline{B1} \cdot \overline{B2} \cdot \overline{B3} \cdot B4 \cdot \overline{B5} \cdot \overline{B6} \cdot B7 \cdot \overline{B8} \\
 &+ \overline{B1} \cdot \overline{B2} \cdot \overline{B3} \cdot B4 \cdot B5 \cdot \overline{B6} \cdot \overline{B7} \cdot B8 & &+ \overline{B1} \cdot \overline{B2} \cdot \overline{B3} \cdot B4 \cdot \overline{B5} \cdot B6 \cdot \overline{B7} \cdot B8 & &+ \overline{B1} \cdot \overline{B2} \cdot \overline{B3} \cdot B4 \cdot B5 \cdot \overline{B6} \cdot \overline{B7} \cdot \overline{B8} \\
 &+ \overline{B1} \cdot \overline{B2} \cdot B3 \cdot \overline{B4} \cdot \overline{B5} \cdot \overline{B6} \cdot \overline{B7} \cdot B8 & &+ \overline{B1} \cdot \overline{B2} \cdot B3 \cdot \overline{B4} \cdot \overline{B5} \cdot \overline{B6} \cdot \overline{B7} \cdot B8 & &+ \overline{B1} \cdot \overline{B2} \cdot B3 \cdot \overline{B4} \cdot \overline{B5} \cdot \overline{B6} \cdot B7 \cdot \overline{B8} \\
 &+ \overline{B1} \cdot \overline{B2} \cdot B3 \cdot \overline{B4} \cdot B5 \cdot \overline{B6} \cdot \overline{B7} \cdot B8 & &+ \overline{B1} \cdot \overline{B2} \cdot B3 \cdot B4 \cdot \overline{B5} \cdot \overline{B6} \cdot \overline{B7} \cdot B8 & &+ \overline{B1} \cdot \overline{B2} \cdot B3 \cdot B4 \cdot \overline{B5} \cdot \overline{B6} \cdot B7 \cdot \overline{B8} \\
 &+ \overline{B1} \cdot B2 \cdot \overline{B3} \cdot \overline{B4} \cdot \overline{B5} \cdot \overline{B6} \cdot \overline{B7} \cdot B8 & &+ \overline{B1} \cdot B2 \cdot \overline{B3} \cdot \overline{B4} \cdot \overline{B5} \cdot \overline{B6} \cdot \overline{B7} \cdot B8 & &+ \overline{B1} \cdot B2 \cdot \overline{B3} \cdot \overline{B4} \cdot \overline{B5} \cdot \overline{B6} \cdot B7 \cdot \overline{B8} \\
 &+ \overline{B1} \cdot B2 \cdot \overline{B3} \cdot B4 \cdot \overline{B5} \cdot \overline{B6} \cdot \overline{B7} \cdot B8 & &+ \overline{B1} \cdot B2 \cdot \overline{B3} \cdot B4 \cdot \overline{B5} \cdot \overline{B6} \cdot \overline{B7} \cdot B8 & &+ \overline{B1} \cdot B2 \cdot \overline{B3} \cdot B4 \cdot \overline{B5} \cdot \overline{B6} \cdot B7 \cdot \overline{B8} \\
 &+ \overline{B1} \cdot B2 \cdot B3 \cdot \overline{B4} \cdot \overline{B5} \cdot \overline{B6} \cdot \overline{B7} \cdot B8 & &+ \overline{B1} \cdot B2 \cdot B3 \cdot \overline{B4} \cdot \overline{B5} \cdot \overline{B6} \cdot \overline{B7} \cdot B8 & &+ \overline{B1} \cdot B2 \cdot B3 \cdot \overline{B4} \cdot \overline{B5} \cdot \overline{B6} \cdot B7 \cdot \overline{B8} \\
 &+ \overline{B1} \cdot B2 \cdot B3 \cdot B4 \cdot \overline{B5} \cdot \overline{B6} \cdot \overline{B7} \cdot B8 & &+ \overline{B1} \cdot B2 \cdot B3 \cdot B4 \cdot \overline{B5} \cdot \overline{B6} \cdot \overline{B7} \cdot B8 & &+ \overline{B1} \cdot B2 \cdot B3 \cdot B4 \cdot \overline{B5} \cdot \overline{B6} \cdot B7 \cdot \overline{B8} \\
 &+ \overline{B1} \cdot B2 \cdot B3 \cdot B4 \cdot B5 \cdot \overline{B6} \cdot \overline{B7} \cdot B8 & &+ \overline{B1} \cdot B2 \cdot B3 \cdot B4 \cdot B5 \cdot \overline{B6} \cdot \overline{B7} \cdot B8 & &+ \overline{B1} \cdot B2 \cdot B3 \cdot B4 \cdot B5 \cdot \overline{B6} \cdot B7 \cdot \overline{B8} \\
 &+ \overline{B1} \cdot B2 \cdot B3 \cdot B4 \cdot B5 \cdot B6 \cdot \overline{B7} \cdot B8 & &+ \overline{B1} \cdot B2 \cdot B3 \cdot B4 \cdot B5 \cdot B6 \cdot \overline{B7} \cdot B8 & &+ \overline{B1} \cdot B2 \cdot B3 \cdot B4 \cdot B5 \cdot B6 \cdot B7 \cdot \overline{B8} \\
 &+ \overline{B1} \cdot B2 \cdot B3 \cdot B4 \cdot B5 \cdot B6 \cdot B7 \cdot B8 & &+ \overline{B1} \cdot B2 \cdot B3 \cdot B4 \cdot B5 \cdot B6 \cdot B7 \cdot B8 & &+ \overline{B1} \cdot B2 \cdot B3 \cdot B4 \cdot B5 \cdot B6 \cdot B7 \cdot B8
 \end{aligned}$$

Toutes ces équations permettent de remplir la table de vérité qui suit :

Tableau 4.16 : Codage de l'encodeur.

Tensions	C0	C1	C2	C3	C4	C5	C6	C7	C8	B1	B2	B3	B4	B5	B6	B7	B8	D2	D1	D0
Vref7 < V	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0	1	1	0	0
Vref6 < V < Vref7	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0	1	0	1	0	1
Vref5 < V < Vref6	1	1	1	1	1	0	0	0	0	0	0	0	0	1	0	0	0	1	1	1
Vref4 < V < Vref5	1	1	1	1	0	0	0	0	0	0	0	1	0	0	0	0	0	1	1	0
Vref3 < V < Vref4	1	1	1	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	0
Vref2 < V < Vref3	1	1	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	1	1
Vref1 < V < Vref2	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
V < Vref1	1	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0

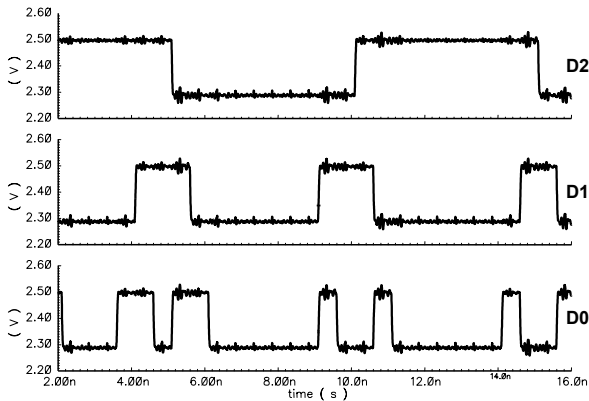


Figure 4.90 : Simulation de l'encodeur.

Tableau 4.17 : Bilan des caractéristiques transitoires du signal en sortie de l'encodeur.

Valeur crête supérieure	2.32V	$\Delta = 0.21V$
Valeur crête inférieure	2.11V	
Temps de montée du bit D2/D1/D0	45ps	
Temps de descente du bit D2/D1/D0	35ps	

Les signaux présentés dans la figure précédente sont le résultat d'un encodage après la conversion numérique d'un signal d'entrée sinusoïdal de 3GHz. Par repliement spectral, on observe un code de sortie identique à celui d'un signal à 1GHz et on constate que ce code est conforme avec le codage Gray. De plus tous les fronts sont inférieurs aux 60ps requis.

4.6. Amplificateur d'horloge

Les bascules DFF ont changé d'architecture et pour pouvoir les piloter correctement, les caractéristiques de l'horloge (tel l'amplitude et l'offset) ont du être adaptées. Encore une fois, c'est dans une optique de gain de temps avec une prise de risque minimale que l'amplificateur d'horloge de PHOBOS a été réutilisé.

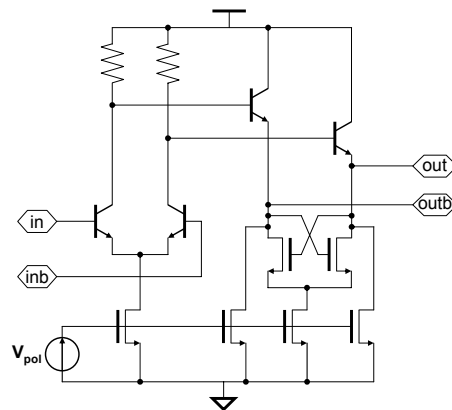


Figure 4.91 : Etage de sortie de l'amplificateur d'horloge

Cet amplificateur ne pilote que dix bascules DFF dans VEGA 2 alors que dans PHOBOS, il y en a seize. C'est cette différence de charge qui fait légèrement varier les performances de l'amplificateur.

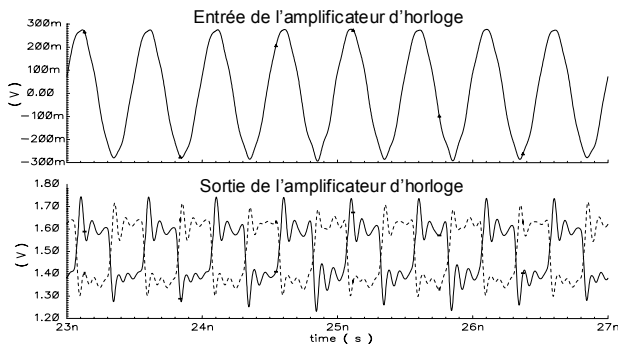


Figure 4.92 : Résultats de simulation de l'amplificateur d'horloge.

Tableau 4.18 : Bilan des caractéristiques transitoires du signal en sortie du buffer LVDS.

Valeur crête supérieure	1.6V	$\Delta = 0.25V$
Valeur crête inférieure	1.35V	
Temps de montée	42ps	
Temps de descente	36ps	

On peut voir sur la figure précédente le signal différentiel carré en sortie de l'amplificateur ce qui valide la fonctionnalité de ce bloc. De plus les temps de commutations sont tous extrêmement inférieurs au 60ps requis ce qui permet de minimiser le jitter d'ouverture des bascules DFF de l'échantillonnage.

4.7. Brochage

La connectique en sortie de VEGA 2 est la même que celle de VEGA 1 pour permettre de réutiliser le même PCB. Seuls certains bondings ont été doublés afin de diminuer leurs effets parasites sur le circuit. Car un tel doublage permet de diminuer de manière non négligeable l'inductance parasite vue par le circuit causé par les bondings.

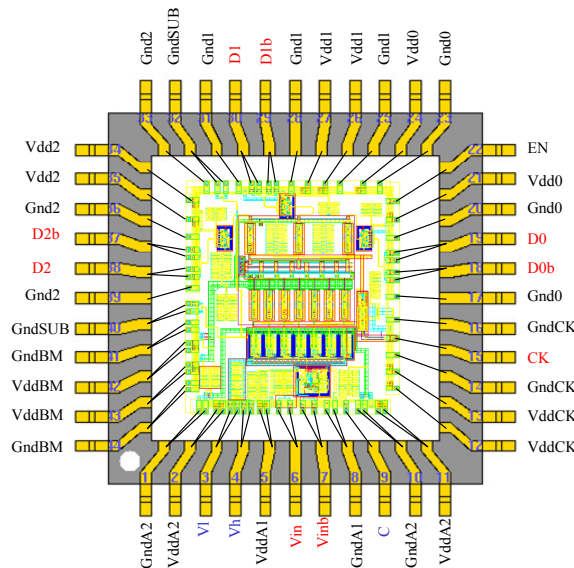


Figure 4.93 : Connectique entre le circuit et le boîtier.

4.8. Bilan des simulations

La matrice de conformité permet de constater rapidement qu'en simulation VEGA 2 est conforme avec toutes les spécifications qui lui étaient imposées.

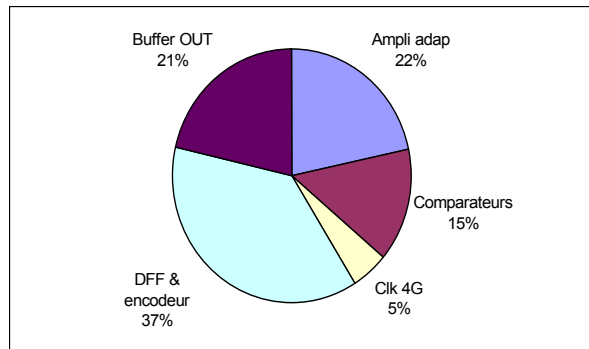
Tableau 4.19 : Matrice de conformité

Objet	Spécifications	Caractéristiques	Conformité Oui/Non	Commentaire
Impédance de l'entrée analogique	50Ohms		Oui	
Impédance d'entrée des horloges 4GHz et 250MHz	50Ohms		Oui	
Adaptation de l'horloge : S11	< -13dBm	-13dBm	Oui	

Niveau d'indécision des comparateurs	< 10mV	??	??	Non simulable mais la forme centroïde minimise ce niveau
Stabilité en température			Oui	
Standard de sortie	LVDS		Oui	
Durée des fronts montants et descendant en sortie	< 80ps	<50ps	Oui	
Erreur d'alignement des bits de sortie	< 50ps	??	??	Temps de propagation non simulés
Puissance dissipée	< 2W	1.26W	Oui	

Tableau 4.20 : Tableau bilan de la consommation des différents blocs du DEMUX

Bloc	Conso. unitaire		Puissance unitaire		Nbr de composant	Consommation globale du bloc		Puissance globale du bloc	
Ampli adap	110	mA	275	mW	1	110	mA	275	mW
Comparateurs	10,5	mA	26,25	mW	7	73,5	mA	183,75	mW
Clk 4G	25	mA	62,5	mW	1	25	mA	62,5	mW
DFF & encodeur	190	mA	475	mW	1	190	mA	475	mW
Buffer OUT	36	mA	90	mW	3	108	mA	270	mW
TOTAL						506,5	mA	1266,25	mW



La répartition de la consommation dans le circuit est moins bien équilibrée que pour VEGA 1. Les plus gros consommateurs de courant sont les bascules et l'encodeur mais ils sont répartis sur une grande surface de silicium ce qui empêche l'apparition de points chauds au sein de la puce.

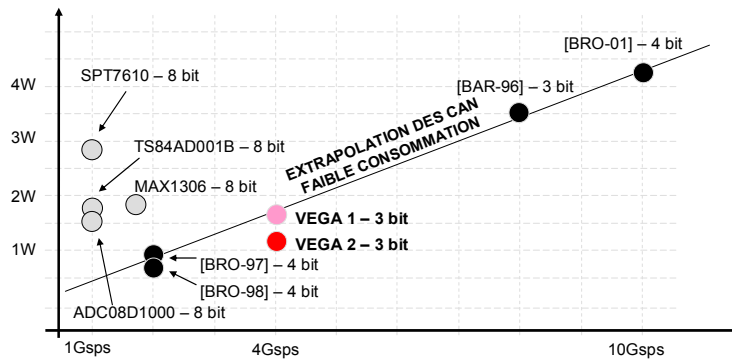


Figure 4.94 : Etat de l'art des convertisseurs A/N.

VEGA 2 (1.26W) consomme légèrement moins que VEGA 1 ce qui améliore son rapport performance / consommation face aux autres convertisseurs.

5 Résultats des tests du convertisseur VEGA 2

5.1. Tests statiques

5.1.1. Présentation de la procédure et du montage de test

De la même manière que pour VEGA 1, la première étape des tests consiste à mesurer la consommation de chacun des blocs du système. Pour effectuer cette vérification, la même procédure et le même matériel de test que pour VEGA 1 sont utilisés car ces deux convertisseurs possèdent la même connectique.

5.1.2. Présentation des résultats et de leur dispersion

Le tableau ci-dessous fait la synthèse des mesures effectuées sur une dizaine de circuits. Comme pour VEGA 1, on constate qu’il existe un écart non négligeable entre la mesure et la simulation.

Tableau 4.21 : Bilan des courants mesurés et simulés sous 2.5V.

	Limite basse mesuré	Limite haute mesuré	Limite basse simulée	Limite haute simulée	Unité
I_VddA1	74	84	89	145	mA
I_VddA2	62	71	57	112	mA
I_VddCK	20	27	19	38	mA
I_VddBM	111	132	175	228	mA
I_VddB0	28	30	32	42	mA
I_VddB1	28	30	32	42	mA
I_VddB2	28	30	32	42	mA

La simulation avait prédit une consommation moyenne de la puce de 1.26W or la mesure nous donne une valeur de 0.95W. Mais contrairement à VEGA 1 qui était totalement fonctionnel sous 2.5V, VEGA 2 nécessite une tension supérieure (Tab. 4.22) au niveau de ses bascules mémoires pour que celles-ci fonctionnent correctement (non bruité).

Tableau 4.22 : Influence de la tension d’alimentation des bascules mémoires (VddBM).

	2.3V	2.4V	2.5V	2.6V	2.7V	2.8V
Bit D2	inexistant	bruité	bruité	correct	correct	correct

5.1.3. Recherche des causes de la non-conformité des résultats

Les résultats présentés ci-dessous mettent en lumière les effets dûs aux résistances des rails d’alimentation sur la consommation des blocs associés. Une fois ce phénomène parasite pris en compte, on constate alors que la simulation et la mesure concordent.

Tableau 4.23 : Bilan des courants mesurés et simulés en prenant compte les résistances d’alimentation.

	Limite basse mesuré	Limite haute mesuré	Limite basse simulée AVEC R sur les alimentations	Limite haute simulée AVEC R sur les alimentations	Unité	Résistance du rail positif	Résistance du rail négatif
I_VddA1	74	84	72	102	mA	2	1.8
I_VddA2	62	71	55	105	mA	1.13	1.13
I_VddCK	20	27	18	37	mA	0.73	1
I_VddBM	111	132	110	140	mA	2.8	2.6
I_VddB0	28	30	28	38	mA	1.8	3.2
I_VddB1	28	30	28	38	mA	1.8	3.2
I_VddB2	28	30	28	38	mA	1.8	3.2

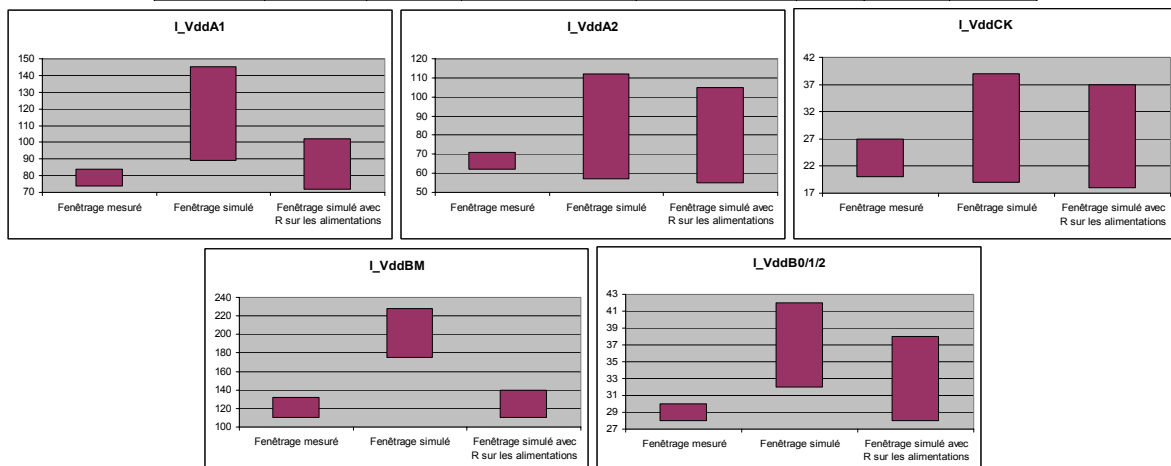


Figure 4.95 : Représentation graphique des courants mesurés et simulés

5.2. Tests dynamiques

5.2.1. Présentation du montage et de la procédure de test

Le même banc de test que celui de VEGA 1 et la même procédure de test sont réutilisés pour VEGA 2 afin de vérifier la fonctionnalité et les performances de ce circuit.

5.2.2. Validation de la fonctionnalité

5.2.2.1. Sorties LVDS.

Pour savoir si les données pourront être utilisables par les étages en aval, il faut que les signaux vérifient la norme LVDS et que leurs diagrammes de l'œil soient ouverts.

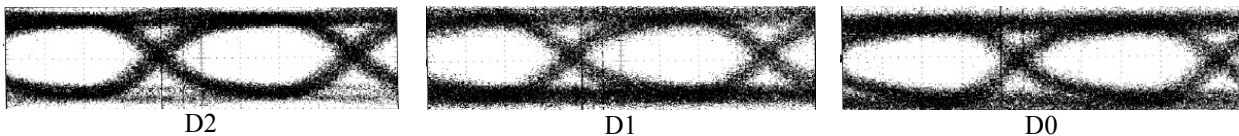


Figure 4.96 : Diagramme de l'œil des sorties LVDS de VEGA 2.

Les diagrammes de l'œil des trois bits sont totalement ouverts malgré le jitter. Le mode commun de ces signaux est de $1.2 \pm 0.1V$ et la valeur crête à crête est de $270 \pm 15mV$ ce qui est en total accord avec les spécifications requises.

5.2.2.2. Code Gray.

Comme pour VEGA 1, on injecte un signal à 3.99GHz en entrée et en sortie, on observe le code d'un signal à 100MHz au format Gray. Cette observation permet de valider le codage de ce circuit.

5.2.3. Validation des performances

5.2.3.1. Adaptation d'impédance en entrée du demi-digitizer

5.2.3.1.1. Présentation des résultats et de leur dispersion

L'adaptation d'impédance (Fig. 4.97) de VEGA 2 à la même allure que celle de VEGA 1 et elle est loin des -13dB requis par le cahier des charges.

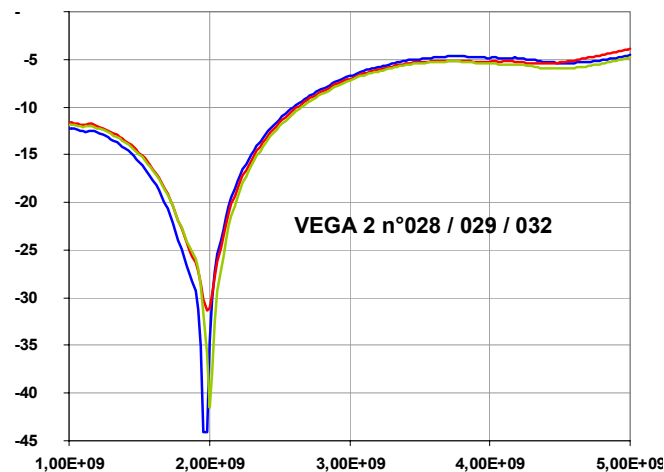


Figure 4.97 : Adaptation d'impédance des circuits VEGA 2 n°028 / 029 / 032.

5.2.3.1.2. Cause de la non-conformité de l'adaptation d'impédance

VEGA 2 utilise le même environnement (PCB, boîtier, connecteur MCX) que VEGA 1. Comme pour VEGA 1, c'est le connecteur MCX qui est la cause de la désadaptation de l'impédance d'entrée.

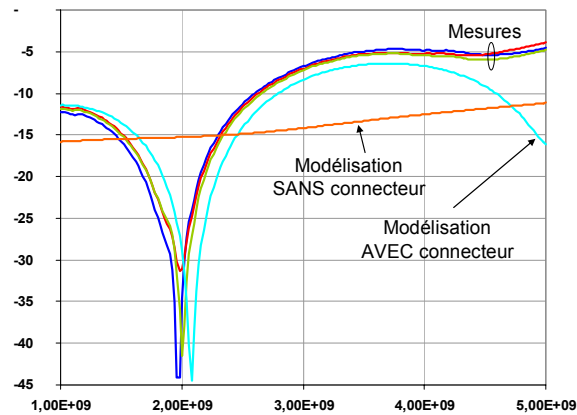


Figure 4.98 : Mesure et simulation du S11 du convertisseur

5.2.3.1.3. Correction de l'adaptation d'impédance

Comme pour VEGA 1, l'adaptation d'impédance peut être corrigé par l'ajout d'un atténuateur.

5.2.3.2. Adaptation d'impédance sur l'entrée de l'horloge

Comme pour VEGA 1, l'adaptation d'impédance de l'horloge est supérieure à -13dB mais ceci ne perturbe pas le bon fonctionnement du circuit.

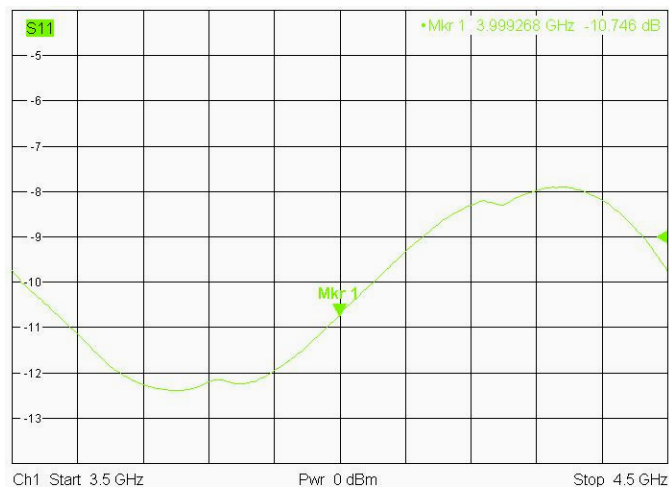


Figure 4.99 : Adaptation de l'entrée de l'horloge.

5.2.3.3. Restitution d'une distribution gaussienne du bruit

5.2.3.3.1. Présentation des résultats et de leur dispersion

La source de bruit utilisée pendant les tests est une source de bruit blanc gaussien. Par conséquent, la distribution visualisé après le corrélateur devrait en théorie être gaussienne mais comme on le voit sur la figure suivante ce n'est pas toujours le cas. On constate aussi qu'il existe une grande disparité au sein même des mesures traduisant une grande sensibilité apparente aux variations technologiques. Seuls quelques puces se révèlent être opérationnelles.

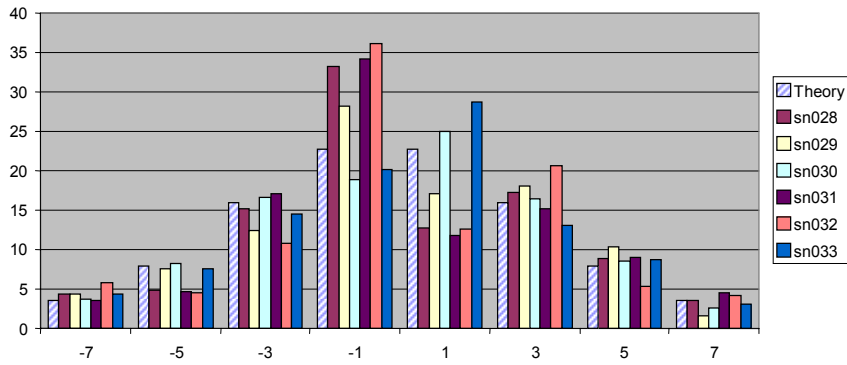


Figure 4.100 : Distribution statistique du codage de sortie pour six convertisseurs.

En faisant varier les tensions de référence externes VH et VL et en observant les sorties du convertisseur, il est possible de remonter aux valeurs des tensions de référence internes et à une chute de tension aux bornes de celles-ci.

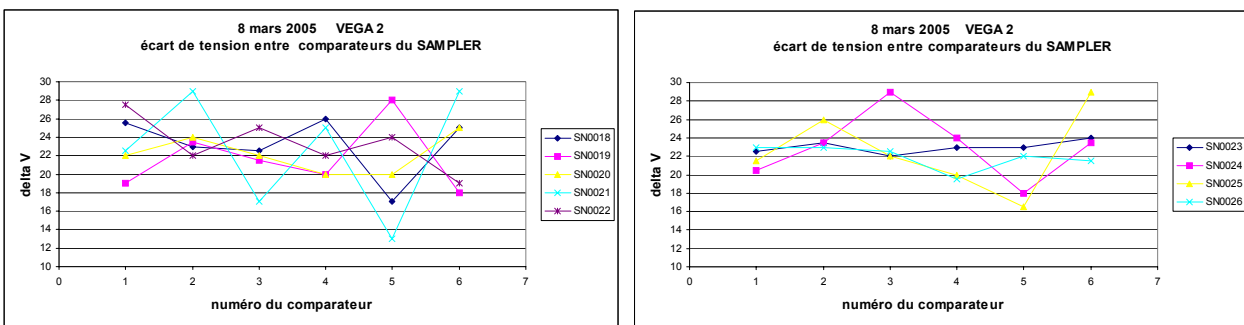


Figure 4.101 : Visualisation des chutes de tension aux bornes des résistances génératrices des tensions de références.

La chute de tension aux bornes des résistances du pont diviseur qui génère les tensions internes de référence est extrêmement dispersée. L'erreur relative atteint même 55%. La figure précédente permet donc de confirmer que le problème est localisé au niveau des résistances.

5.2.3.3.2. Cause de la dispersion des résistances du pont diviseur

Pour expliquer la dispersion des résistances du pont diviseur, il faut revenir à l'étape de layout lors du choix de la composition chimique des éléments utilisés. En effet, chaque type de résistance possède des caractéristiques spécifiques qui sont loin d'être homogènes. Ainsi la sensibilité vis-à-vis des variations technologiques peut aller du simple au sextuple (et cette variation est acceptée par les outils de design).

Tableau 4.24 : Dispersion des résistances du pont diviseur pour les deux circuits VEGA.

Nom de la résistance utilisé dans le pont résistif	Localisation	Descriptif de la résistance	Dispersion max.
rndiff	VEGA 1	Résistance polysilicium dopé N+	16%
rposa	VEGA 2	Résistance polysilicium dopé N+ siliciurée	> 100%

C'est cette variation technologique qui est la cause des dispersions précédemment observées sur les résistances du pont résistif de VEGA 2, et il n'existe aucun dispositif externe permettant de corriger cette caractéristique.

5.2.3.4. Variation du gain sur la bande passante

5.2.3.4.1. Présentation des résultats et de leur dispersion

VEGA 2, tout comme VEGA 1, doit avoir une variation maximale du gain de l'amplificateur de $\pm 0.5\text{dB}$. Or on observe sur la mesure ci-dessus que l'écart peut atteindre environ 7dB .

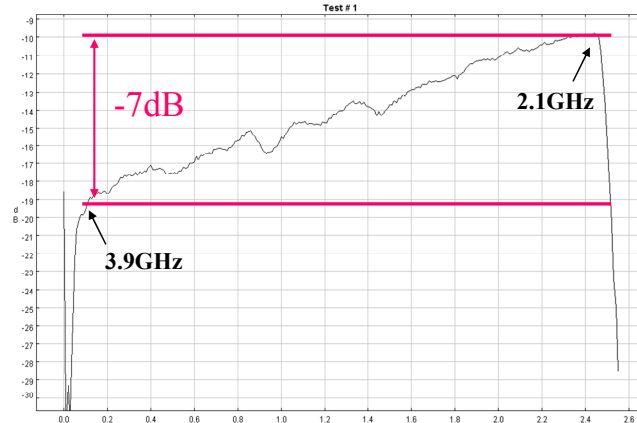


Figure 4.102 : Spectre mesuré du bruit blanc.

5.2.3.4.2. Recherche des causes de la non-conformité de la variation de gain dans la bande passante

Même si VEGA 2 diffère de VEGA 1 au niveau de la localisation de l'adaptation d'impédance, il a subi la même approximation du modèle au niveau des lignes en entrée des amplifications et de l'arbre de distribution.

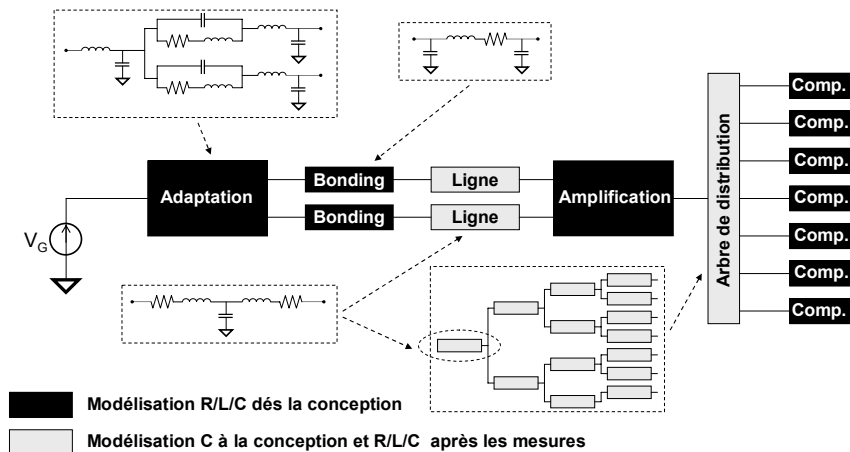


Figure 4.103 : Visualisation des approximations faites durant la conception de VEGA 2.

Et ces approximations ont eu des conséquences sur le comportement de l'amplificateur.

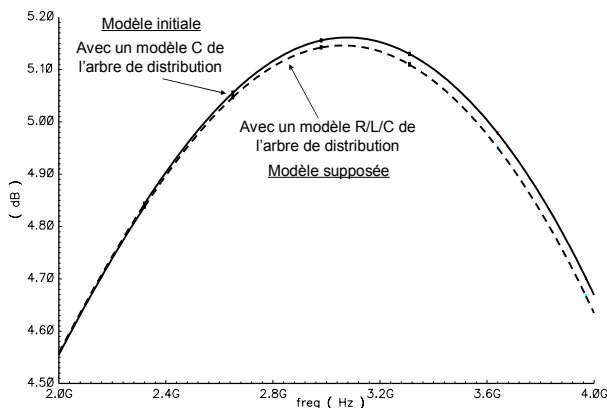


Figure 4.104 : Influence du modèle d'arbre de distribution.

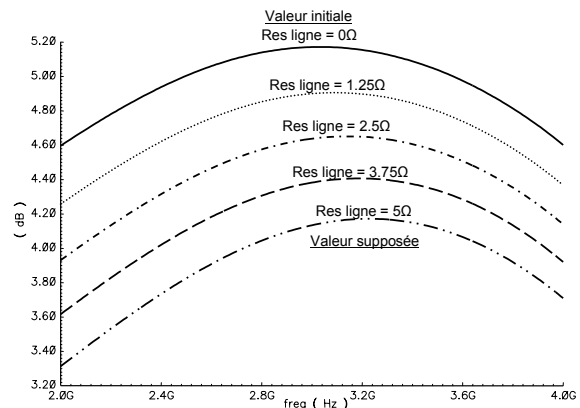


Figure 4.105 : Influence de la résistance de la ligne en entrée de l'amplificateur.

On constate avec la figure 4.104 que le modèle utilisé pour l'arbre de distribution n'a qu'une faible influence sur l'allure du gain. Par contre, l'ajout d'une résistance parasite sur la ligne en amont de l'amplificateur a une influence sur le gain du convertisseur.

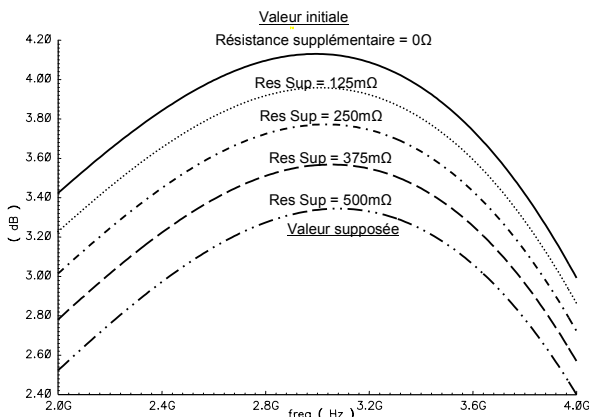


Figure 4.106 : Influence d'une augmentation de la résistance sur le rail d'alimentation.

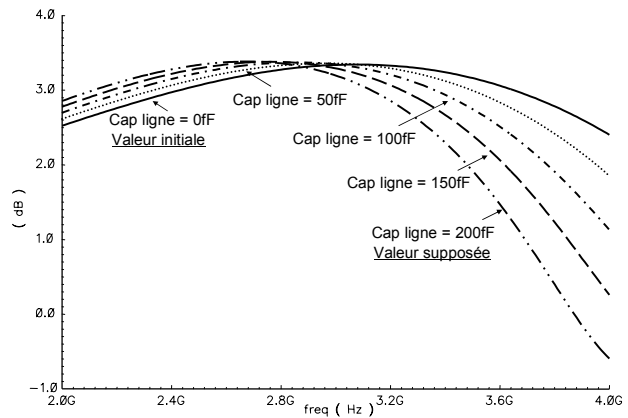


Figure 4.107 : Influence de la capacité de ligne en entrée de l'amplificateur.

Comme pour VEGA 1, il est nécessaire d'ajouter les résistances des rails d'alimentation dans le modèle mais celles-ci avaient été légèrement sous-évaluées (Fig. 4.106).

La capacité de ligne a elle aussi été sous évaluée de quelques femtofarad et ceci a aussi des effets sur l'allure du gain.

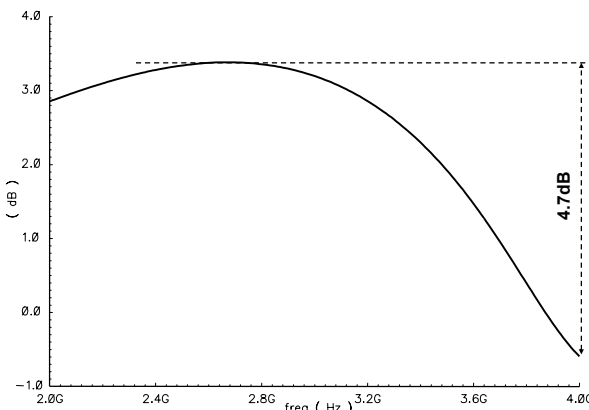


Figure 4.108 : Gain typique de VEGA 2 après modification du modèle.

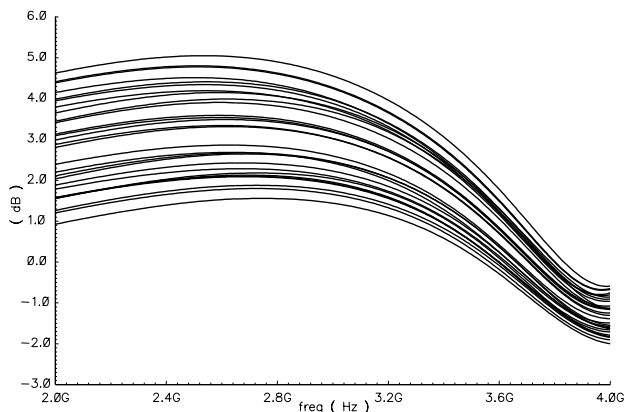


Figure 4.109 : Monte Carlo du gain de VEGA 2 avec le modèle final.

Au final, après implémentation du nouveau modèle, on obtient une variation du gain de l'amplificateur dans la bande passante de 4.7dB. Or la mesure donne une chute de 7dB dans laquelle une chute 1dB est causée par les câbles. On peut donc conclure que le nouveau modèle permet de se rapprocher fortement de la mesure sans toutefois retrouver parfaitement la même pente.

La simulation Monte Carlo permet de vérifier que la pente de la figure 4.109 n'est pas un cas particulier et qu'elle est à quelque chose près la même malgré les variations de process.

5.2.3.4.3. Correction de la pente du gain

Comme pour VEGA 1, la variation du gain peut être rectifiée par l'ajout d'un filtre passe haut en entrée du convertisseur.

5.3. *Bilan des mesures de VEGA 2*

Malgré une consommation diminuée et une partie numérique totalement différentielle (théoriquement plus robuste), VEGA 2 nécessite une tension d'alimentation de 2.6V et les résistances du pont diviseur subissent une forte dispersion. Ces deux derniers paramètres ne peuvent pas être compensés et ils rendent le convertisseur VEGA 2 non industrialisable.

6 Conclusion

La procédure de caractérisation de VEGA 1 et VEGA 2 a permis de conclure que ces deux circuits sont tous les deux fonctionnels. La consommation mesurée inférieure à celle prédite s'explique par la non prise en compte des résistances parasites des rails d'alimentation. Ce phénomène parasite va jusqu'à entraîner une modification de la tension d'alimentation de VEGA 2 qui passe à 2.6-2.7V au lieu des 2.5V nominaux.

Ces deux circuits une fois assemblés dans leur boîtier d'application ont tous les deux une adaptation d'impédance relativement mauvaise. Cette caractéristique est due pour les deux circuits à la présence d'un connecteur MCX sur l'entrée analogique. Mais un atténuateur en amont de ce connecteur permet d'améliorer l'adaptation pour qu'elle soit en accord avec le cahier des charges.

A l'origine, ces deux circuits ont tous deux un gain non constant sur la bande passante 2-4GHz. Ceci s'explique dans les deux cas essentiellement par une imprécision du modèle utilisé lors de la conception. Mais grâce à l'implémentation d'un filtre passe haut devant le convertisseur, on obtient une variation acceptable du gain en accord avec le cahier des charges.

De toutes ces caractéristiques, la dispersion des résistances du pont diviseur dans VEGA 2 est la plus problématique car elle est non corrigable. Et cela met définitivement VEGA 2 hors course pour l'industrialisation à moins de refondre ce circuit avec une résistance non siliciurée du pont diviseur.

Au final, le demi-digitizer ALMA sera constitué par un convertisseur VEGA 1 et par trois démultiplexeurs PHOBOS. Mais la phase de caractérisation n'est pas complètement finie, il reste à mesurer la résistance à la saturation de l'amplificateur d'entrée et la durée de vie moyenne du demi-digitizer. Pour ce dernier point, les mesures effectuées au laboratoire sur des périodes très longues (plusieurs semaines à plusieurs mois), et dans des conditions parfois contraignantes (arrêts et démarrages successifs sur des périodes courtes) indiquent une bonne robustesse dans le temps du digitizer. Une mesure spécifique de la durée de vie du convertisseur resterait cependant souhaitable.

Enfin, la phase de recherche n'est pas close, car on envisage une intégration monolithique du demi-digitizer.

CHAPITRE V

*Prospective sur le Demi-Digitizer
Monolithique*

Une fois la faisabilité du demi-digitizer (une voie de polarisation sur deux) discret vérifiée par l'intermédiaire des prototypes précédemment exposés, une solution monolithique (monochip) est alors envisageable. Pour cela, il suffit d'implanter sur un même substrat tous les sous-systèmes discret constituant le demi-digitizer ALMA, c'est-à-dire : un convertisseur analogique-numérique et trois démultiplexeurs.

Le but de cette migration est de réduire encore la consommation du digitizer ALMA (constitué de deux demi-digitizers pour les deux voies de polarisation) et de réduire encore les coûts de production. Mais ces modifications ne sont pas triviales et elles nécessitent de prendre en compte plusieurs paramètres afin de vérifier la faisabilité. Ce n'est qu'ensuite qu'il sera possible de débattre des différentes architectures envisageables pour concevoir un tel système dit SOC (Système On Chip).

1 Vérification de la faisabilité

Avant de commencer une quelconque étude sur l'architecture du future demi-digitizer, il est indispensable d'examiner si l'agrégation d'un convertisseur avec trois démultiplexeurs dans un même substrat est faisable. Ensuite, il faut vérifier que la future puce est encapsulable, sans oublier de vérifier l'intégration de la puce au sein du digitizer ALMA existant.

1.1. Faisabilité de l'intégration

Comme on l'a vu précédemment le demi-digitizer ALMA est constitué d'un convertisseur analogique-numérique et de trois démultiplexeurs chacun dans un boîtier indépendant.

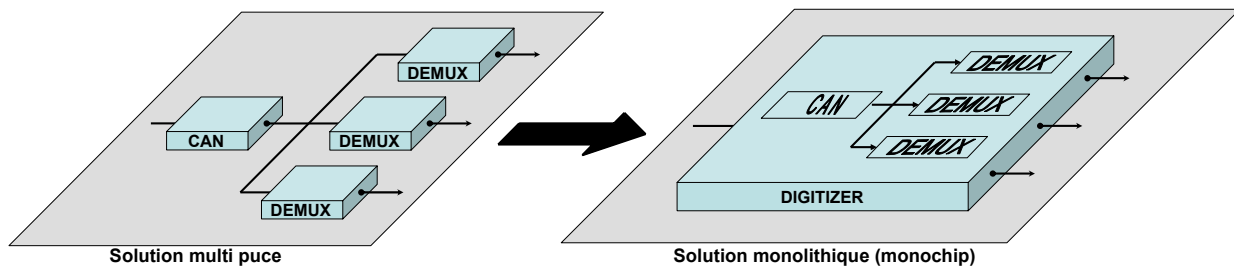


Figure 5.01 : Schéma représentatif de la transformation du digitizer de la version multi puce à la version monolithique.

La technologie de fabrication et les tensions d'alimentation sont les mêmes pour tous les circuits constituant le demi-digitizer actuel. Il n'y a donc aucune caractéristique qui s'oppose fondamentalement à l'intégration monolithique d'un tel système.

1.2. Faisabilité de l'encapsulation

Avant de se lancer à la recherche d'un boîtier susceptible d'accueillir le futur demi-digitizer monolithique, il est nécessaire de posséder certaines caractéristiques telles que la taille de la puce, la puissance qu'elle dissipe et le nombre d'entrée/sortie (I/O) dont elle a besoin.

Il existe une autre piste, le "chip on board", qui permet d'éviter la mise en boîtier de la puce. Cette technique connecte directement la puce sur le PCB sans utiliser de boîtier comme intermédiaire. Une fois le circuit connecté au PCB grâce au "bonding", on recouvre la puce et ses bonding d'une résine qui a pour but de protéger l'ensemble. Mais cette solution est onéreuse car le taux de succès au stade du "bonding" n'est pas nécessairement élevé particulièrement pour le démultiplexeur où le nombre de broche est élevé. De plus, les bondings sont plus sollicités durant les cycles thermiques en "chip on board" que lorsque la puce est encapsulée en boîtier, ce qui

tend à dégrader la durée de vie du système. C'est pour ces raisons que cette solution n'est pas développée dans la suite de ce chapitre.

1.2.1. Taille de la puce

Pour minimiser le temps de développement, il n'est pas envisagé de redessiner l'intégralité du circuit. L'objectif est de réutiliser au maximum les Layouts existant.

Dans la suite de ce chapitre, deux versions du demi-digitizer vont être présentées :

- Le demi-digitizer 1:16
- Et le demi-digitizer 1:8

Ces deux versions sont étudiées car seuls les rangs de division 1:16 et 1:8 sont susceptibles d'être réalisés dans le cadre du projet ALMA. En effet, un rang supérieur à 1:16 demanderait trop de connectique et un rang inférieur à 1:8 poserait des problèmes de débit au niveau des sorties du demi-digitizer.

1.2.1.1. Choix du convertisseur

On a vu dans le chapitre IV que l'encoder de VEGA 1 pouvait être amélioré en le rendant totalement différentiel et que la partie analogique de VEGA 2 n'était pas immédiatement industrialisable. Le convertisseur optimal (sans redesign) pour le SOC est donc constitué de la partie analogique de VEGA 1 et de la partie numérique de VEGA 2. Pour le distinguer des deux autres convertisseurs, nous l'appellerons : VEGA ½.

1.2.1.2. Version 1:16

Pour obtenir une estimation réaliste de la taille du digitizer monochip dans sa version 1:16, il faut tout d'abord extraire de chacun des systèmes élémentaires les dimensions du cœur (i.e la partie utile du système sans ses PADS et sans ses capacités de découplage).

Il suffit ensuite d'agréger le cœur de chacun des circuits du futur demi-digitizer monochip et d'y ajouter une couronne de PADS pour avoir les dimensions du circuit final.

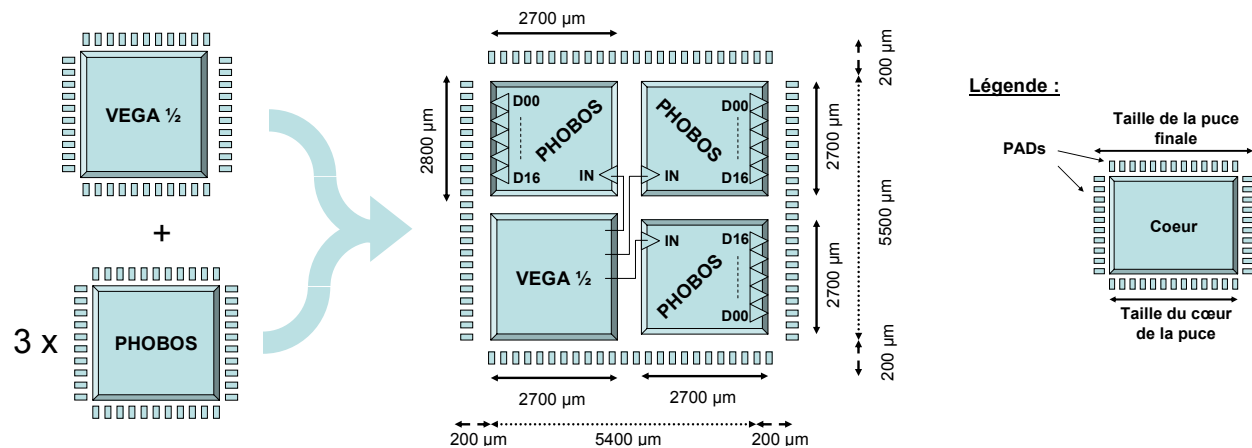


Figure 5.02 : Agrégation des cœurs afin d'obtenir le demi-digitizer monochip.

Cette méthode est clairement approximative mais elle permet tout de même d'avoir une estimation réaliste de la taille du futur digitizer monochip :

Tableau 5.01 : Estimation de la taille du futur demi-digitizer 1:16.

	VEGA ½ (cœur)	PHOBOS (cœur)	Demi-digitizer (cœur)	Demi-digitizer (total)
Dimensions (μm)	2700 x 2800	2700 x 2700	5400 x 5500	(5400+2x200) x (5500+2x200) = 5800 x 5900

Une telle surface, bien que relativement élevée, devrait pouvoir faire l'objet d'un développement industriel.

1.2.1.3. Version 1:8

La méthode utilisée précédemment reste valable pour la version 1:8 du digitizer. Seules les dimensions du démultiplexeur changent. Pour estimer la taille du démultiplexeur 1:8 à partir des dimensions de PHOBOS (1:16), il suffit de diviser par deux la longueur du registre utilisé dans le registre à décalage tout comme celui du synchroniseur.

Tableau 5.02 : Estimation de la taille du futur demi-digitizer 1:8.

	VEGA ½ (cœur)	PHOBOS (cœur)	Demi-digitizer (cœur)	Demi-digitizer (total)
Dimensions (µm)	2700 x 2800	2700 x 1400	5400 x 4200	$(5400+2 \times 200) \times (4200+2 \times 200) = 5800 \times 4600$

La division par deux du rang du demi-digitizer permet un gain en surface de silicium de 22% par rapport à la version 1:16.

1.2.2. Puissance dissipée

1.2.2.1. Version 1:16

La puissance consommée par le futur demi digitizer monochip 1:16 correspond au cumul de la puissance consommée par le convertisseur sans ses buffers LVDS avec celle consommée par les trois démultiplexeurs.

Tableau 5.03 : Estimation de la consommation du demi-digitizer 1:16.

	VEGA ½ (sans buffer LVDS)	PHOBOS	Demi-digitizer
Consommation (mW)	1100	700	$1100 + 3 \times 700 = 3200$

1.2.2.2. Version 1:8

La contribution du convertisseur est la même que dans la version précédente, seul le démultiplexeur évolue. Pour obtenir sa nouvelle consommation, il suffit de diviser par deux la puissance consommée par le registre à décalage et par le synchroniseur. Et comme pour la version 1:16, on fait la somme de la consommation d'un convertisseur et de trois démultiplexeurs afin d'obtenir la consommation finale du demi-digitizer.

Tableau 5.04 : Estimation de la consommation du demi-digitizer 1:8.

	VEGA ½ (sans buffer LVDS)	DEMUX	Demi-digitizer
Consommation (mW)	1100	380	$1100 + 3 \times 380 = 2240$

1.2.3. Nombre d'entrées/sorties

1.2.3.1. Version 1:16

Pour avoir une estimation très précise du nombre d'entrées/sorties du demi-digitizer monochip, il faut définir le nombre d'entrées et d'alimentations du convertisseur et lui ajouter 3 fois le nombre de sorties et d'alimentations d'un seul démultiplexeur.

Tableau 5.05 : Estimation du nombre d'entrée/sortie du demi-digitizer 1:16.

	VEGA ½	DEMUX 1:16	Demi-Digitizer
Nombre d'I/O	23	66	$23 + 3 \times 66 = 221$

1.2.3.2. Version 1:8

Comme le rang de division du démultiplexeur est divisé par deux, le nombre de connexions affectées aux sortie LVDS est lui aussi divisé par deux dans la version 1:8.

Tableau 5.06 : Estimation du nombre d'entrée/sortie du demi-digitizer 1:8.

	VEGA ½	DEMUX 1:8	Demi-Digitizer
Nombre d'I/O	23	50	23 + 3x50 = 173

La division par deux du rang de division du demi-digitizer permet un gain en connectique de 22% par rapport à la version 1:16.

1.2.4. Boîtiers envisageables

Actuellement, les boîtiers RF de type "QFN" (Quad Flat No-Lead) (Fig. 5.03) qui sont utilisés pour l'encapsulation du convertisseur et du démultiplexeur se limitent à un nombre d'I/O inférieur à 80. Or grâce aux calculs effectués précédemment, on constate que ce nombre de connexions ne suffit pas pour connecter n'importe laquelle des versions du futur demi-digitizer monochip.

La seule solution envisageable du fait des fréquences mises en jeu est l'utilisation d'un boîtier de type "BGA" (Ball Grid Array) (Fig. 5.04). Ce type de boîtier permet une augmentation considérable du nombre de connecteur mais en contre partie ses performances dynamiques sont de moins bonne qualité. Cette dégradation des performances est dû majoritairement à l'augmentation de la longueur des pistes internes au boîtier qui relie la puce au PCB.

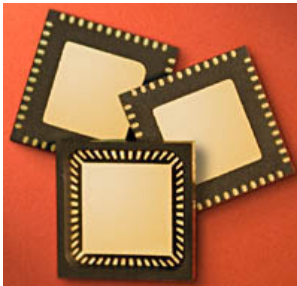


Figure 5.03 : Boîtier QFN

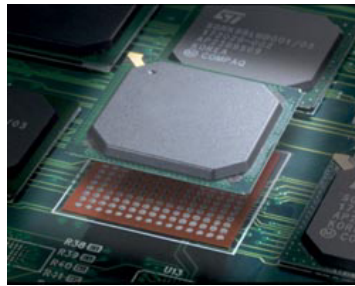
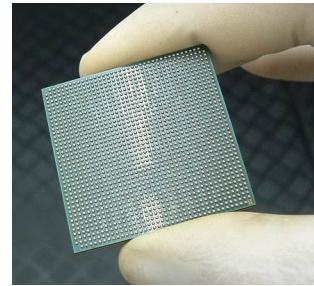


Figure 5.04 : Boîtier BGA



Pour le demi-digitizer ALMA, seule l'entrée échantillonnée est réellement critique car la linéarité du signal qui y transite est primordiale. Pour minimiser les effets néfastes des BGA dans le cas du futur demi-digitizer, la multiplication des billes assignées à la transmission des signaux sensibles peut être utilisée car cette mise en parallèle permet de diviser les effets parasites d'un facteur inverse au nombre de billes utilisées.

Ce principe pourra aussi être utilisé pour tous les autres signaux en fonction du nombre de connecteurs du BGA qui sera choisi.

Les alimentations sont statiques mais elles aussi pourront être doublées afin de diminuer leur effet inductif qui devient problématique à haute fréquence (§II.1.4).

Il existe un grand nombre de boîtiers ayant chacun des caractéristiques de taille et un nombre de connecteurs différent (ANNEXE G). Il va donc être indispensable de faire un choix parmi eux pour trouver le mieux adapté à chaque version du demi-digitizer.

1.2.4.1. Version 1:16

Pour la version 1:16 du demi-digitizer, il faut un boîtier acceptant une puce ayant pour dimension 5.8 x 5.9mm et ayant au moins 221 I/O. Plusieurs boîtiers possèdent ces caractéristiques mais c'est le plus petit qui a été retenu car il minimise la longueur des pistes internes au boîtier reliant la puce aux billes.

Tableau 5.07 : Caractéristiques du boîtier choisi pour le demi-digitizer 1:16.

	Fabricant	Dimensions	Nombre d'I/O
Caractéristiques	STmicroelectronic	17 x 17mm	256

1.2.4.2. Version 1:8

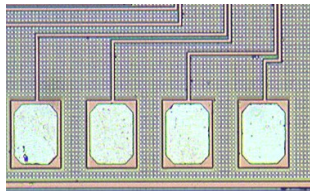
Pour cette autre configuration, il faut un boîtier acceptant une puce de dimension 5.8 x 4.6mm et ayant au moins 173 I/O. Encore une fois, il existe plusieurs boîtiers qui possèdent ces caractéristiques et c'est le plus petit qui a été retenu pour les mêmes raisons que dans la version précédente.

Tableau 5.08 : Caractéristiques du boîtier choisi pour le demi-digitizer 1:16.

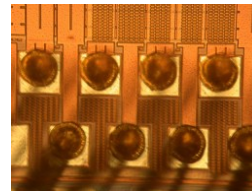
	Fabricant	Dimensions	Nombre d'I/O
Caractéristiques	STmicroelectronic	15 x 15mm	196

1.3. Configuration et encombrement des PADs

Du fait du grand nombre de connecteurs des BGAs, les PADs ont deux configurations possibles. Ils peuvent être soit alignés, soit en quinconce comme le montrent les figures suivantes.



Disposition en ligne des PAD



Disposition en quinconce des PAD

Figure 5.05 : Visualisation de la disposition possible des PAD.

1.3.1. Version 1:16

Le boîtier retenu pour le digitizer 1:16 possède 256 I/O, ce qui correspond à 64 PADs par côté de la puce. Avec un espacement entre axe de 100µm des PADs, leur encombrement minimal dans la configuration classique est de 6400µm.

Or comme on le voit sur les images précédentes, la configuration en quinconce est possible. Cette configuration permet de répartir les PADs sur deux rangées, ce qui permet de diviser par deux l'encombrement longitudinal des PAD.

Tableau 5.09 : Dimension minimale des cotés pour le demi-digitizer 1:16.

	PAD alignés	PAD en quinconce
Dimension minimale des cotés (µm)	6400	3200

Le plus petit côté du cœur du demi-digitizer 1:16 mesure 5400µm. Cette caractéristique rend donc obligatoire l'utilisation de la configuration en quinconce si on ne veut pas avoir de gaspillage au niveau de la surface de silicium.

1.3.2. Version 1:8

De même que pour la version 1:16, comme on connaît le nombre d'entrées/sorties, il est possible de définir l'encombrement des PADs.

Tableau 5.10 : Dimension minimale des cotés pour le demi-digitizer 1:8.

	PAD alignés	PAD en quinconces
Dimension minimale des cotés (µm)	4900	2500

Or le plus petit coté du cœur du demi-digitizer 1:8 est de $4200\mu\text{m}$. Tout comme la version 1:16, cette version doit utiliser obligatoirement la configuration en quinconce pour ne pas gaspiller de la surface de silicium.

1.4. Brochage externe

Pour savoir comment disposer les différents connecteurs du système, il faut avoir prévu la disposition des différents organes internes du demi-digitizer.

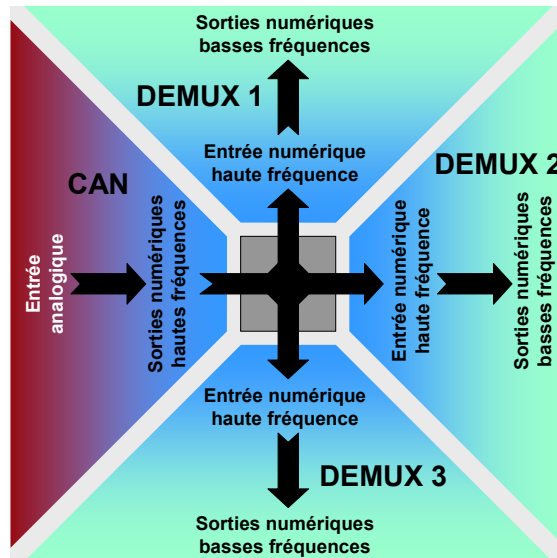


Figure 5.06 : Architecture macroscopique du demi-digitizer monochip.

La disposition choisie permet d'isoler la partie analogique (localisée en entrée du convertisseur) contre les perturbations provenant des zones numériques haute et basse fréquence.

La zone numérique haute fréquence est localisée entre le convertisseur et les démultiplexeurs. Du fait de sa vitesse de commutation, elle est fortement génératrice de bruit, mais comme ces signaux n'ont pas besoin de sortir de la puce, ils ne sont pas puissants ce qui limite leur effet parasite.

Les zones numériques basse fréquence sont localisées au niveau des sorties des démultiplexeurs. Mais comme ces sorties transmettent les signaux vers l'extérieur, ceci sont puissants et ont tendance à générer beaucoup de bruit. C'est pour limiter leur influence qu'ils sont disposés le plus loin possible de l'entrée analogique.

Un autre avantage de cette configuration, est de pouvoir réutiliser entièrement le layout de l'un des démultiplexeurs pour les deux autres par simple symétrie.

En accord avec la disposition choisie, le brochage retenu suit cet agencement pour encore un fois limiter au maximum l'influence des parties numériques sur la partie analogique.

1.4.1. Version 1:16

Comme on le voit sur le plan de sortie du BGA (Fig. 5.07), celui-ci est divisé en quatre zones. Dans l'une d'elle est localisée la connectique du convertisseur. Et dans chacune des autres, la connectique d'un démultiplexeur y est localisée.

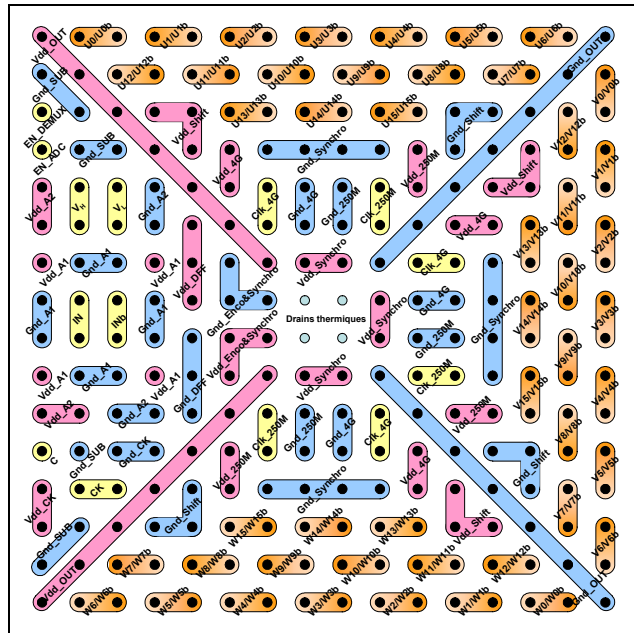


Figure 5.07 : Brochage du BGA 256 billes 17x17mm en vue de dessus.

1.4.2. Version 1:8

C'est en réutilisant la même configuration du brochage de la version 1:16 que la version 1:8 a été réalisée.

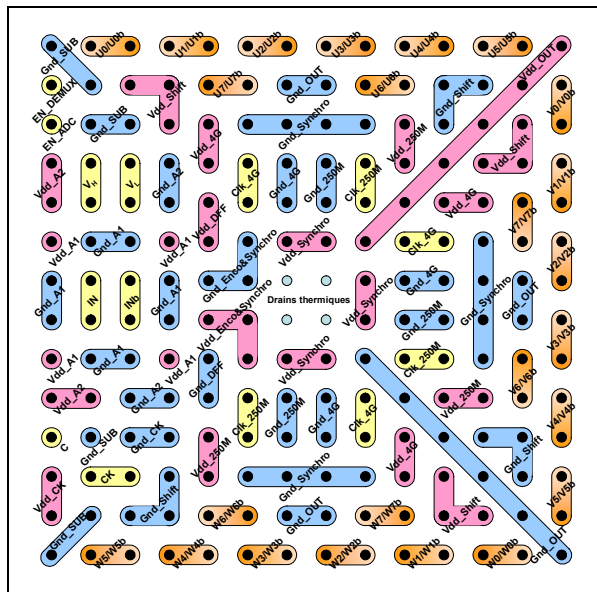


Figure 5.08 : Brochage du BGA 196 billes 15x15mm en vue de dessus.

1.5. Faisabilité de l'intégration sur PCB

Deux problèmes majeurs se posent avant de savoir s'il est possible ou non d'intégrer le demi-digitizer sur PCB :

- Comment dissiper l'énergie thermique qu'il va générer ?
- Son encombrement est-il compatible avec la carte du digitizer actuel ?

1.5.1. Problèmes de dissipation thermique

Les boîtiers de type QFN utilisés pour les circuits VEGA et PHOBOS permettent de dissiper la chaleur au travers du PCB jusqu'à une plaque métallique localisée sur la face en vis-à-vis du PCB.

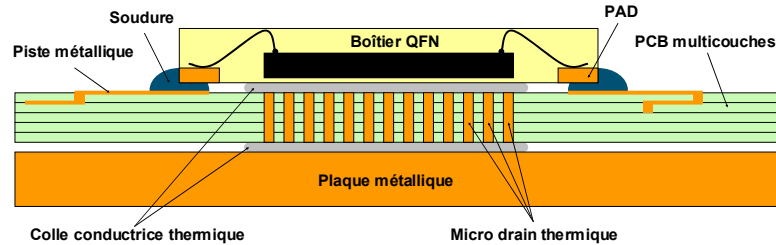


Figure 5.09 : Schéma du dispositif thermique utilisé avec un boîtier QFN.

Mais les BGA ne possèdent pas de drain thermique sur cette face aussi efficace que ceux des QFN. En effet le BGA choisi ne dispose que de 4 billes centrales pour drainer 2W ou 2.8W selon le rang du demi-digitizer. L'installation d'un radiateur sur la face opposée devient donc obligatoire pour permettre de diminuer la résistance thermique et faire décroître la température interne du circuit pour accroître sa durée de vie.

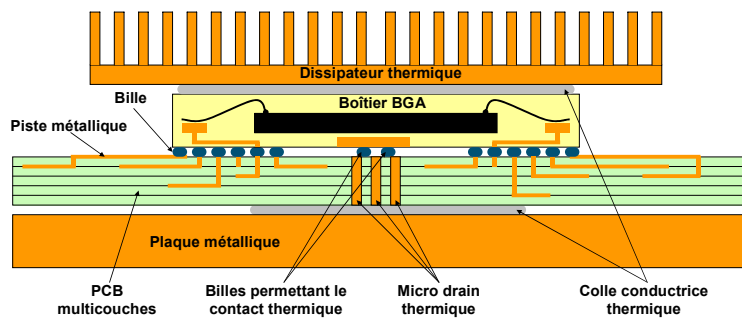


Figure 5.10 : Schéma du dispositif thermique utilisé avec un boîtier BGA.

1.5.2. Insertion au sein de la carte Digitizer

Comme le demi-digitizer monochip aura pour fonction de remplacer en lieu et place les actuels convertisseurs et démultiplexeur discrets, il se doit d'être moins volumineux pour pouvoir être implémenté sans avoir à retoucher la carte digitizer actuelle.

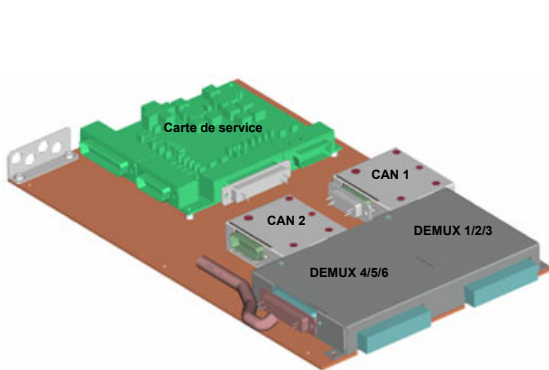


Figure 5.11 : Image de synthèse de la carte digitizer.

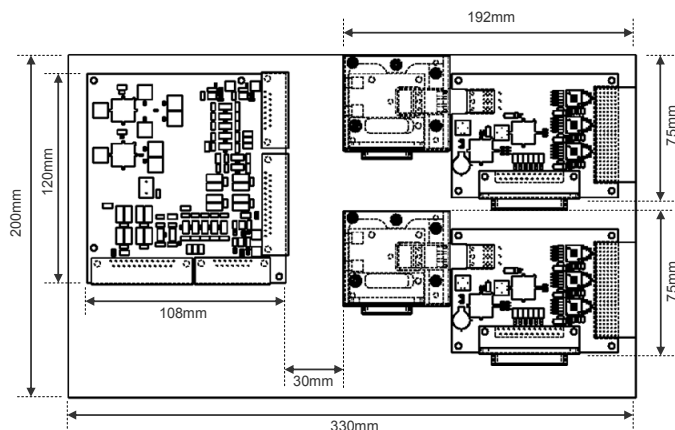


Figure 5.12 : Dimension de la carte digitizer.

L'occupation du demi-digitizer monochip correspond aux dimensions du BGA. Dans la version la plus volumineuse (1:16), le BGA mesure 17x17mm et on constate rapidement qu'il peut s'intégrer sans difficulté majeure au sein de la carte actuelle. Le gain en surface serait en fait assez considérable.

2 Architectures éligibles

Deux architectures basées sur l'agrégation d'un convertisseur A/D avec trois démultiplexeurs sont susceptibles de réaliser le système voulu tout en minimisant l'effort de conception.

2.1. Architecture basique

L'architecture dite basique consiste à agréger un convertisseur A/N sans ses buffers LVDS avec 3 démultiplexeurs sans rien changer de leurs structures initiales.

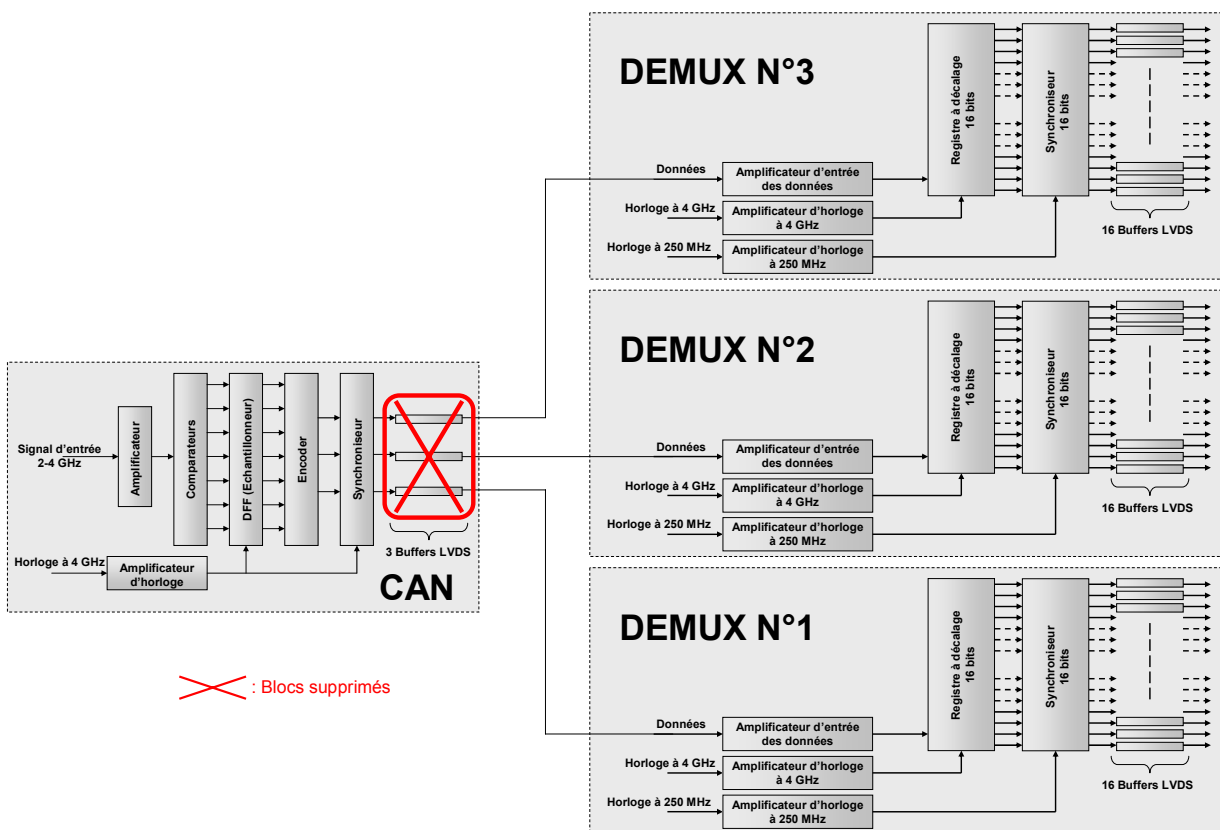


Figure 5.13 : Schéma de l'architecture basique du demi-digitizer.

2.2. Architecture optimisée

Dans l'architecture basique, le synchroniseur du convertisseur qui a un rôle redondant est supprimé car la fonction de synchronisation peut être réalisée au niveau du registre à décalage des démultiplexeurs.

Cette optimisation ne permet pas de gagner beaucoup en consommation (tout au plus 50mW) mais elle permet d'économiser de la place et de simplifier l'arbre de distribution d'horloge 4GHz du convertisseur.

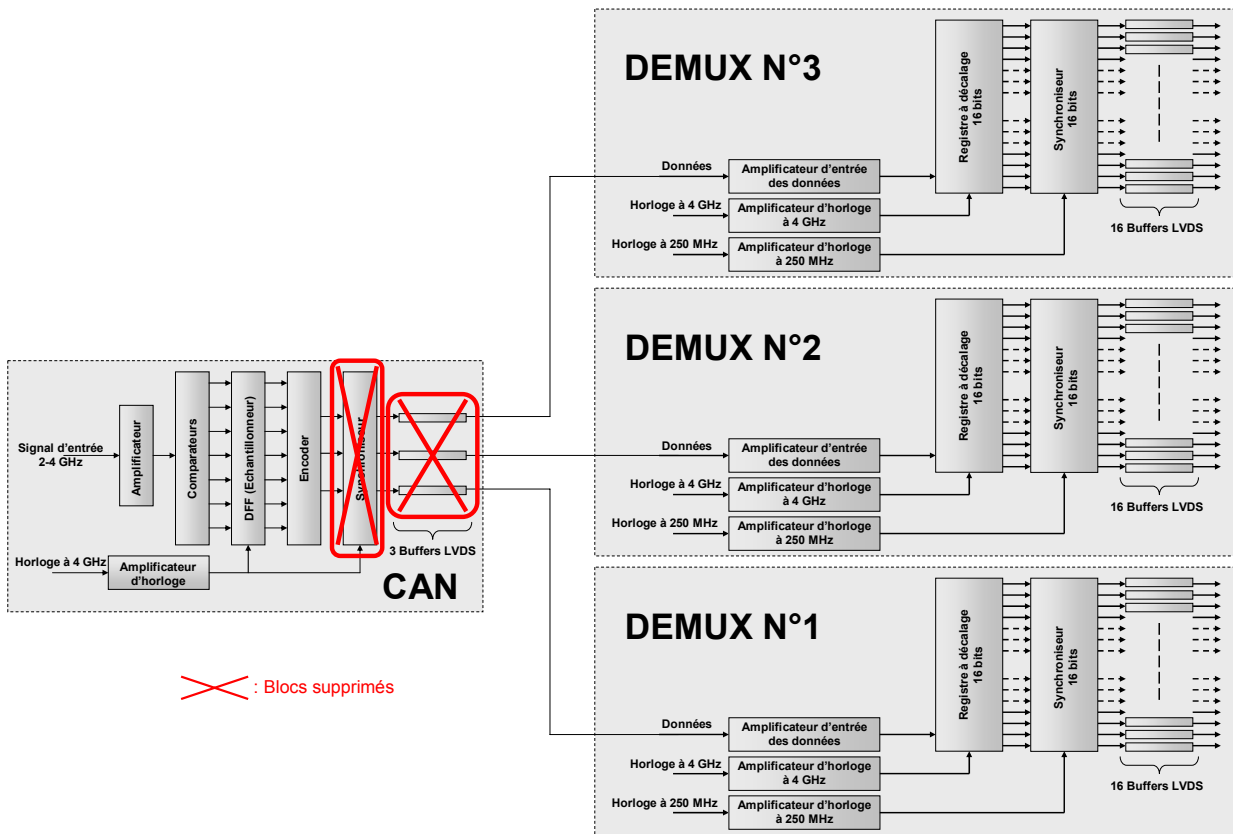


Figure 5.14 : Schéma de l'architecture optimisée du demi-digitizer.

2.3. Points névralgiques

Même si de nombreux problèmes sont supprimés du fait de la réutilisation d'un design existant et validé (sous sa forme discrète), la concaténation d'un système mixte avec un autre système 100% numérique entraîne tout de même l'apparition de points sensibles :

- l'isolation de la partie analogique vis-à-vis de la partie numérique
- le routage des alimentations
- le timing des horloges et le brochage.

2.3.1. Isolation des blocs analogiques vis-à-vis des blocs numériques

Comme on l'a vu précédemment (§II.1.4), les perturbations numériques peuvent rapidement dégrader les performances des étages analogiques. Pour éviter de telles situations, des solutions existent telles que la séparation des alimentations et l'utilisation d'anneaux de garde qui extraient les perturbations du substrat au niveau d'une zone définie. Ces solutions ont déjà été implémentées au niveau des parties analogiques du convertisseur ALMA. Ainsi il n'y a pas besoin de prendre de dispositions supplémentaires lors de l'ajout des démultiplexeurs si ce n'est d'éloigner chaque élément au maximum sur la puce et garder des alimentations séparées.

2.3.2. Routage et connectique des alimentations

Pour ne pas avoir de chute de tension significative dans les rails d'alimentation, ceux-ci devront être courts et larges et si possible multicouche afin de minimiser leurs résistances internes. Mais les impératifs de place obligent souvent à faire des compromis.

2.3.3. Routage et connectique des signaux

Le demi-digitizer utilise plusieurs types de signaux qu'il est possible de classer selon leurs sensibilités :

- Le signal à échantillonner est de loin le plus sensible
- Les horloges sont moins critiques car elles sont constituées uniquement d'un seul harmonique.
- Les signaux numériques à haute fréquence qui ne doivent pas être trop dégradés afin de conserver l'intégrité des données.
- Les signaux numériques à basse fréquence correspondant aux sorties des démultiplexeurs sont les moins sensibles mais leur nombre et leur puissance rend leur câblage complexe.

L'avantage de cette réutilisation de circuit existant est de n'avoir que la connectique inter circuit à réaliser, ceci facilite l'étape de conception mais néanmoins ne la rend pas.

2.3.4. Timing des horloges

Si l'horloge 4GHz du CAN n'est pas problématique d'un point de vue du phasage par rapport aux données numérisées, elle l'est par rapport aux trois autres horloges à 4GHz des trois démultiplexeurs car ces derniers ne doivent pas mémoriser les données pendant que celles-ci commutent sous peine de rendre le système non fonctionnel. Le phasage des trois horloges 250MHz est lui aussi problématique pour les mêmes raisons.

Comme les trois horloges 4GHz et 250MHz entrent au niveau du boîtier avec la même phase, il est absolument nécessaire que leurs chemins dans le boîtier comme celui à l'intérieur de la puce soient strictement identiques pour minimiser les déphasages internes.

3 Conclusions

Que ce soit dans sa version 1:16 ou 1:8, le demi-digitizer ALMA monochip est réalisable. En effet son système est intégrable, la puce est encapsulable dans un BGA 256 billes pour la version 1:16 et dans un BGA 196 billes dans sa version 1:8, ses PADS devront être en quinconce et le BGA est intégrable au sein de la carte digitizer moyennant l'ajout d'un dissipateur thermique.

Même si la version 1:8 a l'avantage de consommer moins et d'avoir moins d'entrées/sorties, elle demande l'ajout de trois démultiplexeurs 1:2 à 500MHz sur la carte digitizer ALMA car on ne dispose pas du rang de division originel de 1:16 en sortie du demi-digitizer monochip. C'est pour cette raison que la version 1:16 a pour l'heure les faveurs du projet ALMA.

Il se pourrait toutefois que la capture des données délivrées par le nouveau demi-digitizer dans la version 1:8 au niveau de l'étage "formateur" situé en aval puisse être gérée par une nouveau FPGA opérant à 500MHz, mais cette possibilité reste à étudier.

Pour ce qui est du choix de l'architecture implémentée, l'architecture basique (avec synchroniseur) semble préférable car même si elle consomme légèrement plus d'énergie (80mW) et de silicium que la version optimisée, elle permet de s'affranchir du problème des temps de propagation dans les lignes d'interconnexion entre le convertisseur et les trois démultiplexeurs.

Il semble donc que le futur demi-digitizer monochip utilisera l'architecture basique et qu'il aura un rang de division de 1:16.

Même si plusieurs problèmes ont été abordés dans ce chapitre de prospective, il reste encore un important travail de recherche et de conception pour que cette puce voit le jour.

Conclusion

Le travail présenté dans ce mémoire de thèse entre dans le cadre du projet international d'interférométrie millimétrique et submillimétrique ALMA. Cette thèse a conduit à la réalisation et à l'industrialisation de deux circuits intégrés spécifiques à haute fréquence :

- Un Démultiplexeur 1 vers 16 à 4Gbps.
- Un Convertisseur Analogique-Numérique 3 bits à 4Gbps

Le premier chapitre présente quelques notions élémentaires de radioastronomie avant de présenter succinctement l'infrastructure du projet ALMA et la chaîne de réception. Cette rapide introduction à la radioastronomie a pour but de mieux saisir l'origine des exigences du projet décrites dans le cahier des charges. En effet, le consortium qui pilote ce gigantesque projet a fixé des spécifications pour tous ses sous-systèmes afin que le futur radiotélescope obtienne les performances souhaitées. Un tel cahier des charges permet entre autre d'assurer l'interconnexion du convertisseur analogique-numérique et du démultiplexeur avec les sous-systèmes adjacents.

Le deuxième chapitre apporte quelques bases indispensables au niveau composant et au niveau système pour les convertisseurs analogique-numériques et pour les démultiplexeurs afin de choisir et de concevoir des circuits industrialisables dans le cadre du projet ALMA. Il aborde tout d'abord les principaux phénomènes dégradant les performances à haute fréquence en présentant le comportement fréquentiel des principaux composants passifs. La connaissance de ces phénomènes permet en effet de réduire leur influence dans le but d'obtenir un circuit ayant des performances optimales. Mais il existe d'autres points critiques dans un circuit, comme les facteurs dégradant la fiabilité. En plus d'avoir les performances requises, un circuit industrialisable doit aussi avoir une durée de vie significative. Pour atteindre cet objectif, il faut connaître les phénomènes de défaillance comme l'électromigration et leur mode de fonctionnement qui viennent dégrader dans le temps les performances du système jusqu'à la panne. De plus, l'accroissement de la fiabilité est souvent en contradiction avec l'accroissement des performances ce qui nécessite des compromis. Ce deuxième chapitre se termine par la présentation des principales architectures des convertisseurs analogique-numériques et des démultiplexeurs dits rapides car il est nécessaire de bien connaître les avantages et les inconvénients de chaque architecture avant de choisir la mieux adaptée à notre application.

Le troisième chapitre décrit les différentes étapes d'étude et de conception du démultiplexeur ALMA. La première de ces étapes consiste à définir la technologie de fabrication (BiCMOS7 0,25 μ m SiGe de chez STmicroelectronics) ce qui a des répercussions significatives sur le coût, les performances, la consommation et la fiabilité des futurs circuits. Ensuite, l'architecture du système est choisie en fonction des paramètres à privilégier en accord avec le cahier des charges comme la synchronisation des bits en sortie, la suppression du RESET et la faible consommation. Une fois ce choix réalisé, l'étape de design peut alors commencer. Cette étape consiste à concevoir le système grâce aux outils de conception assisté par ordinateur (CAO) à notre disposition. Ces logiciels permettent de simuler le comportement des circuits en prenant plus ou moins en compte les composants parasites du circuit. Pour concevoir un tel système, celui-ci est divisé en sous-systèmes ayant chacun une fonction bien définie. Après vérification par la

simulation de sa fonctionnalité et ses performances, ceux-ci sont assemblés pour réaliser une fonction plus complexe. Et c'est en concaténant des sous ensembles de plus en plus complexes que le système final est réalisé.

Mais quand l'étape de conception du circuit est finalisée, il faut encore concevoir l'environnement de ce système. Cet objectif n'est pas trivial car tous les éléments annexes ne doivent en aucun cas dégrader les performances ni la durée de vie du système.

Ce n'est qu'ensuite que la phase de test peut débuter. En premier lieu, on vérifie la connectique de la puce pour vérifier l'absence de circuit ouvert ou de court circuit. Ensuite, on vérifie la fonctionnalité puis on mesure les performances du système pour vérifier qu'elles sont bien conformes au cahier des charges.

Le quatrième chapitre présente le développement de deux versions du convertisseur ALMA. Celles-ci furent conçues en réutilisant la même technologie que les démultiplexeurs et de la même manière en assemblant des sous-systèmes élémentaires jusqu'à obtenir la fonctionnalité souhaitée. Le test de ces convertisseurs fut plus délicat et complexe que dans le cas précédent. Il a même nécessité la conception d'un banc de test spécifique pour vérifier la conformité vis-à-vis du cahier des charges.

La mesure des performances réalisée sur les bancs de test a permis de caractériser de manière approfondie le digitizer dans son ensemble (échantillonneur suivi de l'étage démultiplexeur).

Mais les mesures sont légèrement différentes de celles simulées comme c'est souvent le cas du fait des approximations lors des simulations pendant la phase de conception. Afin de comprendre l'origine de ces phénomènes perturbateurs et de les quantifier, un retour aux simulations s'est imposé et a permis de prendre en compte des effets auxquels nos simulations initiales ne donnaient pas accès.

Les tests ont permis de constater que les deux versions du convertisseur ALMA étaient fonctionnelles (sous 2.5V pour VEGA 1 et sous 2.7V pour VEGA 2) mais c'est VEGA 1 qui a été choisi car il était le seul à posséder l'ensemble des caractéristiques nécessaires à l'industrialisation.

Le cinquième chapitre présente une prospective sur l'implantation SOC (system on chip) du demi-digitizer ALMA. Cette phase de recherche envisage la concaténation d'un convertisseur et de trois démultiplexeurs sur un même substrat et les problèmes que cela entraîne. En effet, avant de commencer la phase de design d'un circuit industriel, il faut savoir si celui-ci peut être mis en boîtier et si sa durée de vie reste acceptable en dépit d'une température de fonctionnement augmenté par rapport à la dissipation des puces individuelles ALMA. Un tel circuit ne peut réutiliser les précédents boîtiers du fait du grand nombre d'entrées/sorties. Cet état de fait provoque des modifications au niveau du brochage, de la dissipation thermique et de l'encombrement sur la carte digitizer qu'il a fallu répertorier et résoudre.

Ce travail de recherche a permis de réaliser un convertisseur analogique-numérique et un démultiplexeur répondant aux spécifications radioastronomiques. Ces deux circuits ont été produits à plusieurs milliers d'exemplaires et vont passer dans les mois à venir en phase d'assemblage puis en phase de test. Notre travail d'étude et de conception a donné lieu à des publications dans deux conférences internationales (ICECS 2004 [REC-04a], APMC 2004 [REC-04b]) et à quatre publications du projet ALMA ([REC-03] [REC-04c] [REC-05a] [REC-05d]). De plus, deux "Data Sheet" ([REC-05b] [REC-05c]) furent publiées afin de permettre la commercialisation éventuelle du demi-digitizer pour équiper d'autres radiotélescopes.

Bibliographie

- [ARD-01] B. Ardouin, "Contribution à la modélisation et à la caractérisation en hautes fréquences des transistors bipolaires à hétérojonction Si/Ge", *Thèse de doctorat de l'université de Bordeaux I, N°2465*, Décembre 2001.
- [BAA-00] J. W. M. Baars, "Aspects of the Antennas for the ALMA Compact ACA", *ALMA Memo 339*, December 2000.
- [BAD-00] Franck Badets, "Contribution à l'étude de la synchronisation des oscillateurs : intégration des oscillateurs synchrones dans les systèmes radiofréquences en technologie silicium", *Thèse de doctorat de l'université Bordeaux I, N°2199, Chapitre 2.3 : Les transistors bipolaires, p27-33*, Janvier 2000.
- [BAR-96] C. Baringer, J. Jensen, L. Burns, B. Walden, "3-Bit, 8 GSPS Flash ADC", *Indium Phosphide and Related Materials, Eighth International Conference on*, 21-25, p64-67, 1996.
- [BAU-02] A. Baudry, et al, "Designing and Prototyping of 2-4 GHz Bandpass SiGe Digitizers and Associated Test Equipment for the ALMA project.", *ALMA Memo N°410*, 2002.
- [BEL-99] V. Belitsky, "Local Oscillator Power Requirements For ALMA SIS Mixers", *MMA Memo 264*, May 1999.
- [BRO-01] T. Broekaert, W. Willie, J.F. Jensen, "InP-HBT Optoelectronic Integrated Circuits for Photonic Analog-to-Digital Conversion", *IEEE Journal of Solid-State Electronics Vol 36, N°9, p1335-1342*, September 2001.
- [BRO-97] T. Broekaert, B. Brar, J.P.A. Van Der Wagt, et al, "Monolithic 4 bit 2 GSps resonant tunneling analog-to-digital converter", *Arsenide Integrated Circuit (GaAs IC) Symposium, 1997. Technical Digest 1997., 19th Annual, p187-190*, 1997.
- [BRO-98] T. Broekaert, B. Brar et al, "A Monolithic 4-Bit 2-Gsps Resonant Tunneling Analog-to-Digital Converter", *IEEE Journal of Solid-State Electronics Vol 33, N°9, p1335-1342*, September 1998.
- [BOS-91] A. Bos, "A High Speed 2-Bit Correlator Chip for Radio Astronomy", *IEEE Transactions on Instrumentation and Measurement, Vol. 40, n°3, pp.591-595*, June 1991.
- [CAÏ-98] P. Caïs, "Réalisation d'un spectromètre à autocorrélation numérique hybride pour la préparation des missions spatiales en radioastronomie. Participation au satellite FIRST de l'ESA", *Thèse de doctorat de l'Université Bordeaux I, N°2019*, Décembre 1998.
- [CLU-97] F. P. McCluskey et al, "High Temperature Electronics", *CRC Press*, 1997.

- [COT-02] F. Cottet, "Traitement des Signaux et acquisition de données", *DUNOD, Chapitre 2 : Transformation de Fourier*, p19-33, 2002.
- [COO-70] B. F. C. Cooper, "Correlators with two-bit quantization", *Aust. J. phys.*, 23, 521-7, 1970.
- [DES-02a] D. Deschans, J. B. Begueret, Y. Deval, P. Fouillat, A. Baudry, G. Montignac, "4-GSample/s, 2-bit SiGe Digitizers for the ALMA project", *ALMA Memo N°426*, May 2002.
- [DES-02b] D. Deschans, J. B. Begueret, Y. Deval, C. Scarabello, P. Fouillat, G. Montignac, A. Baudry, "A SiGe 4-Gsps 2-bits Digitizer with 2-4 GHz Input Bandwidth", *Proceedings of the 2002 IEEE Internationnal Conference on electronics circuits and systems, ICECS 2002*, p 1-4, Oct 2002.
- [DES-02c] D. Deschans, J. B. Begueret, Y. Deval, C. Scarabello, P. Fouillat, G. Montignac, A. Baudry, "A High-Speed, High-Bandwidth, Low Resolution Flash ADC for Radio Astronomy Applications", *Proceedings of the 2002 IEEE European Solid-Stat Circuits Conference, ESSCIRC*, Oct 2002.
- [DES-02d] D. Deschans, J. B. Begueret, Y. Deval, C. Scarabello, P. Fouillat, G. Montignac, A. Baudry, "A 4 Gsamples/S with 2-4 GHz Input Bandwidth SiGe Digitizer for Astronomy Applications", *Proceedings of the 2002 IEEE Symposium on Integrated Circuits and systems Design, SBCCI*, Oct 2002.
- [DES-03] D. Deschans, "Etude et conception d'un ASIC convertisseur analogique numérique 3 bits – 4 GHz dédié au projet d'interférométrie millimétrique et sub-millimétrique ALMA", *Thèse de doctorat de l'Université Bordeaux I, N°2667*, 7 Avril 2003.
- [DIE-99a] F. De Dieuleveult, "Electronique appliquée aux hautes fréquences", *DUNOD, Chapitre 5 : Composants passifs en haute fréquence*, p193-223, 1999.
- [DIE-99b] F. De Dieuleveult, "Electronique appliquée aux hautes fréquences", *DUNOD, Chapitre 9 : Adaptation d'impédance*, p385-414, 1999.
- [DIE-99c] F. De Dieuleveult, "Electronique appliquée aux hautes fréquences", *DUNOD, Chapitre 10 : Microstrip*, p415-438, 1999.
- [FIS-78] J. F. Fisk, "Microstrip transmission line", *Ham Radio*, Janvier 1978.
- [FRE-02] R. W. Freund, "Digital Transmission System Signaling Protocol", *ALMA Memo 420*, September 2002.
- [GAU-05a] S. Gauffre, C. Recoquillon, "DG Assembly Test Report Sn : 0001", *Publication interne au projet ALMA*, 07/08/2005.
- [GAU-05b] S. Gauffre, C. Recoquillon, "DG Assembly Test Report Sn : 0005", *Publication interne au projet ALMA*, 07/08/2005.

- [GEN-00] O. Gentaz, "Technical envelope of the simplified autocorrelator to test the prototypes of the fast multibit samplers modules for ALMA correlator, *Publication interne à l'IRAM*, 2000.
<http://www.iram.fr/IRAMFR/TA/backend/simplcorr/index.html>
- [GEN-04] O. Gentaz, "Digitizer Test Equipment Definition Report.", *ALMA BackEnd Internal Report*, October 2004.
- [GET-74] Ian Getreu, "Modeling The Bipolar Transistor", Tektronic Inc, Beaverton Oregon, p24-42, 1974.
- [HAM-75] E.O Hammerstead, E.O., "Equations for Microstrip Circuit Design", *Proc. European Microwave Conference*, p. 268 – 272, 1975.
- [HOE-94a] D.F. Hoeschele, "Analog-to-digital and digital-to-analog conversion techniques", *A Wiley-interscience publication, John Wiley & Sons, Chapitre 1 : Conversion Systems*, p1-18, 1994.
- [HOE-94b] D.F. Hoeschele, "Analog-to-digital and digital-to-analog conversion techniques", *A Wiley-interscience publication, John Wiley & Sons, Chapitre 2 : A/D Converter Types and Operation*, p19-78, 1994.
- [HUM-93] J. Humphrey, G. Luettenau, "Reliability considerations in design and use of RF integrated circuits", *Motorola, Semiconductor Application Note*, 1993
- [HUP-81] K. Hupfer, "Technologie des circuits à microstrips", *Actualités de Rhodes & Schwarz 1 et 2*, 1981.
- [KER-04] A. R. Kerr, S. K. Pan, E. F. Lauria, A. W. Lichtenberger, J. Zhang, "The ALMA Band 6 (211-275GHz) Sideband-Separating SIS Mixer-Preamplifier", *ALMA Memo 498*, May 2004.
- [LAM-92] J. W. Lamb, "Thermal Considerations For mmA Antennas", *MMA Memo 83*, May 1992.
- [LEE-98] T. H. LEE, "The Design of CMOS Radio-Frequency Integrated Circuit", *Cambridge, Chapitre 2 : Characteristics Of Passive IC Comonents*, p34-61, 1998.
- [MAX-87] Max, "Méthodes et techniques de traitement du signal", *Masson*, 1987.
- [MON-05] G. Montignac, "Mesures sur les entrées des comparateurs", *Publication interne au projet ALMA*, 2005.
- [NAY-03] P. Nayman, "Certains aspects du traitement du signal", *DEA-MIP, Chapitre 22 : Approche de la compatibilité electro-magnétique*, p281-297, juillet 2003.
- [NEF-99] T. Neffati, "Traitement du signal analogique", *Ellipses, Chapitre 2 : La serie de Fourier*, p16-26, 1999.

- [PAY-02] J. M. Payne, W. P. Shillue, “Photonic Techniques For Local Oscillator Generation and Distribution and Distribution in Millimeter-Wave Radio Astronomy”, *ALMA Memo 440*, November 02.
- [RAV-99] Ravera L., *Spectromètre-autocorrélateur numérique spatialisable pour l'instrument FIRST-HIFI*, Thèse de doctorat de l'Institut National des Sciences Appliquées de Toulouse, N°525, Octobre 1999.
- [REC-03] C. Recoquillon, J. B. Begueret, A. Baudry, “Progress report: 'DEIMOS' demux”, *ALMA*, Octobre 2003.
- [REC-04a] C. Recoquillon, J. B. Begueret, Y. Deval, A. Baudry, G. Montignac, “A 4 Gsps, 2-4 GHz Input Bandwidth, 3-bits Flash A/D Converter”, *ICECS*, Decembre 2004.
- [REC-04b] C. Recoquillon, J. B. Begueret, Y. Deval, A. Baudry, G. Montignac, “A 4 GHZ 1:16 Demultiplexer with Built-in Self-Test for Radio Astronomy Application”, *APMC*, Décembre 2004.
- [REC-04c] C. Recoquillon, A. Baudry, J-B Bégueret, G. Montignac, “ALMA Sampler Demultiplexer (Phobos version) Description, Simulation results, Functionality tests.”, *BEND-53.01.03.01-002-A-REP*, May 2004.
- [REC-05a] C. Recoquillon, A. Baudry, J. B. Begueret, S. Gauffre, G. Montignac, “The ALMA Digitizer (DG) Demultiplexer : Design, Performances in DG Assembly and Production Acceptance Tests”, *ALMA Memo N°510*, Janvier 2005.
- [REC-05b] C. Recoquillon, A. Baudry, J. B. Begueret, S. Gauffre, G. Montignac, “Data Sheet of ALMA converter”, 2005.
- [REC-05c] C. Recoquillon, A. Baudry, J. B. Begueret, S. Gauffre, G. Montignac, “Data Sheet of ALMA deserializer”, 2005.
- [REC-05d] C. Recoquillon, A. Baudry, J. B. Begueret, S. Gauffre, G. Montignac, “The ALMA 3-bit 4 Gsample/s, 2-4 GHz Input Bandwidth, Flash Analog-to-Digital Converter”, *ALMA Memo N°532*, 2005.
- [SAL-02] Erik Säll, “Design of a Low Power, High Performance Track-and-Hold Circuit in a 0.18 μ m CMOS Technology”, *Thèse de doctorat de l'université de Linköping (Suède), Chapitre 4.3 : Switches*, Septembre 2002.
- [SAU-94] M. Sauerwald, “Effect of aperture time and jitter in a sampled data system”, *National Semiconductor – Application Note AD-03*, 1994.
- [TAR-03] M. Tarengi, “Atacama Large Millimeter Array Quarterly Report For the period Ending 30 June 2003”
- [THO-01] A. Richard Thompson, James M. Moran, Georges W. Swenson Jr , “Interferometry and Synthesis in Radio Astronomy”, 2nd édition, Wiley Interscience, 2001.

- [THO-98] A. R. Thompson, "Quantization Efficiency for Eight or more Sampling Levels", *ALMA Memo 220*, July 9, 1998.
- [TOR-01] M. Torres, O. Gentaz, "A simple technique for disciplining independent demultiplexers", *ALMA Memo N°383*, 2001.
- [TOR- 03] M. Torres, "Sampler Clock and fine delay system for ALMA", *Publication interne à l'IRAM*, 2003.
<http://www.iram.fr/IRAMFR/TA/backend/samclock/index.html>
- [UKI-01] N. Ukita, M. Ikeda, "Antenna Vibration Measurements With Accelerometers", February 2001.
- [WIL-97] M. Willander, H. L. Hartnagel, "High Temperature Electronics", *Chapman & Hall*, 1997.

ANNEXES

ANNEXE A :

Descriptif rapide des procédés de conception et de fabrication des circuits intégrés

Une fois les fonctions de la puce définies, le concepteur puise dans des bibliothèques informatisées les millions d'éléments pour constituer le circuit. Comme dans un puzzle géant, il doit d'abord chercher à arranger les pièces les unes par rapport aux autres, puis dessine les chemins qui vont les relier. Avant de lancer la fabrication, il simule sur ordinateur le fonctionnement de sa puce. Si tout va bien, il passe alors les plans au secteur production (fondeur).

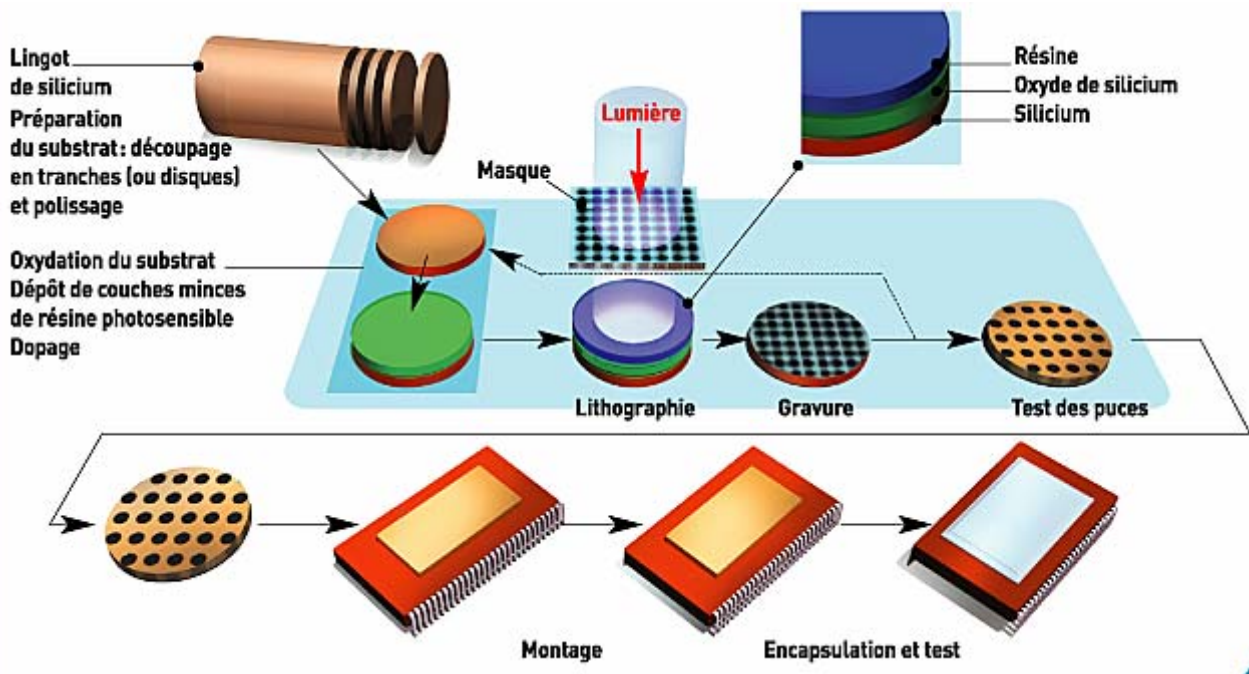


Figure A-01 : Descriptif des principales étapes de fabrication.

Les techniques de fabrication des circuits intégrés sont très complexes. Il s'agit en effet de réaliser sur une surface de quelques millimètres carrés et une épaisseur de quelques microns un assemblage de plusieurs milliers de composants et les interconnexions entre tous ces éléments. Le matériau de départ est une tranche (disque) très fine de silicium dont le diamètre ne cesse de croître. Il est couramment de 10 cm de diamètre mais peut atteindre des tailles de l'ordre de 30 cm. Ce disque de silicium (Wafer) subit près d'une centaine de traitements différents : dépôt de couches minces isolantes ou conductrices, micro-gravure, attaque chimique, recuit thermique approprié, dopage par implantation d'atomes...



Figure A-02 : Fine tranche de silicium.

L'un des traitements clefs de la fabrication d'un circuit intégré est la photolithographie. Ce procédé permet la construction des chemins pour les électrons et des barrières isolantes pour les séparer.

Pour préparer le support, on chauffe la plaquette de silicium à plus 1 000 °C. Comme pour la rouille du fer, il se produit une réaction chimique à la surface : l'oxydation. La plaquette est alors entièrement recouverte d'une fine couche isolante d'oxyde de silicium. Le support est maintenant prêt.

La résine photosensible est répandue uniformément sur toute la surface du support. Si on compare la photolithographie à la photographie, la résine joue le rôle de la pellicule. Une fois recouverte de résine, la tranche de silicium est soumise à une lumière visible ou à un rayonnement ultraviolet (UV) à travers un masque représentant le motif recherché. Les rayonnements impressionnent ("insolent") la résine. C'est l'insolation.

Après avoir éliminé la résine insolée, les zones non protégées par celle-ci sont gravées par attaque acide. Le silicium est donc mis à nu selon les contours du masque. Les restes de résine sont éliminés à l'aide d'un solvant. Le support est prêt pour l'étape suivante. La microlithographie est difficile à réaliser puisque les motifs ont souvent une dimension inférieure à un micron. De plus, l'obtention d'un circuit intégré nécessite de dix à quatorze gravures dont la superposition doit être réalisée, pour certains circuits, avec une précision de l'ordre de 0,35 μm . Le plus petit transistor est de 20 nanomètres.

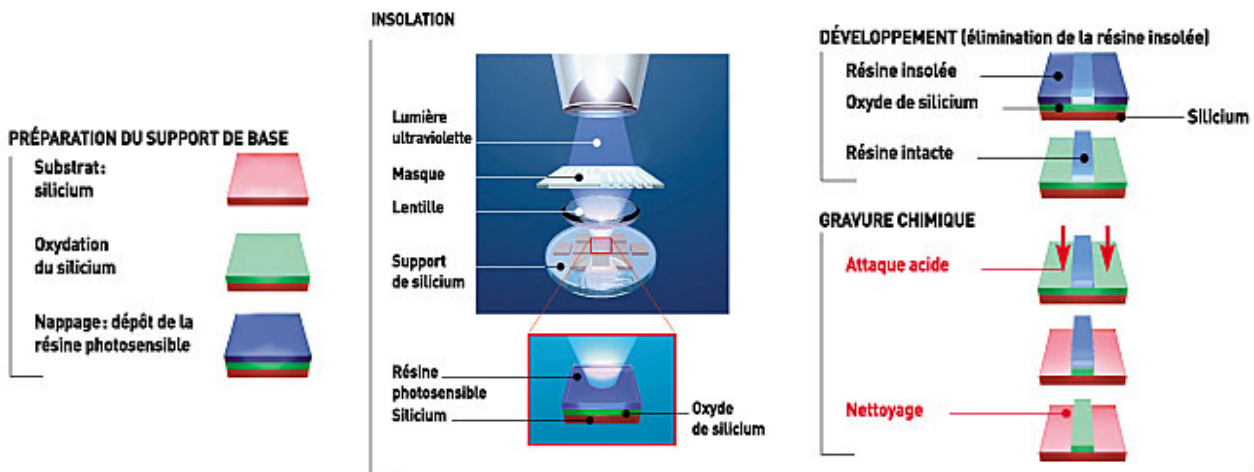


Fig. A-03 : Descriptif des principales étapes de photolithographie optique

Le dopage d'un semi-conducteur consiste à introduire des ions perturbateurs (arsenic, bore, phosphore...) dans le cristal de silicium pour modifier sa conductivité. Il peut être réalisé soit par chauffage dans un four très chaud (épitaxie, 1200°C) en présence d'un gaz dopant, soit, de plus en plus souvent, par bombardement d'ions à travers un masque.

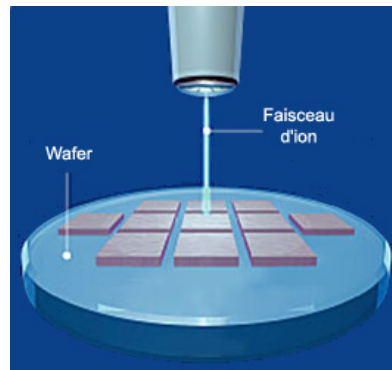


Figure A-04 : Bombardement d'ion pour la réalisation du dopage

Plusieurs circuits intégrés sont fabriqués en même temps sur une plaque de silicium et le procédé de fabrication traite des lots de 50 à 100 tranches de silicium. Lorsque l'ensemble des traitements est effectué, la tranche de silicium qui regroupe une à plusieurs centaines de fois le même circuit intégré élémentaire est découpée en pastilles. Le circuit intégré nu est très fragile. Pour être utilisée, chaque pastille ou puce est montée dans un boîtier céramique ou plastique muni de pattes de connexion. Une fois encapsulée, chaque puce est alors contrôlée individuellement et celles qui ont un fonctionnement défectueux ou qui s'écartent trop des spécifications attendues sont rejetées.

Le rendement d'une chaîne de fabrication est l'une des mesures principales de la qualité d'une filière technologique. Par exemple, pour des circuits de complexité moyenne, 40% à 60% de ceux-ci ont un fonctionnement correct.

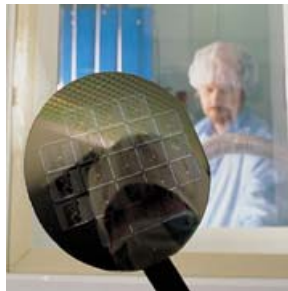


Figure A-05 : Wafer avant découpe des puces

ANNEXE B :

Descriptif de la technologie BiCMOS 7 de STMicroelectronics

- **Le transistor hétérojonction SiGe**

Le transistor hétérojonction (HBT) SiGe est obtenu par l'introduction d'une faible quantité de Germanium (10% à 20%) dans sa base ce qui permet d'optimiser sa vitesse de fonctionnement. Le principe des transistors HBT est de modifier la largeur de la bande interdite des semi-conducteurs utilisés pour réaliser le transistor. Ce principe a été originellement utilisé pour les transistors de type composés III-V. Maintenant, on le retrouve pour les transistors de types IV-IV à base de Silicium et de Germanium.

Le Silicium est un semi-conducteur relativement lent (faible mobilité des électrons et des trous, faible vitesse de saturation des porteurs) par rapport à des semi-conducteurs de type AsGa et InP. Le fait de doper la base d'un transistor bipolaire avec du Germanium permet de diminuer la largeur de la bande interdite (bandgap) et d'augmenter la fréquence de transition f_T . De plus, le profil de dopage de la base est graduel et la réduction progressive de la largeur de bande interdite permet d'établir un quasi-champ électrique [ARD-01] qui provoque une accélération des électrons injectés dans la base. Le temps de transit (temps mis par les porteurs pour traverser le composant) est fortement réduit. Dans une analyse au 1^{er} ordre, la fréquence de transition liée au temps de transit τ_F par la relation en est d'autant plus élevée.

$$f_T \approx \frac{1}{2\pi \cdot \tau_F}$$

La figure B.01 détaille la structure interne d'un transistor HBT SiGe.

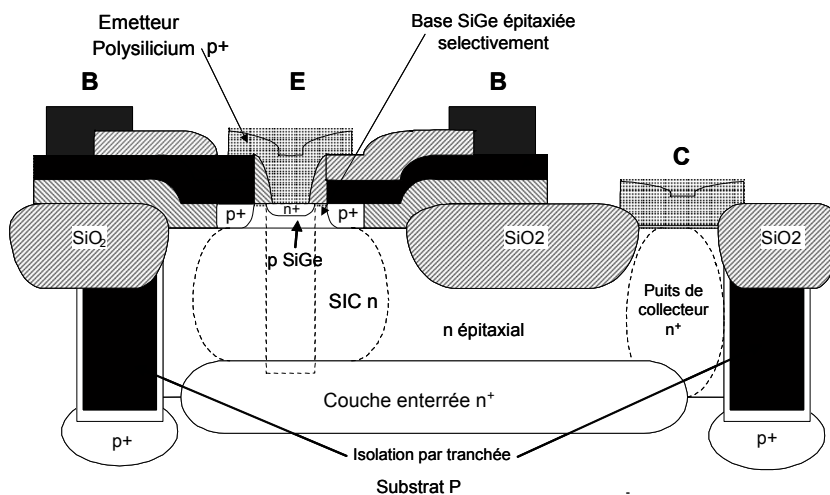


Figure B-01 : Plan de coupe d'un transistor HBT SiGe.

D'autres paramètres électriques intrinsèques au transistor sont améliorés par rapport à une technologie Silicium classique. La résistance d'accès à la base est diminuée (paramètre influent fortement sur f_T). Les tensions d'Early sont augmentées ce qui améliore la linéarité de fonctionnement du transistor.

- **Technologie BiCMOS SiGe de STMicroelectronics**

Les technologies SiGe auxquelles nous avons accès sont les technologies BiCMOS SiGe du fondeur (fabricant de circuits intégrés) STMicroelectronics. Elles sont développées à partir d'une technologie CMOS VLSI à laquelle ont été ajoutés des masques pour créer les transistors HBT.

Les caractéristiques de la technologie BiCMOS7 dans laquelle ont été développés respectivement VEGA 1 & 2 et PHOBOS sont décrites dans le tableau suivant.

Tableau B-01 : Caractéristiques de la technologie BiCMOS SiGe de STMicroelectronics.

	BiCMOS7
Process CMOS	0,25 μm
V_{THN}	570 mV
V_{THP}	-530 mV
Epaisseur d'oxyde de grille	3 nm
f_{T} NPN	70 GHz
f_{max} NPN	90 GHz
H_{FE}	120
Capa MIM	2nF/mm ²
Nombres de couches de métal	5M 1P
Alimentation	2,5 V

Les technologies BiCMOS permettent de bénéficier d'une part des performances des transistors HBT SiGe pour la réalisation de fonctions analogiques rapides et d'autre part de la densité d'intégration des transistors MOS pour la réalisation des fonctions numériques associées. Il est alors possible d'intégrer un système mixte analogique-numérique sur une même puce.

ANNEXE C :

Extraction des résistances parasites des pistes d'alimentation de démultiplexeur PHOBOS

- Alimentation 1 :
 $W+ = W- = 1000\mu\text{m}$
 $L+ = L- = 50\mu\text{m}$
 $R_{+/-} = [(1000 / 50) \times 0.066] + 0.5$
 $= 1.3 + 0.5$
 $= \mathbf{1.8}$

- Alimentation 2a:
 $W+ = W- = 1150\mu\text{m}$
 $L+ = L- = 50\mu\text{m}$
 $R_{+/-} = [(1150 / 50) \times 0.066] + 0.5$
 $= 2 + 0.5$
 $= \mathbf{2.5}$

- Alimentation 2b:
 $W+ = W- = 1000\mu\text{m}$
 $L+ = L- = 30\mu\text{m}$
 $R_{+/-} = [(1200 / 30) \times 0.066] + 0.5$
 $= 2.7 + 0.5$
 $= \mathbf{3.2}$

- Alimentation 3 :
 $W+ = W- = 1600\mu\text{m}$
 $L+ = L- = 50\mu\text{m}$
 $R_{+/-} = [(2600 / 50) \times 0.066] + 0.5$
 $= 3.5 + 0.5$
 $= \mathbf{4}$

- Alimentation 4 :
 $W+ = W- = 600\mu\text{m}$
 $L+ = L- = 50\mu\text{m}$
 $R_{+/-} = [(1300 / 50) \times 0.066] + 0.5$
 $= 1.8 + 0.5$
 $= \mathbf{2.3}$

- Alimentation 5 :
 $W+ = W- = 750\mu\text{m}$
 $L+ = L- = 50\mu\text{m}$
 $R_{+/-} = [(1900 / 50) \times 0.066] + 0.5$
 $= 2.5 + 0.5$
 $= \mathbf{3}$

- Alimentation 6 :
 $W+ = W- = 500\mu\text{m}$
 $L+ = L- = 50\mu\text{m}$
 $R_{+/-} = [(200 / 50) \times 0.066] + 0.5$
 $= 0.2 + 0.5$
 $= \mathbf{0.7}$

ANNEXE D :

Extraction des résistances parasites des pistes d'alimentation du convertisseur VEGA 1

➤ Alimentation analogique 1 :

Pour l'amplificateur les rails d'alimentation positifs et négatifs sont constitués de métal 4 et 5.

$$\begin{aligned} W+ (M5) &= 720\mu\text{m} \ \& \ W+ (M4) = 110\mu\text{m} & R+/- &= [(720 / 40) \times 0.0128] + [(110 / 40) \times 0.066] + 0.5 \\ W- (M5) &= 720\mu\text{m} \ \& \ W- (M4) = 110\mu\text{m} & &= 0.23 + 0.18 + 0.5 \\ L+ = L- &= 40\mu\text{m} & & &= \mathbf{0.9\Omega} \end{aligned}$$

➤ Alimentation analogique 2 :

Pour les comparateurs les rails d'alimentation positifs et négatifs sont de même longueur mais avec des niveaux métalliques différents. De plus pour ce bloc les alimentations sont doublées ce qui divise par 2 la résistance.

$$\begin{aligned} W+ (M5) &= W- (M4) = 615\mu\text{m} & R+ &= [(615 / 100) \times 0.0128] + 0.5 \\ L+ = L- &= 100\mu\text{m} & &= 0.07 + 0.5 \\ & & &= \mathbf{0.57\Omega} \\ R- &= [(615 / 100) \times 0.066] + 0.5 \\ & & &= 0.4 + 0.5 \\ & & &= \mathbf{0.9\Omega} \end{aligned}$$

➤ Alimentation de l'amplificateur d'horloge :

Pour l'amplificateur d'horloge le rail d'alimentation positif est uniquement constitué de métal 5 alors que le rail négatif utilise du métal 4 et 5.

$$\begin{aligned} W+ (M5) &= 2115\mu\text{m} & R+ &= [(2115 / 50) \times 0.0128] + 0.5 \\ W- (M5) &= 475\mu\text{m} \ \& \ W- (M4) = 1440\mu\text{m} & &= 0.5 + 0.5 \\ L+ = L- &= 50\mu\text{m} & & &= \mathbf{1\Omega} \\ R- &= [(475 / 50) \times 0.0128] + [(1440 / 50) \times 0.066] + 0.5 \\ & & & &= 0.12 + 1.9 + 0.5 \\ & & & &= \mathbf{2.5\Omega} \end{aligned}$$

➤ Alimentation des bascules mémoires :

Pour les bascules les rails d'alimentation positifs et négatifs sont de même longueur mais avec des niveaux métalliques différents.

$$\begin{aligned} W+ (M5) &= W- (M4) = 1500\mu\text{m} & R+ &= [(1500 / 110) \times 0.0128] + 0.5 \\ L+ = L- &= 110\mu\text{m} & &= 0.17 + 0.5 \\ & & &= \mathbf{0.67\Omega} \\ R- &= [(1500 / 110) \times 0.066] + 0.5 \\ & & &= 0.9 + 0.5 \\ & & &= \mathbf{1.4\Omega} \end{aligned}$$

➤ Alimentation des buffers LVDS :

Pour les buffers LVDS le rail d'alimentation positif est uniquement constitué de métal 4 alors que le rail négatif utilise du métal 4 et 5.

$$\begin{aligned} W+ (M5) &= 360\mu\text{m} \ \& \ W+ (M4) = 100\mu\text{m} & R+ &= [(360 / 50) \times 0.0128] + [(100 / 50) \times 0.066] + 0.5 \\ W- (M5) &= 460\mu\text{m} & & &= 0.09 + 0.13 + 0.5 \\ L+ = L- &= 50\mu\text{m} & & &= \mathbf{0.72\Omega} \\ R- &= [(460 / 50) \times 0.066] + 0.5 \\ & & & &= 0.6 + 0.5 \\ & & & &= \mathbf{1.1\Omega} \end{aligned}$$

ANNEXE E :

Extraction des résistances parasites des pistes d'alimentation du convertisseur VEGA 2

➤ Alimentation analogique 1 :

Pour l'amplificateur les rails d'alimentation positifs et négatifs sont constitués uniquement de métal 5.

$$\begin{aligned}
 W+ (M4) &= 900\mu\text{m} & R+ &= [(1000 / 40) \times 0.066] + 0.5 \\
 W- (M4) &= 750\mu\text{m} & &= 1.5 + 0.5 \\
 L+ = L- &= 40\mu\text{m} & &= \mathbf{2\Omega} \\
 & & R- &= [(850 / 40) \times 0.066] + 0.5 \\
 & & &= 1.28 + 0.5 \\
 & & &= \mathbf{1.8\Omega}
 \end{aligned}$$

➤ Alimentation analogique 2 :

Pour les comparateurs les rails d'alimentation positifs et négatifs sont de même longueur mais avec des niveaux métalliques différents (M3 & M2). De plus pour ce bloc les alimentations sont doublées ce qui est équivalent à doubler la largeur d'un rail.

$$\begin{aligned}
 W+ (M3) = W- (M2) &= 1160\mu\text{m} & R+/- &= [(1160 / 120) \times 0.066] + 0.5 \\
 L+ = L- = 60 \times 2 &= 120\mu\text{m} & &= 0.63 + 0.5 \\
 & & &= \mathbf{1.13\Omega}
 \end{aligned}$$

➤ Alimentation de l'amplificateur d'horloge :

Pour l'amplificateur d'horloge le rail d'alimentation négatif est uniquement constitué de métal 4 alors que le rail positif utilise du métal 4 et 5.

$$\begin{aligned}
 W+ (M5) &= 260\mu\text{m} & R+ &= [(260 / 80) \times 0.0128] + [(230 / 80) \times 0.066] + 0.5 \\
 W+ (M4) &= 230\mu\text{m} & &= 0.04 + 0.19 + 0.5 \\
 W- (M4) &= 620\mu\text{m} & &= \mathbf{0.73\Omega} \\
 L+ = L- &= 80\mu\text{m} & R- &= [(620 / 80) \times 0.066] + 0.5 \\
 & & &= 0.51 + 0.5 \\
 & & &= \mathbf{1.01\Omega}
 \end{aligned}$$

➤ Alimentation des bascules mémoires :

Pour les comparateurs les rails d'alimentation positifs et négatifs sont de même longueur mais avec des niveaux métalliques différents (M3 & M2).

$$\begin{aligned}
 W+ (M3) &= 1800\mu\text{m} & R+ &= [(1800 / 90) \times 0.066] + 0.5 \\
 W- (M2) &= 1500\mu\text{m} & &= 1.32 + 0.5 \\
 L+ = L- &= 90\mu\text{m} & &= \mathbf{1.82\Omega} \\
 & & R- &= [(1500 / 90) \times 0.066] + 0.5 \\
 & & &= 1.1 + 0.5 \\
 & & &= \mathbf{1.6\Omega}
 \end{aligned}$$

➤ Alimentation des buffers LVDS :

Pour les bascules les rails d'alimentation positifs et négatifs sont de même longueur mais avec des niveaux métalliques différents.

$$\begin{aligned}
 W+ (M5) &= 1500\mu\text{m} & R+ &= [(1500 / 30) \times 0.0128] + [(300 / 30) \times 0.066] + 0.5 \\
 W+ (M4) &= 300\mu\text{m} & &= 0.65 + 0.66 + \mathbf{0.5} \\
 W- (M4) &= 1500\mu\text{m} & &= \mathbf{1.81\Omega} \\
 L+ = L- &= 30\mu\text{m} & R- &= [(1200 / 30) \times 0.066] + 0.5 \\
 & & &= 2.7 + 0.5 \\
 & & &= \mathbf{3.2\Omega}
 \end{aligned}$$

ANNEXE F :

Définition du VSWR

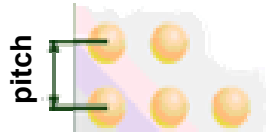
P_e est la puissance émise directe, P_r est la puissance réfléchie (indésirable). Ce taux est le meilleur à 1, ce qui signifie qu'il n'y a aucune puissance réfléchie et monte quand l'adaptation est mauvaise.

$$VSWR = \frac{1+S_{11}}{1-S_{11}} = \frac{1 + \frac{Z_L - Z_0}{Z_L + Z_0}}{1 - \frac{Z_L - Z_0}{Z_L + Z_0}}$$

ANNEXE G :

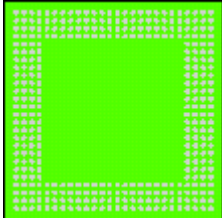
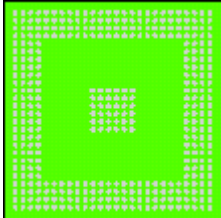
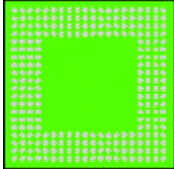
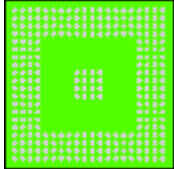

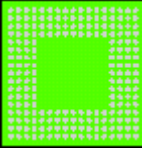
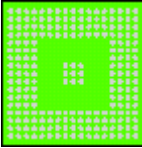
Présentation non exhaustive des boîtiers BGA disponible chez STMicroelectronics

- *Définition du pitch pour les BGA*

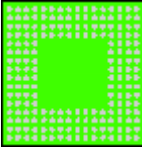
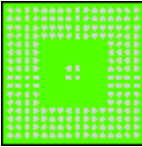
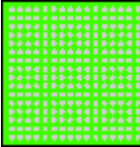
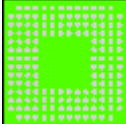
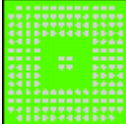
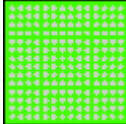
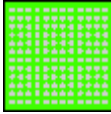


Le pitch correspond à la distance entre axe séparant deux billes du BGA.

- *Boîtiers disponibles avec un pitch de 1.27 mm*

35x35 mm			...
	352 billes	388 billes	
27x27 mm			
	256 billes	272 billes	300 billes
23x23 mm			...
	208 billes	217 billes	

- *Boîtiers disponibles avec un pitch de 1.0 mm*

17x17 mm			
	192 billes	196 billes	256 billes
15x15 mm			
	156 billes	160 billes	196 billes
13x13 mm			
	144 billes		