

**THESE**

Présentée et soutenue publiquement le 5 octobre 2006 à

**L'UNIVERSITE DE BORDEAUX I**  
**Ecole doctorale de Sciences Physiques et de l'Ingénieur**

par

**Grégory AVENIER**

Pour obtenir le grade de

**DOCTEUR**

**Spécialité : Electronique**

**Développement et étude de transistors  
bipolaires à hétérojonctions Si/SiGe verticaux  
sur substrats SOI minces**

Après avis de :

M. Peter ASHBURN, Professeur	Université de Southampton	Rapporteurs
Mme Sylvie RETAILLEAU, Professeur	IEF d'Orsay	

Devant la commission d'examen formée de :

M. Peter ASHBURN, Professeur	Université de Southampton	Rapporteurs
Mme Sylvie RETAILLEAU, Professeur	IEF d'Orsay	
M. Gilbert VINCENT, Professeur	Université Grenoble1	Examineurs
M. Yann DEVAL, Professeur	Université Bordeaux1	
Mme Cristell MANEUX, M.d.C.	Université Bordeaux1	
M. Alain CHANTRE, H.D.R	STMicroelectronics	
M. Thomas ZIMMER, Professeur	Université Bordeaux1	Directeur de thèse

## Remerciements

Tout d'abord, je remercie Marcel ROCHE, ancien directeur de l'équipe de recherche et développement sur les technologies analogiques/RF de STMicroelectronics à Crolles, et André TOUBOUL, directeur du Laboratoire IXL de Bordeaux, d'avoir initié cette thèse CIFRE au sein du Laboratoire commun ST-IXL. Je tiens, par ailleurs, à exprimer ma reconnaissance à Bernard SAUTREUIL et Olivier NOBLANC, qui ont toujours montré un vif intérêt quant au sujet et au déroulement de cette thèse.

Je tiens à remercier, très sincèrement, tous les membres de mon jury de thèse. La variété des domaines de chacun fut une source d'enrichissement de plus au cours de ces trois ans. Ainsi, je remercie Peter ASHBURN et Sylvie RETAILLEAU d'avoir accepté la charge de rapporteur de cette thèse. J'adresse également mes remerciements à Yann DEVAL pour sa participation au jury de thèse dans son rôle de concepteur. Il a ainsi apporté un œil et un souffle nouveau à nos dispositifs. Finalement, ce fut un plaisir de soutenir devant le jury présidé par Gilbert VINCENT, que je remercie également d'avoir veillé à la rigueur scientifique du manuscrit.

Je remercie très chaleureusement Thomas ZIMMER, qui a été durant (presque) trois ans, un directeur de thèse exemplaire et très compréhensif envers le monde industriel. Je tiens à remercier également Cristell MANEUX, qui a fait beaucoup plus que d'assurer l'intérim de la direction de thèse, durant les mois de rédaction.

Je remercie profondément Alain CHANTRE de la confiance qu'il m'a accordée et de m'avoir entraîné (malgré moi ?) dans l'aventure de la thèse. Je ne regrette rien de ces trois années dirigées et cadencées de main de maître. Je remercie également Pascal CHEVALIER de m'avoir initié aux arcanes des technologies BiCMOS (toujours faire la coupe dans les deux directions !)

Bien entendu, les technologies les plus performantes ne prennent vie que sur silicium et grâce à toutes les personnes impliquées dans la fabrication de plaquettes. Cette dernière débute par le développement de procédés. Je remercie Cyril, Benoît V., Laurent, Didier

---

DUTARTRE et les membres (et ex-membres) de son équipe : Alex, Florence D., Benjamin qui ont été, à un moment ou à un autre, indispensables pour leurs épitaxies, leurs polysiliciums, (leur maîtrise incomparable de l'HTF) et leurs implantations. L'équipe de gravure et nettoyage : Fabienne, Thierry, François, Claire, Pierre et toute l'équipe de Alain INARD qui s'est montrée, à chaque fois, intéressée et s'est impliquée dans tous nos développements et nos projets les plus fous. Finalement, le personnel de production et de support travaille toujours dans l'ombre mais effectue 90% de la fabrication de nos plaques, je ne les remercierai jamais assez. J'adresse en particulier mes remerciements à l'équipe de métrologie, Séverine, Délia, Laurent et Vincent, qui ont toujours été prêts à mesurer nos plaques et nous aider à y voir plus clair.

Les équipes de caractérisation jouent un grand rôle quand nous perdons un peu pied dans la complexité de nos structures. Je remercie ainsi l'équipe de caractérisation physique de Crolles, et également Fabienne SAGUIN à Crolles, et Cyril HAINAUT à Bordeaux, d'avoir su tirer le meilleur d'équipements de caractérisation électrique souvent capricieux.

Un petit merci particulier à Jessy BUSTOS, des modules avancés, pour les heures passées sur le layout de nos structures (à regarder des carrés).

J'adresse mes remerciements amicaux à toutes les personnes qui ont contribué à l'ambiance de franche camaraderie au cours de ces années à Crolles. Toutes les personnes du groupe des filières R&D (toujours dans l'ordre des box, toujours) : Dominik, André, Isa, Stéphanie, Germaine, Jocelyne, Bertrand Z. (pour le basket et... chut !), Laurence, Agustin, Seb J. (co-fondateur du box trip-hop et IT support), Simon (Lapin), Philippe, Seb C., Sylvie, les exilés : Bertrand M. et Jean-Christophe et nos supers assistantes Chrystèle et Laurie.

Merci aux thésards de l'IXL, Brice, Pierre-Yvan et tous les autres, pour les discussions et les pauses et surtout merci à Seb pour cette collaboration mémorable.

Bravo aux thésards de ST qui font vivre l'entreprise en croyant servir la science. En filière, notre glorieux ancêtre Carlo, les suivants Julien et Jean-Philippe, les jeunes Boris, Pierre-Marie, Gaëlle et Carine, le très jeune David. Dans les autres services, Florence, Gaël, Hélène, Nico L., Luc, Nico G, Marie et Hélène. Mes plus chaleureux remerciements vont à mes confrères et consœurs docteurs en filière de 2003 : Steph, Aurélie, Doro et Ben.

---

J'adresse toute ma reconnaissance aux personnes qui m'ont aidé, accompagné, soutenu, et que j'aurais pu oublier dans ces quelques lignes.

Je remercie enfin mes parents, sans qui je ne serai pas arrivé jusque là et qui se sont impliqués personnellement dans la correction orthographique de ce manuscrit, et ma chère épouse, Priscilla (ma plus grande fan, ma muse et ma tête) pour ses conseils avisés sur les présentations orales et ma tenue vestimentaire, mais surtout pour son soutien quotidien et indéfectible.

---

---

## Sommaire

<b>Sommaire</b>	<b>1</b>
<b>Résumé</b>	<b>7</b>
<b>Abstract</b>	<b>8</b>
<b>Glossaire</b>	<b>9</b>
<b>Introduction générale</b> .....	<b>11</b>
<b>I. Le Transistor bipolaire à hétérojonctions Si/SiGe</b> .....	<b>15</b>
<b>I.1. Introduction</b>	<b>15</b>
<b>I.2. Rappels sur le fonctionnement du transistor bipolaire</b>	<b>15</b>
<b>I.2.A. Fonctionnement statique</b> .....	<b>15</b>
I.2.A.1. <u>Principe de fonctionnement</u>	15
I.2.A.1.a. <i>Généralités</i> .....	15
I.2.A.1.b. <i>Les différents courants du transistor bipolaire</i> .....	15
I.2.A.2. <u>Expressions des courants</u>	17
I.2.A.2.a. <i>Le courant de collecteur</i> .....	17
I.2.A.2.b. <i>Le courant de base</i> .....	19
I.2.A.2.c. <i>Le gain en courant</i> .....	20
<b>I.2.B. Fonctionnement dynamique</b> .....	<b>21</b>
I.2.B.1. <u>Temps de transit <math>\tau_F</math></u>	21
I.2.B.1.a. <i>Temps de transit dans la base <math>\tau_B</math></i> .....	21
I.2.B.1.b. <i>Temps de transit dans l'émetteur <math>\tau_E</math></i> .....	22
I.2.B.1.c. <i>Temps de transit dans la ZCE base-collecteur : <math>\tau_{BC}</math></i> .....	23
I.2.B.2. <u>Fréquence de transition <math>f_T</math></u>	24
I.2.B.2.a. <i>Expression du courant de collecteur <math>i_C</math></i> .....	25
I.2.B.2.b. <i>Expression du courant de base <math>i_B</math></i> .....	25
I.2.B.2.c. <i>Expression du gain et formulation de <math>f_T</math></i> .....	26
I.2.B.3. <u>Fréquence maximum d'oscillation <math>f_{MAX}</math></u>	27
<b>I.2.C. Effets de forte polarisation et de forte injection</b> .....	<b>28</b>
I.2.C.1. <u>Effets d'avalanche</u>	28
I.2.C.1.a. <i>Avalanche dans la jonction base-collecteur : <math>BV_{CBO}</math></i> .....	28
I.2.C.1.b. <i>Tension de claquage émetteur-collecteur : <math>BV_{CEO}</math></i> .....	28
I.2.C.2. <u>Effet Early</u>	30
I.2.C.3. <u>Effet Kirk</u>	31
I.2.C.4. <u>Effet des résistances séries</u>	32
<b>I.2.D. Influence d'une base SiGe sur le fonctionnement du transistor bipolaire</b> .....	<b>33</b>
I.2.D.1. <u>Principe</u>	33
I.2.D.2. <u>Impact sur les caractéristiques statiques</u>	34
I.2.D.2.a. <i>Gain en courant</i> .....	34
I.2.D.2.b. <i>Effet Early</i> .....	35
I.2.D.3. <u>Influence sur les performances dynamiques</u>	35
<b>I.3. Caractérisation électrique</b>	<b>37</b>
<b>I.3.A. Courbes de Gummel et réseaux de sortie</b> .....	<b>37</b>
I.3.A.1. <u>Courbes de Gummel</u>	37
I.3.A.2. <u>Caractéristiques de sortie du transistor bipolaire</u>	37
<b>I.3.B. Avalanche et auto-échauffement</b> .....	<b>38</b>

I.3.B.1.	<u>Tensions de claquage des jonctions : <math>BV_{EBO}</math>, <math>BV_{CBO}</math></u>	38
I.3.B.2.	<u>Tension de claquage du dispositif en fonctionnement : <math>BV_{CEO}</math></u>	39
I.3.B.3.	<u>Résistance thermique</u>	40
I.3.C.	<u>Fréquence de transition et fréquence maximale d'oscillation .....</u>	42
I.3.C.1.	<u>Théorie des quadripôles</u>	42
I.3.C.2.	<u>Fréquence de transition et temps de transit</u>	44
I.3.C.2.a.	<u>Fréquence de transition <math>f_T</math>.....</u>	44
I.3.C.2.b.	<u>Temps de transit <math>\tau_F</math>.....</u>	44
I.3.C.3.	<u>Fréquence maximale d'oscillation <math>f_{MAX}</math></u>	45
<b>I.4.</b>	<b>Conclusion</b>	<b>46</b>
<b>II.</b>	<b>Intégration d'un TBH Si/SiGe sur substrat SOI mince .....</b>	<b>47</b>
<b>II.1.</b>	<b>Introduction</b>	<b>47</b>
<b>II.2.</b>	<b>Etat de l'art du bipolaire sur SOI : vers le choix d'une intégration</b>	<b>47</b>
II.2.A.	<u>Evolution des architectures existantes .....</u>	47
II.2.A.1.	<u>Transistors bipolaires latéraux</u>	47
II.2.A.1.a.	<u>Premiers transistors bipolaires latéraux sur SOI .....</u>	48
II.2.A.1.b.	<u>Architectures latérales à bases implantées .....</u>	49
II.2.A.1.c.	<u>Architecture à base épitaxiée .....</u>	50
II.2.A.2.	<u>Transistors bipolaires verticaux sur SOI épais</u>	51
II.2.A.3.	<u>Transistors bipolaires verticaux sur SOI mince</u>	51
II.2.A.3.a.	<u>Architecture proposée par IBM .....</u>	52
II.2.A.3.b.	<u>Approche proposée par IHP .....</u>	53
II.2.A.4.	<u>Bilan des architectures présentées</u>	54
II.2.B.	<u>Architecture retenue pour cette étude .....</u>	55
II.2.B.1.	<u>Description de la structure</u>	55
<b>II.3.</b>	<b>Simulations physiques pour la validation de l'intégration</b>	<b>58</b>
II.3.A.	<u>Description de l'environnement de simulation et des paramètres ..</u>	58
II.3.A.1.	<u>Description de la structure simulée</u>	58
II.3.A.1.a.	<u>Géométrie de la structure .....</u>	58
II.3.A.1.b.	<u>Caractéristiques des matériaux.....</u>	59
II.3.A.2.	<u>Paramètres variables de l'étude</u>	60
II.3.A.2.a.	<u>Dopage du collecteur : <math>N_{Coll}</math>.....</u>	60
II.3.A.2.b.	<u>Distance des prises de collecteur : <math>L_C</math>.....</u>	61
II.3.A.3.	<u>Simulations physiques</u>	61
II.3.B.	<u>Résultats de simulations de <math>f_{Tmax}</math> et <math>BV_{CEO}</math>.....</u>	62
II.3.B.1.	<u>Influence de la concentration des dopants du collecteur</u>	62
II.3.B.1.a.	<u>Tension de claquage du transistor <math>BV_{CEO}</math>.....</u>	62
II.3.B.1.b.	<u>Fréquence de transition maximum <math>f_{Tmax}</math>.....</u>	63
II.3.B.2.	<u>Effets de la distance de la prise de contact collecteur</u>	64
<b>II.4.</b>	<b>Réalisation et caractérisation des dispositifs</b>	<b>66</b>
II.4.A.	<u>Fabrication des échantillons.....</u>	66
II.4.A.1.	<u>Organisation de la fabrication</u>	66
II.4.A.2.	<u>Enchaînement des étapes de fabrication</u>	67
II.4.A.2.a.	<u>Zones actives et « BipOpen » .....</u>	67
II.4.A.2.b.	<u>Base extrinsèque et prise collecteur.....</u>	68
II.4.A.2.c.	<u>Fenêtre émetteur et dépôt de la base .....</u>	68
II.4.A.2.d.	<u>Emetteur et fin de la fabrication .....</u>	70
II.4.B.	<u>Conception des dispositifs .....</u>	72
II.4.B.1.	<u>Utilisation des masques et règles de dessin</u>	72
II.4.B.2.	<u>Optimisations</u>	73
II.4.B.2.a.	<u>L'auto-alignement.....</u>	73
II.4.B.2.b.	<u>Le contact émetteur en ruban.....</u>	73
II.4.B.2.c.	<u>Le dessin cellulaire du transistor.....</u>	75

II.4.C. Caractérisations des dispositifs.....	76
II.4.C.1. Caractérisation physique.....	76
II.4.C.1.a. En cours de fabrication.....	76
II.4.C.1.b. Analyse destructive.....	77
II.4.C.2. Caractérisation électrique.....	78
II.4.C.2.a. Test paramétrique automatique.....	78
II.4.C.2.b. Mesures statiques manuelles.....	79
II.4.C.2.c. Mesures hyperfréquence.....	79
<b>II.5. Conclusion</b>	<b>80</b>
<b>III. Fonctionnement du TBH Si/SiGe sur SOI mince.....</b>	<b>81</b>
<b>III.1. Introduction</b>	<b>81</b>
<b>III.2. Analyse du mécanisme d'avalanche par simulation physique 2D</b>	<b>81</b>
III.2.A. Analyse de la localisation de la zone de désertion base-collecteur	81
III.2.A.1. Description de la méthode.....	81
III.2.A.2. Evolution de la ZCE base-collecteur en fonction de la tension $V_{CB}$ .....	82
III.2.B. Etude du fonctionnement du dispositif.....	84
III.2.B.1. Dispositif typique dopé à $10^{17} \text{cm}^{-3}$	84
III.2.B.1.a. Analyse de la désertion verticale dans le collecteur : Saturation du facteur d'avalanche.....	85
III.2.B.1.b. Analyse de la désertion totale du collecteur : Influence de la position de la prise de collecteur.....	86
III.2.B.2. Influence du dopage collecteur sur l'extension de la zone de désertion	87
III.2.B.2.a. Dispositifs très peu dopés.....	87
III.2.B.2.b. Dispositifs fortement dopés.....	88
III.2.C. Conclusion sur l'avalanche dans le collecteur.....	89
<b>III.3. Caractérisation électrique et influence des caractéristiques technologiques du collecteur</b>	<b>89</b>
III.3.A. Avalanche dans le transistor réel et extraction du $BV_{CEO}$ .....	89
III.3.A.1. Comparaison entre résultats de mesures et de simulations	89
III.3.A.1.a. Mesures sur lots en fonction du dopage de collecteur.....	89
III.3.A.1.b. Identification à tension de déplétion verticale identique.....	90
III.3.A.2. Extraction du $BV_{CEO}$	92
III.3.A.2.a. Conséquences des différents régimes de fonctionnement.....	92
III.3.A.2.b. Influence de la position de la prise de collecteur.....	94
III.3.B. Autres conséquences sur le comportement électrique.....	95
III.3.B.1. Caractéristiques de sortie atypiques	95
III.3.B.2. Evolution de $f_{Tmax}$ avec $V_{CB}$ .....	96
III.3.C. Influence de la polarisation du substrat.....	98
III.3.C.1. Comportement du collecteur	98
III.3.C.2. Répercussions sur le comportement électrique	98
III.3.C.2.a. Influence de la polarisation de substrat sur la tension de claquage $BV_{CEO}$ .....	99
III.3.C.2.b. Influence de la tension de substrat sur le comportement dynamique.....	100
III.3.C.3. Conclusion sur l'influence de la polarisation de substrat	101
<b>III.4. Conclusion</b>	<b>102</b>
<b>IV. Optimisations des dispositifs.....</b>	<b>105</b>
<b>IV.1. Introduction</b>	<b>105</b>
<b>IV.2. Optimisation du TBH sur SOI mince pour applications RF</b>	<b>105</b>
IV.2.A. Optimisation du procédé.....	106
IV.2.A.1. Dopage du collecteur	106
IV.2.A.1.a. Définition de l'objectif.....	106

IV.2.A.1.b.	<i>Tension de claquage <math>BV_{CEO}</math></i> .....	106
IV.2.A.1.c.	<i>Caractéristiques dynamiques</i> .....	107
IV.2.A.2.	<b>Profil de base</b> .....	110
IV.2.A.2.a.	<i>Effets sur le gain</i> .....	110
IV.2.A.2.b.	<i>Facteur de multiplication et tension de claquage</i> .....	111
IV.2.A.2.c.	<i>Influence du profil de base sur la fréquence de transition</i> .....	112
IV.2.A.3.	<b>Implantation sélective auto-alignée du collecteur extrinsèque : « le link »</b> .....	115
IV.2.A.4.	<b>Surdopage de la prise de collecteur</b> .....	117
IV.2.B.	<b>Optimisation du dessin des masques</b> .....	119
IV.2.B.1.	<b>Fractionnement de l'émetteur</b> .....	119
IV.2.B.1.a.	<i>Intérêt du fractionnement</i> .....	120
IV.2.B.1.b.	<i>Impact du fractionnement sur les performances des dispositifs RF</i> .....	120
IV.2.B.1.c.	<i>Résistance thermique et échauffement</i> .....	121
IV.2.B.2.	<b>Symétrie des structures</b> .....	122
IV.2.B.3.	<b>Distance de la prise de collecteur</b> .....	123
IV.2.B.3.a.	<i>Influence sur la tension de claquage des dispositifs</i> .....	124
IV.2.B.3.b.	<i>Amélioration des performances du transistor par variation de <math>L_C</math></i> .....	125
IV.2.B.4.	<b>Conclusion sur l'optimisation des TBH sur SOI pour applications RF</b> .....	126
IV.3.	<b>Optimisation du TBH sur SOI mince pour les très hautes fréquences</b> .....	127
IV.3.A.	<b>Optimisation du procédé de fabrication</b> .....	127
IV.3.A.1.	<b>Collecteur implanté phosphore</b> .....	128
IV.3.A.2.	<b>Implantation du collecteur avec de l'arsenic</b> .....	129
IV.3.A.2.a.	<i>Profil d'implantation et implications</i> .....	129
IV.3.A.2.b.	<i>Solutions à l'amorphisation du film SOI</i> .....	132
IV.3.B.	<b>Optimisation du dessin des masques</b> .....	133
IV.3.B.1.	<b>Fragmentation de l'émetteur</b> .....	133
IV.3.B.1.a.	<i>Résistances et capacités extraites des mesures dynamiques</i> .....	133
IV.3.B.1.b.	<i>Fréquence maximale d'oscillation</i> .....	136
IV.3.B.2.	<b>Nombre de cellules</b> .....	136
IV.3.B.3.	<b>Conclusion sur l'optimisation des transistors « très haute vitesse »</b> .....	137
IV.4.	<b>Conclusion</b> .....	138
V.	<b>Développement d'une technologie BiCMOS sur SOI mince</b> .....	141
V.1.	<b>Introduction</b> .....	141
V.2.	<b>Développement d'un modèle compact</b> .....	141
V.2.A.	<b>Topologie du modèle adapté au SOI mince</b> .....	141
V.2.A.1.	<b>Topologie de HICUM Level0 avant modifications</b> .....	141
V.2.A.2.	<b>Modifications de la topologie du modèle</b> .....	143
V.2.A.2.a.	<i>Capacité base-collecteur</i> .....	143
V.2.A.2.b.	<i>Capacité collecteur-substrat</i> .....	143
V.2.A.2.c.	<i>Topologie du modèle HICUM du TBH sur SOI mince</i> .....	144
V.2.A.3.	<b>Définitions des tensions internes du modèle</b> .....	144
V.2.B.	<b>Equations du modèle</b> .....	146
V.2.B.1.	<b>Valeurs des capacités et paramètres du modèle</b> .....	146
V.2.B.1.a.	<i>Capacité base-collecteur</i> .....	146
V.2.B.1.b.	<i>Paramètres du modèle</i> .....	147
V.2.B.2.	<b>Définition des grandeurs relatives</b> .....	147
V.2.B.2.a.	<i>Normalisation de l'inverse de la capacité de collecteur</i> .....	147
V.2.B.2.b.	<i>Champ électrique dans la jonction base-collecteur</i> .....	148
V.2.B.3.	<b>Equation du courant <math>i_T</math> et influence de la nouvelle topologie</b> .....	148
V.2.B.4.	<b>Equations du temps de transit</b> .....	149
V.2.B.4.a.	<i>Composante de dérive-diffusion dans la base</i> .....	149
V.2.B.4.b.	<i>Composante de « carrier jam » dans la base</i> .....	150
V.2.B.4.c.	<i>Composante des temps de transit dans la ZCE base/collecteur</i> .....	151



---

V.2.B.4.d. <i>Equation finale</i> .....	152
V.2.C. Comparaison du modèle avec des résultats de simulation physique et des mesures expérimentales.....	153
V.2.C.1. <u>Capacité base-collecteur</u> .....	153
V.2.C.2. <u>Courant de collecteur</u> .....	154
V.2.C.3. <u>Temps de transit et fréquence de transition</u> .....	154
<b>V.3. Intégration dans une technologie BiCMOS</b>	<b>156</b>
V.3.A. Intégration commune des transistors MOS et bipolaires.....	156
V.3.A.1. <u>Réduction de la hauteur du TBH</u> .....	157
V.3.A.2. <u>Espaceurs en D</u> .....	158
V.3.A.3. <u>Utilisation du masque NWell dans le dessin des masques du transistor bipolaire</u> .....	159
V.3.A.3.a. <i>Utilisation du masque NWell en complément du dopage de collecteur</i> .....	159
V.3.A.3.b. <i>Utilisation du NWell pour l'implantation du collecteur extrinsèque</i> .....	160
V.3.A.3.c. <i>Résultats électriques</i> .....	161
V.3.A.4. <u>Bilan du développement de la technologie BiCMOS SiGe sur SOI mince [Boissonnet06]</u>	163
V.3.B. Etude du bruit à basses fréquences et de la fiabilité.....	166
V.3.B.1. <u>Bruit basse fréquence</u> .....	166
V.3.B.2. <u>Etude de fiabilité</u> .....	167
<b>V.4. Conclusion</b>	<b>168</b>
<b>Conclusion générale</b> .....	<b>171</b>
<b>Références bibliographiques</b>	<b>175</b>
<b>Liste des publications</b>	<b>178</b>

---



## Résumé

Pour les besoins des applications RF performantes, il semble nécessaire de développer un transistor bipolaire NPN en complément des technologies CMOS sur substrat SOI mince. Les spécifications envisagées pour un tel dispositif nous imposent l'utilisation d'une architecture verticale à hétérojonctions Si/SiGe dont le concept a été développé par IBM mais dont la réalisation reste expérimentale.

Nous proposons donc une nouvelle structure adaptée du concept de collecteur localisé dans la couche supérieure du SOI mais dont la structure émetteur-base s'inspire de l'architecture auto-alignée développée par STMicroelectronics. L'intégration présentée bénéficie de l'innovation apportée par le collecteur implanté et de la robustesse d'une structure émetteur-base industrielle. La structure complète peut être incorporée dans une technologie 0.13 $\mu$ m sur SOI 150nm.

Les simulations physiques montrent qu'une telle architecture atteint des performances en fréquence de transition et en tension de claquage compatibles avec l'utilisation en applications RF. Par ailleurs, elles mettent en évidence un fonctionnement spécifique des dispositifs dont le collecteur est faiblement dopé, caractérisé par des tensions de claquage supérieures à celles obtenues sur substrat massif. Ces résultats s'expliquent par une limitation de l'avalanche dans le collecteur intrinsèque, lorsque la zone de désertion de la jonction base-collecteur atteint l'oxyde enterré. Nous présentons un modèle physique prenant en compte les spécificités de fonctionnement du dispositif sur SOI mince et notamment la propagation latérale de la désertion dans le collecteur intrinsèque.

Les transistors bipolaires sur SOI mince sont également caractérisés par une résistance série de collecteur supérieure à celle mesurée sur substrat massif et une tendance importante à l'auto-échauffement. Afin de minimiser la dégradation des performances liée à ces éléments, nous proposons une série d'optimisations des procédés de fabrication et de dessin des masques. La réduction du gain et l'augmentation de la distance de la prise de collecteur sont ainsi favorables à des dispositifs présentant une tension de claquage élevée. La réduction de la distance de prise de collecteur et l'implantation auto-alignée du collecteur extrinsèque permettent d'augmenter la vitesse des dispositifs. Des dispositifs très rapides peuvent être obtenus en optimisant tous les paramètres influant sur le temps de transit et en produisant un profil de dopage rétrograde dans le collecteur grâce à l'arsenic.

Une technologie BiCMOS sur SOI mince est ainsi développée à partir des transistors bipolaires étudiés. La co-intégration des transistors MOS et bipolaires impose la modification des étapes de fabrication de ces derniers. Une réduction de la topologie de la structure est notamment nécessaire. Les mesures électriques sur les transistors montrent que les performances des transistors bipolaires sont comparables avec celles des transistors sur substrat massif et que les caractéristiques électriques des transistors MOS ne sont pas altérées par la fabrication des transistors bipolaires.

## Abstract

In order to fulfill the needs of high-performance RF technologies, a NPN bipolar device has to be integrated within thin-SOI CMOS technologies. A vertical Si/SiGe heterojunction architecture with the intrinsic collector implanted in the SOI upper layer is required to meet the specifications set for such a device. IBM already developed this kind of architecture but the work remained experimental.

The architecture we propose uses the all-implanted folded collector concept developed by IBM as well as a robust self-aligned emitter-base structure commonly used by STMicroelectronics. The global structure is embedded in a 0.13 $\mu\text{m}$  technology using 150nm SOI substrates.

Physical simulation shows that transit frequency and breakdown voltage on these devices comply with their use in RF applications. Moreover, the simulation results point out a typical behavior of bipolar transistors with a lightly doped collector (less than  $10^{17}\text{cm}^{-3}$ ). The breakdown voltage simulated on these devices is higher than the one observed on bulk. This result can be explained by the limitation of the electric field in the intrinsic collector when the base-collector depletion region reaches the buried oxide. A compact physics-based model is developed to take into account the typical behavior of bipolar transistor on thin-film SOI including the lateral operating mode consecutive to the intrinsic collector vertical depletion.

Bipolar transistors on thin film SOI also feature higher collector resistances and higher self-heating. Various optimizations are proposed to minimize the influence of these elements on the device performance. Large collector-contact distance and low gain will increase the breakdown voltage whereas short collector-contact distance and self-aligned doping of the extrinsic collector allows reaching a higher transit frequency. Very high speed devices can also be achieved by optimizing the transit time and using an arsenic retrograde profile for the collector doping.

A BiCMOS SOI technology has been developed using our bipolar transistor on thin film SOI. The co-integration of MOS and bipolar devices introduces restrictions in the bipolar process, for example, a reduced topology is required. Electrical measurements on both devices show that the performance of bipolar transistor are comparable to bulk whereas the MOS electrical characteristics remain unchanged by the addition of the bipolar steps in the process flow.

## Glossaire

BOX	Couche d'oxyde enterrée d'un substrat SOI ( <u>B</u> uried <u>O</u> Xyde).
BiCMOS	Technologie incorporant des composants bipolaires et CMOS.
BJT	Transistor bipolaire ( <u>B</u> ipolar <u>J</u> unction <u>T</u> ransistor).
$BV_{CBO}, BV_{EBO}$	Tensions de claquage des jonctions base-collecteur et émetteur-base d'un transistor bipolaire.
$BV_{CEO}$	Tension de claquage d'un transistor bipolaire en circuit « base ouverte ».
$C_{EB}, C_{BC}, C_{CS}$	Capacités du transistor bipolaire.
$C_{jE}, C_{jC}$	Capacités des jonctions émetteur-base et base-collecteur du transistor bipolaire.
CMOS	Technologie à base de transistors à effet de champ complémentaires (Complementary Metal-Oxyde-Semiconductor).
$f_T$	Fréquence de transition d'un composant.
$f_{MAX}$	Fréquence maximale d'oscillation d'un composant.
$g_m$	Transconductance d'un composant, c'est-à-dire rapport des variations du courant en sortie et de la tension d'entrée.
HR-SOI	Plaquette de SOI dont la couche de substrat est formé de semiconducteur hautement résistif.
$I_E, I_B, I_C$	Courants externes statiques d'émetteur, de base et de collecteur du transistor bipolaire et leurs densités respectives par rapport à l'aire efficace d'émetteur $J_E, J_B, J_C$ .
$i_E, i_B, i_C$	Courants externes en dynamique d'émetteur, de base et de collecteur du transistor bipolaire.
$I_{pE}, I_{nE}, I_{nC}, I_{rB}, I_{rG}$	Courants internes du transistor de trous dans la composante d'émetteur, d'électrons dans les composantes d'émetteur et de collecteur, et de recombinaisons dans la base neutre et dans la ZCE émetteur-base.
$L_E, L_B, L_C$	Dimensions latérales du transistor bipolaires correspondant à la demi-largeur d'émetteur, la demi-largeur de base et la distance de la prise de contact de collecteur. Les dimensions latérales permettent de définir l'aire d'émetteur $A_E$ qui est aussi l'aire efficace du transistor $A_{eff}$ et le périmètre efficace $P_{eff}$ .
$N_C, N_V$	Densités d'états des bandes de conduction et de valence dans un matériau.
$N_{dE}, N_{aB}, N_{dC}$	Dopages en atomes donneurs (arsenic) dans l'émetteur, en accepteurs (Bore) dans la base et en donneurs dans le collecteur.

$N_{\text{Coll}}$	Dopage de collecteur du transistor bipolaire sur SOI correspondant à une dose d'implantation $D_{\text{Coll}}$ . Si la dose $D_{\text{Coll}}$ est implantée avec du phosphore, le dopage sera quasiment uniforme dans le collecteur intrinsèque du transistor bipolaire.
NPN	Type de transistor bipolaire dont les porteurs minoritaires dans la base sont des électrons, il existe aussi un type PNP dont les porteurs minoritaires sont des trous.
$Q_E, Q_B$	Charges de porteurs en excès, stockées dans l'émetteur et la base du transistor bipolaire en fonctionnement normal direct.
$R_E, R_C, R_B$	Résistances série d'émetteur et de collecteur, et résistance de base du transistor bipolaire.
$R_{\text{Th}}$	Résistance thermique d'un composant (élément de modèle) qui permet d'évaluer l'augmentation de température du dispositif en fonction de la puissance électrique qui y est dissipée.
RF	Radiofréquences
SiGe	Composé semiconducteur formé de silicium et de germanium. La base intrinsèque des transistors bipolaires est constituée de SiGe contraint avec des compositions en germanium généralement comprises entre 10% et 30%.
SOI	Silicium sur isolant (Silicon On Insulator), utilisé pour décrire soit le substrat complet, soit la couche supérieure active d'un tel substrat.
TBH	Transistor bipolaire à hétérojonctions.
$\tau_F, \tau_E, \tau_B, \tau_{BC}$	Temps de transit du transistor bipolaire (temps de transit total, d'émetteur, de base, de la ZCE base-collecteur respectivement).
$V_{EB}, V_{CB}, V_{CE}$	Tensions externes du transistor bipolaire.
$W_B, W_E$	Epaisseur des zones neutres de base et d'émetteur dans un transistor bipolaire.
ZCE	<u>Z</u> one de <u>C</u> harge d' <u>E</u> space d'une jonction.

# Introduction générale

Le premier transistor bipolaire inventé en 1947 par Bardeen, Brattain et Shockley a été à l'origine d'une révolution électronique mondiale. Il a fallu environ un demi-siècle à la microélectronique pour profondément modifier le monde tel que le connaissaient nos grands-parents, au rythme d'une croissance moyenne de 15% par an. A l'origine motivée par les besoins en calculateurs industriels et militaires puis en ordinateurs personnels (PC), la recherche en microélectronique est depuis une dizaine d'années principalement consacrée au secteur des télécommunications. Avec le règne des communications « sans fil », les nouveaux objets communicants utilisent les radiofréquences (RF) pour échanger du contenu audio et vidéo.

Cependant, si l'immense majorité de l'information est, aujourd'hui, stockée sous forme numérique, les communications par ondes électromagnétiques sont toujours régies par des lois analogiques. Ainsi, le dernier maillon d'une chaîne d'émission de radiofréquence et le premier maillon d'une chaîne de réception sont contrôlés par des circuits analogiques RF. A l'origine, ces circuits étaient associés aux technologies III-V. Aujourd'hui, l'effort porté sur le développement des technologies silicium a permis de rendre compétitives les technologies CMOS de très petites dimensions et les technologies BiCMOS incorporant du SiGe. La co-intégration de la partie RF et du circuit de traitement numérique sur une seule puce en silicium autorise en outre une réduction des coûts de fabrication toujours appréciée dans un secteur industriel toujours plus concurrentiel.

Parmi les derniers développements des technologies silicium, la fabrication des circuits CMOS sur substrats de silicium sur isolant (SOI) se révèle particulièrement intéressante pour réduire la consommation des circuits en limitant les pertes des dispositifs de surface avec le substrat silicium massif. Les substrats SOI minces, dont l'épaisseur de la couche active de silicium est inférieure à quelques dixièmes de microns, procurent en plus une isolation totale des dispositifs actifs entre eux. L'utilisation de silicium hautement résistif (HR) sous la couche d'oxyde enterrée des substrats SOI permet, pour les technologies RF, de disposer de composants passifs présentant un facteur de surtension élevé.

Toutefois, jusqu'à présent, le transistor bipolaire NPN à hétérojonctions Si/SiGe qui est un dispositif clé des circuits RF en technologie BiCMOS sur substrat massif n'est pas disponible

sur substrat SOI mince. Il offre pourtant des performances de tenue en tension et de bruit basse-fréquence inégalées chez les transistors à effet de champ.

L'objectif de cette thèse est le développement et l'étude d'un transistor bipolaire à hétérojonctions Si/SiGe (TBH) sur substrat SOI mince. Ce travail s'inscrit dans le cadre du démarrage d'une technologie BiCMOS sur SOI mince pour le nœud technologique  $0.13\mu\text{m}$  chez le fabricant de semiconducteurs STMicroelectronics.

Le premier chapitre de ce manuscrit rappelle d'abord les principes de fonctionnement du transistor bipolaire à hétérojonction et la méthodologie de caractérisation électrique mise en oeuvre. En nous appuyant sur des hypothèses simplificatrices, nous présentons les éléments spécifiques pouvant comporter un intérêt dans le cadre de l'intégration du TBH sur substrat SOI mince.

Dans le deuxième chapitre, nous présentons la démarche suivie dans le choix de l'architecture du transistor, en brossant un tableau rapide des architectures ayant été développées depuis les années 1980. Ensuite, nous vérifions à l'aide de simulations physiques que les performances envisagées pour l'architecture retenue sont conformes avec l'état de l'art et surtout avec les spécifications inhérentes aux applications RF. Nous terminons ce chapitre en présentant le schéma d'intégration que nous avons mis en place pour la fabrication de nos transistors.

Le troisième chapitre propose une interprétation des mécanismes de fonctionnement spécifiques au transistor bipolaire sur SOI mince, basée sur l'évolution de la zone de charge d'espace de la jonction base-collecteur. L'analyse des résultats de la simulation physique permet de formuler des hypothèses qui sont ensuite validées par des mesures réalisées sur des dispositifs intégrés sur silicium.

Le quatrième chapitre est consacré à la présentation des résultats expérimentaux qui ont permis l'optimisation des transistors dédiés aux applications RF. La deuxième partie de ce chapitre se focalise sur l'étude de faisabilité menée sur des transistors bipolaires très rapides sur SOI mince. Dans les deux cas, les optimisations des procédés de fabrications et de dessin des masques sont abordées.

Le cinquième et dernier chapitre de ce manuscrit aborde les travaux menés dans l'optique du développement d'une technologie BiCMOS. Un modèle compact du TBH sur SOI mince y est proposé et divers aspects de la co-intégration des transistors MOS et du transistor bipolaire sont abordés.

Nous concluons sur le sujet et nous abordons rapidement les perspectives envisagées pour la suite de cette thèse.







# I. Le Transistor bipolaire à hétérojonctions Si/SiGe

## I.1. Introduction

Ce premier chapitre rappelle les principes de fonctionnement du transistor bipolaire. Dans un premier temps, les comportements statique et dynamique sont présentés en mettant l'accent sur les phénomènes de forte injection et d'avalanche. Puis, nous présentons les techniques de caractérisation électrique et d'extraction de paramètres que nous avons utilisées pour analyser et interpréter le comportement électrique du transistor bipolaire SiGe sur SOI (Silicon On Insulator).

## I.2. Rappels sur le fonctionnement du transistor bipolaire

### I.2.A. Fonctionnement statique

#### I.2.A.1. Principe de fonctionnement

##### *I.2.A.1.a. Généralités*

Le transistor bipolaire NPN peut être représenté comme deux jonctions p-n positionnées tête-bêche. En fonctionnement normal, la jonction émetteur-base est polarisée en direct et la jonction base-collecteur en inverse. Selon cette définition, aucun courant ne devrait être mesuré sur le collecteur. Cependant, si la base est assez fine, les électrons injectés par l'émetteur dans la base sont captés par le collecteur, créant « l'effet transistor ». En première approximation, le courant de collecteur traversant la jonction base-collecteur polarisée en inverse est directement proportionnel à la concentration en minoritaires constituée par les électrons dans la base. Le courant de base, en revanche, est constitué, en première approximation, par la population de trous injectés dans l'émetteur via la jonction base-émetteur en direct. Le rapport entre le faible courant de base et le courant important récupéré sur le collecteur du transistor définit le gain en courant de ce dernier.

##### *I.2.A.1.b. Les différents courants du transistor bipolaire*

Le fonctionnement idéal décrit dans le paragraphe précédent permet de placer les deux courants principaux  $I_{nC}$  et  $I_{pE}$  au sein du transistor bipolaire. A ces deux courants s'ajoutent

deux autres courants issus de la recombinaison des porteurs dans la zone de charge d'espace de la jonction émetteur-base  $I_{RG}$  et dans la base neutre  $I_{RB}$ .

Note : On appelle  $I_{nE}$  le courant d'électrons qui entre dans la base en provenance de l'émetteur.

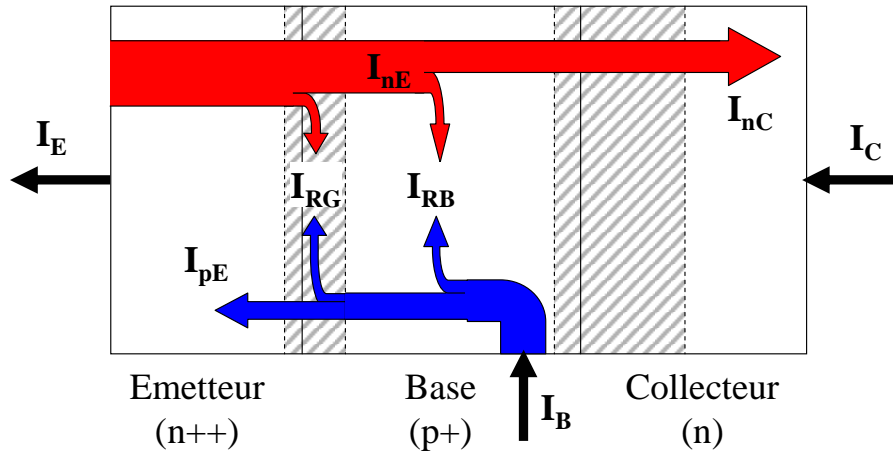


Figure I-1: Représentation des courants d'électrons (rouge) et de trous (bleu) dans le transistor bipolaire

A l'extérieur du transistor, on observe les courants suivants :

- $I_C = I_{nC}$  : le courant de collecteur est uniquement composé des électrons évacués de la base.
- $I_B = I_{pE} + I_{RG} + I_{RB}$  : le courant de base est un courant de trous, il est constitué de  $I_{pE}$  et des trous des composantes de recombinaison.
- $I_E = I_{nE} + I_{pE} + I_{RG} = I_{nC} + I_{pE} + I_{RB} + I_{RG}$  : le courant d'émetteur comprend le courant d'électrons collectés dans la base (composante principale), le courant de trous en provenance de la base et les composantes de recombinaison dans la jonction émetteur-base et dans la base neutre.

Plusieurs figures de mérite caractérisent la partie utile du fonctionnement du transistor bipolaire.

L'efficacité d'injection d'émetteur :

$$\gamma = \frac{I_{nE}}{I_{nE} + I_{pE} + I_{RG}} \quad (I-1)$$

Le facteur de transport dans la base :

$$\alpha_T = \frac{I_{nC}}{I_{nE}} \quad (I-2)$$

Le gain en courant en base commune définit le rapport des courants externes  $I_C$  et  $I_E$  en s'appuyant sur les rapports précédents ( I-1) et ( I-2) :

$$\alpha = \frac{I_C}{I_E} = \frac{I_{nC}}{I_{nE} + I_{pE} + I_{RG}} = \gamma\alpha_T \quad (\text{I-3})$$

Nous pouvons exprimer une relation entre le gain en courant en émetteur commun  $\beta$  et le gain en courant en base commune  $\alpha$  en exprimant la valeur du courant de base  $I_B$  dans le transistor :

$$I_B = I_E - I_C \text{ et } \frac{1}{\beta} = \frac{I_B}{I_C} = \frac{I_E}{I_C} - 1 = \frac{1}{\alpha} - 1$$

Enfinement :

$$\beta = \frac{\alpha}{1 - \alpha}$$

Nous venons de décrire le fonctionnement du transistor bipolaire sur la base des courants d'électrons et de trous qui y circulent. Nous allons maintenant quantifier ces courants en fonction des caractéristiques des matériaux qui constituent le dispositif.

### I.2.A.2. Expressions des courants

#### I.2.A.2.a. *Le courant de collecteur*

Les courants dans le transistor peuvent être calculés à partir de l'équation de continuité présentée ci-après pour les électrons :

$$\frac{\partial n}{\partial t} = G_n - U_n + \frac{1}{q} \nabla J_n \quad (\text{I-4})$$

où  $G_n$  et  $U_n$  représentent respectivement la génération et recombinaison des électrons et  $J_n$  le courant d'électrons. Toutefois, pour en simplifier l'expression et surtout la résolution, nous suivons les hypothèses décrites par [Ashburn88], généralement vérifiées pour les cas expérimentaux étudiés :

- Les courants sont décrits en régime permanent :  $\frac{\partial n}{\partial t} = \frac{\partial p}{\partial t} = 0$
- Il n'y a pas de génération de porteurs par excitation extérieure :  $\mathbf{G_n = G_p = 0}$
- Les zones neutres sont suffisamment et uniformément dopées pour limiter toute chute de tension et minimiser le champ électrique en dehors des zones de charge d'espace (ZCE).
- Les mécanismes de génération et recombinaison dans les zones de charge d'espace sont négligés.
- Les courants sont décrits à faible niveau d'injection : les densités d'électrons injectés dans la base restent faibles comparées au dopage.

- On néglige également les mécanismes de recombinaison des électrons dans la base neutre. Les faibles épaisseurs de bases actuelles (typiquement 30nm) sont bien inférieures à la longueur de diffusion des électrons,  $W_B \ll L_{nB}$  d'où :  $U_n=0$

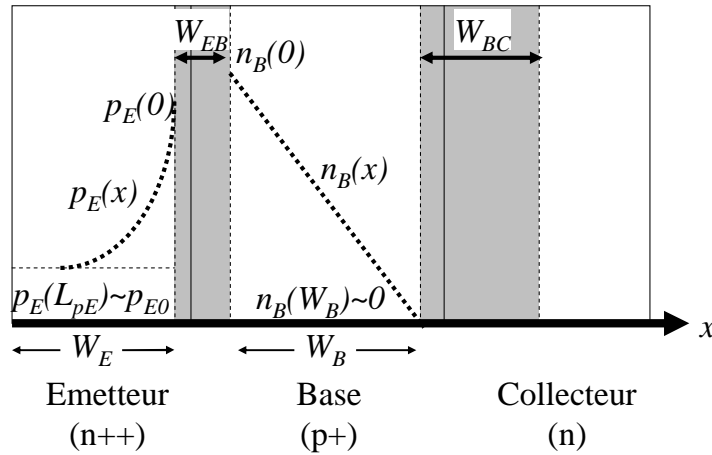


Figure I-2 : Profils des porteurs minoritaires et épaisseur des zones de charge d'espace d'un transistor bipolaire NPN

Selon ces hypothèses et en limitant l'étude des mécanismes de transport à une seule dimension arbitrairement notée  $x$ , on peut illustrer les concentrations en électrons dans la base et en trous dans l'émetteur conformément à la Figure I-2.

La concentration en électrons dans la base varie linéairement au travers de la base neutre puisque la base est courte et qu'il n'y a pas de recombinaison. Si on appelle  $n_{B0}$  la concentration d'électrons dans la base à l'équilibre, on peut exprimer  $n_B(0)$  et  $n_B(W_B)$ , les concentrations en électrons en bordure de la base neutre du côté de l'émetteur et du collecteur respectivement par :

$$n_B(0) = n_{B0} \exp \frac{qV_{BE}}{kT}$$

avec  $n_{B0} = n_i^2 / N_{aB}$  et :

$$n_B(W_B) = n_{B0} \exp - \frac{qV_{CB}}{kT} \approx 0$$

De ces relations valables aux limites de la base neutre, on déduit aisément la concentration en électrons en tout point de la base :

$$n_B(x) = n_{B0} \exp \frac{qV_{BE}}{kT} \left( 1 - \frac{x}{W_B} \right) \quad (I-5)$$

Toujours selon les hypothèses précédentes, le courant de collecteur est entièrement régi par la diffusion des électrons dans la base suivant le gradient de concentration établi en ( I-5). La densité de courant dans la base est donc décrite par l'équation :

$$J_n(x) = qD_{nB} \frac{dn_B(x)}{dx} \quad (\text{I-6})$$

On peut alors exprimer le courant  $I_{nC}$  et donc  $I_C$  dans un dispositif de section  $A$  :

$$I_C = \frac{qAD_{nB}n_i^2}{W_B N_{aB}} \exp \frac{qV_{BE}}{kT} \quad (\text{I-7})$$

Cette expression met en évidence la dépendance du courant collecteur avec la polarisation de la jonction émetteur-base et des caractéristiques de la base. On définit le nombre de Gummel de la base par son épaisseur  $W_B$ , sa concentration en dopant  $N_{aB}$  et la valeur de la constante de diffusion des électrons qui y circulent  $D_{nB}$  :

$$G_B = \frac{W_B N_{aB}}{D_{nB}}$$

Ainsi :

$$I_C = \frac{qAn_i^2}{G_B} \exp \frac{qV_{BE}}{kT} \quad (\text{I-8})$$

D'une manière générale, le profil de dopants dans la base n'est pas uniforme. On généralise l'expression du nombre de Gummel dans la base pour en tenir compte :

$$G_B = \int_0^{W_B} \frac{N_{aB}(x)}{D_{nB}(x)} dx$$

La formulation de ( I-8) reste valable mais s'applique de manière plus générale aux profils de dopant élevés et abrupts des transistors bipolaires récents.

#### 1.2.A.2.b. Le courant de base

Par analogie avec le courant de collecteur, le courant de base est contrôlé par le gradient de concentration des trous injectés dans l'émetteur :

$$J_p(x) = qD_{pE} \frac{dp_E(x)}{dx} \quad (\text{I-9})$$

Dans le cas d'un émetteur dont l'épaisseur  $W_E$  est grande devant la longueur de diffusion des trous dans l'émetteur  $L_{pE}$ , le gradient résulte de la recombinaison des porteurs minoritaires en excès. La concentration des trous décroît ainsi selon un profil exponentiel, au fur et à mesure que l'on s'éloigne de la jonction métallurgique. Si on note  $p_{E0}$  la concentration des trous dans l'émetteur à l'équilibre, alors :

$$p_E(0) = p_{E0} \left( \exp \frac{qV_{BE}}{kT} \right)$$

avec  $p_{E0} = n_i^2 / N_{dE}$  et :

$$p_E(x) - p_{E0} = p_{E0} \left( \exp \frac{qV_{BE}}{kT} - 1 \right) \exp \frac{x}{L_{pE}} \quad (I-10)$$

En remplaçant l'expression de  $p_E(x)$  dans (I-9), on calcule la densité de courant en  $x = 0$  et en supposant un fonctionnement en régime normal ( $qV_{BE} \gg kT$ ), on exprime  $I_{pE}$  et donc  $I_B$  pour le même dispositif de section A :

$$I_B \approx \frac{qAD_{pE}n_i^2}{L_{pE}N_{dE}} \exp \frac{qV_{BE}}{kT} \quad (I-11)$$

Le courant de base dépend du dopage de l'émetteur et des caractéristiques du matériau de ce dernier. On introduit un nombre de Gummel de l'émetteur de manière similaire à celui défini pour la base :

$$G_E = \frac{L_{pE}N_{dE}}{D_{pE}}$$

et sa généralisation :

$$G_E = \int_{-W_E}^0 \frac{N_{dE}(x)}{D_{pE}(x)} dx \quad (I-12)$$

pour exprimer  $I_B$  :

$$I_B = \frac{qAn_i^2}{G_E} \exp \frac{qV_{BE}}{kT}$$

Cette expression de  $G_E$  est uniquement valable pour des dispositifs dont l'épaisseur d'émetteur  $W_E$  est grande devant la longueur de diffusion des trous dans l'émetteur  $L_{pE}$ . Cette hypothèse est réaliste pour les structures émetteur-base des transistors étudiés.

#### *1.2.A.2.c. Le gain en courant*

Le gain statique en courant est défini comme le rapport du courant de collecteur et du courant de base :

$$\beta = \frac{I_C}{I_B}$$

Il est théoriquement constant lorsque le transistor fonctionne en régime normal direct. Sa valeur s'exprime simplement par le rapport des nombres de Gummel de l'émetteur et de la base :

$$\beta = \frac{G_E}{G_B}$$

Si on considère les niveaux de dopages constants dans la base et dans l'émetteur, on peut revenir à la formulation suivante :



$$\beta = \frac{D_{nB} L_{pE} N_{dE}}{D_{pE} W_B N_{aB}} \quad (\text{I-13})$$

Les variations de gain avec l'introduction de Germanium dans la base ne peuvent pas être expliquées uniquement par cette expression. Les constantes de diffusion sont modifiées si on considère un transistor dont la base est réalisée en SiGe mais les bénéfices de l'ingénierie de bandes d'énergie expliqués au paragraphe I.2.C.4 apparaissent pleinement quand on exprime la modification des concentrations des porteurs résultant de l'introduction du Ge.

## I.2.B. Fonctionnement dynamique

### I.2.B.1. Temps de transit $\tau_F$

Le temps de transit détermine la capacité du transistor à fonctionner à une fréquence élevée. Le temps de transit en direct  $\tau_F$ , correspondant au fonctionnement normal direct du transistor, est le plus utilisé. Il se décompose en plusieurs contributions correspondant à l'émetteur, à la base neutre et aux zones de désertion des deux jonctions :

$$\tau_F = \tau_E + \tau_{EB} + \tau_B + \tau_{BC} \quad (\text{I-14})$$

Le calcul des temps de transit repose sur la quantification des charges en excès stockées dans les différentes régions du transistor. Les charges stockées dans l'émetteur et dans la base sont utilisées pour le calcul du temps de transit dans les zones neutres ( $\tau_E$  et  $\tau_B$  respectivement). Compte tenu du fonctionnement en régime normal, la ZCE émetteur-base est polarisée en direct et son épaisseur est minimale, on négligera donc la composante du temps de transit correspondant. Le calcul de  $\tau_{BC}$  est détaillé à partir d'une étude des charges fixes et mobiles dans la jonction base-collecteur. Dans les paragraphes suivants, les charges sont exprimées par unité de surface et les courants  $I_C$  et  $I_B$  seront représentés par leurs densités respectives  $J_C$  et  $J_B$ .

#### *I.2.B.1.a. Temps de transit dans la base $\tau_B$*

Il s'agit ici d'exprimer le temps nécessaire à un courant  $I_C$  pour apporter les électrons en quantité suffisante pour mettre en place le profil de concentration établi au paragraphe I.2.A.2.a. De manière simple, un courant étant une charge déplacée par unité de temps, le temps de transit dans la base  $\tau_B$  est donné par le rapport :

$$\tau_B = \frac{Q_B}{J_C} \quad (\text{I-15})$$

La charge correspondant au profil est l'intégrale de la concentration sur  $W_B$  (représentée par l'aire du triangle de base  $W_B$  sur la Figure I-2) multipliée par la charge d'un électron  $-q$  soit :

$$Q_B = -\frac{1}{2} \cdot q \cdot W_B \cdot n_{B0} \exp\left(\frac{qV_{BE}}{kT}\right) \quad (\text{I-16})$$

En la divisant par l'expression de  $J_C$  reprise de l'équation ( I-7) :

$$J_C = \frac{q \cdot D_{nB} \cdot n_{B0}}{W_B} \exp\left(\frac{qV_{BE}}{kT}\right) \quad (\text{I-17})$$

et en simplifiant le rapport des deux grandeurs, on obtient  $\tau_B$  :

$$\tau_B = \frac{W_B^2}{2D_{nB}} \quad (\text{I-18})$$

On constate à travers cette formulation que le temps de transit est proportionnel au carré de l'épaisseur de la base. Cela met en avant l'importance accordée à la minimisation de cette dimension. Par ailleurs, cette composante peut être encore réduite par la création d'un champ électrique interne dans la base au moyen du profil de dopants ou par ajout de germanium.

#### *I.2.B.1.b. Temps de transit dans l'émetteur $\tau_E$*

De manière analogue à la charge d'électrons dans la base, il existe une charge de trous stockée dans l'émetteur. C'est toujours le courant  $J_C$  qui est utilisé pour le calcul du temps nécessaire à l'établissement de la charge  $Q_E$ . On a donc :

$$\tau_E = \left| \frac{Q_E}{J_C} \right| \quad (\text{I-19})$$

Le profil de concentration des trous dans l'émetteur est explicité par ( I-10), la charge globale  $Q_E$  sera donc définie par :

$$Q_E = +q \int_{W_E}^0 p_{E0} \left( \exp\left(\frac{qV_{BE}}{kT}\right) - 1 \right) \cdot \exp\left(-\frac{x}{L_{pE}}\right) \cdot dx$$

En explicitant  $p_{E0} = n_i^2/N_{dE}$  et supposant que  $V_{BE} \gg kT/q$  :

$$Q_E \approx q \cdot L_{pE} \cdot \frac{n_i^2}{N_{dE}} \left( \exp\left(\frac{qV_{BE}}{kT}\right) \right) \quad (\text{I-20})$$

Si on exprime par ailleurs  $n_{B0} = n_i^2/N_{aB}$ , dans ( I-17) on obtient pour  $\tau_E$  :

$$\tau_E = \frac{L_{pE} \cdot W_B}{D_{nB}} \cdot \frac{N_{aB}}{N_{dE}} \quad (\text{I-21})$$

Cette formulation est différente de l'expression obtenue pour des émetteurs d'épaisseur réduite. On constate la présence du terme  $L_{pE}$  à la place de  $W_E$  mais également la disparition du terme  $\frac{1}{2}$  qui traduit un profil de concentration de trous en décroissance exponentielle plutôt que linéaire.

*1.2.B.1.c. Temps de transit dans la ZCE base-collecteur :  $\tau_{BC}$*

Une analyse de la composante  $\tau_{BC}$  correspondant à la ZCE de la jonction base-collecteur a été présentée dans [Meyer87]. En supposant un dopage de base très supérieur au dopage collecteur ( $N_{aB} \gg N_{dC}$ ) et un fonctionnement hors de la forte injection ( $q_C \ll N_{dC}$ ), l'estimation de  $\tau_{BC}$  se base sur la charge additionnelle par unité de longueur par le courant  $J_C$  d'électrons se déplaçant à la vitesse limite de saturation des porteurs  $v_{sat}$  :

$$q_C = \frac{J_C}{v_{sat}}$$

Sur l'épaisseur totale de la ZCE, la charge correspondante est de  $q_C \times W_{BC}$  compensée par moitié par les électrons provenant de l'extension de la ZCE coté collecteur. Il est en effet possible d'explicitier le rapport des longueurs de ZCE à  $J_C=0$  et  $J_C=q_C \cdot v_{sat}$  par :

$$\frac{W_{BC}'}{W_{BC}} = \sqrt{\frac{N_{dC}}{N_{dC} - q_C}} \approx \sqrt{1 + \frac{q_C}{N_{dC}}} \approx 1 + \frac{q_C}{2N_{dC}}$$

La charge provenant de l'extension de la ZCE en considérant  $N_{dC} \sim (N_{dC} - q_C)$  peut alors être exprimée selon la relation suivante :

$$(W_{BC}' - W_{BC})N_{dC} = q_C \frac{W_{BC}}{2}$$

Cette équation met bien en évidence le rapport 2 entre la charge apportée par le courant  $J_C$  sur  $W_{BC}$  et la charge provenant de l'extension de la ZCE sous l'effet de  $J_C$ .

De manière à assurer la neutralité des charges, la réduction de la ZCE coté base est possible grâce aux trous présents en grand nombre comme indiqué sur la Figure I-3. Il est important de noter ici que les modulations de la zone de charge d'espace se font à tension  $V_{CB}$  constante.

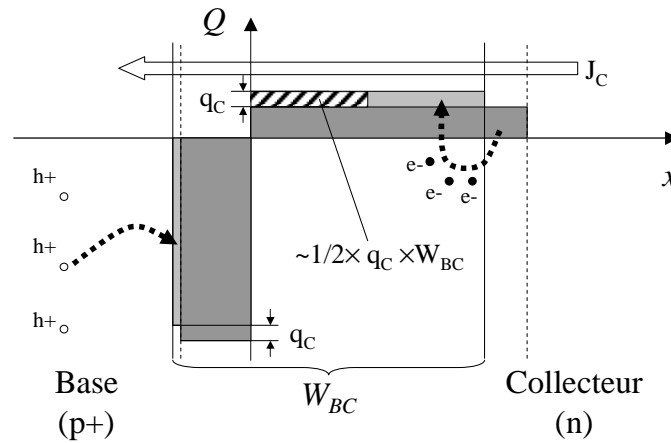


Figure I-3 : Compensation de la charge localisée  $q_C$  par les porteurs locaux

Coté collecteur, il reste ainsi à compenser la seconde moitié de la charge totale (apparaissant en hachuré sur la Figure I-3) avec les électrons du courant collecteur. Le temps nécessaire sera donné une fois de plus par :

$$\tau_{BC} = \frac{q_C \cdot W_{BC}}{2 \cdot J_C} = \frac{q_C \cdot W_{BC}}{2 \cdot q_C \cdot v_{sat}}$$

et

$$\tau_{BC} = \frac{W_{BC}}{2v_{sat}}$$

Cette équation montre que cette contribution au temps de transit total peut devenir importante pour les transistors dont le collecteur est très peu dopé et dont la ZCE s'étend profondément dans le collecteur. Dans le cas d'une intégration sur SOI, la propagation de la zone désertée dans le volume réduit du collecteur est un paramètre à prendre en compte pour interpréter le comportement en fréquence du transistor bipolaire.

### I.2.B.2. Fréquence de transition $f_T$

La fréquence de transition  $f_T$  est la fréquence de coupure du gain en courant. C'est donc la fréquence pour laquelle le gain en courant est égal à l'unité. Le gain en courant  $\beta$  s'exprime dans une approximation dynamique petit signaux par l'expression :

$$\beta = \frac{i_C}{i_B}$$

Pour mieux comprendre les expressions des courants en régime dynamique, la Figure I-4 et la Figure I-5 présentent les schémas dynamiques équivalents permettant le calcul de  $i_C$  et  $i_B$ . Au préalable, nous posons le calcul de la transconductance  $g_m$  du dispositif :

$$g_m = \frac{\partial I_C}{\partial V_{BE}} = \frac{\partial \left( I_{C0} \exp \frac{qV_{BE}}{kT} \right)}{\partial V_{BE}} = \frac{q}{kT} \cdot I_{C0} \exp \frac{qV_{BE}}{kT} = \frac{qI_C}{kT}$$

### I.2.B.2.a. Expression du courant de collecteur $i_C$

Le courant de collecteur en dynamique comporte deux composantes, la première évoluant avec  $v_{BE}$  par la transconductance du dispositif et la seconde provenant de la variation de charge aux bornes de la capacité base-collecteur sous l'effet des fluctuations de potentiel de la base.

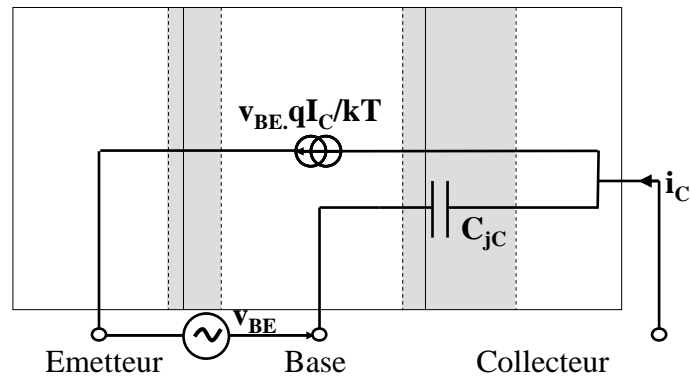


Figure I-4 : Schéma équivalent petits signaux permettant le calcul de  $i_C$

Les deux composantes évoluent en sens inverse si bien que :

$$i_C = v_{BE} \cdot \frac{qI_C}{kT} - C_{jC} \cdot \frac{dv_{BE}}{dt}$$

En général, la composante issue de  $C_{jC}$  est négligeable si la transconductance est suffisamment grande ce qui est le cas dans les transistors étudiés et on a finalement :

$$i_C \approx \frac{qI_C}{kT} \cdot v_{BE}$$

### I.2.B.2.b. Expression du courant de base $i_B$

Le calcul du courant de base prend en compte l'évolution de la charge stockée dans le transistor  $Q_{tot} = Q_E + Q_B$ , et les deux capacités de jonction  $C_{jE}$  et  $C_{jC}$ .

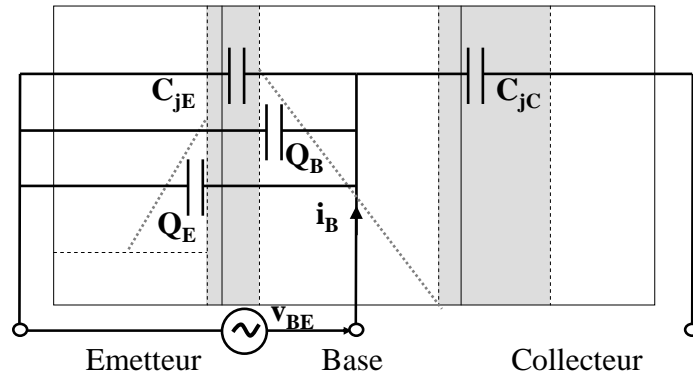


Figure I-5 : Schéma équivalent dynamique en petits signaux permettant le calcul de  $i_B$

Puisque ces contributions évoluent dans le même sens, on peut alors exprimer  $i_B$  :

$$i_B = \frac{dQ_{tot}}{dt} + C_{jC} \cdot \frac{dv_{BE}}{dt} + C_{jE} \cdot \frac{dv_{BE}}{dt}$$

avec  $Q_{tot} / i_C = \tau_F$ , la charge globale dans le transistor apportée par  $i_C$  en un temps  $\tau_F$ .

$$\frac{dQ_{tot}}{dt} = \frac{d(\tau_F \cdot i_C)}{dt} = \tau_F \cdot \frac{di_C}{dv_{BE}} \cdot \frac{dv_{BE}}{dt} = \tau_F \cdot \frac{qI_C}{kT} \cdot \frac{dv_{BE}}{dt}$$

$$i_B = \left( \tau_F \cdot \frac{qI_C}{kT} + C_{jC} + C_{jE} \right) \cdot \frac{dv_{BE}}{dt}$$

Grâce à l'expression de la charge incluant la transconductance, les trois composantes peuvent être groupées, avec pour multiplicateur commun la dérivée de  $v_{BE}$  par rapport au temps.

#### 1.2.B.2.c. Expression du gain et formulation de $f_T$

Si on considère une variation sinusoïdale de  $v_{BE}$  avec une amplitude  $V_{BE}$ , on aura  $\frac{dv_{BE}}{dt} = \omega \cdot (V_{BE} \cos(\omega t + \varphi))$  où  $\varphi$  est un déphasage qui disparaît lorsqu'on considère la valeur absolue.

Enfinement :

$$|\beta| = \frac{\frac{qI_C}{kT} |v_{BE}|}{\left( \tau_F \cdot \frac{qI_C}{kT} + C_{jC} + C_{jE} \right) \cdot \omega |v_{BE}|}$$

En simplifiant et en remplaçant  $\beta$  par l'unité pour l'extraction de  $f_T$ , on obtient grâce à  $\omega = 2\pi f_T$  :

$$f_T = \frac{1}{2\pi \left( \tau_F + \frac{kT}{qI_C} (C_{jC} + C_{jE}) \right)}$$

Cette expression doit cependant être complétée par l'ajout d'un terme provenant de la prise en compte de la résistance série du collecteur qui introduit un retard  $R_C \times C_{jC}$ .

$$f_T = \frac{1}{2\pi \left( \tau_F + R_C C_{jC} + \frac{kT}{qI_C} (C_{jC} + C_{jE}) \right)}$$

Cette formulation reste valable jusqu'à une valeur de courant  $I_C$  pour laquelle le fort niveau d'injection (notamment l'effet Kirk, décrit au paragraphe I.2.C.3), fait fortement chuter la fréquence de transition.

Nous constatons, par ailleurs, que cette expression fait intervenir au dénominateur, la résistance série et la capacité de collecteur du transistor. L'intégration sur SOI mince implique de loger le collecteur du transistor dans la couche supérieure active de silicium du substrat. Nous pouvons d'ores et déjà anticiper une influence de l'intégration sur SOI mince sur la fréquence de transition des dispositifs, compte tenu de la résistance de couche élevée de la fine couche de silicium servant de collecteur.

### I.2.B.3. Fréquence maximum d'oscillation $f_{MAX}$

Pour comparer les performances dynamiques des transistors et en particulier l'efficacité de l'architecture, nous avons utilisé la fréquence maximale d'oscillation  $f_{MAX}$  définie à partir de  $f_T$  en utilisant la formule suivante établie dans [Roulston90] :

$$f_{MAX} = \sqrt{\frac{f_T}{8\pi R_B C_{jC}}} \quad (I-22)$$

La fréquence maximale d'oscillation  $f_{MAX}$  peut être mesurée comme la fréquence à laquelle le gain en puissance chute à l'unité. Cette grandeur est sans doute plus représentative du dispositif complet car elle prend en compte les éléments parasites du transistor comme la résistance de base qui peut introduire une chute de performances en fréquence importante selon l'architecture.

Comme pour la fréquence de transition, nous retrouvons une expression faisant intervenir la capacité de collecteur du transistor bipolaire. La résistance de collecteur n'intervient pas dans l'expression de  $f_{MAX}$ , l'influence de l'intégration sur SOI mince devrait ainsi présenter un impact moins pénalisant que celle anticipée sur la fréquence de transition.

## I.2.C. Effets de forte polarisation et de forte injection

### I.2.C.1. Effets d'avalanche

#### *I.2.C.1.a. Avalanche dans la jonction base-collecteur : $BV_{CBO}$*

Les phénomènes d'avalanche décrits par Sze [Sze81] pour les jonctions PN peuvent s'appliquer au cas de la jonction base-collecteur du transistor bipolaire. Dans la jonction base-collecteur polarisée en inverse, les paires électron-trou générées thermiquement sont expulsées de la ZCE par le champ électrique qui y règne. Les porteurs constituent un courant de fuite de la jonction polarisée en inverse,  $I_{CB0}$ .

Sous l'effet de la polarisation inverse croissante de la jonction base-collecteur, le champ électrique peut devenir très intense. Lorsque ce dernier atteint une valeur critique  $E_{crit}$ , les électrons acquièrent suffisamment d'énergie pour arracher un électron aux atomes du réseau cristallin, on parle alors d'ionisation par impact. Les porteurs générés accélérés sont susceptibles, à leur tour, d'arracher d'autres électrons créant ainsi un emballement des courants, caractéristique de l'avalanche. La tension  $V_{CB}$  conduisant à l'avalanche est appelée  $BV_{CBO}$ , tension de claquage de la jonction base-collecteur en émetteur ouvert et peut être exprimée par :

$$BV_{CBO} = \frac{\epsilon_0 \epsilon_r E_{crit}^2}{2qN_{dC}} \quad (I-23)$$

où  $\epsilon_0 \epsilon_r$  est la constante diélectrique du silicium et  $E_{crit}$  le champ électrique critique. Typiquement,  $E_{crit} = 6.10^5 \text{ V.cm}^{-1}$  pour du silicium dopé à  $N_{dC} = 10^{17} \text{ cm}^{-3}$  donnant ainsi un  $BV_{CBO} \sim 10 \text{ V}$  [Sze81]. Nous voyons également que cette expression ne fait intervenir que le dopage de collecteur contrairement à l'expression de la tension de claquage  $BV_{CEO}$  que nous allons exprimer au prochain paragraphe.

#### *I.2.C.1.b. Tension de claquage émetteur-collecteur : $BV_{CEO}$*

Lorsque le transistor est polarisé en fonctionnement normal direct, les électrons responsables de l'avalanche sont ceux du courant  $I_{nC}$  en plus du courant de fuite  $I_{CB0}$ . Lors de l'ionisation par impact, l'électron généré se joint au courant  $I_{nC}$  et le trou retourne dans la base pour se retrancher aux composantes du courant  $I_B$ . Le facteur de multiplication  $M$  décrit la capacité de la jonction en polarisation inverse à multiplier un courant qui la traverse. En régime d'avalanche, le courant de collecteur  $I_{Caval} = M \times I_{C0}$  si  $I_{C0}$  est le courant collecteur en régime normal. Selon [Miller55],  $M$  est défini de manière empirique par l'équation suivante où  $n$  représente un coefficient compris entre 3 et 6:



$$M = \left[ 1 - \left( \frac{V_{CB}}{BV_{CBO}} \right)^n \right]^{-1} \quad (I-24)$$

Lorsque la polarisation inverse de la jonction base-collecteur est suffisamment importante pour générer un régime d'avalanche, le courant  $I_C$  est constitué d'une composante  $\alpha \cdot I_E$  en provenance de l'émetteur selon ( I-3) et du courant de fuite  $I_{CB0}$  multipliés par le facteur  $M$  :

$$I_C = M \cdot (\alpha \cdot I_E + I_{CB0})$$

En fonctionnement en émetteur commun avec la base ouverte, les courant  $I_C$ ,  $I_E$  et  $I_{CE0}$  sont égaux. On peut alors écrire :

$$I_{CE0} = M \cdot (\alpha \cdot I_{CE0} + I_{CB0})$$

qui devient :

$$I_{CE0} = \frac{M}{(1 - \alpha M)} I_{CB0}$$

Dans la configuration de base ouverte, le courant  $I_{CE}$  est directement déterminé par le courant de fuite de la jonction base collecteur  $I_{CB0}$  et le facteur d'avalanche  $M$ . Si la polarisation en inverse de la jonction base-collecteur augmente et se rapproche de  $BV_{CBO}$ , le facteur d'avalanche augmente également selon ( I-24) et le terme  $\alpha M$  s'approchera de 1. On assistera alors à une hausse importante du courant traversant le transistor. Les mécanismes générant l'augmentation du courant dans ce cas sont toutefois différents de ceux impliqués dans le claquage d'une jonction polarisée en inverse puisqu'ils font intervenir le gain  $\alpha$ .

On peut alors définir une tension  $V_{CB}$ , forcément inférieure à  $BV_{CBO}$ , dans ( I-24) pour laquelle  $M$  est égal  $1/\alpha$ , appelée tension de claquage émetteur-collecteur avec la base en circuit ouvert  $BV_{CEO}$  :

$$BV_{CEO} = BV_{CBO} \sqrt[n]{1 - \alpha} \approx \frac{BV_{CBO}}{\sqrt[n]{\beta}} \quad (I-25)$$

Cette équation met en évidence la relation contradictoire entre tension de claquage élevée et gain fort au sein d'un dispositif. Plus le gain sera faible et plus  $BV_{CEO}$  sera proche de la tension  $BV_{CBO}$ , elle-même déterminée par le dopage de collecteur.

Mais nous verrons dans les chapitres suivants que la relation entre avalanche dans le collecteur et gain en courant est un élément déterminant de l'étude de la tension de claquage du transistor bipolaire sur SOI mince puisque le facteur d'avalanche à  $BV_{CEO}$  peut être exprimé en fonction de  $\beta$  sous la forme :

$$M - 1 = \frac{1}{\alpha} - 1 = \frac{1}{\beta} \quad (I-26)$$

Note : Par abus de langage, nous appellerons dans le reste de ce document  $BV_{CEO}$  la tension émetteur-collecteur  $V_{CE}$  correspondant à un tel niveau d'avalanche.

### I.2.C.2. Effet Early

L'effet Early a pour cause l'amincissement de la base neutre lorsque la zone de charge d'espace de la jonction base-collecteur s'étend sous l'effet d'une polarisation  $V_{CB}$  en inverse (cf. Figure I-6).

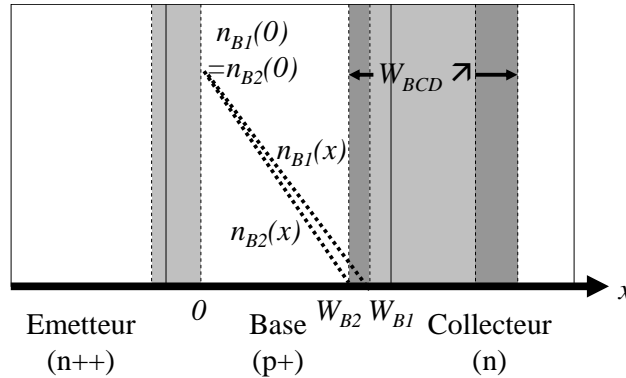


Figure I-6 : Evolution de la ZCE base-collecteur et de la densité électronique avec  $V_{CB}$

L'amincissement de la base favorise l'évacuation des électrons de la base vers le collecteur, l'effet Early se caractérise ainsi par une augmentation du courant  $I_C$ . Comme le montre la figure précédente, on peut quantifier cette augmentation en déterminant l'augmentation du gradient de la concentration d'électrons au travers de la base amincie :

$$I_{C1} \cdot W_{B1} = I_{C2} \cdot W_{B2}$$

et

$$\frac{I_{C2}}{I_{C1}} = \frac{W_{B1}}{W_{B2}} > 1$$

Cet effet est visible sur les caractéristiques de sortie des dispositifs dont l'épaisseur de la base est inférieure à la longueur de diffusion des électrons dans la base. Le courant collecteur, normalement constant en régime de saturation, augmente lorsque  $V_{CE}$  augmente comme le montre la Figure I-7. En l'absence de phénomènes d'échauffement et d'avalanche, l'augmentation de  $I_C$  avec  $V_{CE}$  est quasi linéaire.

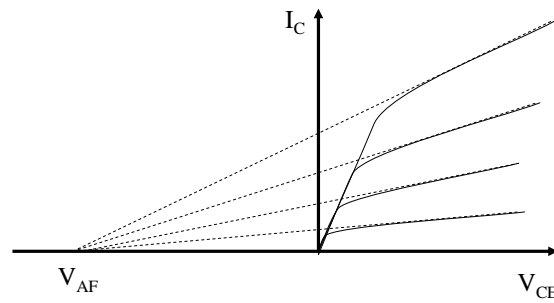


Figure I-7 : Caractéristiques de sortie d'un bipolaire présentant un effet Early

Cette figure présente ainsi une méthode d'extraction de la tension d'Early en direct  $V_{AF}$ . Il existe le même phénomène pour le transistor fonctionnant en inverse. On parle alors de tension d'Early inverse. Compte tenu du dopage décroissant des régions émetteur, base et collecteur, la tension d'Early en inverse est bien plus faible que celle du transistor fonctionnant en direct.

### I.2.C.3. Effet Kirk

Lorsque la quantité d'électrons injectés dans la ZCE base-collecteur  $q_C$  atteint une valeur comparable à la concentration en atomes donneurs du collecteur  $N_{dC}$ , il se produit une compensation de la charge d'espace responsable du décalage de la ZCE côté collecteur. Pour une densité de courant  $J_C$  telle que  $q_C = N_{dC}$  :

$$J_C = qN_{dC}v_{sat}$$

Si  $q_C$  dépasse  $N_{dC}$ , on assiste à une compensation totale des charges (Figure I-8). La limite de la base neutre est alors repoussée vers la prise de contact de collecteur beaucoup plus dopée. Cet effet se traduit par une chute abrupte de la fréquence de transition du dispositif lié à l'augmentation soudaine et importante de l'épaisseur effective de la base  $W_B$ .

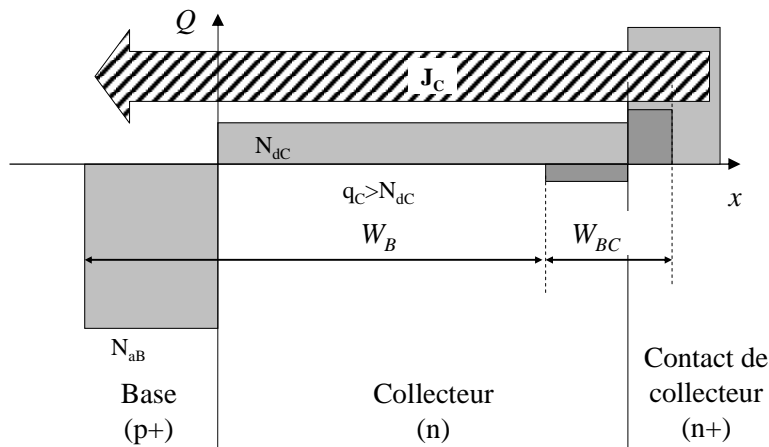


Figure I-8 : Schéma de l'influence d'un fort courant de collecteur sur l'épaisseur de la base neutre (Effet Kirk)

#### I.2.C.4. Effet des résistances séries

Lorsque les courants deviennent importants, la chute de tension dans les résistances séries du transistor modifie la polarisation du transistor intrinsèque (Figure I-9).

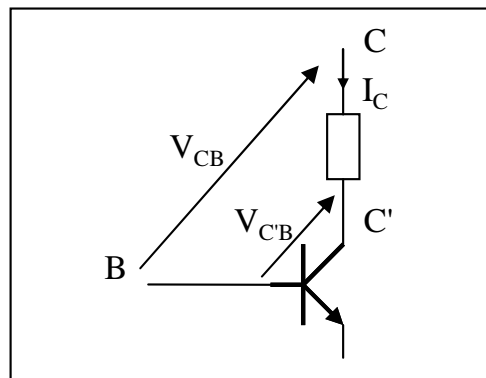


Figure I-9 : Schéma de l'effet de la résistance série de collecteur sur la polarisation du transistor intrinsèque

Les effets liés à la résistance série de collecteur sont connus sous le nom de quasi-saturation et sont visibles sur les caractéristiques statiques du transistor (Figure I-10). Les courbes de Gummel tracées à  $V_{CB}=0V$  affichent une saturation du courant de collecteur à forte polarisation alors que le courant de base augmente fortement sous l'effet de la polarisation en direct de la jonction base-collecteur. Les réseaux de sortie présentent, à faible  $V_{CE}$ , une région pour laquelle le courant de collecteur progresse lentement avant d'atteindre le niveau du régime normal direct à fort  $V_{CE}$ .

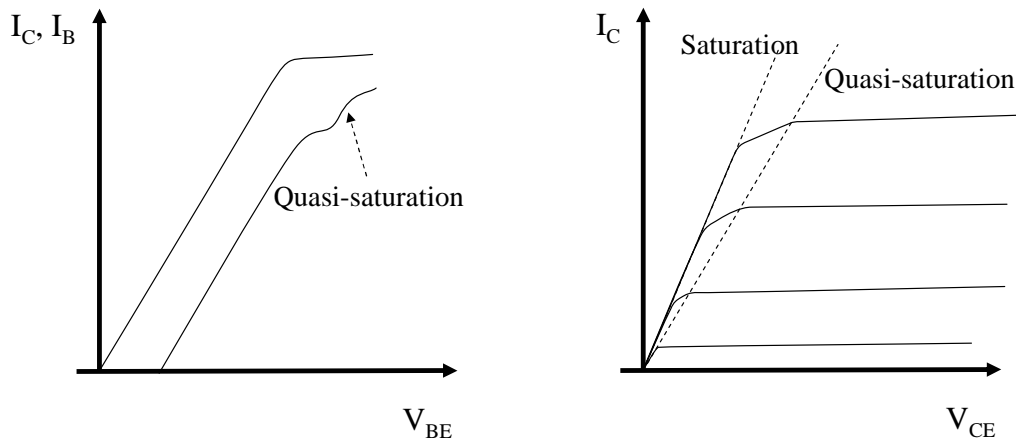


Figure I-10 : Courbes de Gummel et réseau de sortie d'un transistor bipolaire présentant des effets de quasi-saturation

Compte tenu de la faible épaisseur de la couche de silicium active de nos substrats, nous présentons de fortes résistances de collecteur pour nos transistors intégrés sur SOI mince. Les effets de la quasi-saturation ont ainsi de fortes chances d'apparaître pour les transistors les moins dopés.

## I.2.D. Influence d'une base SiGe sur le fonctionnement du transistor bipolaire

### I.2.D.1. Principe

L'introduction de germanium en sites substitutionnels dans le réseau cristallin du silicium entraîne une discontinuité de la bande de valence et de la bande de conduction aux hétérojonctions Si/SiGe. Le germanium permet ainsi de réduire la bande interdite principalement en augmentant le niveau de la bande de valence. Cependant, par l'alignement des niveaux de Fermi du Si et du SiGe, la barrière de potentiel vue par les trous, de la base vers l'émetteur reste la même alors que la barrière vue par les électrons en sens inverse est réduite. Il en résulte une augmentation du gain.

De plus, lorsque le profil de germanium augmente vers le collecteur, un champ électrique interne se crée favorisant le transit des électrons au travers de la base [Kroemer82]. La Figure I-11 illustre les effets de l'introduction d'un profil trapézoïdal de germanium dans la base et rappelle la formule empirique exprimée par [People85] liant la quantité de germanium introduite (en %) et la réduction de bande interdite observée  $\Delta E_G$ .

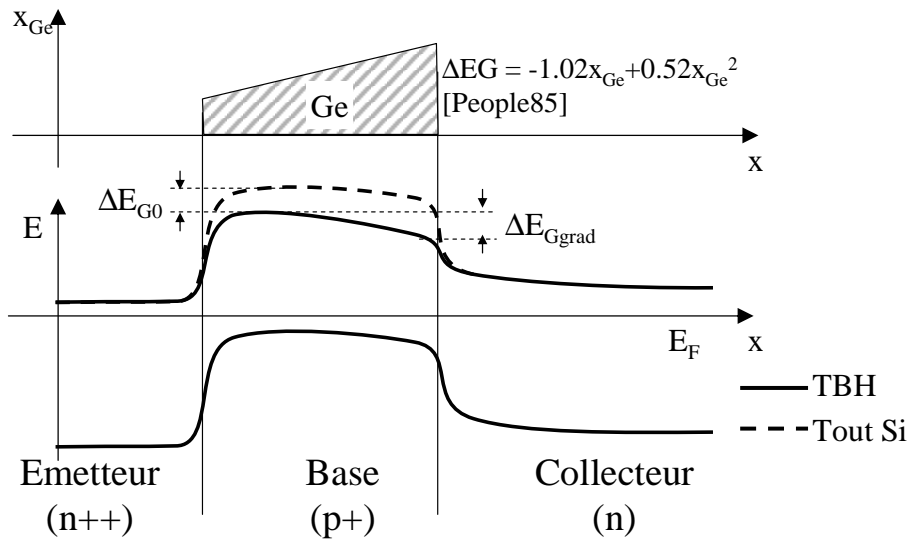


Figure I-11 : Illustration des effets d'un profil trapézoïdal de germanium dans la base sur le schéma de bande du TBH Si/SiGe

### I.2.D.2. Impact sur les caractéristiques statiques

Les effets de l'introduction de germanium à concentration uniforme ou sous forme de gradient de concentration sont décrits en s'appuyant sur les expressions décrites dans [Ashburn03].

#### I.2.D.2.a. Gain en courant

L'introduction du SiGe influe sur les caractéristiques intrinsèques des matériaux comme la concentration intrinsèque en porteurs  $n_i$  ou le coefficient de diffusion des porteurs minoritaires  $D_{nB}$ . Ainsi, l'expression du courant de collecteur ( I-7) est modifiée selon l'équation suivante :

$$I_C = \frac{qAD_n(SiGe)_B \cdot n_i^2(SiGe)}{W_B N_{aB}} \exp \frac{qV_{BE}}{kT} \quad (I-27)$$

Sachant que  $n_{i(SiGe)}$  est défini par la réduction de bande interdite résultant de l'introduction du germanium et la variation de la densité effective d'états dans les bandes de valence et de conduction, on a :

$$n_{i(SiGe)}^2 = n_{i0}^2 \exp \frac{\Delta E_{G0}}{kT} \left[ \frac{(N_C \cdot N_V)_{(SiGe)}}{(N_C \cdot N_V)_{(Si)}} \right]$$

où  $n_{i0}^2$  est la concentration intrinsèque en porteurs dans le silicium,  $\Delta E_{G0}$  la réduction de bande interdite,  $N_C$  et  $N_V$  les densités effectives d'états dans les bandes de conduction et de valence.

En première approximation, l'introduction de Ge dans la base ne modifie pas l'expression du courant de base puisqu'il est déterminé par les caractéristiques du matériau de l'émetteur qui demeure du silicium. Par conséquent, le gain du transistor à hétérojonction Si/SiGe se trouve modifié comme suit [Ashburn03] :

$$\frac{\beta_{(SiGe)}}{\beta_{(Si)}} = \frac{(D_{nB} \cdot N_C \cdot N_V)_{(SiGe)}}{(D_{nB} \cdot N_C \cdot N_V)_{(Si)}} \exp \frac{\Delta E_{G0}}{kT} \quad (I-28)$$

Dans le cas d'une base dont la concentration en germanium est graduelle,  $\Delta E_{G0}$  est la réduction de bande interdite à l'entrée de la base au plus proche de l'émetteur. Il est également nécessaire d'introduire  $\Delta E_{Ggrad}$ , la variation linéaire de bande interdite, de manière à prendre en compte le profil croissant de germanium dans la base. Le rapport des gains entre un transistor bipolaire tout silicium et un transistor bipolaire à hétérojonctions Si/SiGe est donné dans [Ashburn03] et s'exprime par :

$$\frac{\beta_{(SiGe)grad}}{\beta_{(Si)}} = \frac{(D_{nB} \cdot N_C \cdot N_V)_{(SiGe)}}{(D_{nB} \cdot N_C \cdot N_V)_{(Si)}} \exp \frac{\Delta E_{G0}}{kT} \cdot \frac{\frac{\Delta E_{Ggrad}}{kT}}{1 - \exp \frac{-\Delta E_{Ggrad}}{kT}}$$

Aux concentrations de germanium communément utilisées (10-25%), l'effet de réduction de la bande interdite et de son gradient est souvent prépondérant par rapport à celui de la modification des densités d'états et de la constante de diffusion, si bien que l'introduction de germanium a pour effet une très forte augmentation du gain du transistor.

En pratique, cette « réserve » de gain est mise à profit pour augmenter le dopage  $N_{aB}$  et réduire ainsi la résistance de base avec pour effets principaux, l'augmentation de  $f_{MAX}$  et la diminution du niveau de bruit.

#### *1.2.D.2.b. Effet Early*

L'introduction d'une quantité uniforme de germanium dans la base n'a pas d'influence sur l'effet Early. Toutefois, dans le cas d'un profil graduel croissant du côté du collecteur, l'évacuation des électrons de la base est régie par le champ électrique interne. En conséquence, le courant collecteur  $I_C$  sera donc moins sensible aux évolutions de l'épaisseur de la base neutre avec la tension de collecteur, ce qui aura pour effet une augmentation de la tension d'Early.

#### 1.2.D.3. Influence sur les performances dynamiques

L'introduction de germanium dans la base a pour conséquence majeure la modification de la densité de courant collecteur  $I_C$  ( I-17) mais également de la charge d'électrons stockée

dans la base  $Q_B$  ( I-16). L'effet conjoint sur ces deux quantités, de la modification des densités d'états et de la réduction de bande interdite s'annule dans le rapport définissant le temps de transit dans la base  $\tau_B$  ( I-15). Cependant, le coefficient de diffusion  $D_{nB}$  également influencé n'intervient que dans l'expression du courant. L'expression de  $\tau_{B(Si)}$  dans ( I-18) est alors modifiée pour donner :

$$\tau_{B(SiGe)} = \frac{W_B^2}{2D_{nB(SiGe)}} = \tau_{B(Si)} \frac{D_{nB(Si)}}{D_{nB(SiGe)}}$$

Le principal intérêt de l'utilisation de germanium dans la composition de la base reste l'introduction d'un profil graduel « accélérateur » des d'électrons qui la traversent. Le rapport entre temps de transit avec et sans profil de germanium graduel s'exprime alors par l'expression suivante, toujours issue de [Ashburn03] :

$$\frac{\tau_{B(SiGe)}}{\tau_{B(Si)}} = \frac{2.kT}{\Delta E_{Ggrad}} \frac{D_{nB(Si)}}{D_{nB(SiGe)}} \left[ 1 - \left( \frac{kT}{\Delta E_{Ggrad}} \cdot \exp \frac{-\Delta E_{Ggrad}}{kT} \right) \right]$$

Ce rapport, principalement déterminé par le terme  $2kT/\Delta E_{Ggrad}$ , est généralement inférieur à 1. L'ordre de grandeur de la réduction de temps de transit dans la base d'un transistor à base SiGe graduelle est de 50% pour une variation de la bande interdite de 100mV sur l'ensemble de la base.

En ce qui concerne le temps de transit dans l'émetteur, la charge stockée  $Q_E$  définie par la relation ( I-20) n'est pas modifiée par le changement de matériau dans la base comme l'est la densité de courant  $J_C$ . En adaptant l'équation de  $\tau_{E(Si)}$  ( I-19), on obtient :

$$\tau_{E(SiGe)} = \frac{Q_E}{J_{C(SiGe)}} = \tau_{E(Si)} \cdot \frac{J_{C(Si)}}{J_{C(SiGe)}}$$

et finalement :

$$\tau_{E(SiGe)} = \tau_{E(Si)} \frac{\beta_{(Si)}}{\beta_{(SiGe)}}$$

Le temps de transit dans l'émetteur est diminué dans le même rapport que l'augmentation du gain. Cette formulation s'explique simplement en revenant à l'expression de  $\tau_E$ .

Si le profil de germanium est graduel, alors le rapport du temps de transit dans l'émetteur avec et sans Ge prend encore une fois, selon [Ashburn03], la forme inverse du rapport observé pour le gain en courant :



$$\frac{\tau_{E(SiGe)}}{\tau_{E(Si)}} = \frac{1 - \exp\left(-\frac{\Delta E_{Ggrad}}{kT}\right)}{\frac{(D_{nB} \cdot N_C \cdot N_V)_{(SiGe)}}{(D_{nB} \cdot N_C \cdot N_V)_{(Si)}} \exp\left(\frac{\Delta E_{G0}}{kT}\right) \cdot \frac{\Delta E_{Ggrad}}{kT}}$$

Cela signifie que l'introduction d'un profil triangulaire est moins intéressante qu'un profil trapézoïdal puisque la réduction de bande interdite à l'entrée de la base intervient de manière exponentielle au dénominateur de cette relation.

### I.3. Caractérisation électrique

Nous venons de définir les principes de fonctionnement des transistors bipolaires à hétérojonctions Si/SiGe. Nous allons maintenant présenter les différentes procédures généralement utilisées pour caractériser électriquement les dispositifs.

#### I.3.A. Courbes de Gummel et réseaux de sortie

##### I.3.A.1. Courbes de Gummel

Les courbes de Gummel sont une représentation en échelle semi-logarithmique des courants  $I_B$  et  $I_C$  en fonction de la tension  $V_{BE}$ . Elles sont tracées à tension  $V_{CB}$  constante et généralement nulle. Elles permettent de juger rapidement de l'idéalité des courants et du gain en courant représenté par l'écart entre les courbes, et de mettre en avant des effets de quasi-saturation liés à des valeurs importantes de résistances série.

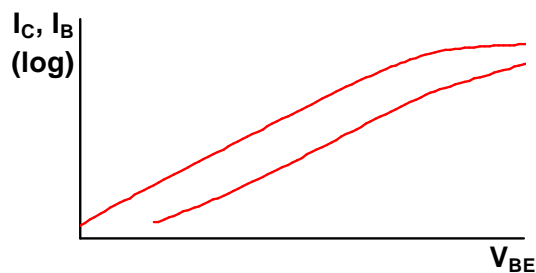


Figure I-12 : Courbes de Gummel en régime de fonctionnement normal direct

##### I.3.A.2. Caractéristiques de sortie du transistor bipolaire

Les caractéristiques de sortie d'un transistor bipolaire sont une mesure du courant de collecteur  $I_C$  en appliquant une polarisation constante en entrée du transistor en montage

émetteur commun (polarisation en tension ou en courant de la jonction émetteur-base) et en faisant varier la tension  $V_{CE}$  de sortie.

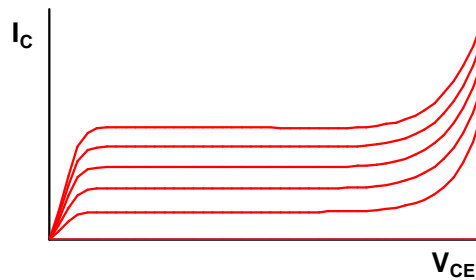


Figure I-13 : Réseau de sortie d'un bipolaire présentant un claquage à fort  $V_{CE}$

Elles permettent de donner une estimation (i) des résistances séries d'émetteur et de collecteur du dispositif par la pente des courbes en régime de saturation, (ii) de la tension d'Early par la pente de  $I_C$  en régime linéaire à faible polarisation (en  $I_B$  ou  $V_{BE}$ ) et (iii) de la tension de claquage du dispositif lorsque ce dernier entre en régime d'avalanche. Par ailleurs, une pente négative de  $I_C$  à forte polarisation émetteur-base est caractéristique de phénomènes d'auto-échauffement.

### I.3.B. Avalanche et auto-échauffement

#### I.3.B.1. Tensions de claquage des jonctions : $BV_{EBO}$ , $BV_{CBO}$

La mesure de  $BV_{EBO}$  et de  $BV_{CBO}$  est simplement réalisée en appliquant un courant en polarisation inverse dans les jonctions et en mesurant la tension aux bornes de ces dernières. La troisième électrode du transistor est laissée en circuit ouvert (Figure I-14).

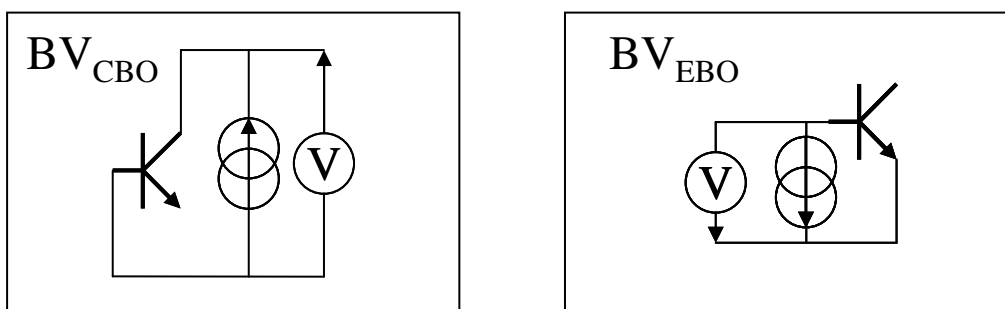


Figure I-14 : Circuit de mesure des tensions  $BV_{CBO}$  et  $BV_{EBO}$

Le niveau de courant appliqué n'influe que peu sur la valeur de la tension mesurée car, en régime d'avalanche, la pente du courant en fonction de la tension est très importante. Il faut toutefois que ce niveau soit suffisamment élevé pour être sûr de placer le transistor dans le

régime désiré. Pratiquement, le niveau appliqué lors de cette étude est de  $1 \mu\text{A}$  pour les mesures automatiques et  $10 \text{ nA}$  pour les mesures manuelles sur des transistors pour lesquels la surface d'émetteur est proche de  $1 \mu\text{m}^2$ . Le niveau de courant pour les mesures manuelles est réduit pour éviter la destruction de la jonction qui résultait parfois de la mesure à  $1 \mu\text{A}$ .

On n'applique pas une rampe de tension en inverse aux bornes des jonctions car une faible augmentation de polarisation au-delà de la tension de claquage est destructrice pour les jonctions.

### I.3.B.2. Tension de claquage du dispositif en fonctionnement : $BV_{\text{CEO}}$

Pour la mesure de la tension de claquage collecteur-émetteur du dispositif, nous utilisons un montage en base commune.

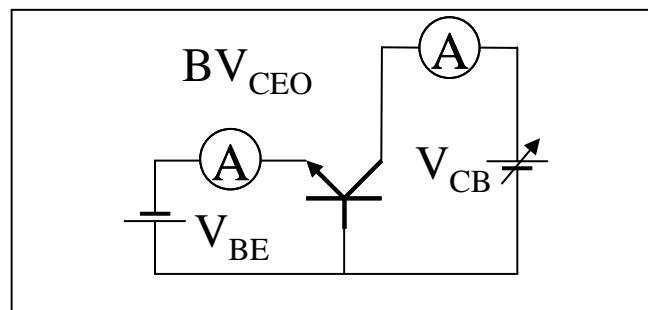


Figure I-15 : Montage en base commune permettant l'extraction du  $BV_{\text{CEO}}$  et le calcul de  $M-1$

Une tension constante est appliquée sur la jonction émetteur-base pour la maintenir en polarisation directe. Tant que la tension  $V_{\text{CB}}$  appliquée sur le collecteur est faible, le courant de base  $I_{\text{B}}$  reste proche de sa valeur initiale  $I_{\text{B}0}$  correspondant à un fonctionnement du dispositif en régime normal direct.

Au fur et à mesure de l'augmentation de  $V_{\text{CB}}$ , le champ électrique dans la jonction base-collecteur va permettre la génération de porteurs par ionisation par impact comme décrit au paragraphe I.2.C.1.b. Les trous générés arrivent dans la base et ont pour effet une réduction du courant de base  $I_{\text{B}}$ . La tension de claquage émetteur-collecteur  $BV_{\text{CEO}}$  est la tension  $V_{\text{CE}}$  pour laquelle le courant  $I_{\text{B}}$  s'annule.

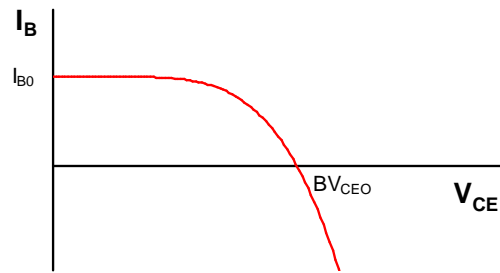


Figure I-16 : Extraction de  $BV_{CEO}$  à partir de l'inversion du courant de base

A partir des mesures de  $I_B$  et  $I_C$  associés à la rampe en tension  $V_{CB}$ , on peut également extraire le facteur d'avalanche  $M$ . La diminution du courant de base notée  $\Delta I_B$  est proportionnelle au courant collecteur  $I_{C0}$  et à  $M-1$ , on déduit ainsi  $M-1$  :

$$M - 1 = \frac{I_{B0} - I_B}{I_{C0}} = \frac{\Delta I_B}{I_C - \Delta I_B} \quad (I-29)$$

Cette grandeur est caractéristique de la jonction collecteur-base d'un dispositif, indépendamment de son gain et de sa polarisation émetteur-base. On l'utilisera pour comparer l'ionisation dans le collecteur des transistors bipolaires issus de différents lots de fabrication.

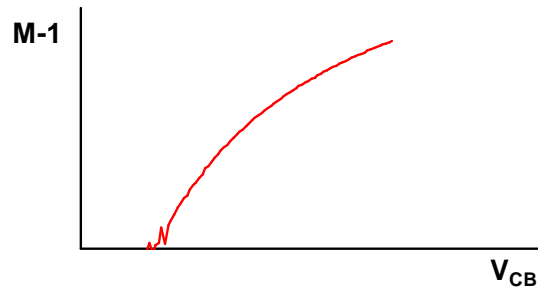


Figure I-17 : Evolution du facteur de multiplication  $M-1$  en fonction de la tension  $V_{CB}$

On notera ici que le courant  $I_C$  est également dépendant de  $V_{CB}$  par effet Early, ce qui aurait pour conséquence de perturber la mesure de  $M-1$ . Une manière plus rigoureuse consiste à extraire  $BV_{CEO}$  en polarisant la jonction base-collecteur en courant  $I_E$  comme proposé par Niu [Niu99]. Dans notre cas, on considère que le dopage de la base est suffisamment élevé comparé au dopage de collecteur pour que l'influence de l'effet Early demeure négligeable.

### I.3.B.3. Résistance thermique

La couche d'oxyde enterrée des substrats SOI est mauvaise conductrice de chaleur. Le transistor en fonctionnement aura alors une tendance certaine à l'auto-échauffement. Afin de

caractériser la montée en température du dispositif dissipant une puissance électrique, nous procédons à l'extraction de la résistance thermique des dispositifs fabriqués.

Nous avons vu au chapitre I.2.A.2 que les courants sont exprimés selon une exponentielle en  $qV_{BE}/kT$ . Un élévation de température à  $V_{BE}$  donné aura pour conséquence une diminution de la pente du courant en coordonnées logarithmiques et une augmentation des courants. Inversement, lorsqu'on polarise la jonction émetteur-base en courant, l'augmentation de température du réseau cristallin se traduit par une diminution de la tension  $V_{BE}$ .

La méthode d'extraction des valeurs de résistance thermique présentées dans le Chapitre IV a été établie dans [Rieh01]. Elle consiste à caractériser la décroissance de  $V_{BE}$  en fonction de la température à courant  $I_E$  constant et puissance dissipée faible ( $V_{CB}=0V$ ) comme présenté sur la Figure I-18.

Le niveau du courant  $I_E$  choisi n'influe pratiquement pas sur la valeur de  $R_{TH}$  extraite dans la mesure où la relation liant  $I_E$  et  $V_{BE}$  est uniquement régie par la température et ne fait pas intervenir les effets de fortes injections et de résistances séries.

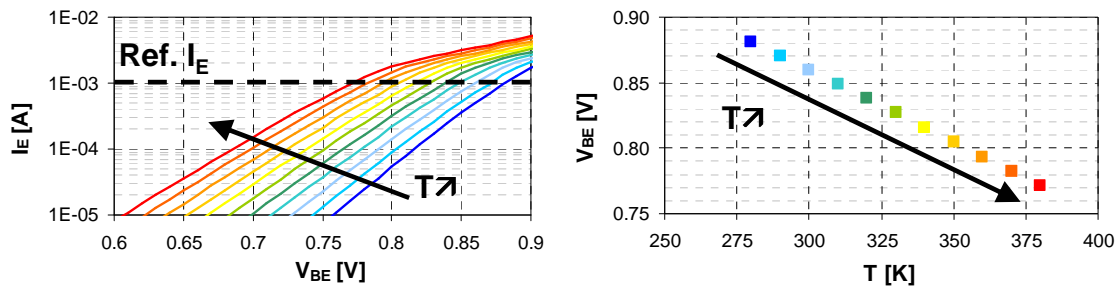


Figure I-18 : Extraction de la chute de  $V_{BE}$  en fonction de la température à  $I_E$  constant

Une nouvelle mesure de la tension  $V_{BE}$  est réalisée au même courant  $I_E$  de polarisation mais sur le dispositif en fonctionnement à une puissance dissipée élevée. La rampe en puissance est réalisée par une augmentation progressive de la tension  $V_{CB}$  ( $P_{diss} \sim I_E \times V_{CB}$ ). La correspondance des mesures de  $V_{BE}$  à faible et forte puissance permet d'extraire la température interne de fonctionnement du transistor (Figure I-19).

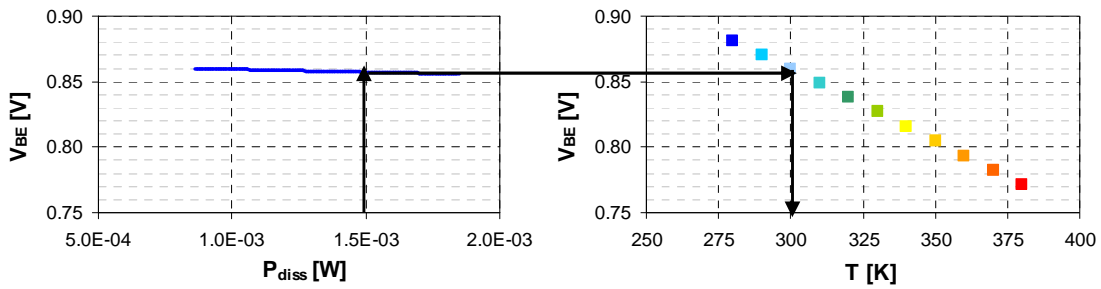


Figure I-19 : Détermination de la température interne de fonctionnement à forte puissance

Pour la gamme de puissance explorée, on peut ainsi tracer la courbe de la température du transistor en fonction de la puissance dissipée (Figure I-20). Une correction est apportée de manière à ce que la droite de régression linéaire coupe l'axe des températures à 300K à puissance dissipée nulle.

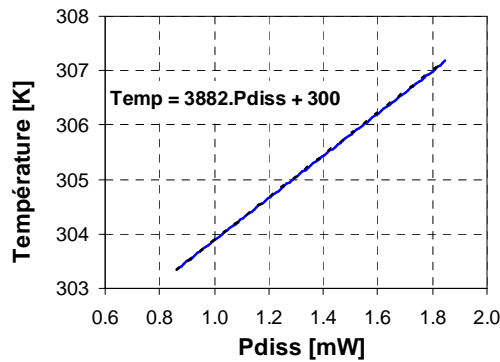


Figure I-20 : Extraction de la résistance thermique  $R_{Th}$  comme la pente de  $T(P_{diss})$

La pente de la courbe  $T=f(P_{diss})$  représente la résistance thermique du dispositif  $R_{Th}$ , exprimée en  $K.W^{-1}$ . Dans l'exemple ci-dessus, la valeur de la résistance thermique extraite est d'environ  $3880 K.W^{-1}$ .

### I.3.C. Fréquence de transition et fréquence maximale d'oscillation

#### I.3.C.1. Théorie des quadripôles

Pour les mesures petits signaux des performances dynamiques, on étudie le transistor comme un quadripôle, l'électrode d'entrée est la base et le collecteur est utilisé comme électrode de sortie dans un montage émetteur commun représenté en Figure I-21.

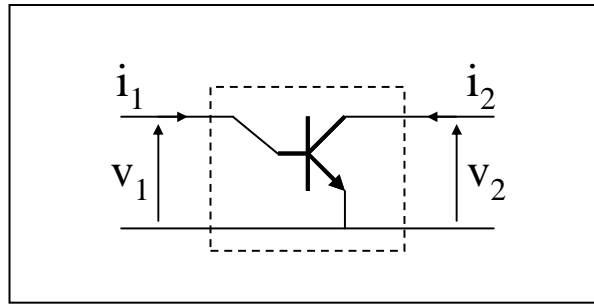


Figure I-21 : Quadripôle équivalent du transistor bipolaire sous test

On caractérise le dispositif par sa matrice d'impédance, relation entre la tension en entrée  $v_1$  ou en sortie  $v_2$  et les courants  $i_1$  et  $i_2$ .

$$\begin{pmatrix} v_1 \\ v_2 \end{pmatrix} = \begin{pmatrix} Z_{11} & Z_{21} \\ Z_{21} & Z_{22} \end{pmatrix} \begin{pmatrix} i_1 \\ i_2 \end{pmatrix} \quad (\text{I-30})$$

Les valeurs d'impédances  $Z$  sont complexes pour exprimer le déphasage des courants et des tensions et elles sont extraites en présentant consécutivement courts-circuits et circuits ouverts aux électrodes d'entrée et de sortie du quadripôle.

Une matrice équivalente de paramètres hybrides peut être définie. Elle exprime notamment le courant en sortie du transistor en fonction de la polarisation en entrée et de la charge :

$$\begin{pmatrix} v_1 \\ i_2 \end{pmatrix} = \begin{pmatrix} H_{11} & H_{12} \\ H_{21} & H_{22} \end{pmatrix} \begin{pmatrix} i_1 \\ v_2 \end{pmatrix} \quad (\text{I-31})$$

Le paramètre  $H_{21}$  par exemple, le gain dynamique du transistor, est calculé à partir de la mesure de  $i_2/i_1$  ( $i_C/i_B$ ) lorsque la sortie est en court-circuit ( $v_2 = v_{CE} = 0$ ).

Dans le cadre d'une étude des performances dynamiques du dispositif, cette matrice est également intéressante. Comme pour la matrice d'impédances  $Z$ , les valeurs de  $H$  sont mesurées grâce à la présentation d'impédances nulles et infinies en entrée et sortie du quadripôle.

Toutefois, lorsque des fréquences élevées sont en jeu, il devient difficile de présenter des impédances données aux bornes du quadripôle et la longueur des lignes reliant le dispositif aux appareils de mesures est le siège de phénomènes parasites de propagations. On utilisera donc plus généralement une combinaison de la tension et du courant sous forme d'ondes incidentes notées  $a_1$  et  $a_2$  envoyées sur le quadripôle et d'ondes réfléchies ou transmises  $b_1$  et  $b_2$  mesurées en retour. Ces ondes ont été définies par Kurokawa [Kurokawa65] comme suit et sont représentées sur la Figure I-22 :

$$a_1 = \frac{v_1 + Z_0 i_1}{2\sqrt{Z_0}} \quad a_2 = \frac{v_2 + Z_0 i_2}{2\sqrt{Z_0}}$$

$$b_1 = \frac{v_1 - Z_0 i_1}{2\sqrt{Z_0}} \quad b_2 = \frac{v_2 - Z_0 i_2}{2\sqrt{Z_0}}$$

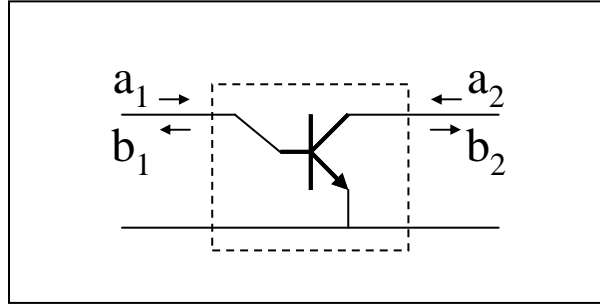


Figure I-22 : Représentation des ondes utilisées pour la mesure de paramètres S

De manière similaire à la matrice d'impédance, on définit une matrice qui permet d'exprimer les relations entre ondes réfléchies ou transmises et ondes incidentes :

$$\begin{pmatrix} b_1 \\ b_2 \end{pmatrix} = \begin{pmatrix} S_{11} & S_{21} \\ S_{21} & S_{22} \end{pmatrix} \begin{pmatrix} a_1 \\ a_2 \end{pmatrix} \quad (\text{I-32})$$

Ces paramètres S sont caractéristiques du dispositif et peuvent être mesurés à l'aide d'un analyseur vectoriel de réseau. Un jeu de transformations permet de revenir à la matrice d'impédances Z.

### I.3.C.2. Fréquence de transition et temps de transit

#### I.3.C.2.a. *Fréquence de transition $f_T$*

Les mesures en fonction de la fréquence étant souvent basées sur la mesure des paramètres S du dispositif, il est nécessaire d'appliquer une transformation pour retrouver la matrice des paramètres hybrides H définie en ( I-31). Théoriquement, la chute du gain en courant  $H_{21}$  doit être de 20dB par décade de fréquence. L'extraction de  $f_T$  est réalisée lorsque  $H_{21} = 0\text{dB}$ .

#### I.3.C.2.b. *Temps de transit $\tau_F$*

Nous avons vu au paragraphe I.2.B.2.c que la relation liant  $f_T$  à  $I_C$  permettait théoriquement une formulation simple du temps de transit minimal  $\tau_{F\min}$  lorsque la fréquence de transition atteint sa valeur maximale  $f_{T\max}$  :

$$\tau_{F\min} + R_C C_{jC} = \frac{1}{2\pi \cdot f_{T\max}}$$



Dans la pratique, les effets de forte injection interviennent avant que  $f_T$  ait atteint sa valeur théorique maximale. On peut néanmoins extraire le temps de transit grâce à la représentation de  $1/f_T$  en fonction de  $1/I_C$  dont un exemple est présenté en Figure I-23.

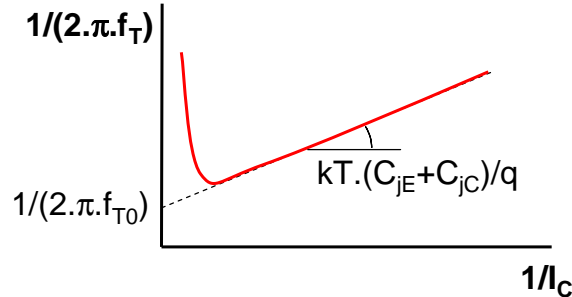


Figure I-23 : Tracé de  $1/f_T(1/I_C)$  permettant l'extraction de  $\tau_F$

On peut ainsi extraire le temps de transit  $\tau_F + R_C C_{jC}$  en fonction de  $1/(2\pi \cdot f_{T0})$ , l'extrapolation de  $1/(2\pi \cdot f_T)$  à l'axe des ordonnées, les deux grandeurs étant liées par la relation [Ashburn03] :

$$\tau_F = \frac{1}{2\pi \cdot f_{T0}} - R_C C_{jC} \quad (\text{I-33})$$

De la même manière, on peut extraire la somme des capacités de jonctions ( $C_{jE} + C_{jC}$ ) par la pente de  $1/f_T$  aux fortes valeurs de  $1/I_C$ .

### I.3.C.3. Fréquence maximale d'oscillation $f_{MAX}$

La fréquence maximale d'oscillation est définie comme la fréquence pour laquelle le gain en puissance entre la sortie de la source et la sortie du quadripôle est nul. Cette mesure est réalisée lorsque l'entrée est adaptée sur la source et la sortie sur la charge. Toutefois, il est possible dans de telles conditions que le dispositif se mette à osciller. Pour éviter cela, l'ensemble est stabilisé par une boucle de contre réaction sans perte, on dit alors que le transistor est unilatéralisé. On définit ainsi un gain en puissance du transistor unilatéralisé ou gain de Mason  $U$  qui est utilisé pour déterminer la fréquence maximale d'oscillation du transistor.

Le gain de Mason présente, théoriquement, une décroissance à  $-20\text{dB/dec}$ . Pratiquement, il est très difficile de mesurer la fréquence à laquelle  $U$  égale l'unité (0dB) et la pente de décroissance est souvent inférieure à la valeur théorique. On extraira alors trois fréquences (Figure I-24) qui caractérisent les performances dynamiques du transistor.

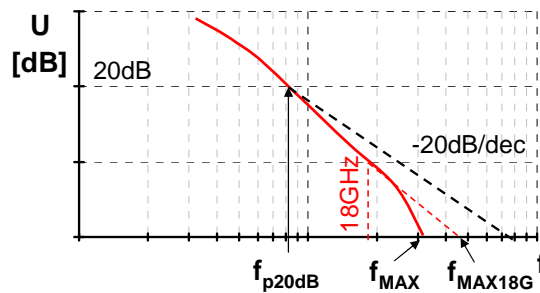


Figure I-24 : Décroissance du gain de Mason  $U$  et extraction de  $f_{MAX}$ ,  $f_{MAX18G}$  et  $f_{p20dB}$

Si le banc de mesure le permet,  $f_{MAX}$  est la valeur mesurée de la fréquence pour laquelle  $U_{(dB)}$  s'annule. Cette valeur est très difficile à obtenir car le gain est souvent bruité lorsqu'il atteint de faibles valeurs. On extrait également  $f_{MAX18G}$  qui est l'extrapolation de la chute du gain à partir de la pente mesurée à 18GHz. Cette valeur est intéressante car on se base sur une pente réellement mesurée pour l'extrapolation.

Finalement,  $f_{p20dB}$  représente la fréquence pour laquelle le gain mesuré atteint 20dB. Cette mesure est généralement fiable car la valeur du gain est encore importante. Elle permet, en outre, une détermination de  $f_{MAX}$  par la relation  $f_{MAX}=10 \times f_{p20dB}$  en supposant une décroissance du gain à -20dB/dec. Cette valeur sera celle utilisée au cours de notre étude car elle représente une grandeur effectivement mesurée et non une extrapolation.

## I.4. Conclusion

Nous avons rappelé dans ce premier chapitre le principe de fonctionnement du transistor bipolaire ainsi que la théorie associée aux comportements statique et dynamique. Nous nous sommes attachés à ne présenter en détail que les phénomènes et paramètres influencés par l'intégration du collecteur dans la couche de silicium sur isolant (SOI) comme les phénomènes d'avalanche ou le temps de transit. Nous avons également présenté les méthodes de caractérisation électrique et d'extraction des paramètres qui nous permettront de comprendre le fonctionnement du transistor bipolaire sur SOI.

# **II. Intégration d'un TBH Si/SiGe sur substrat SOI mince**

## **II.1. Introduction**

Ce chapitre présente la démarche qui a guidé le choix et la réalisation de l'intégration d'un TBH Si/SiGe dans une technologie CMOS 0.13 $\mu$ m sur substrat SOI de 0.15 $\mu$ m (épaisseur de la couche active de silicium).

Au préalable, nous présentons quelques références bibliographiques qui traitent du transistor bipolaire sur SOI et illustrent les architectures généralement développées. Puis, nous explicitons notre choix d'intégration en nous basant sur ces informations. Ensuite, l'outil de simulation physique est mis en œuvre pour valider ce choix et comparer les performances visées avec l'état de l'art. Finalement, nous détaillons les procédés de fabrication et de caractérisation dont nous avons disposé pour obtenir des résultats expérimentaux conformes aux simulations.

## **II.2. Etat de l'art du bipolaire sur SOI : vers le choix d'une intégration**

### **II.2.A. Evolution des architectures existantes**

Une revue des différentes architectures de transistors bipolaires sur SOI ayant déjà été réalisée [Mitrovic05], nous nous contenterons dans cette partie d'explicitier la démarche qui nous a amenés à retenir une architecture particulière.

#### **II.2.A.1. Transistors bipolaires latéraux**

Historiquement, la manière la plus simple de construire des dispositifs bipolaires sur substrat SOI mince est de contourner les difficultés liées à l'épaisseur réduite de la zone active et de réaliser des dispositifs latéraux. Leur fabrication va de la simple implantation juxtaposée de zones N, P et N à des architectures plus complexes et innovantes faisant intervenir des épitaxies sélectives notamment.

*II.2.A.1.a. Premiers transistors bipolaires latéraux sur SOI*

Les premiers transistors bipolaires latéraux sur SOI sont construits par le Massachusetts Institute of Technology (MIT) [Rodder83] [Tsaur83] en 1983 (Figure II-1). Ils bénéficient de la technique de recristallisation qui permet d'obtenir une couche fine de silicium monocristallin sur SiO<sub>2</sub>. Ces structures utilisent ainsi une couche de 0.5µm de silicium sur une couche d'oxyde de silicium de 0.5µm ou 1µm.

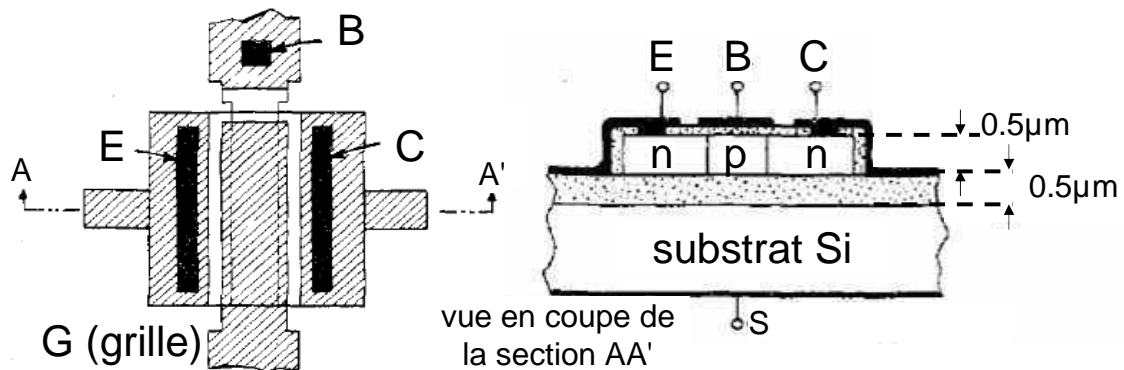


Figure II-1 : Transistor bipolaire NPN à partir de transistor MOS à canal contacté du MIT [Rodder83]

Les transistors bipolaires sont réalisés à partir de transistors MOS dont le canal est polarisé par une prise de contact. La base, formée par le canal de type p, est composée de silicium recristallisé et dopé grâce à deux implantations de bore. Son épaisseur est fixée par les dimensions de la grille du transistor MOS. Les source et drain de type n du transistor MOS forment l'émetteur et le collecteur du transistor bipolaire, et sont dopés avec du phosphore ou de l'arsenic à une dose mille fois supérieure à celle de la base.

Le fonctionnement de ces dispositifs en configuration de transistors bipolaires en limitant les effets de champ demande un jeu complexe de polarisations sur la base et le substrat pour éviter tout transport de porteurs minoritaires aux interfaces avec l'oxyde de silicium en surface et en fond de la couche de silicium. Dans [Rodder83], des épaisseurs de base (longueur de grille) de 5µm et 10µm sont expérimentées. Les performances statiques restent très limitées avec un gain de 2.5 pour une longueur de grille de 5µm, et 0.5 pour 10µm, largement pénalisé par la durée de vie des porteurs dans la base. Dans [Tsaur83], pour des conditions de dopage similaires, le gain atteint 18 grâce à une réduction de la longueur de grille à 3µm. Dans ces conditions, il est clair que le fonctionnement du transistor MOS était le principal objectif de ces développements et qu'aucun degré de liberté n'a permis l'optimisation du transistor bipolaire.

### II.2.A.1.b. Architectures latérales à bases implantées

Selon les résultats précédents, il apparaît évident que la réduction d'épaisseur de base est nécessaire à l'amélioration des performances des transistors bipolaires latéraux sur SOI. La définition de l'épaisseur de la base par photolithographie est donc un facteur fortement limitant puisqu'il est difficile de réduire la dimension des motifs en deçà de quelques dixièmes de microns. Une série de dispositifs bipolaires a donc été développée pour lesquels des atomes de bore sont implantés avec un angle sous la grille d'un transistor MOS dans un canal dopé uniformément avec du phosphore. Le travail présenté dans [Nii00] est probablement le plus abouti pour ce type de dispositifs.

Le dopage de collecteur est défini à  $1.5 \times 10^{17} \text{cm}^{-3}$  grâce à une implantation phosphore sur toute la zone de SOI (d'épaisseur 200nm) avant le dépôt de la grille. La base est ensuite implantée sous la grille grâce à une combinaison de trois implantations inclinées d'ions B et  $\text{BF}_2$  à différentes énergies ( $B_{\text{int}}$  sur la figure). Une ouverture dans l'oxyde sous la grille permet d'assurer un contact de la base ( $B_{\text{ext}}$ ). Après la formation d'un espaceur en polysilicium sur les flancs de la grille, l'émetteur (E) et la prise de collecteur (C) sont finalement définis par implantation verticale de phosphore à une concentration de  $1.8 \times 10^{20} \text{cm}^{-3}$ . L'épaisseur de la base est alors comprise entre 0.15 et  $0.20 \mu\text{m}$  sur toute la profondeur du SOI après diffusion des dopants (Figure II-2).

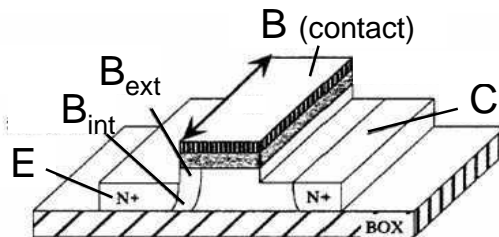


Figure II-2 : Transistor bipolaire latéral à base implantée de Toshiba [Nii00]

Les caractéristiques statiques se résument à un gain de 88 et une tension de claquage de 5.3V. Les performances dynamiques,  $f_T$  égale à 12GHz obtenu pour une densité de courant d'environ  $33 \mu\text{A}/\mu\text{m}^2$ , sont modestes du fait de la difficulté de contrôler l'épaisseur de la base. La compacité de la structure permet cependant d'atteindre des valeurs de  $f_{\text{MAX}}$  remarquables de 67GHz.

Le procédé de fabrication reste très simple et ne fait pas intervenir d'étape coûteuse en terme de masque de photolithographie ou en terme de développement de procédés comme l'épitaxie sélective. Par ailleurs, les dimensions verticales permettent de fixer les limites du

transistor bipolaire intrinsèque et favorisent un bon fonctionnement latéral intrinsèque limitant ainsi les capacités parasites. L'inconvénient majeur reste que l'épaisseur de base, certes réduite, demeure difficilement contrôlable, et que la structure ne bénéficie pas de l'introduction de germanium.

### II.2.A.1.c. Architecture à base épitaxiée

L'architecture à base épitaxiée proposée par l'université de Southampton, permet un contrôle précis de l'épaisseur et du dopage de la base du transistor bipolaire puisque cette dernière est déposée par épitaxie sélective latérale sur une couche de silicium d'une épaisseur de  $2\mu\text{m}$  préalablement gravée de manière à présenter un flanc vertical.

Le silicium de la couche SOI ( $2\mu\text{m}$ ) dopé à  $10^{17}\text{cm}^{-3}$  sert de collecteur au transistor bipolaire. Le procédé d'épitaxie sélective localisée est utilisé pour assurer la croissance de la base latéralement à partir du silicium accessible. Nous voyons sur la Figure II-3 la zone de type p obtenue par épitaxie qui sert de base intrinsèque au transistor et qui est contactée par une prise p++ à travers la couche diélectrique de passivation. Grâce au procédé d'épitaxie sélective, une base d'épaisseur 20nm contenant 10% de germanium est déposée et dopée in situ à  $10^{18}\text{cm}^{-3}$  avec du bore. Une couche tampon non dopée est ensuite déposée grâce au même procédé d'épitaxie sélective puis l'émetteur est constitué à partir de polysilicium fortement dopé phosphore à une concentration de  $10^{20}\text{cm}^{-3}$ .

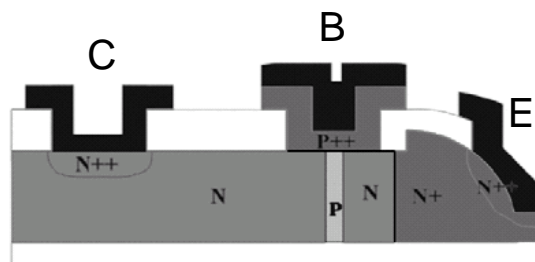


Figure II-3 : Transistor bipolaire latéral avec base épitaxiée proposé par l'université de Southampton [Pengpad04]

Le profil de dopants du transistor bipolaire intrinsèque est ainsi parfaitement contrôlé et optimisé. Les simulations physiques indiquent de bonnes performances en  $f_T$  de 22GHz obtenues pour une densité de courant de  $17\mu\text{A}/\mu\text{m}^2$  et un gain de 95. Toutefois, le contact extrinsèque de base en un point sur la tranche de la couche p d'épaisseur 40nm après diffusion des dopants est très pénalisant pour la résistance de base. En conséquence, le  $f_{\text{MAX}}$  simulé ne dépasse pas 14GHz malgré les capacités réduites liées à la structure latérale.

Cette dernière structure, qui offre pourtant un excellent contrôle de l'épaisseur de la base réalisée par épitaxie, reste pénalisée par d'importants éléments parasites. Il apparaît clairement que seule une structure verticale basée sur une épitaxie de la base permettrait à la fois l'optimisation du profil des dopants du transistor et la réduction des éléments parasites par dessin des masques pour obtenir des performances en  $f_T$  et  $f_{MAX}$  élevées et de valeur comparable.

### II.2.A.2. Transistors bipolaires verticaux sur SOI épais

Nous appelons dans cette étude SOI épais les substrats de silicium sur isolant présentant des couches actives d'épaisseur allant de un à quelques microns. La fabrication de transistors bipolaires verticaux sur ce type de substrat ne présente pas de problème spécifique, puisque la profondeur du collecteur enterré des transistors (généralement quelques dixièmes de micron) reste inférieure à l'épaisseur de la couche de SOI. L'originalité principale vient, dans ce cas, de l'utilisation de tranchées profondes qui rejoignent la couche d'oxyde enterré pour l'isolation totale des transistors bipolaires. Elles permettent également de rendre plus agressives les règles de dessin des transistors et de minimiser la capacité parasite collecteur-substrat.

L'intégration de transistors bipolaires verticaux est ainsi basée sur des architectures de transistors bipolaires conventionnels. Le comportement électrique des dispositifs est, par conséquent, peu différent du fonctionnement sur substrat massif. Toutefois, on notera une sensibilité plus marquée à l'auto-échauffement, la couche d'oxyde enterré (BOX) et les tranchées profondes latérales, mauvais conducteurs thermiques, freinant l'évacuation de la chaleur vers le substrat de silicium.

### II.2.A.3. Transistors bipolaires verticaux sur SOI mince

Lorsque l'épaisseur de la couche de silicium active du SOI se réduit à quelques dixièmes de microns, l'intégration du transistor bipolaire demande une adaptation de l'architecture, essentiellement en ce qui concerne le collecteur. Au démarrage des travaux de thèse, la littérature concernant le sujet de l'intégration de transistors bipolaires verticaux sur SOI mince était relativement peu fournie. Le sujet ayant été abordé ces dernières années en parallèle par différents organismes de recherche, elle s'est peu à peu étoffée. Les principaux fondeurs qui ont travaillé sur le sujet sont IHP et IBM.

*II.2.A.3.a. Architecture proposée par IBM*

IBM est, en début des travaux de thèse, la seule compagnie à avoir développé une structure de transistor bipolaire vertical Si/SiGe sur SOI mince (120nm). L'aspect simulation a tout d'abord été abordé dans [Ouyang02] puis des résultats expérimentaux sont présentés dans [Cai03]. La structure du transistor est présentée sur la Figure II-4.

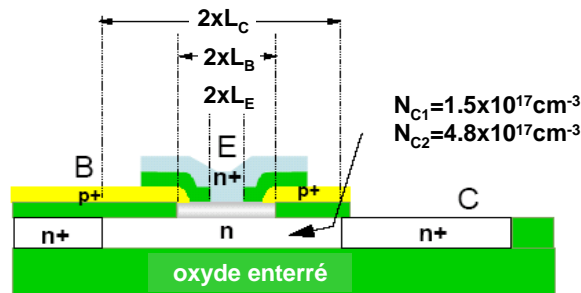


Figure II-4 : Transistor bipolaire sur SOI fin développé par IBM [Cai03]

La prise de contact de collecteur habituellement positionnée à la verticale, à quelques dixièmes de microns sous la structure intrinsèque, a été déplacée à cause de la couche d'oxyde enterré et se trouve maintenant positionnée latéralement. Les lignes de courant ne sont donc plus verticales dans le collecteur intrinsèque mais partent sur le côté dès la sortie de la structure émetteur-base. On parle ainsi de collecteur plié (« folded collector » en anglais). Les tranchées d'isolation (STI) positionnées latéralement par rapport à la structure émetteur-base intrinsèque sont supprimées. En effet, du fait de leur profondeur, elles descendent jusqu'à la couche d'oxyde enterré et interdiraient toute circulation de courant entre la région intrinsèque et la prise de collecteur.

La structure émetteur-base doit être adaptée pour assurer l'isolation entre base extrinsèque et collecteur, une couche d'oxyde piédestal est réalisée dans ce but. Par ailleurs, la nouvelle architecture doit permettre de limiter les effets de défocalisation et de minimiser la résistance de collecteur dont la longueur est maintenant fixée par les dimensions latérales du transistor. Il en résulte une architecture émetteur-base aux dimensions latérales très agressives. L'ouverture ménagée dans l'oxyde piédestal pour l'épitaxie de la base a une dimension latérale  $2 \times L_B$  de  $0.50 \mu\text{m}$ . La fenêtre d'émetteur a une largeur  $2 \times L_E$  réduite à  $0.16 \mu\text{m}$ . La distance des prises de collecteur latérales  $L_C$  est de  $0.6 \mu\text{m}$ . Cette distance courte rend nécessaire le positionnement latéral du contact de base aboutissant à une structure BEC asymétrique.



Pour les niveaux de dopages de collecteurs indiqués ( $N_{C1}=1.5\times 10^{17}\text{cm}^{-3}$  et  $N_{C2}=4.8\times 10^{17}\text{cm}^{-3}$ ), les dispositifs ont des performances compatibles avec une utilisation dans des applications RF (couple  $f_T/BV_{CEO}$  de 29GHz/5V et 48GHz/2V respectivement). Cette structure est intéressante car elle propose une solution innovante à l'intégration d'une structure de TBH vertical sur SOI mince. Toutefois, la réalisation de la fenêtre d'émetteur en une seule étape de photolithographie et son alignement précis sur la base extrinsèque en font une structure, très exploratoire, loin d'être compatible avec les exigences requises par l'industrie de la microélectronique actuelle.

### II.2.A.3.b. Approche proposée par IHP

L'approche proposée par IHP est totalement différente de celle abordée chez IBM. Elle consiste à graver chimiquement l'oxyde enterré et ré-épitaxier le collecteur sélectivement à partir du substrat [Rücker04]. Le SOI et l'oxyde enterré utilisés pour ces travaux sont très fins (30nm et 150nm respectivement) et autorisent la construction d'un collecteur enterré sous le BOX (Figure II-5).

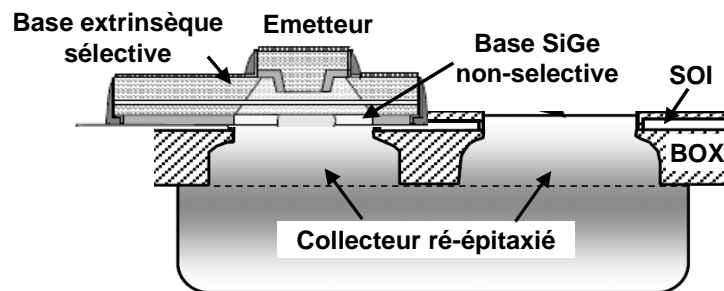


Figure II-5 : Transistor bipolaire de l'IHP dont le collecteur est sous le SOI

Dans ce cas, la faible profondeur de la couche enterrée permet son utilisation comme tranchée d'isolation. La structure émetteur-base n'est ainsi pas limitée par l'architecture du collecteur et peut être facilement adaptée à partir d'une architecture conventionnelle. Elle s'articule autour d'une base SiGe non-sélective (SiGe NSEG) et d'une base extrinsèque épitaxiée sélectivement sur cette dernière. Le fonctionnement vertical du transistor est comparable à celui d'un transistor sur substrat massif. Grâce à un meilleur contrôle des profils de dopants dans le collecteur, les performances électriques dynamiques dépassent même celles obtenues à partir d'une structure émetteur-base équivalente sur substrat massif ( $f_T/f_{MAX} = 220/230\text{GHz}$ ).

Toutefois, l'intégration d'une telle structure nécessite un contrôle précis des étapes de gravure humide et sèche, et d'épitaxie. Par ailleurs, cette approche, bien qu'étant la seule

disponible pour l'intégration de transistor bipolaire sur substrats SOI très fins, ne permet plus l'isolation totale des dispositifs par rapport au substrat de silicium.

#### II.2.A.4. Bilan des architectures présentées

La Table II-1 dresse un bilan des architectures abordées dans ce début du chapitre et résume leurs performances respectives ainsi que leurs caractéristiques technologiques.

On y retrouve les différents types de structures latérales et verticales. L'utilisation d'un procédé d'épitaxie spécifique pour la réalisation de la base est quasiment généralisée après l'année 2000.

	Toshiba	Southampton	IHP	IBM
Référence	[Nii00]	[Pengpad04]	[Rücker04]	[Cai03]
Ep. SOI	0.2 $\mu$ m	2 $\mu$ m	30nm	150nm
Type	Latéral	Latéral	Vertical	Vertical
Isolation	Oui	Oui	Non	Oui
Base	Implantée	SiGe SEG	SiGe NSEG	SiGe NSEG
$N_{\text{Coll}}$ [ $\text{cm}^{-3}$ ]	$2 \times 10^{17}$	$10^{17}$	-	$1.5/4.8 \times 10^{17}$
$BV_{\text{CEO}}$ [V]	5.3	-	2.0	5.5/3.2
$f_T$ [GHz]	12	22	220	29/48
$f_{\text{MAX}}$ [GHz]	67	17	230	48/57

Table II-1 : Bilan non exhaustif des caractéristiques technologiques et électriques de transistors bipolaires sur SOI présentés dans la littérature

Les applications RF que nous souhaitons adresser grâce à notre TBH sur SOI nécessitent des fréquences de transition d'au moins plusieurs dizaines de gigahertz. Pour une bonne optimisation des performances, une structure verticale avec base en SiGe est nécessaire. Nous constatons que les transistors bipolaires effectivement réalisés sur SOI et visant ces gammes de performances fréquentielles ( $f_T$  proche de 50GHz) avec des tensions de claquage supérieures à 3V ont un dopage de la zone de collecteur intrinsèque proche de  $2 \times 10^{17} \text{cm}^{-3}$ . Par ailleurs, nous souhaitons pouvoir disposer d'une isolation totale vis-à-vis du substrat.

Disposant de ces informations, nous allons maintenant présenter l'architecture retenue pour la réalisation de notre transistor bipolaire sur SOI. Puis, nous vérifierons par simulation physique que les performances envisagées sont comparables avec l'état de l'art présenté dans ce paragraphe.

## II.2.B. Architecture retenue pour cette étude

Notre objectif est d'intégrer un transistor bipolaire sur un substrat SOI mince. En vue de l'intégration dans une technologie BiCMOS complète, le choix du substrat se porte sur un empilement de 150nm de silicium sur 400nm d'oxyde enterré. Le nœud technologique 0.13 $\mu$ m est visé pour cette intégration, nous disposons ainsi pour la fabrication des procédés industriels de cette génération de technologie silicium.

### II.2.B.1. Description de la structure

Le concept de « collecteur plié » développé par IBM est repris mais la structure émetteur-base doit être adaptée de manière à assurer une intégration fiable et permettre la réalisation du transistor dans un contexte industriel. Nous nous sommes naturellement tournés vers les structures émetteur-base développées chez STMicroelectronics, dont la fiabilité est prouvée et dont la connaissance précise des étapes de fabrication est un réel atout dans notre travail d'intégration.

Plusieurs architectures émetteur-base ont jusqu'alors été développées pour réaliser les transistors bipolaires Si/SiGe des technologies BiCMOS de STMicroelectronics. Chacune d'entre elles a démontré une reproductibilité des performances électriques dans la gamme visée [Chantre99] [Baudry03] [Chevalier05a]. Toutefois, une seule de ces architectures émetteur-base semble compatible avec les contraintes mises en avant lors de la description de la structure d'IBM : fenêtre d'émetteur étroite, distance de collecteur réduite, isolation base-collecteur. Nous emploierons ainsi la structure verticale auto-alignée FSA-SEG (Fully Self-Aligned by Selective Epitaxial Growth of the SiGe base) développée par STMicroelectronics pour ses transistors bipolaires très rapides [Chevalier05a].

L'adaptation d'une telle structure émetteur-base sur un « collecteur plié » représenterait une architecture globale intéressante. La structure complète retenue est présentée sur la Figure II-6 :

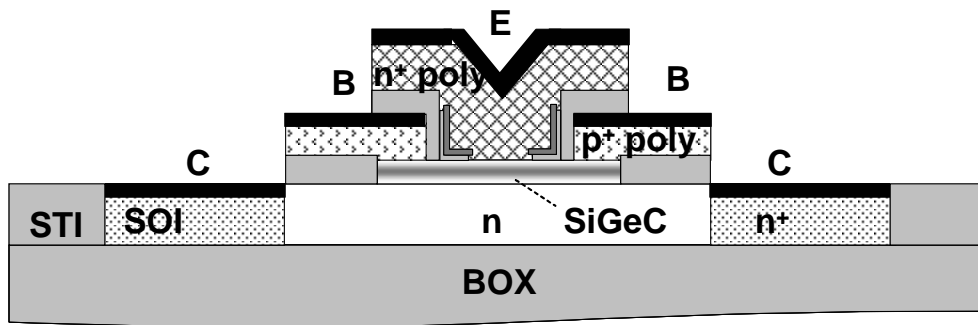


Figure II-6 : Schéma de la structure émetteur (E), base (B) et collecteur (C) choisie pour l'intégration du transistor bipolaire sur SOI mince

Il s'agit d'une architecture verticale dont le collecteur est localisé dans la couche active du SOI d'une épaisseur de 150nm. Comme nous l'avons vu précédemment, la partie collecteur est radicalement différente de celle utilisée pour les bipolaires rapides puisqu'elle se rapproche du collecteur développé par IBM. Le collecteur intrinsèque est implanté dans la zone active, les prises de contact du collecteur extrinsèque se trouvent placées latéralement par rapport à la structure émetteur-base, et prennent place dans la même zone active que le collecteur intrinsèque.

Une couche de polysilicium sert de base extrinsèque au dispositif. Cette couche est structurée pour que les prises de collecteur s'alignent sur ses flancs, et elle est isolée du collecteur par une couche d'oxyde piédestal (Figure II-7). Une fenêtre pour l'émetteur est ouverte dans le polysilicium de la base extrinsèque. Par la suite, tous les éléments de la structure émetteur-base viendront s'aligner sur cette fenêtre procurant l'auto-alignement de la structure. La base intrinsèque est ainsi épitaxiée sélectivement dans une cavité creusée chimiquement dans l'oxyde piédestal sous la fenêtre d'émetteur. Lors de sa croissance, la couche épitaxiée de SiGe et Si vient contacter la base extrinsèque en périphérie de la fenêtre d'émetteur.

L'émetteur également composé de polysilicium est isolé de la base extrinsèque par une couche de diélectrique et la construction d'espaceurs en nitrure sur les flancs du polysilicium de base (Figure II-7). Le polysilicium d'émetteur est déposé dans la fenêtre. Des espaceurs internes en forme de L construits au préalable viennent réduire la largeur de cette dernière (Figure II-7). L'émetteur est posé directement sur les espaceurs et sur la base intrinsèque.

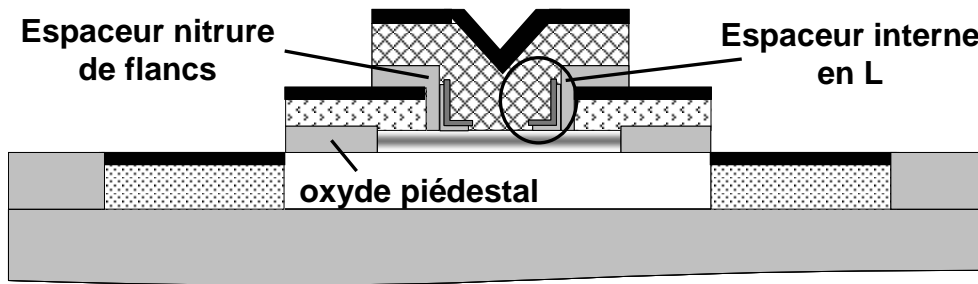


Figure II-7 : Localisation des principaux éléments constitutifs de la structure auto-alignée du transistor bipolaire sur SOI mince

L'adaptation de la structure FSA-SEG et du collecteur plié présente un nombre important d'avantages par comparaison avec d'autres structures non auto-alignées :

- L'oxyde piédestal, partie intégrante de l'intégration de la structure émetteur-base produit également l'isolation de la base extrinsèque et du collecteur. Cela permet le retrait des îlots de STI qui empêchent le contact entre prises de collecteur et transistor intrinsèque.
- L'auto-alignement favorise la compacité de la structure. En effet, la réalisation de la structure complète est basée sur une seule étape de photolithographie, et permet de s'affranchir de toutes marges nécessaires aux photolithographies multiples. Les dimensions latérales réduites en résultant ( $2 \times L_B = 0.5 \mu\text{m}$ ,  $L_C = 0.52 \mu\text{m}$ ) favorisent la réduction des éléments parasites en général et de la résistance de collecteur en particulier puisque les prises de collecteur sont placées au plus près de la structure intrinsèque. Nous en discuterons plus en détail dans le paragraphe consacré aux considérations de dessin des masques.
- La présence d'espaceurs internes dans la fenêtre d'émetteur limite la défocalisation du courant dans le transistor intrinsèque. Ils permettent d'obtenir une largeur efficace d'émetteur  $2 \times L_E$  réduite à  $0.15 \mu\text{m}$  et de relâcher les contraintes sur la photolithographie de la fenêtre d'émetteur, qui pourra être réalisée à  $0.30 \mu\text{m}$  par un procédé bien maîtrisé.

Nous voyons l'intérêt de la structure FSA-SEG par rapport à d'autres architectures utilisant une épitaxie non-sélective de la base. L'architecture du dispositif étant définie, voyons par simulation physique quelles performances électriques peuvent être envisagées compte tenu de ses caractéristiques technologiques.

## II.3. Simulations physiques pour la validation de l'intégration

L'objectif des simulations physiques est d'évaluer les performances électriques du TBH sur SOI mince, compte tenu de l'architecture choisie, et ainsi de déterminer les conditions optimales de fabrication en limitant les réalisations technologiques coûteuses. Les résultats présentés ici ont été obtenus en collaboration avec l'équipe de simulations TCAD de ST [Bonnouvrier03] [Bonnouvrier04].

### II.3.A. Description de l'environnement de simulation et des paramètres

#### II.3.A.1. Description de la structure simulée

##### II.3.A.1.a. Géométrie de la structure

Les simulations physiques ont été réalisées avec les logiciels de la compagnie ISE (appartenant maintenant à Synopsys). La structure est décrite de manière analytique avec le logiciel *mdraw* et présentée sur la Figure II-8. Elle n'est donc pas issue de la simulation des étapes successives de fabrication mais des caractéristiques des matériaux qui sont attribuées aux zones géométriques prédéfinies représentant, en deux dimensions, la coupe d'un demi transistor.

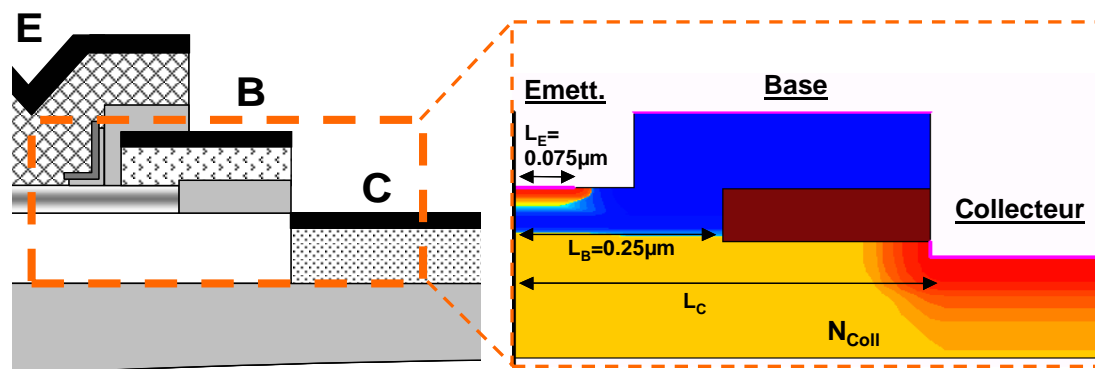


Figure II-8 : Demi structure de simulation

Les trois contacts émetteur, base et collecteur du transistor bipolaire sont présents sur cette structure et permettent la polarisation de l'émetteur, de la base et du collecteur, le substrat est laissé flottant. L'émetteur est représenté comme un contact posé directement sur la diffusion d'arsenic dans le silicium monocristallin de la fenêtre d'émetteur car la simulation de l'émetteur complet incluant silicium polycristallin fortement dopé est trop délicate du fait de la complexité du matériau.

Les dimensions de la structure  $L_B$  et  $L_E$  sont fixes et correspondent aux dimensions réelles visées pour le transistor. La distance  $L_C$  peut être choisie indépendamment des deux autres (en maintenant  $L_C > L_B$ ) et définit la distance entre la prise de collecteur et le centre de la fenêtre d'émetteur.

Pour le substrat, nous simulons un film de silicium d'épaisseur 150nm qui correspond au type de substrat que nous souhaitons utiliser pour la fabrication. On notera que ni l'oxyde enterré, ni le substrat de silicium massif ne sont représentés. Toutefois une simulation réalisée sur une structure complète incluant la couche d'oxyde enterré et un substrat de silicium a permis de valider cette approche qui présente un temps de simulation réduit par rapport à la structure complète.

#### *II.3.A.1.b. Caractéristiques des matériaux*

Nous définissons les profils de dopants du transistor en appliquant les concentrations mesurées par la caractérisation SIMS sur les structures émetteur-base de transistors bipolaires similaires. Nous plaçons ainsi les profils d'Arsenic, de Bore et également de Germanium dans la partie intrinsèque du dispositif et nous simulons la diffusion latérale des espèces aux abords de ces profils par l'application de coefficients de diffusion proches de ceux mesurés expérimentalement.

Des simulations complémentaires ont montré qu'un dopage quasi-uniforme du collecteur est obtenu en fixant l'énergie d'implantation des ions phosphores pour un maximum de concentration à mi-profondeur de la couche de silicium et en simulant la diffusion liée au bilan thermique des procédés de fabrication. Dans un souci de simplification, nous définissons pour tout le collecteur intrinsèque, une concentration en phosphore uniforme  $N_{Coll}$ , dont la valeur typique est  $10^{17} \text{cm}^{-3}$ . Le profil final simulé est présenté sur la Figure II-9.

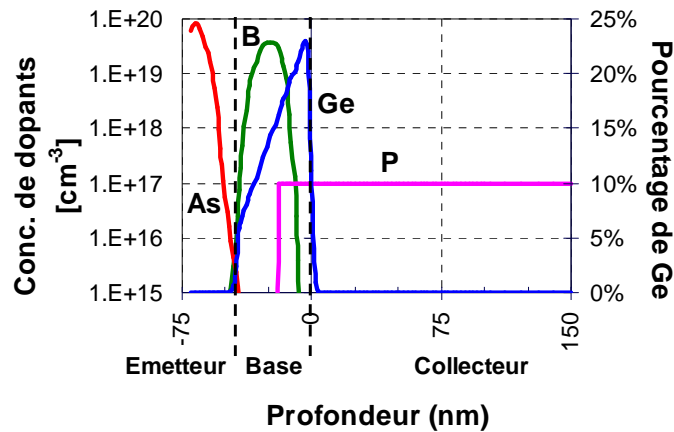


Figure II-9 : Profil de la concentration des dopants actifs (en échelle logarithmique) et du pourcentage en germanium dans le transistor bipolaire simulé

Pour le collecteur extrinsèque, nous appliquons au niveau des prises de contact de collecteur un profil identique aux implantations source et drain des transistors MOS. De même que pour le profil du transistor bipolaire intrinsèque, la diffusion latérale des dopants de la prise de collecteur est simulée par un coefficient de diffusion approprié.

### II.3.A.2. Paramètres variables de l'étude

#### II.3.A.2.a. Dopage du collecteur : $N_{Coll}$

L'architecture choisie, et en particulier le collecteur intrinsèque implanté, ne permet pas le réglage indépendant de la tension de claquage  $BV_{CEO}$  et de la résistance série de collecteur. Ces deux valeurs sont réglées simultanément par la dose de phosphore implantée dans le collecteur intrinsèque.

Le dopage du collecteur joue sur la valeur du champ électrique dans la ZCE base-collecteur et donc sur la tension de claquage  $BV_{CEO}$ . Un dopage réduit est favorable à une tension de claquage élevée. Par ailleurs, cette concentration détermine également la résistivité de la couche de SOI qui représente une résistance d'accès de collecteur. Un dopage réduit sera donc responsable d'une résistance série importante qui pénalisera  $f_T$ . L'extension de la ZCE base-collecteur à faible dopage sera également un élément pénalisant le temps de transit dans la jonction base-collecteur et donc  $f_T$ .

La simulation physique permet une anticipation du positionnement des caractéristiques électriques du dispositif dans le compromis entre  $f_{Tmax}$  et  $BV_{CEO}$ , grâce à un balayage de la concentration d'atomes de Phosphore dans le collecteur. Nous avons choisi pour ce premier



paramètre  $N_{\text{Coll}}$ , des valeurs variant de  $1 \times 10^{16} \text{cm}^{-3}$  à  $3 \times 10^{17} \text{cm}^{-3}$  conformément à la gamme des valeurs présentées dans la partie de ce chapitre consacrée à l'état de l'art.

### II.3.A.2.b. Distance des prises de collecteur : $L_C$

Pour évaluer les performances d'une technologie bipolaire, le produit  $f_{\text{Tmax}} \times BV_{\text{CEO}}$  est un facteur de mérite couramment utilisé. Exprimé en V.GHz, il permet une comparaison des dispositifs entre eux, indépendamment du choix entre dispositif rapide ou haute tension.

Dans l'optique d'une amélioration de ce produit  $f_T \times BV_{\text{CEO}}$ , nous avons étudié l'influence d'un second paramètre, la distance de la prise de collecteur  $L_C$ , pour déterminer si certaines combinaisons  $N_{\text{Coll}}-L_C$  pourraient apporter une amélioration du produit  $f_T \times BV_{\text{CEO}}$  par l'introduction d'un degré de liberté supplémentaire. La tension de claquage  $BV_{\text{CEO}}$  et le dopage du collecteur extrinsèque étant fixés par  $N_{\text{Coll}}$ , une réduction de  $L_C$  pourrait entraîner une diminution de la résistance série de collecteur qui serait favorable à  $f_{\text{Tmax}}$ .

Pour le choix des valeurs de  $L_C$ , nous sommes contraints par les règles de dessin de la technologie. L'espacement minimal des lignes d'interconnexions nous interdit de descendre sous  $0.52 \mu\text{m}$ . Toutefois, pour anticiper les résultats sur des structures plus agressives, nous avons exploré par simulation la gamme allant de  $0.44 \mu\text{m}$  à  $0.6 \mu\text{m}$ .

### II.3.A.3. Simulations physiques

Avec le logiciel *dessis*, nous procédons finalement à la simulation physique bidimensionnelle de la structure en appliquant sur les nœuds terminaux des valeurs de tensions conformes aux procédures de mesures décrites au premier chapitre. Pour simplifier cette étude, nous avons choisi de réaliser des simulations isothermes en fixant la température du réseau cristallin à 300K. Nous verrons par la suite que cette hypothèse est généralement vérifiée à quelques degrés près pour les transistors dédiés aux applications RF.

Les deux grandeurs de sortie analysées sont la tension de claquage  $BV_{\text{CEO}}$ , extraite à partir de la simulation d'inversion du courant de base, et le maximum de la fréquence de transition  $f_{\text{Tmax}}$ , extrait de la simulation des paramètres-S.

Plus précisément, l'extraction du  $BV_{\text{CEO}}$  consiste en une polarisation constante de la jonction émetteur-base avec une tension  $V_{\text{BE}}$  de 0.69V et une rampe en tension  $V_{\text{CB}}$  de 0 à 10V. Le pas de simulation est variable afin d'assurer la convergence sur toute la plage de tensions simulées.

En ce qui concerne le  $f_{\text{Tmax}}$ , la polarisation de la jonction collecteur-base en inverse est fixée à  $V_{\text{CB}} = 0.5\text{V}$  et une rampe en tension  $V_{\text{BE}}$  est appliquée. Pour chaque polarisation, les paramètres-S sont extraits et la valeur du gain H21 calculée permet par extrapolation

d'extraire  $f_T$ . Le  $f_{Tmax}$  est défini comme le maximum de  $f_T$  dans la gamme de tensions  $V_{BE}$  explorée.

### II.3.B. Résultats de simulations de $f_{Tmax}$ et $BV_{CEO}$

#### II.3.B.1. Influence de la concentration des dopants du collecteur

##### II.3.B.1.a. Tension de claquage du transistor $BV_{CEO}$

La courbe des valeurs de  $BV_{CEO}$  simulées en fonction du dopage  $N_{Coll}$  pour un SOI de 150nm est présentée sur la Figure II-10 et comparée aux valeurs obtenues pour un SOI de 450nm proches, théoriquement, des valeurs typiques obtenues sur substrat massif.

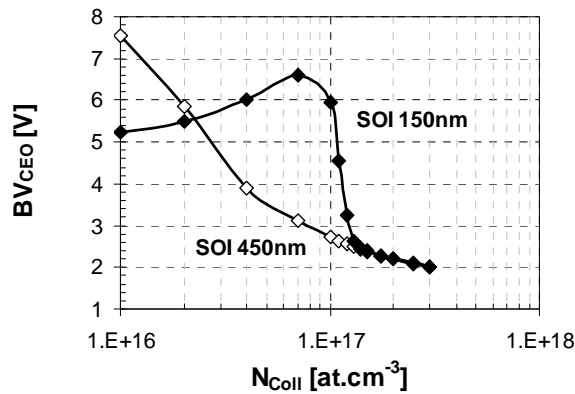


Figure II-10 : Simulation de la tension de claquage  $BV_{CEO}$  en fonction du dopage collecteur  $N_{Coll}$  pour des épaisseurs de SOI de 150nm (symboles pleins) et 450nm (symboles vides)

Pour le SOI d'épaisseur 150nm, nous constatons premièrement une évolution de  $BV_{CEO}$  avec  $N_{Coll}$  non monotone très différente de celle obtenue sur SOI de 450nm. Les valeurs de  $BV_{CEO}$  à fort dopage sont comparables pour les deux épaisseurs de SOI ce qui nous permet d'anticiper pour les transistors les plus dopés, un fonctionnement proche de celui observé sur substrat massif. Pour les valeurs de dopage inférieures à  $10^{17} \text{ cm}^{-3}$ , les valeurs de  $BV_{CEO}$  sont très supérieures pour le SOI de 150nm. Ces comportements différents des dispositifs faiblement et fortement dopés annoncent un fonctionnement particulier du composant bipolaire sur SOI mince.

En comparaison avec les valeurs annoncées dans [Cai03], nous trouvons pour le SOI d'épaisseur comparable (150nm) des valeurs de tension  $BV_{CEO}$  inférieures que nous attribuons à la distance  $L_C$  plus courte sur la structure simulée que sur celle d'IBM ( $0.52\mu\text{m}$  comparé à  $0.65\mu\text{m}$  environ).

### II.3.B.1.b. Fréquence de transition maximum $f_{Tmax}$

Les valeurs du maximum de fréquence de transition simulées pour un transistor sur SOI mince sont bien inférieures aux valeurs obtenues pour un transistor sur SOI épais quelle que soit la valeur du dopage collecteur (Figure II-11).

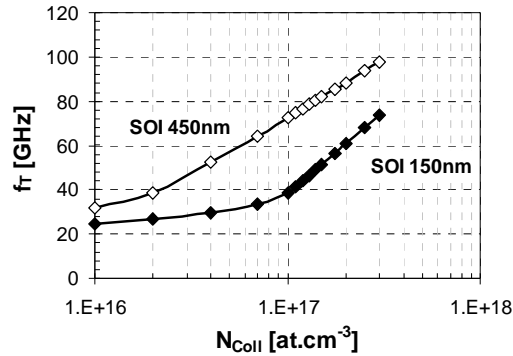


Figure II-11 : Simulation du maximum de la fréquence de transition  $f_{Tmax}$  en fonction du dopage collecteur  $N_{Coll}$  pour des épaisseurs de SOI de 150nm (symboles pleins) et 450nm (symboles vides)

Nous observons également une transition autour du dopage à  $10^{17}$  cm<sup>-3</sup> mais cette dernière est beaucoup moins marquée que dans le cas de la tension  $BV_{CEO}$ . Par ailleurs, les courbes ne se rejoignent pas à forts niveaux de dopage mais plutôt pour les valeurs de dopages réduites.

Grâce aux résultats précédents, nous avons pu tracer la courbe représentant les évolutions de la fréquence de transition en fonction de la tension de claquage pour les différents dopages de collecteur étudiés (cf. Figure II-12). Il faut néanmoins interpréter ces courbes  $f_{Tmax}$ - $BV_{CEO}$  avec prudence dans la mesure où les valeurs de  $BV_{CEO}$  sont par définition pour des tensions  $V_{CB}$  différentes alors que les valeurs de  $f_{Tmax}$  sont obtenues à tension  $V_{CB}$  constante et égale à 0.5V (cf. paragraphe II.3.A.3). Les régimes de fonctionnement sont par conséquent différents alors qu'un point unique est présenté sur le graphe.

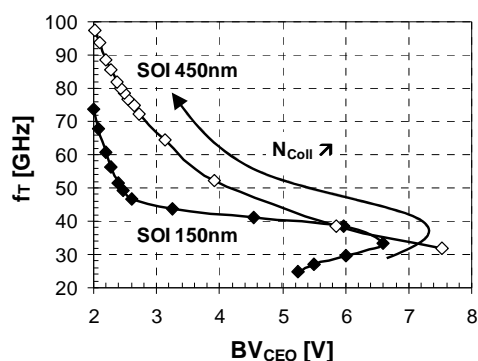


Figure II-12 : Courbes simulées du compromis  $f_{Tmax}$ - $BV_{CEO}$  pour des transistors bipolaires sur SOI d'épaisseur 150nm (symboles pleins) et 450nm (symboles vides)

L'évolution de  $BV_{CEO}$  en fonction du dopage de collecteur donne une allure particulière à la courbe associée à la structure sur SOI mince, la courbe obtenue sur SOI épais étant quant à elle classique. Ces deux courbes s'intersectent pour un couple  $f_{Tmax}/BV_{CEO}$  de 40GHz / 6V, mais ces valeurs sont atteintes pour des dopages de collecteur différents selon l'épaisseur du SOI : le transistor bipolaire sur SOI 150nm dopé à  $10^{17} \text{cm}^{-3}$  a les mêmes caractéristiques qu'un dispositif identique sur SOI 450nm dopé à  $2 \times 10^{16} \text{cm}^{-3}$ .

Cette correspondance n'est toutefois vérifiée que pour un nombre de points très restreint. Les couples  $f_{Tmax}/BV_{CEO}$  envisageables par variation de  $N_{Coll}$  dans un transistor sur un substrat SOI épais ne peuvent pas, dans leur grande majorité, être obtenus par un transistor sur substrat SOI de 150nm d'épaisseur. Des performances électriques de 50GHz / 4V, par exemple, ne peuvent pas être atteintes en modifiant uniquement la valeur du dopage de collecteur d'un transistor sur SOI mince.

### II.3.B.2. Effets de la distance de la prise de contact collecteur

Une simulation des effets de la distance de la prise de contact de collecteur a été réalisée [Schwartzmann04] pour ajouter un degré de liberté et sortir du compromis entre  $f_{Tmax}$  et  $BV_{CEO}$  pouvant être obtenu par variation du dopage de collecteur. Une variation du paramètre  $L_C$  a ainsi été simulée pour un choix de cinq valeurs de  $N_{Coll}$ . La Figure II-13 présente l'évolution des couples  $f_{Tmax}$ - $BV_{CEO}$  obtenus pour une variation de  $L_C$  entre  $0.44 \mu\text{m}$  et  $0.60 \mu\text{m}$ .

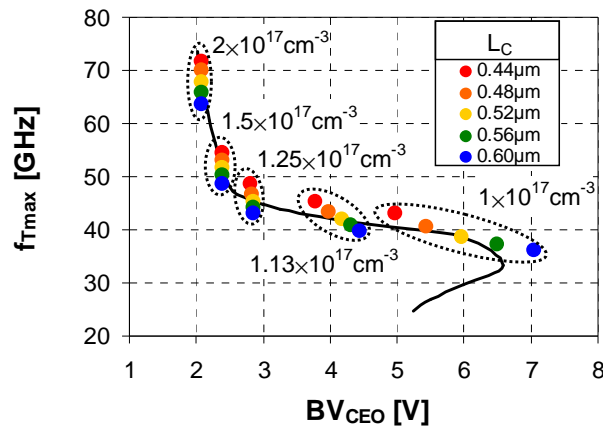


Figure II-13 : Couples  $f_{Tmax}$ - $BV_{CEO}$  simulés pour des transistors bipolaires sur SOI 150nm dont les paramètres  $N_{Coll}$  et  $L_C$  varient respectivement de  $1 \times 10^{17} \text{ cm}^{-3}$  à  $2 \times 10^{17} \text{ cm}^{-3}$  et de  $0.44 \mu\text{m}$  à  $0.60 \mu\text{m}$

On constate clairement que sur la plage de  $L_C$  explorée, le compromis  $f_{Tmax}$ - $BV_{CEO}$  est fixé au premier ordre par le dopage du collecteur puisque les points se regroupent par valeur de  $N_{Coll}$ . Le positionnement d'un dispositif sur la courbe de tendance  $f_{Tmax}$ - $BV_{CEO}$  se fera principalement en ajustant la concentration de dopants dans le collecteur.

Le deuxième élément marquant est qu'au second ordre, les variations du couple  $f_T/BV_{CEO}$  en fonction de  $L_C$  se font autour du point de référence  $L_C=0.52 \mu\text{m}$ , et en suivant la courbe de tendance tracée pour les variations de dopage. A faible dopage, l'évolution du couple  $f_{Tmax}/BV_{CEO}$  avec  $L_C$  se fera plutôt par des variations de tension de claquage. A fort dopage, les variations de la fréquence de transition sont prépondérantes. Pour mieux comprendre les contributions respectives de  $f_{Tmax}$  et  $BV_{CEO}$ , leurs variations relatives autour de la valeur référence de  $L_C=0.52 \mu\text{m}$  sont représentées sur la Figure II-14.

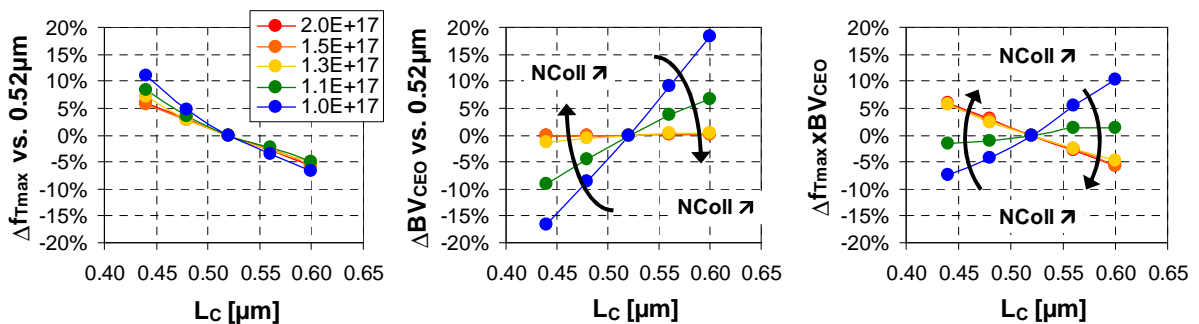


Figure II-14 : Variations relatives de  $f_{Tmax}$ ,  $BV_{CEO}$  et du produit  $f_{Tmax} \times BV_{CEO}$  en fonction de la distance de collecteur pour les cinq valeurs de dopages de la Figure II-13 (indiquées sur la légende et exprimées en  $\text{cm}^{-3}$ )

Nous voyons que l'augmentation de la distance de collecteur pénalise le  $f_T$  mais il est intéressant de noter que les dispositifs sont influencés dans les mêmes proportions, quel que soit leur dopage collecteur. Pour ce qui est du  $BV_{CEO}$ , l'apport des variations de  $L_C$  ne concerne que les dispositifs peu dopés si bien que le produit  $f_{Tmax} \times BV_{CEO}$  peut évoluer dans un sens ou dans l'autre selon le dopage des dispositifs. Notons que, pour la plage de  $L_C$  explorée, ces variations sur la figure de mérite  $f_T \times BV_{CEO}$  restent inférieures à 10%.

En conclusion, la réduction de la distance de la prise de contact de collecteur peut être utilisée pour améliorer les performances dynamiques des dispositifs, mais n'améliore le produit  $f_{Tmax} \times BV_{CEO}$  que pour les dispositifs déjà rapides. A l'inverse, une valeur de  $L_C$  trop grande tend à pénaliser de façon importante les performances du dispositif.

Par ailleurs, dans la gamme des applications RF, l'intégration sur substrat SOI mince autorise des valeurs de  $BV_{CEO}$  supérieures à celles obtenues sur substrat massif. Nous aurons donc intérêt à minimiser la distance de collecteur pour compenser la perte en  $f_T$  consécutive à l'intégration sur SOI.

## **II.4. Réalisation et caractérisation des dispositifs**

### **II.4.A. Fabrication des échantillons**

#### **II.4.A.1. Organisation de la fabrication**

Les dispositifs sont réalisés dans la salle blanche de l'usine STMicroelectronics à Crolles. Ils sont fabriqués par lots de 25 plaques de SOI de 200 mm de diamètre. La production d'un lot demande un temps variant de 4 à 6 mois. Au cours de ce travail de thèse, huit lots ont été produits. Chacun a fait l'objet d'une étude particulière relative à l'optimisation d'un élément de la structure pour laquelle un certain nombre d'options sont évaluées.

L'enchaînement des étapes est appelé route. Cette dernière comporte environ deux cents opérations. Les différentes options de fabrication sont testées sur deux ou trois plaques d'un lot (une branche) et consistent à modifier les paramètres de production lors d'une ou plusieurs étapes de la fabrication du lot. La distribution des branches sur les 25 plaques d'un lot se fait grâce à un tableau de dégroupage (Figure II-15).

Operation	Description	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25
Implant collecteur	Dose 1	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
	Dose 2	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
	Dose 3	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
	Dose 4	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
Recuit collecteur	Pas de recuit	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
Oxyde pedestal	Epaisseur standard	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
Base SiGe SEG	Base épaisse	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
	Base fine	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
Emetteur Poly	Standard	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
Recuit final	Standard MOS 0.13µm	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

Figure II-15 : Exemple de feuille de dégroupage d'un lot : les lignes décrivent les différentes variantes des étapes de fabrication et les colonnes les plaquettes du lot concernées

Sur cette feuille, les lignes représentent les différentes options choisies pour les étapes de fabrication et les croix l'option attribuée à chaque plaque (en colonnes). Les branches sont clairement représentées. Pour être sûr que les effets sur les plaques soient bien dus aux options de fabrication et non aux dérives des équipements, il arrive que les feuilles de dégroupage soient présentées avec un ordre aléatoire des plaques. Toutefois, un tel arrangement aléatoire demande un travail pénible de vérification pour les équipes de production et n'a pas été utilisé sur nos lots.

Une fois l'attribution des options déterminée, le lot débute l'enchaînement des étapes. Il subira successivement toutes les étapes définies dans la route, modifiées éventuellement par la feuille de dégroupage.

#### II.4.A.2. Enchaînement des étapes de fabrication

##### II.4.A.2.a. *Zones actives et « BipOpen »*

Les premières étapes de la fabrication consistent à délimiter sur la plaque de silicium sur isolant SOI, les zones qui seront utilisées pour le fonctionnement des dispositifs. On appelle ces zones « zones actives » par opposition aux tranchées d'isolation STI qui séparent les dispositifs par de l'oxyde de silicium.

La fabrication du bipolaire commence alors que la plaque est recouverte de polysilicium déposé sur un oxyde thermique. On vient ouvrir dans cet empilement similaire à la grille d'un transistor MOS, les zones qui seront dédiées au transistor bipolaire d'où leur nom de *BipOpen* (Figure II-16). Pour ce faire, on dépose une résine photosensible sur toute la plaque et on l'insole à travers un premier masque de photolithographie. La résine insolée est retirée et le polysilicium est gravé par plasma dans les régions qui ne sont plus protégées par la résine. On profite de la présence de la résine pour doper ces zones par implantation ionique. Les zones actives comprises dans le *BipOpen* seront les collecteurs des transistors bipolaires.

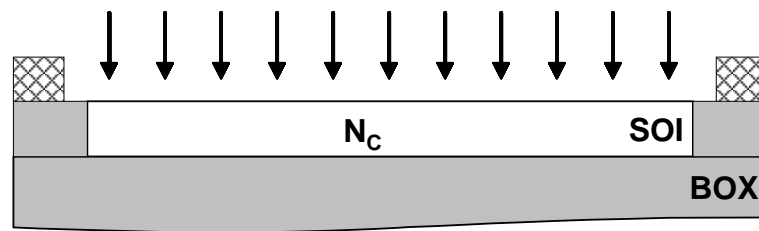


Figure II-16 : Ouverture du BipOpen et implantation du collecteur

#### II.4.A.2.b. Base extrinsèque et prise collecteur

Après avoir déposé sur l'ensemble de la plaque une couche d'oxyde piédestal, on procède au dépôt et à l'implantation du polysilicium de la base extrinsèque des transistors bipolaires. A ce stade, cet empilement recouvre toute la plaque. On utilise alors un deuxième masque de photolithographie pour le retirer des zones où il ne sera pas utile. Le polysilicium est maintenu uniquement si il se trouve effectivement dans la base extrinsèque d'un transistor bipolaire, il est ainsi appelé *PolyBase*. On notera que la taille du *PolyBase* correspond à la longueur  $2 \times L_C$  qui sépare les prises de contact de collecteur.

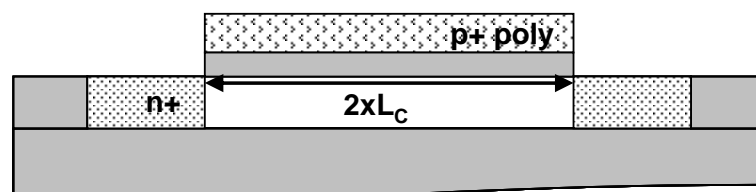


Figure II-17 : PolyBase et prises collecteur auto-alignées

De façon similaire, on retire le polysilicium de grille quand il ne sert pas à la fonctionnalité d'un MOSFET. On peut ensuite procéder à l'implantation des régions de source et de drain des MOSFETs, alignées sur la grille de ces derniers. Côté bipolaire, on profite de cette implantation pour doper les prises de contact de collecteur n+ en s'appuyant sur le PolyBase. Les prises de collecteur extrinsèque ainsi obtenues sont auto-alignées avec le *PolyBase*.

#### II.4.A.2.c. Fenêtre émetteur et dépôt de la base

Les étapes suivantes préparent le dépôt de la base par épitaxie sélective. Dans un premier temps, on recouvre la plaque d'une couche de diélectrique puis on ouvre dans le *PolyBase* une fenêtre *EmWin* en utilisant un masque de photolithographie. Cette fenêtre servira plus tard au dépôt de l'émetteur.

Pour former des espaceurs sur les flancs du *PolyBase* et les protéger de l'épitaxie sélective, on dépose un diélectrique que l'on grave de manière anisotrope. On dégage ensuite par



gravure humide une cavité dans l'oxyde piédestal. A ce stade, les seules zones de la plaque non recouvertes de diélectrique sont les cavités des transistors bipolaires. On procède alors à l'épitaxie sélective de la base intrinsèque en SiGe:C par dépôt chimique en phase vapeur dans un réacteur chauffé par lampe RT-CVD (Figure II-18).

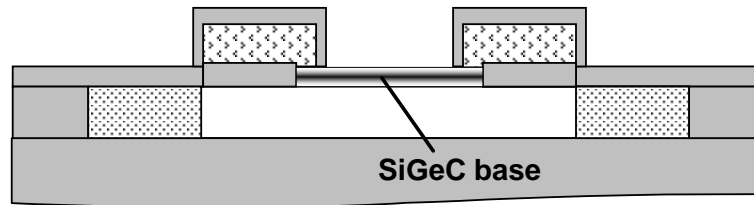


Figure II-18 : EmWin et base SiGe:C sélective

Cette croissance est dite sélective car elle se produit uniquement sur les surfaces de silicium dégagées par la cavité : la zone active de la couche supérieure du SOI et la face inférieure du polysilicium de la base extrinsèque. La croissance bidirectionnelle fait se rencontrer les surfaces de croissance et produit le lien électrique entre bases extrinsèque et intrinsèque (Figure II-19).

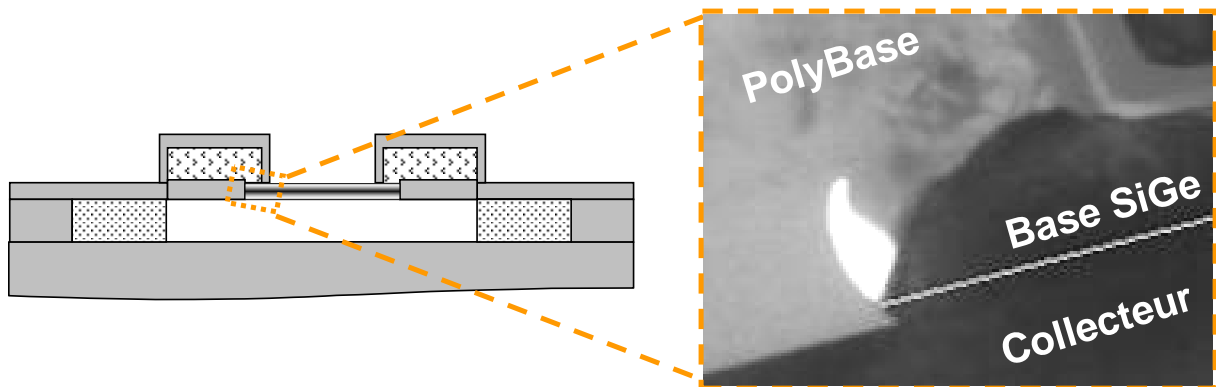


Figure II-19 : Image au MET montrant les surfaces de croissances sur la zone active et sous la base extrinsèque se rejoignant pour former le lien électrique entre bases intrinsèque et extrinsèque

Sur la Figure II-19, nous pouvons déterminer la cristallinité des matériaux par le contraste de l'image au microscope électronique a transmission (MET). La zone claire est caractéristique du matériau amorphe que constitue l'oxyde piédestal. Les zones sombres représentent les parties cristallines de la structure que sont le collecteur localisé dans la couche active de SOI et la base épitaxiée sur le réseau de ce dernier. Le contraste non-uniforme met en évidence la base extrinsèque polycristalline. Nous pouvons également distinguer la croissance polycristalline de la couche SiGe qui a eu lieu sous le *PolyBase* et qui

rejoint la base intrinsèque monocristalline pour former le lien électrique entre bases intrinsèque et extrinsèque.

Au cours de cette opération, on contrôle la concentration des gaz dans la chambre de dépôt de manière à créer un profil de germanium diminuant à partir du collecteur. Ce gradient dans la concentration de germanium génèrera le champ électrique interne accélérateur dans la base. De même, on ajoute lors de la croissance, une quantité de bore qui assurera le dopage de type p de la base.

#### II.4.A.2.d. *Emetteur et fin de la fabrication*

De manière analogue à la formation des espaceurs des flancs, on réduit par des espaceurs diélectriques la taille d'ouverture de la fenêtre émetteur *EmWin* avant d'y déposer le polysilicium dopé in situ qui servira d'émetteur à la structure.

Comme le montre la Figure II-20, le *PolyEm* est ensuite gravé suite à l'usage du dernier masque de photolithographie spécifique à la fabrication du transistor bipolaire.

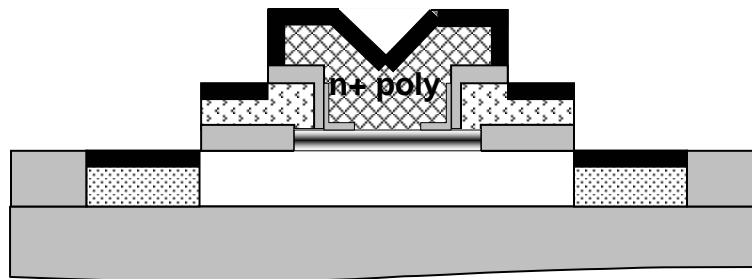


Figure II-20 : *PolyEm et dispositif siliciuré*

La technique de dépôt de l'émetteur est spécifiquement définie pour que la partie de l'émetteur en contact avec la base croisse en continuité cristalline avec cette dernière. La ré-épitaxie de l'émetteur favorise ainsi la conductivité électrique et permet un meilleur contrôle du profil de dopage. L'image réalisée au MET de la Figure II-21 représente la fenêtre d'émetteur en fin de fabrication de la structure émetteur-base. Grâce au contraste de l'image, il est possible de distinguer l'alignement cristallin du poly-émetteur sur le réseau cristallin de la base SiGe dans la fenêtre d'émetteur (zone au contraste foncé). Nous pouvons également voir que la taille de cette dernière est réduite de  $0.31\mu\text{m}$  après la photolithographie *EmWin*, à  $0.13\mu\text{m}$  par les espaceurs internes en forme de L.

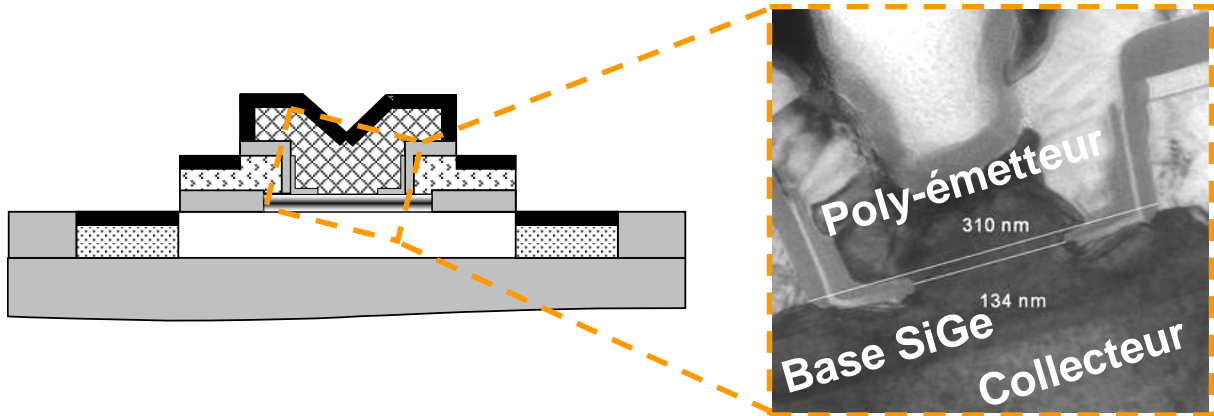


Figure II-21 : Image au MET présentant la réduction de la fenêtre d'émetteur par les espaceurs diélectriques en L. On y voit également la structure du polysilicium d'émetteur recristallisé

La dernière étape avant la fabrication des interconnexions consiste à siliciurer sélectivement les matériaux conducteurs en surface de la plaque. Cette étape réduit fortement la résistivité des matériaux et permet la réalisation d'un contact ohmique avec les interconnexions. Le reste de la fabrication consiste à placer des contacts sur les différents éléments du transistor et créer des niveaux d'interconnexions en cuivre, similaires à ceux utilisés dans les technologies  $0.13\mu\text{m}$  de STMicroelectronics (Figure II-22).

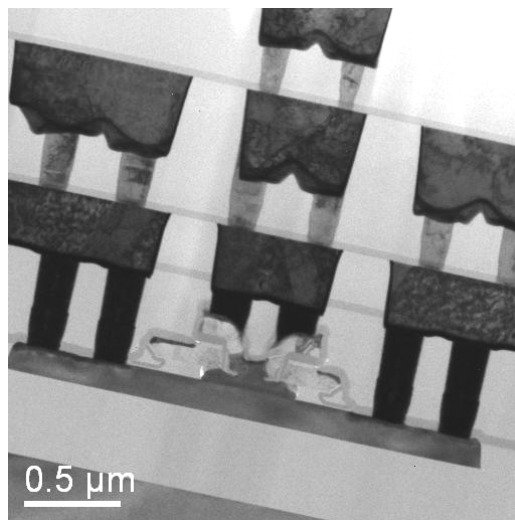


Figure II-22 : Image au MET de la structure du transistor bipolaire intégré dans la technologie  $0.13\mu\text{m}$  avec les niveaux d'interconnexions en cuivre

## II.4.B. Conception des dispositifs

### II.4.B.1. Utilisation des masques et règles de dessin

Comme nous l'avons vu au paragraphe précédent, la détermination des zones insolées lors d'une étape de photolithographie est établie grâce à un masque. A chaque étape de photolithographie correspond un masque particulier. La conception du dispositif bipolaire requiert le positionnement de quatre masques spécifiques par rapport aux masques de la technologie  $0.13\mu\text{m}$  standard qui en comprend une trentaine. On utilise en effet un grand nombre de masques de la technologie standard pour la définition des zones actives, l'implantation des régions de prise de collecteur et le placement des contacts et niveaux d'interconnexions, qui permettent d'obtenir les plots de mesures et de les relier électriquement aux dispositifs.

Pour éviter des problèmes lors de la fabrication du dispositif, un certain nombre de règles doivent être éditées en terme de positionnement. Dans le cas du transistor bipolaire, la fabrication nous impose les contraintes suivantes sur les quatre masques spécifiques :

- Une zone d'active unique doit être présente à l'intérieur du masque définissant les zones de transistor bipolaires *BipOpen* pour que ce dernier ait un collecteur. De même, tous les masques du transistor bipolaire doivent être inclus dans une zone de *BipOpen*.
- Le *PolyBase* ne doit pas recouvrir entièrement la zone active. La zone de prise de contact collecteur ainsi ménagée doit être suffisamment grande pour pouvoir y placer un contact de collecteur.
- La fenêtre *EmWin* doit être incluse dans une zone de *PolyBase* et dans une zone active. Sa taille minimale est limitée par la finesse de l'équipement de photolithographie à  $0.3\mu\text{m}$  environ pour une bonne maîtrise du procédé.
- L'émetteur *PolyEm* doit être inclus dans le *PolyBase* et doit inclure la fenêtre *EmWin*. Il doit être suffisamment grand pour pouvoir y placer un contact d'émetteur. De même, il doit ménager sur le *PolyBase* une place pour un contact de base.

Des marges légèrement inférieures à  $0.1\mu\text{m}$  doivent également être prises sur les règles pour assurer le fonctionnement du dispositif en cas de désalignement des masques dans la limite des spécifications de l'équipement de photolithographie. Par ailleurs, il arrive que les règles à appliquer aux niveaux d'interconnexions soient contraignantes pour le positionnement des masques du transistor bipolaire. Cela a été le cas dans un grand nombre de dispositifs au cours de cette étude.

Ces règles, tout en étant très précises, laissent une grande liberté dans le positionnement des masques mais une optimisation fine permet un gain considérable dans les performances du dispositif comme cela a été montré par simulation au paragraphe II.3.B.2. Nous sommes donc intervenus sur le dessin des masques via l'outil de conception *Cadence* pour optimiser la structure en terme de positionnement et de dimensions latérales (les dimensions verticales étant uniquement régies par les étapes de fabrication via l'épaisseur des couches déposées et gravées).

#### II.4.B.2. Optimisations

##### *II.4.B.2.a. L'auto-alignement*

Les étapes définissant la partie intrinsèque du transistor bipolaire vertical double-polysilicium sont principalement l'implantation du collecteur, le dépôt de la base intrinsèque par rapport à la base extrinsèque et la croissance de l'émetteur sur la base. Dans la plupart des architectures de transistors bipolaires sans auto-alignement, ces éléments sont obtenus suite à trois étapes de photolithographie. Les contraintes à apporter en terme de marge d'alignement réduisent la densité d'intégration et dégradent les performances en fréquence de la structure du fait de la présence d'éléments parasites (résistances, capacités) excessifs.

Dans le cas de la structure FSA-SEG, toutes ces étapes sont réalisées à partir de la photolithographie *EmWin*. Le collecteur est implanté sélectivement dans la fenêtre, le dégagement de la cavité par gravure isotrope permet le lien entre base intrinsèque et extrinsèque, les espaceurs internes assurent la réduction de la fenêtre d'émetteur en maintenant la symétrie de la structure. Grâce à un tel procédé, la distance  $L_C$  pourrait théoriquement être ramenée à  $0.35\mu\text{m}$ .

Compte tenu des règles sur les niveaux d'interconnexions, la plus petite distance expérimentalement testée est  $L_C$  à  $0.52\mu\text{m}$ , obtenue en partie grâce à l'utilisation du contact d'émetteur en ruban.

##### *II.4.B.2.b. Le contact émetteur en ruban*

Nous venons de voir au chapitre précédent que la distance  $L_C$  peut être fortement réduite à condition que les niveaux d'interconnexions ne soient pas un facteur limitant de la compacité de la structure.

Les phénomènes d'électromigration sont en partie responsables de l'encombrement des interconnexions. Il s'agit d'un déplacement atomique au sein d'un matériau soumis à un fort courant. Avec l'intensité du courant, le « vent » d'électrons devient si violent que la structure

du matériau est altérée. Ce mécanisme oblige les concepteurs à élargir les lignes de métaux et à multiplier le nombre de vias. Même si l'introduction du cuivre dans les niveaux d'interconnexions limite cette expansion dans les technologies CMOS pour les applications logiques, l'électromigration demande une attention particulière lors du dessin d'interconnexions pour les applications analogiques en RF.

En plus des dimensions et des marges, le manuel de règles de dessin comprend donc un certain nombre de règles concernant les mécanismes d'électromigration. Dans le cas du transistor bipolaire, les intensités de courant mises en jeu imposent de doubler la rangée de contacts sur l'émetteur. Avec une telle précaution, la largeur du *PolyEm* doit être augmentée ce qui augmente la taille minimale de  $L_C$ . Un nouveau type de contact « en ruban » a donc été proposé [Chevalier05b] grâce auquel on remplace une matrice de deux rangées de contacts carrés par un seul contact de longueur variable. Les deux types de contacts et les structures associées sont présentés en coupe sur la Figure II-23.

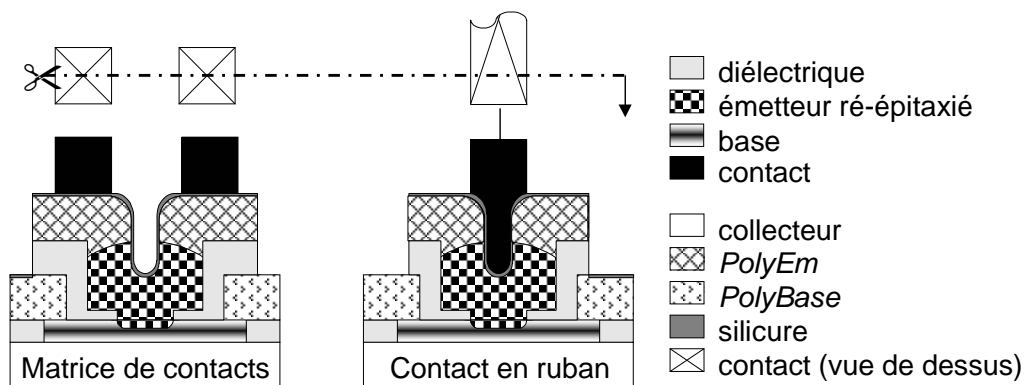


Figure II-23 : Vue en coupe de l'émetteur : bénéfice de l'émetteur en ruban [Chevalier05b]

La surface du contact en ruban est quasiment identique à celle de la matrice et sa longueur proche de celle de l'émetteur. Tout en restant compatible avec les règles de dessin et des contraintes d'électromigration, il est ainsi possible de diminuer la largeur du *PolyEm* et des interconnexions et de rapprocher les prises de collecteur.

Par ailleurs, la conformité du dépôt de polysilicium de l'émetteur introduit un creux au centre de la fenêtre *EmWin*. En dessinant un contact en ruban central, ce dernier est posé sur une zone où l'émetteur est ré-épitaxié et sa résistivité réduite. De plus le contact est plus proche de l'émetteur intrinsèque, ce qui permet de surcroît une réduction de la résistance d'émetteur.

II.4.B.2.c. Le dessin cellulaire du transistor

Dans les structures symétriques généralement utilisées, les contacts sont disposés latéralement avec un contact émetteur au centre, une rangée de contacts de base de part et d'autre, et deux rangées de contacts de collecteurs à l'extérieur. Cette disposition CBEB est représentée sur la Figure II-24.

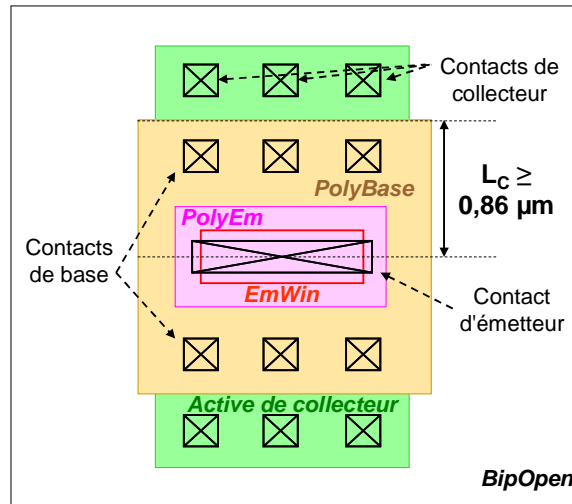


Figure II-24 : Structure standard de transistor bipolaire en configuration CBEB

Les simulations ont montré le bénéfice apporté par le dessin d'une distance  $L_C$  réduite sur la fréquence de transition. La structure CBEB demande de disposer d'un *PolyBase* assez large pour y poser de chaque côté de l'émetteur un contact et tirer une ligne d'interconnexion pour la base entre l'émetteur et le collecteur. Une telle disposition interdit de descendre sous une distance  $L_C$  inférieure à  $0.86\mu\text{m}$  (cf. Figure II-25).

Pour la plupart de nos études, nous avons donc utilisé un dessin de transistor innovant dans lequel les contacts de base sont reportés sur le côté du *PolyEm* dans une autre direction (Figure II-25).

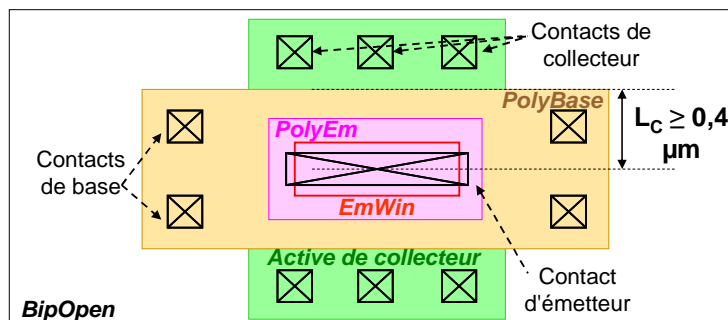


Figure II-25 : Représentation du dessin des masques avec les contacts de base reportés

Cette structure permet d'obtenir des distances de collecteur très courtes, descendant jusqu'à  $0.4\mu\text{m}$ . Toutefois, elle peut poser un problème de résistance de base pour les dispositifs ayant une longueur d'émetteur importante et donc dégrader la fréquence maximale d'oscillation. Pour pallier cet inconvénient, la surface d'émetteur peut être fractionnée en plusieurs fenêtres de longueur constante. Le fractionnement autorise ainsi le placement régulier de contacts de base et favorise une meilleure polarisation de la base intrinsèque comme le montre la Figure II-26.

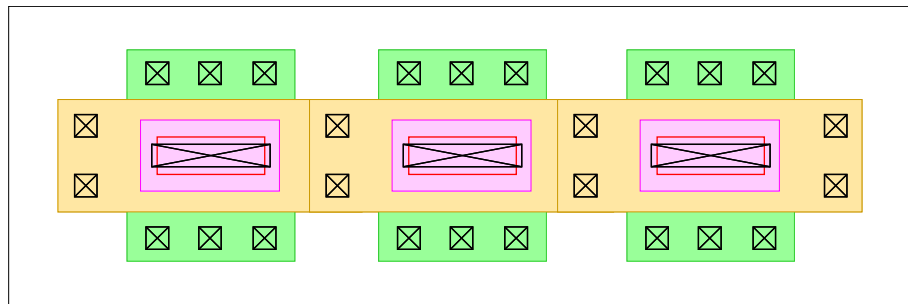


Figure II-26 : Structure cellulaire montrant la répétition de cellules pour le fractionnement de la fenêtre émetteur et répétition des contacts de base

En revanche, si le fractionnement est excessif, les composantes capacitives sont susceptibles de dégrader  $f_{\text{MAX}}$ . Les capacités périmétriques, bien que minimisées grâce à l'auto-alignement, augmentent de manière très rapide avec le fractionnement. La longueur des cellules doit ainsi être choisie de manière à optimiser le compromis entre résistance de base et capacités parasites. Au cours de notre étude, nous avons évalué plusieurs niveaux de fractionnement à 5, 7 et 12 cellules, pour des dispositifs ayant une surface d'émetteur totale constante et proche de  $1\mu\text{m}^2$ .

## II.4.C. Caractérisations des dispositifs

### II.4.C.1. Caractérisation physique

#### II.4.C.1.a. *En cours de fabrication*

Au cours de la fabrication, un certain nombre de tests sont réalisés automatiquement, ils permettent de s'assurer et éventuellement de corriger des problèmes pouvant survenir suite aux dérives d'équipements ou de vérifier des procédés en cours de développement. Cette métrologie s'applique à l'épaisseur et à la composition des couches déposées grâce à l'ellipsométrie UV. La Figure II-27 est une représentation des spectres obtenus en envoyant des ondes UV sur le matériau. Ils correspondent aux caractéristiques d'amplitude et de phase



du rapport entre coefficients de transmission et de réflexion des rayons UV tracées en fonction de leur longueur d'onde.

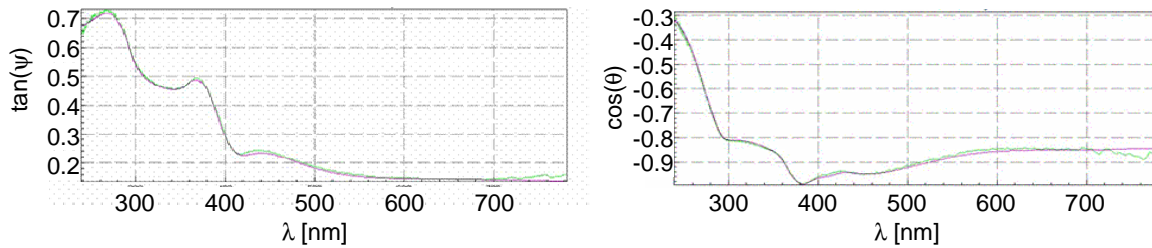


Figure II-27 : Exemple de spectres d'ellipsométrie

A partir des spectres mesurés, on cherche, par modélisation, les caractéristiques des couches. Il est important de noter que la présence d'une couche enterrée d'oxyde sous le bipolaire influe sur la précision de mesure des couches supérieures.

La taille des motifs en photolithographie et en gravure est également suivie en utilisant la microscopie à balayage en vue de dessus (MEB). La Figure II-28 montre une photo typique de motifs en vue de dessus au MEB ainsi que l'algorithme de mesure de dimensions basé sur le contraste de l'image.

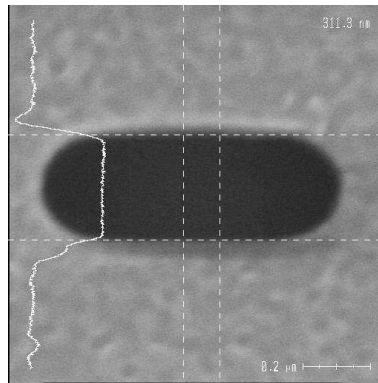


Figure II-28 : Image de la fenêtre émetteur après gravure et mesure de la dimension du motif

Comme pour l'ellipsométrie, l'utilisation de substrat SOI perturbe les mesures d'alignement entre niveaux de masquage car le contraste des plaques SOI est différent et rend difficile la reconnaissance automatique d'image.

#### II.4.C.1.b. Analyse destructive

Pour observer plus finement une topologie et valider le choix d'une option de fabrication intervenant sur la structure du dispositif, nous avons utilisé l'observation au MEB sur une coupe du transistor. La coupe permet d'avoir une vue de la section d'un dispositif mais

nécessite de casser une plaque. La plaque cassée doit être retirée du lot car elle ne peut plus suivre les étapes de fabrication. Pour des images plus précises, nous avons demandé à l'équipe de caractérisation physique la réalisation d'images par microscopie électronique par transmission (MET) qu'elle obtenait sur la section des dispositifs après coupe et amincissement par faisceau ionique (FIB).

Pour la caractérisation des profils de dopants et de germanium dans la structure émetteur-base-collecteur, nous utilisons la spectrométrie de masse par ions secondaires (SIMS). Pour ce faire, il est nécessaire de disposer sur nos masques de structures spécifiques de grandes dimensions (fenêtres carrées de 300 $\mu$ m de coté) reprenant l'empilement du transistor intrinsèque. La caractérisation par SIMS est à considérer avec précaution car il devient difficile de caractériser les profils de dopants dans la base des transistors bipolaires du fait de la réduction des épaisseurs des couches. Cela peut être réalisé mais au détriment de la sensibilité des détecteurs. Par ailleurs, les effets de charges souvent observés lors des étapes d'épitaxie sélective peuvent être responsables de variations d'épaisseur et de composition entre les transistors et les structures de grandes dimensions. Ces dernières, utilisées pour le contrôle des profils de dopants et de germanium, ne sont alors plus représentatives des dispositifs fabriqués.

#### II.4.C.2. Caractérisation électrique

##### *II.4.C.2.a. Test paramétrique automatique*

Après la réalisation du premier niveau et du dernier niveau d'interconnexions, on procède à un test électrique automatique de structures dites de test paramétrique. Ce test est réalisé en salle blanche sur banc de mesures automatique sous pointes *Keithley* par les équipes de production et répété sur 9 sites sur toutes les plaques du lot. Il permet d'obtenir des valeurs pour un grand nombre de paramètres prédéfinis comme le gain, les niveaux de courant à différentes polarisations, les tensions de claquage, les tensions d'Early des dispositifs et des paramètres technologiques comme la résistance des couches déposées et les capacités entre couches.

Ce test est intéressant par la quantité importante d'information qu'il génère et qui permet d'évaluer rapidement la dispersion intra- et inter-plaque au sein d'une branche. Les résultats sont généralement présentés sous formes de diagrammes en percentiles. La Figure II-29 présente la répartition en quartiles d'un paramètre électrique sur chaque plaque.

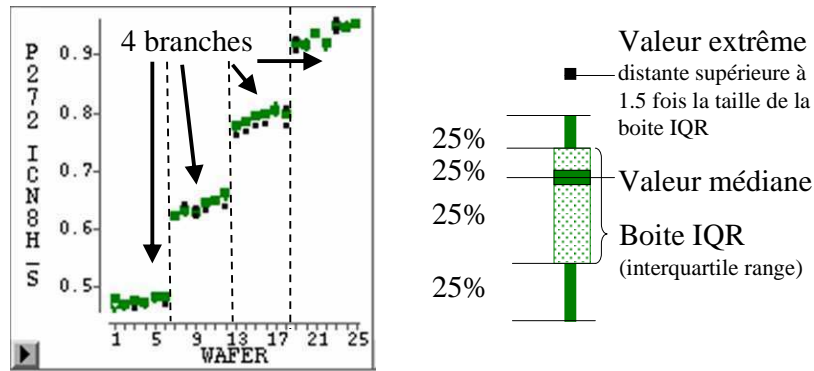


Figure II-29 : Représentation de la distribution en quartiles par plaque du paramètre  $ICN8H_S$  (courant de collecteur à forte polarisation sur le dispositif  $N8_S$ ) sur un lot de 4 branches

Ce test est utilisé pour valider la fabrication du lot et permet de choisir les plaques à caractériser plus finement en mesures statiques manuelles ou en mesures hyperfréquence.

#### II.4.C.2.b. Mesures statiques manuelles

Une fois le lot terminé et sorti de salle blanche, nous procédons à un test électrique manuel des structures grâce à un banc de mesures sous pointes équipé d'un analyseur de paramètres Agilent 4156. Ce test permet le tracé des courbes de Gummel et des réseaux de sortie. Il donne une information bien plus précise que les valeurs obtenues en test automatique mais le nombre de dispositifs caractérisés est restreint. Les dispositifs testés sont cependant choisis comme étant représentatifs de l'ensemble des dispositifs présents sur la plaque. Le test manuel permet notamment l'extraction des tensions de claquage, du facteur d'avalanche M-1 ainsi que la température de fonctionnement du transistor et sa résistance thermique, par des méthodes décrites au premier chapitre (I.3.B.3).

#### II.4.C.2.c. Mesures hyperfréquence

Le test hyperfréquence est réalisé en général sur une plaque de chaque branche choisie en fonction des résultats statiques obtenus en mesures *Keithley*. Les tests sont mis en œuvre par une équipe spécialisée sur un banc de mesures automatique qui permet l'obtention des paramètres-S sur trois dispositifs et l'extraction des fréquences de transition  $f_T$  et fréquences maximales d'oscillation  $f_{MAX}$ ,  $f_{p20dB}$ ,  $f_{MAX18G}$ .

Grâce à ces tests, on peut également extraire des composantes parasites des structures comme les capacités émetteur-base, collecteur-base et collecteur-substrat, les résistances de base et résistance d'émetteur.

## II.5. Conclusion

Nous avons vu dans ce chapitre les différentes possibilités d'intégration d'un transistor bipolaire sur SOI mince. En fonction des caractéristiques électriques présentées dans la littérature et de l'expérience acquise par les équipes d'intégration de STMicroelectronics, nous avons choisi une architecture verticale double-polysilicium basée sur la structure émetteur-base FSA-SEG. Pour le collecteur, la solution du collecteur implanté peu profond s'est imposée.

Nous avons réalisé des simulations physiques 2D afin de valider cette architecture et d'anticiper les performances envisageables pour de tels dispositifs en terme de tension de claquage  $BV_{CEO}$  et de fréquence de transition  $f_{Tmax}$ . Des variations sur le dopage du collecteur  $N_{Coll}$  et sur la position de la prise de collecteur  $L_C$  ont été étudiées pour estimer l'influence de ces paramètres sur les caractéristiques électriques des transistors. Les résultats obtenus montrent que le comportement en  $f_T$  reste proche de celui d'un dispositif sur substrat massif, avec toutefois des valeurs inférieures de 10 à 20GHz. Pour la tension de claquage, nous avons mis en évidence un comportement spécifique marqué par une transition abrupte des valeurs de  $BV_{CEO}$  pour des dopages de collecteur proches de  $10^{17} \text{cm}^{-3}$ .

Les performances simulées étant proches de l'état de l'art, nous avons mis en place une « route » décrivant l'enchaînement des étapes de fabrication, utilisable par les équipes de production pour l'intégration du transistor bipolaire dans une technologie silicium  $0.13\mu\text{m}$  sur substrats SOI de 150nm. La fabrication de la structure FSA-SEG, décrite dans ce chapitre, s'appuie sur un auto-alignement basé sur une épitaxie sélective de la base SiGe. Un jeu de masques spécifiques a été développé pour la fabrication, l'optimisation du dessin des masques devant permettre la réalisation d'un transistor dont les performances sont proches de celles simulées. Les techniques de caractérisations physiques et électriques nous ont permis de nous assurer de la conformité du transistor bipolaire avec les spécifications.

# III. Fonctionnement du TBH Si/SiGe sur SOI mince

## III.1. Introduction

Les simulations physiques 2D du chapitre précédent ont montré un comportement spécifique des transistors bipolaires sur SOI mince. Les transistors dont le collecteur est faiblement dopé présentent notamment une tension de claquage  $BV_{CEO}$  très élevée (environ 6V) par rapport aux TBH sur substrat massif (environ 2.5V) alors que les transistors fortement dopés ont une tension de claquage comparable à ces derniers. Nous proposons, dans ce chapitre, une analyse approfondie de ces résultats en s'appuyant sur des simulations physiques. Cette analyse est menée avec l'objectif de mettre en évidence des mécanismes de fonctionnement communs à tous les transistors sur SOI mince, quel que soit le dopage de leur collecteur. Enfin, nous vérifierons que les résultats de caractérisations électriques des dispositifs réels corroborent notre interprétation.

## III.2. Analyse du mécanisme d'avalanche par simulation physique 2D

Afin d'approfondir l'interprétation des résultats de simulation physique présentés au chapitre II, nous avons étudié l'évolution des grandeurs physiques liées à l'avalanche dans le collecteur du transistor sur SOI mince. Dans un premier temps, nous utiliserons les représentations à deux dimensions et les coupes de la structure réalisées à différentes tensions de collecteur pour suivre la propagation des zones de charges d'espace de la jonction base-collecteur et localiser les zones de fort champ électrique. Dans un deuxième temps, nous réaliserons une analyse comparative de ces grandeurs électriques avec l'évolution des courants et du facteur de multiplication.

### III.2.A. Analyse de la localisation de la zone de désertion base-collecteur

#### III.2.A.1. Description de la méthode

Nous utilisons le logiciel de simulation *Dessis* de ISE, décrit au chapitre II dans le paragraphe II.3.A.3. La structure de simulation est identique à celle précédemment décrite. Nous fixons un dopage de collecteur à  $10^{17}\text{cm}^{-3}$  proche de la transition entre les tensions de

claquage élevées et celles comparables avec les dispositifs sur substrat massif. Nous concentrons l'étude sur la zone du collecteur intrinsèque dont les abscisses sont inférieures à  $0.6\mu\text{m}$  et les ordonnées négatives. Cette zone est représentée sur la Figure III-1 qui fait également apparaître les axes selon lesquels sont réalisées les coupes présentées dans le reste du document.

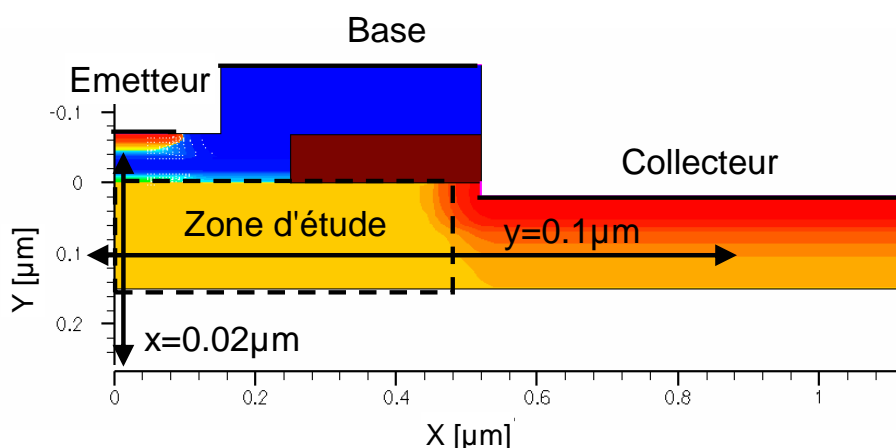


Figure III-1 : Schéma de la  $\frac{1}{2}$  structure de simulation physique et de la zone d'étude du collecteur selon les coupes verticales et horizontales

La coupe verticale est positionnée à une abscisse de  $0.02\mu\text{m}$  car elle est représentative du transistor vertical intrinsèque tout en limitant les artefacts de calcul associés aux conditions aux limites latérales. La coupe horizontale se trouve à une profondeur de  $0.1\mu\text{m}$  pour limiter l'importance des mécanismes localisés en limite de la zone d'étude dans la mesure où la calibration de l'outil de simulation s'avère délicate à l'interface avec la couche enterrée de  $\text{SiO}_2$  (non simulée ici).

### III.2.A.2. Evolution de la ZCE base-collecteur en fonction de la tension $V_{CB}$

En premier lieu, nous simulons uniquement une différence de potentiel entre la base et le collecteur de manière à polariser la jonction en inverse pour observer l'évolution de la zone de désertion côté collecteur en fonction de la tension  $V_{CB}$ . Les coupes 2D présentées en Figure III-2 montrent l'évolution de la densité de porteurs dans le collecteur d'un transistor dopé à  $10^{17}\text{cm}^{-3}$ , pour une tension  $V_{CB}$  croissante de  $0\text{V}$  à  $5\text{V}$  par pas de  $1\text{V}$ .

Nous constatons que la zone de désertion se propage verticalement avant d'atteindre l'interface avec l'oxyde enterré. Une fois l'interface  $\text{Si/SiO}_2$  atteinte, la ZCE poursuit son extension latéralement. Notons, également, que l'évolution latérale est stoppée quand la zone de charge d'espace atteint la prise de collecteur fortement dopée.

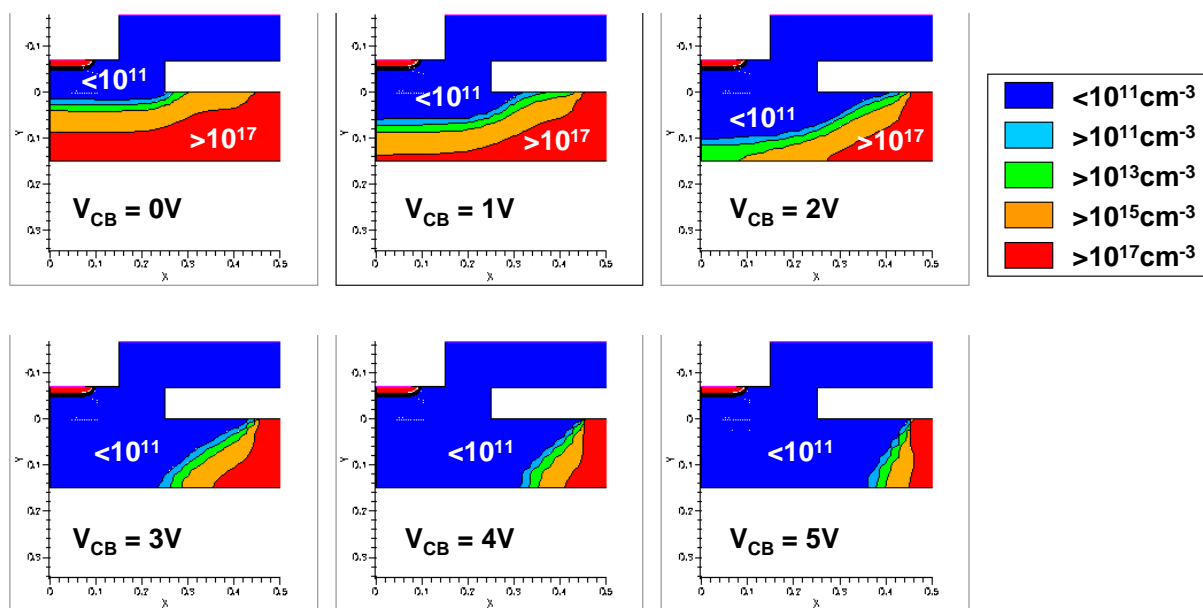


Figure III-2 : Evolution en 2D de la densité électronique pour  $V_{CB}$  variant entre 0V et 5V dans un transistor dont le dopage du collecteur vaut  $10^{17} \text{cm}^{-3}$

Des coupes horizontales et verticales de l'évolution de la charge d'espace sont présentées en Figure III-3. Le pas en  $V_{CB}$  est ramené à 0.5V de manière à mieux estimer la tension pour laquelle la ZCE base-collecteur atteint le fond du collecteur.

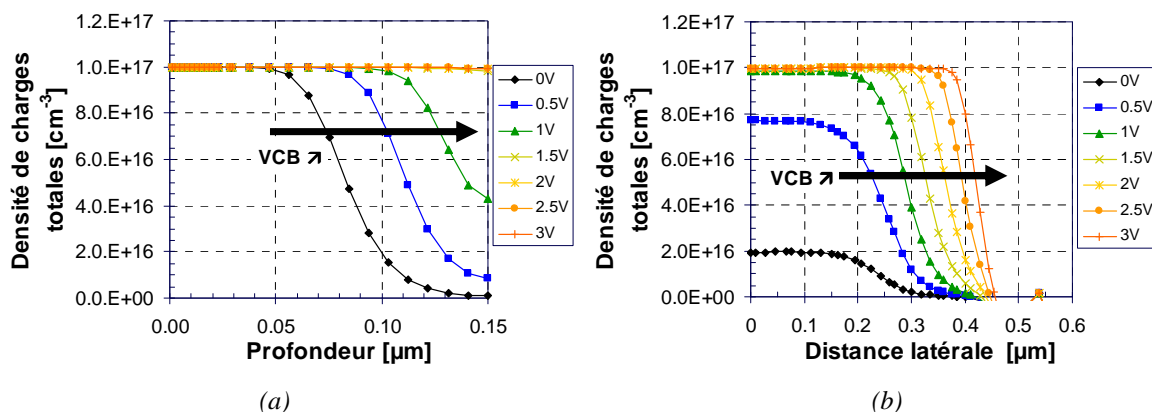


Figure III-3 : Evolutions (a) verticale et (b) horizontale de la densité de charges fixes pour  $V_{CB}$  compris entre 0V et 3V par pas de 0.5V dans un transistor dont le dopage du collecteur vaut  $10^{17} \text{cm}^{-3}$

Conformément au niveau de dopage de collecteur choisi, la densité de charges fixes se limite à  $10^{17} \text{cm}^{-3}$  dans la zone désertée. Cette valeur est atteinte en fond de collecteur pour une tension  $V_{CB}$  (externe) proche de 1.5V. Il s'agit de la tension nécessaire à la désertion verticale du collecteur  $V_{PC}$  (Pnch-through Collector).

L'évolution de la zone de désertion et la répartition latérale du potentiel électrostatique dans le collecteur ont pour conséquence une limitation du champ électrique à la verticale du transistor intrinsèque et une propagation des forts champs électriques vers la zone extrinsèque au transistor (Figure III-4).

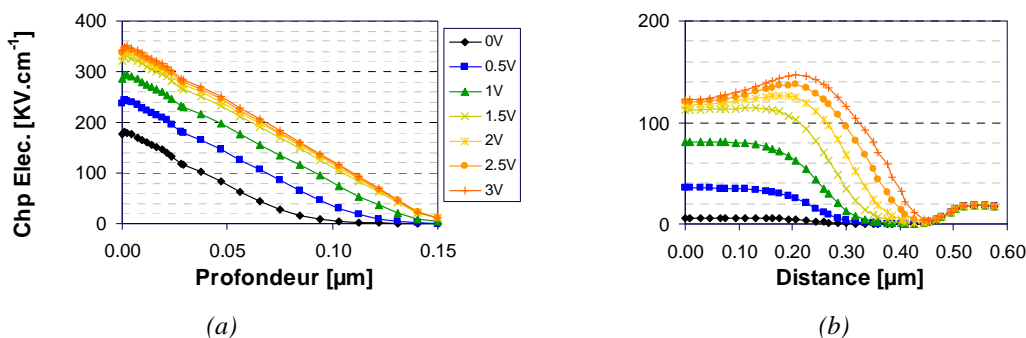


Figure III-4 : Evolution du champ électrique selon les coupes (a) verticale et (b) horizontale dans un transistor dont le collecteur est dopé à  $10^{17} \text{ cm}^{-3}$

Nous venons de voir l'évolution spécifique de la zone de charge d'espace base-collecteur et sa conséquence sur l'évolution du champ électrique. Cette localisation des forts champs n'est pas l'unique facteur déterminant la tension de claquage de la jonction  $BV_{\text{CBO}}$  puisque c'est l'action combinée du courant et du fort champ électrique qui est responsable de la génération de porteurs par ionisation par impact et donc de l'avalanche. Ainsi, la saturation du champ électrique dans la jonction base-collecteur intrinsèque est une première hypothèse à l'explication des valeurs élevées de  $BV_{\text{CEO}}$  constatées lors des simulations préliminaires.

### III.2.B. Etude du fonctionnement du dispositif

Dans ce paragraphe, nous étudions le claquage du dispositif en fonctionnement, c'est-à-dire dans les conditions d'extraction du  $BV_{\text{CEO}}$ . De manière complémentaire aux résultats des simulations préliminaires du chapitre précédent, nous nous intéressons plus particulièrement aux courants qui ont permis l'extraction de ces valeurs et au facteur de multiplication  $M-1$ .

#### III.2.B.1. Dispositif typique dopé à $10^{17} \text{ cm}^{-3}$

Dans un premier temps, nous étudions une structure dont le collecteur est dopé avec une concentration  $N_{\text{Coll}} = 1 \times 10^{17} \text{ cm}^{-3}$  et pour laquelle la tension de claquage extraite (6V) est très supérieure aux valeurs obtenues sur substrat massif (2.5V).



### III.2.B.1.a. Analyse de la désertion verticale dans le collecteur : Saturation du facteur d'avalanche

La Figure III-5 présente l'évolution du courant de base en fonction de la tension  $V_{CE}$  lors de la simulation permettant l'extraction du  $BV_{CEO}$  sur un transistor dopé à  $10^{17} \text{ cm}^{-3}$  et polarisé en tension  $V_{BE}$  à 0.69V.

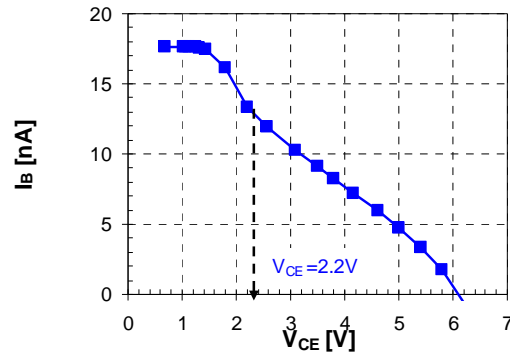


Figure III-5 : Courant de base  $I_B$  en fonction de la tension  $V_{CE}$  sur un transistor dopé à  $10^{17} \text{ cm}^{-3}$  pour lequel  $L_C=0.52\mu\text{m}$  et polarisé à  $V_{BE}=0.69\text{V}$

La décroissance du courant de base présente un point d'inflexion autour de la tension  $V_{CE} = 2.2\text{V}$ . La polarisation en  $V_{BE}$  étant fixée à 0.69V, la tension  $V_{CB}$  correspondant à la discontinuité dans la décroissance de  $I_B$  est donc proche de 1.5V. Afin de déterminer la cause de cette rupture de pente, nous avons calculé le facteur d'avalanche M-1 à partir des courants simulés selon la formule I-29. La Figure III-6 présente l'évolution de M-1 en fonction de la tension  $V_{CB}$  lors de la même séquence de simulation que précédemment.

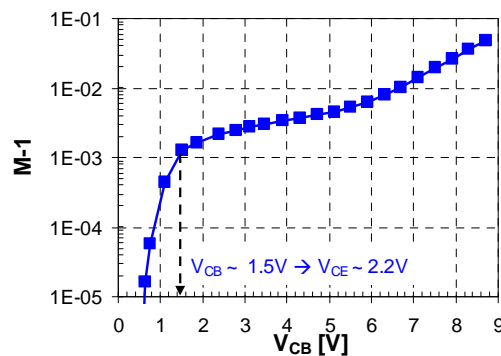


Figure III-6 : Facteur d'avalanche simulé en fonction de  $V_{CB}$  sur un transistor dopé à  $10^{17} \text{ cm}^{-3}$  polarisé à  $V_{BE}=0.69\text{V}$

Sur la courbe de M-1 comme sur celle de  $I_B$ , on observe un point d'inflexion pour une tension de collecteur  $V_{CB} = 1.5\text{V}$ . Au-delà de cette valeur, la première phase de forte

augmentation de  $M-1$  est suivie d'une seconde phase de progression plus faible. Cette transition est obtenue pour une valeur de  $V_{CB}$  correspondant à la tension de désertion verticale  $V_{PC}$ . La limitation du champ électrique observée au paragraphe précédent se traduit donc par une saturation de la génération de porteurs par ionisation par impact dans la ZCE base-collecteur.

### III.2.B.1.b. Analyse de la désertion totale du collecteur : Influence de la position de la prise de collecteur

Nous avons vu sur les Figure III-2 et Figure III-3 que la propagation latérale de la zone de désertion dans la couche de SOI est stoppée par la région de prise de collecteur fortement dopée. Or, après une phase de saturation, le facteur d'avalanche augmente de nouveau rapidement avec la tension  $V_{CB}$ , lorsque cette dernière est supérieure à 5V (Figure III-6). Nous pouvons supposer que cette troisième phase d'augmentation de  $M-1$  correspond à la désertion totale du collecteur.

Il est toutefois difficile d'estimer de manière précise la tension de collecteur pour laquelle la désertion s'étend dans tout le collecteur car cette transition est plus graduelle que le passage en désertion latérale. En effet, la transition entre collecteur extrinsèque et prise de collecteur correspond à un gradient de dopage résultant de la diffusion des dopants de la prise de collecteur sous l'effet du bilan thermique. Dans ce cas, il ne s'agit pas d'une interface abrupte entre matériaux différents.

Dans le but de vérifier cette hypothèse, nous avons réalisé des simulations sur des dispositifs dont la distance de collecteur  $L_C$  varie. La Figure III-7 présente les évolutions du facteur  $M-1$  en fonction de  $V_{CB}$  pour des dispositifs dopés à  $10^{17} \text{ cm}^{-3}$ , dont la distance de collecteur  $L_C$  prend pour valeur  $0.44 \mu\text{m}$ ,  $0.52 \mu\text{m}$  et  $0.60 \mu\text{m}$ .

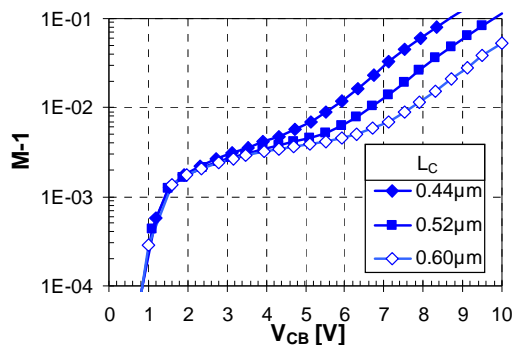


Figure III-7 : Evolution du facteur d'avalanche  $M-1$  en fonction de  $V_{CB}$  pour  $N_{Coll}=10^{17} \text{ cm}^{-3}$  et pour des distances de prise de collecteur  $L_C$  de  $0.44$ ,  $0.52$  et  $0.60 \mu\text{m}$

Les trois courbes sont confondues durant les deux premières phases de croissance de M-1. Par contre, le passage en troisième phase de croissance est repoussé vers des tensions  $V_{CB}$  supérieures lorsque la prise de collecteur s'éloigne. Il y a donc un lien entre la position de la prise de collecteur et la troisième phase de croissance de M-1 que nous attribuons à la déplétion totale du collecteur.

### III.2.B.2. Influence du dopage collecteur sur l'extension de la zone de désertion

Parallèlement aux effets géométriques discutés précédemment, le niveau de dopage du film SOI servant de collecteur au transistor est un paramètre influant au premier ordre sur la propagation de la zone de charge d'espace de la jonction base-collecteur. Nous proposons dans ce paragraphe d'évaluer l'influence de la concentration en dopant  $N_{Coll}$  sur le comportement décrit précédemment.

#### III.2.B.2.a. Dispositifs très peu dopés

Pour ces dispositifs, le collecteur intrinsèque est déjà pratiquement entièrement déserté sans polarisation extérieure. La première phase de croissance de M-1 est si courte, qu'elle n'apparaît pas sur les courbes de M-1 car les niveaux de courants mesurés sont trop faibles pour un calcul significatif du facteur d'avalanche. On peut néanmoins observer les deuxième et/ou troisième phases de croissance de M-1 correspondant à la désertion latérale et totale respectivement. La Figure III-8 présente le facteur d'avalanche pour des dispositifs dont le dopage de collecteur est égal à  $5 \times 10^{16}$ ,  $1 \times 10^{17}$  et  $2 \times 10^{17} \text{ cm}^{-3}$ .

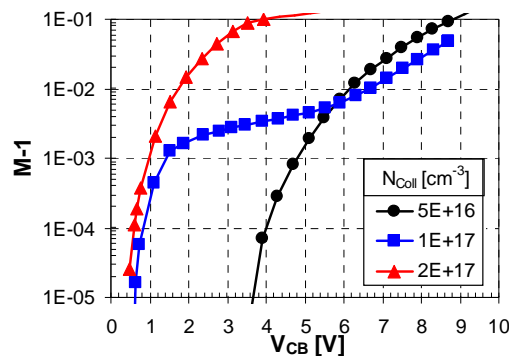


Figure III-8 : Evolution du facteur d'avalanche M-1 en fonction de  $V_{CB}$  pour  $N_{Coll} = 5 \times 10^{16}$  (cercles),  $1 \times 10^{17}$  (carrés),  $2 \times 10^{17} \text{ cm}^{-3}$  (triangles)

Le dispositif le moins dopé ( $N_{Coll} = 5 \times 10^{16} \text{ cm}^{-3}$ ) ne laisse apparaître que la phase de désertion totale du collecteur. Le facteur M-1 prend une valeur significative pour une tension  $V_{CB}$  de 3V suffisamment importante pour désertir totalement un collecteur si peu dopé.

Par ailleurs, la courbe correspondant au dispositif le moins dopé croise celle correspondant à celui avec un dopage intermédiaire ( $10^{17} \text{cm}^{-3}$ ) à  $V_{CB}=5.5\text{V}$ . Pour cette tension, le facteur d'avalanche correspondant au dispositif le moins dopé augmente rapidement car le collecteur est déjà totalement déserté. Le dispositif intermédiaire est encore en régime de déplétion latérale et M-1 ne sortira de la phase de « saturation » ( $V_{CB}$  compris entre 2V et 6V) que pour une tension supérieure, correspondant à la déplétion totale.

### III.2.B.2.b. Dispositifs fortement dopés

Dans cette partie, nous étudierons l'avalanche pour des dispositifs plus fortement dopés. Les dispositifs avec  $N_{\text{Coll}}=10^{17} \text{cm}^{-3}$  ont un  $BV_{\text{CEO}}$  anormalement élevé alors que les dispositifs dopés à  $2 \times 10^{17} \text{cm}^{-3}$  ont des valeurs de  $BV_{\text{CEO}}$  comparables aux transistors sur substrat massif comme nous l'avons montré par simulations au II.3.B.1.a. Si les valeurs de  $BV_{\text{CEO}}$  simulées sont identiques, le comportement est-il toujours caractéristique des transistors sur SOI ? En poursuivant la simulation au-delà du point d'extraction du  $BV_{\text{CEO}}$ , nous pouvons présenter en Figure III-9 (échelle linéaire) la courbe du facteur d'avalanche jusqu'à la tension  $V_{CB}=7\text{V}$  (alors que  $BV_{\text{CEO}}=2.1\text{V}$ ).

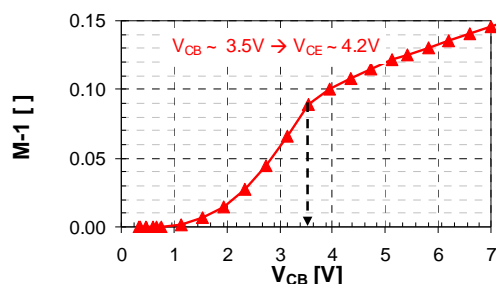


Figure III-9 : Evolution du facteur d'avalanche M-1 en fonction de  $V_{CB}$ , simulée pour un transistor pour lequel  $N_{\text{Coll}}=2 \times 10^{17} \text{cm}^{-3}$  (échelle linéaire)

Nous constatons bien une transition d'une phase de croissance forte vers une phase de saturation pour une polarisation de collecteur proche de 3.5V. Cette valeur est cohérente avec un rapport constant  $V_{\text{PC}}/N_{\text{Coll}}$  correspondant à une extension verticale maximale de la ZCE de 150nm. Ce résultat conforte l'hypothèse sur le comportement en fonctionnement du bipolaire sur SOI mince émise au paragraphe III.2.B.1. Par ailleurs, ces dispositifs n'atteignent jamais la troisième phase de croissance de M-1 car la tension de claquage de la jonction base-collecteur  $BV_{\text{CBO}}$  est atteinte avant la déplétion totale du collecteur.

### III.2.C. Conclusion sur l'avalanche dans le collecteur

Nous concluons de cette étude que la limitation du champ électrique dans la jonction base-collecteur résulte d'une propagation latérale de la zone de charge d'espace déclenchée lorsque l'interface avec l'oxyde enterré en fond de collecteur empêche une évolution verticale. Le champ électrique modéré qui en résulte a pour conséquence une rupture dans la décroissance du courant de base et une saturation du facteur d'avalanche.

Il existe également une relation entre l'éloignement de la prise de collecteur et le début d'une seconde phase de croissance rapide de l'avalanche à fort  $V_{CB}$  car cette dernière débute avec la désertion totale du collecteur.

Pour des dopages supérieurs à  $2 \times 10^{17} \text{ cm}^{-3}$ , le comportement des dispositifs sur SOI mince reste identique à celui des transistors sur substrat massif et les différents régimes de désertion peuvent être observés dans la limite de la destruction de la jonction base-collecteur.

## III.3. Caractérisation électrique et influence des caractéristiques technologiques du collecteur

Dans cette partie, nous vérifierons en nous appuyant sur des caractérisations électriques que le comportement du composant réel est conforme à celui décrit à l'aide des simulations physiques. De plus, nous présentons les conséquences électriques de l'évolution de la désertion dans le collecteur. Il est important de noter que les résultats présentés ici sont des illustrations de l'influence de la structure du collecteur sur le comportement électrique du dispositif. Bien que mesurés sur des lots spécifiques, ces résultats sont représentatifs du comportement des TBH sur SOI mince et dépendent uniquement des caractéristiques technologiques du collecteur.

### III.3.A. Avalanche dans le transistor réel et extraction du $BV_{CEO}$

#### III.3.A.1. Comparaison entre résultats de mesures et de simulations

##### *III.3.A.1.a. Mesures sur lots en fonction du dopage de collecteur*

Le facteur d'avalanche décrit simplement l'aptitude de la jonction base-collecteur à générer des porteurs par impact à partir d'un courant la traversant. Il permet ainsi de comparer les résultats de simulations avec les mesures réalisées sur des échantillons réels et de trouver un rapport entre concentration d'impuretés ( $N_{\text{Coll}}$ ) simulée et dose de phosphore implantée

( $D_{\text{Coll}}$ ), car le profil de dopants dans le collecteur est uniforme compte tenu de la diffusion des dopants sous l'effet du bilan thermique subi par le transistor.

La Figure III-10 présente les caractéristiques  $M-1=f(V_{\text{CB}})$  calculées selon l'équation I-29 à partir de mesures sur des transistors utilisant des doses d'implantation de collecteur variables. Ces transistors sont issus de plusieurs lots et comportent également des réglages de la jonction émetteur-base différents qui n'influent cependant pas sur la valeur de  $M-1$ .

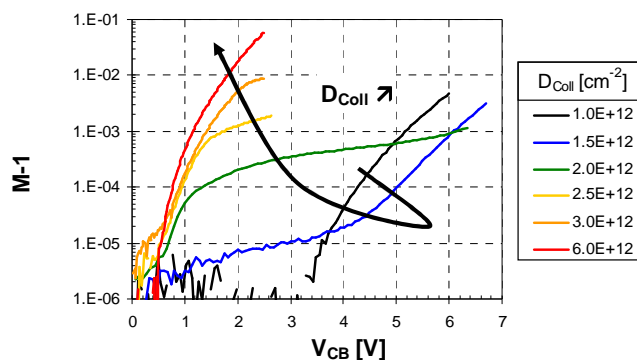


Figure III-10 : Evolution de  $M-1$  en fonction de  $V_{\text{CB}}$  pour des dispositifs dont la dose d'implantation collecteur est comprise entre  $1 \times 10^{12} \text{ cm}^{-2}$  et  $6 \times 10^{12} \text{ cm}^{-2}$

Nous retrouvons sur ces courbes les différentes phases de croissance de  $M-1$ . Pour les doses supérieures ou égales à  $2 \times 10^{12} \text{ cm}^{-2}$ , nous voyons clairement la transition entre déplétion verticale et latérale. Pour les doses inférieures à  $1.5 \times 10^{12} \text{ cm}^{-2}$ , il n'est possible de distinguer que les phases de désertion latérale et totale.

Le fonctionnement des dispositifs expérimentaux est donc bien en accord avec le fonctionnement spécifique identifié grâce aux résultats de simulations physiques. Nous allons maintenant relier quantitativement la concentration d'impuretés et la dose implantée par l'extraction de la tension  $V_{\text{PC}}$  nécessaire à la déplétion verticale complète du collecteur.

### III.3.A.1.b. Identification à tension de déplétion verticale identique

Grâce aux courbes de la Figure III-10, il est possible de déterminer la tension  $V_{\text{PC}}$  pour la plupart des doses étudiées. Les résultats des extractions sont présentés dans la Table III-1, où figurent également les tensions  $V_{\text{PC}}$  extraites des simulations.

	Mesures ( $D_{Coll}$ )				Simulations ( $N_{Coll}$ )			
$D_{Coll}$ ou $N_{Coll}$	$1.5 \times 10^{12}$	$2 \times 10^{12}$	$2.5 \times 10^{12}$	$3 \times 10^{12}$	$0.8 \times 10^{17}$	$1 \times 10^{17}$	$1.25 \times 10^{17}$	$2 \times 10^{17}$
$V_{PC}$ [V]	0.7	1.02	1.34	1.64	1.1	1.52	1.9	3.4

Table III-1 : Valeurs extraites de tension de déplétion verticale  $V_{PC}$  pour différentes doses d'implantation de collecteur des transistors fabriqués et différents dopages de collecteur des transistors simulés

Nous représentons ces valeurs dans le graphe de la Figure III-11 en cherchant la corrélation linéaire entre dose implantée de collecteur, dopage et tension  $V_{PC}$ .

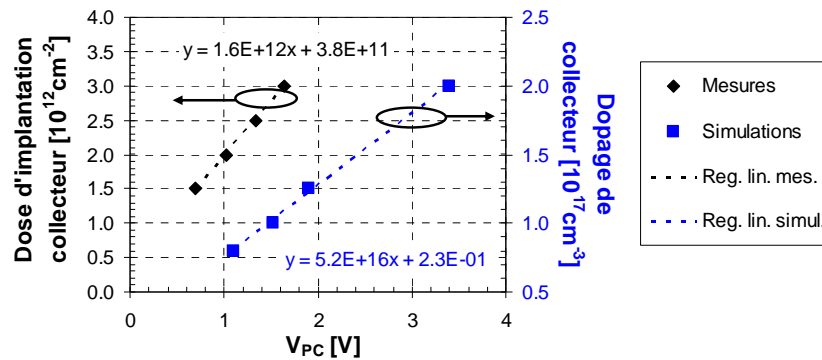


Figure III-11 : Dopages et doses implantées dans le collecteur de transistors fabriqués (losanges) et simulés (carrés), représentés en fonction des tensions  $V_{PC}$  extraites

Les régressions linéaires présentent un coefficient de corrélation supérieur à 0.99. Le rapport des pentes permet d'identifier la corrélation entre dose implantée et dopage. Comme il est légitime d'admettre une relation de proportionnalité entre dose et dopage, on peut estimer la concentration de dopants implantée pour chaque dose d'implantation.

$$N_{Coll-impl} = \alpha \cdot D_{Coll} \text{ avec } \alpha = 3.3 \times 10^4 \text{ cm}^{-1}$$

La Figure III-12 montre que les courbes de mesures et de simulation se superposent lorsqu'on convertit la dose implantée en concentration en utilisant un coefficient de proportionnalité et en tenant compte du dopage constant de  $10^{16} \text{ cm}^{-3}$  déjà présent dans la couche active de silicium du SOI.

$$N_{Coll} = 3.3 \times 10^4 \cdot D_{Coll} + 10^{16}$$

Cette relation permet de faire correspondre la dose d'implantation de collecteur avec la valeur de dopage correspondante pour obtenir une tension  $V_{PC}$  identique. Cette approche n'est valable que dans le cas d'un profil de dopant uniforme dans le collecteur.

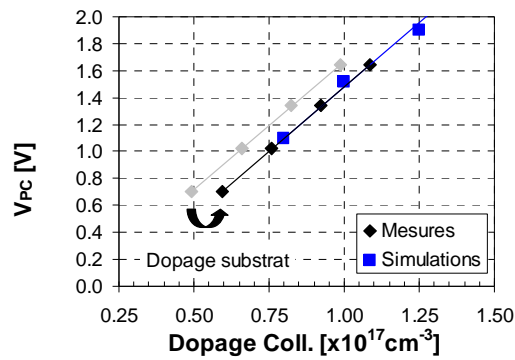


Figure III-12 : Tension de désertion verticale  $V_{PC}$  en fonction du dopage de collecteur simulé et de la conversion des doses réelles implantées

Grâce à ces courbes, nous avons établi une corrélation entre le dopage collecteur et la dose de phosphore implantée pour pouvoir déterminer, selon les conditions de fabrication, la tension de déplétion verticale  $V_{PC}$  et anticiper le régime de fonctionnement des transistors en fonction de la polarisation appliquée sur le collecteur.

### III.3.A.2. Extraction du $BV_{CEO}$

#### III.3.A.2.a. *Conséquences des différents régimes de fonctionnement*

De manière équivalente à l'extraction du  $BV_{CEO}$  à partir de l'inversion du courant de base, il est possible d'extraire la tension de claquage du dispositif lorsque le facteur de multiplication  $M-1$  égale l'inverse du gain en courant  $\beta$  (cf. Chapitre I, Equation I-26). Comme les caractéristiques technologiques du collecteur n'interviennent pas au premier ordre sur le gain du dispositif, la tension de claquage est extraite pour le même niveau de  $M-1$ , quel que soit le dopage  $D_{Coll}$  à condition que les gains soient identiques. La Figure III-13 présente à nouveau les courbes  $M-1=f(V_{CB})$  pour différentes doses d'implantation de collecteur sur lesquelles nous avons ajouté les niveaux correspondant à l'inverse de gains ayant des valeurs supposées de 1000 et 5000.



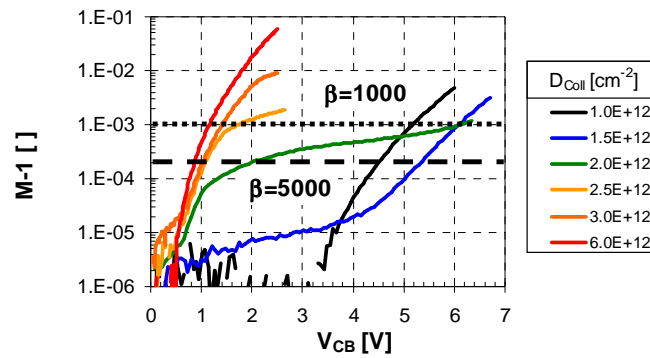


Figure III-13 : Réseau de  $M-1$  en fonction de  $V_{CB}$  pour différentes doses d'implantation de collecteur et limites d'extraction du  $BV_{CEO}$  correspondant à des gains en courant de 1000 et 5000

Nous avons ainsi extrait du réseau de caractéristiques  $M-1$  en fonction de  $V_{CB}$ , deux valeurs de  $BV_{CEO}$  correspondant aux deux valeurs fictives de gain, que nous présentons en Figure III-14 pour chaque dose d'implantation de collecteur et pour une tension  $V_{BE}=0.69V$ .

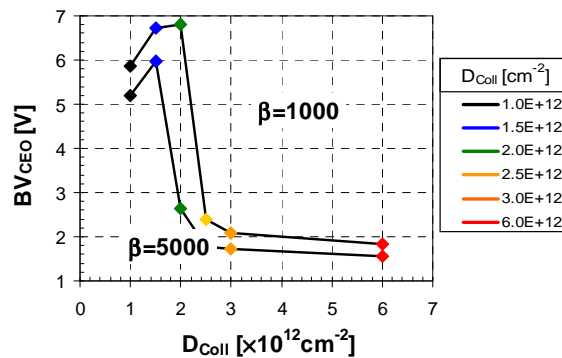


Figure III-14 : Evolution de  $BV_{CEO}$  avec la dose d'implantation de collecteur, extrait pour des valeurs de gain fictives de 1000 et 5000

Nous retrouvons dans ce graphique l'allure spécifique des courbes de la tension de claquage en fonction du dopage de collecteur que nous avons présentées au paragraphe II.3.B.1.a (Figure II-10) traitant des simulations préliminaires de la structure du TBH sur SOI mince.

Ces résultats montrent également qu'une réduction du gain est associée à une légère augmentation de la tension  $BV_{CEO}$  à faible et à fort dopage. Une augmentation beaucoup plus importante est obtenue pour des dopages collecteurs intermédiaires (dose autour de  $2 \times 10^{12} \text{cm}^{-2}$ ). Pour ces transistors, la condition  $M-1=1/\beta$  est vérifiée en régime de déplétion latérale correspondant à la phase de saturation du facteur d'avalanche, ce qui explique la forte augmentation de  $BV_{CEO}$  associée à la réduction du gain.

## III.3.A.2.b. Influence de la position de la prise de collecteur

Nous avons vu au paragraphe III.2.B.1.b que l'éloignement de la prise collecteur permettait de retarder la désertion totale et donc l'apparition de la troisième phase de croissance du facteur de multiplication M-1. Si la tension de claquage  $BV_{CEO}$  est atteinte au cours de cette phase, nous devrions observer une augmentation du  $BV_{CEO}$  lorsque  $L_C$  augmente.

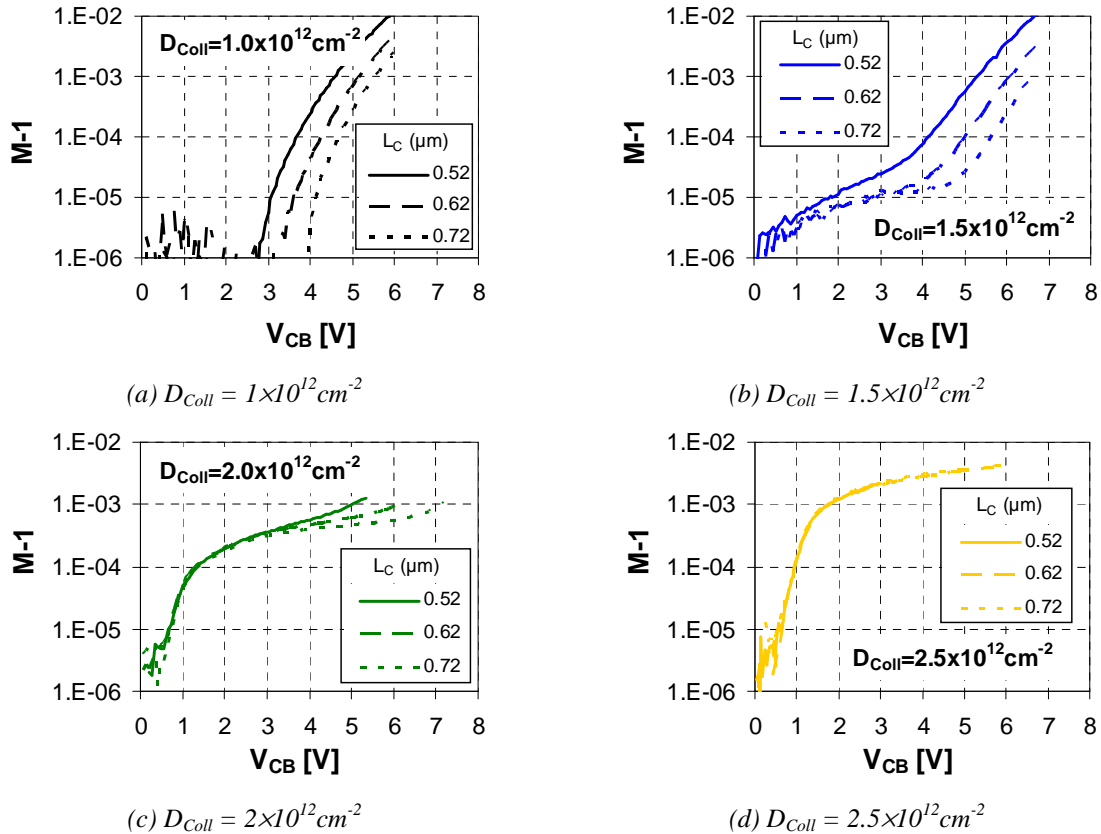


Figure III-15 : Evolutions du facteur de multiplication M-1 en fonction de  $V_{CB}$  mesurées sur douze transistors combinant  $D_{Coll}=1.0 \times, 1.5 \times, 2.0 \times,$  et  $2.5 \times 10^{12} \text{ cm}^{-2}$  et  $L_C=0.52, 0.62$  et  $0.72 \mu\text{m}$

Afin de le vérifier, nous disposons sur nos masques de structures de test comportant des transistors pour lesquels le paramètre  $L_C$  prends des valeurs  $0.52 \mu\text{m}$ ,  $0.62 \mu\text{m}$  et  $0.72 \mu\text{m}$ . La Figure III-15 représente l'évolution du facteur d'avalanche pour ces trois valeurs de  $L_C$  et pour quatre doses de dopage de collecteur différentes.

Comme prévu par les simulations physiques, la distance de la prise de collecteur influence la valeur du facteur d'avalanche lors de la troisième phase de croissance. Pour les trois premiers niveaux de dopage, la limite en  $V_{CB}$  de la désertion totale du collecteur est repoussée lorsque la prise de collecteur s'éloigne. Pour le dopage le plus élevé, il n'y a pas d'influence de la position de la prise de collecteur sur le facteur de multiplication.

Les courbes  $M-1=f(V_{CB})$  présentées en Figure III-15 ont été tracées à partir de mesures réalisées sur douze transistors. Pour s'affranchir des variations de gain entre les dispositifs et ne mettre en avant que l'influence de la position de la prise de collecteur, nous supposons un gain de 1000 pour extraire les valeurs de  $BV_{CEO}$  de ces composants. Dans ce cas, la tension de claquage sera extraite en régime de déplétion totale pour les dopages inférieurs à  $2 \times 10^{12} \text{cm}^{-2}$  et en début de déplétion latérale pour le dispositif dopé à  $2.5 \times 10^{12} \text{cm}^{-2}$ .

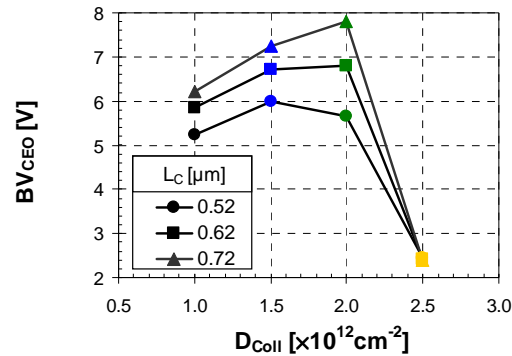


Figure III-16 : Tensions  $BV_{CEO}$  en fonction de la dose de dopage de collecteur extraites en supposant  $\beta=1000=(M-1)^{-1}$  sur des transistors pour lesquels la distance  $L_C$  varie

La Figure III-16 met en évidence l'influence de la distance  $L_C$  sur la tension  $BV_{CEO}$  dans le régime de désertion totale. Dans ce régime, l'influence de la position de la prise de collecteur sur la tension  $BV_{CEO}$  est d'autant plus grande que le dopage du collecteur est élevé. Par ailleurs, nous notons l'absence d'influence des dimensions horizontales du dispositif sur le  $BV_{CEO}$  dans les autres régimes.

### III.3.B. Autres conséquences sur le comportement électrique

#### III.3.B.1. Caractéristiques de sortie atypiques

En régime de déplétion latérale, la saturation du champ électrique dans la jonction base-collecteur se traduit par une limitation de l'avalanche et du taux de décroissance du courant de base en fonction de  $V_{CB}$ . Les caractéristiques de sortie à courant  $I_B$  constant des transistors à dopage de collecteur intermédiaire (Figure III-17.b) montrent que la correction positive, apportée sur la tension  $V_{BE}$  pour maintenir  $I_B$  constant malgré l'avalanche dans le collecteur, est modérée. On assiste alors à une augmentation quasi-linéaire de  $I_C$  au lieu de l'exponentielle habituellement observée.

Pour les autres régimes que sont la déplétion verticale (dose implantée supérieure à  $5 \times 10^{12} \text{cm}^{-2}$ ) et la déplétion totale du collecteur (dose inférieure à  $1.5 \times 10^{12} \text{cm}^{-2}$ ), les courbes

de sortie ne sont pas modifiées par rapport à celles de dispositifs construits sur substrat massif (cf. Figure III-17 a et c).

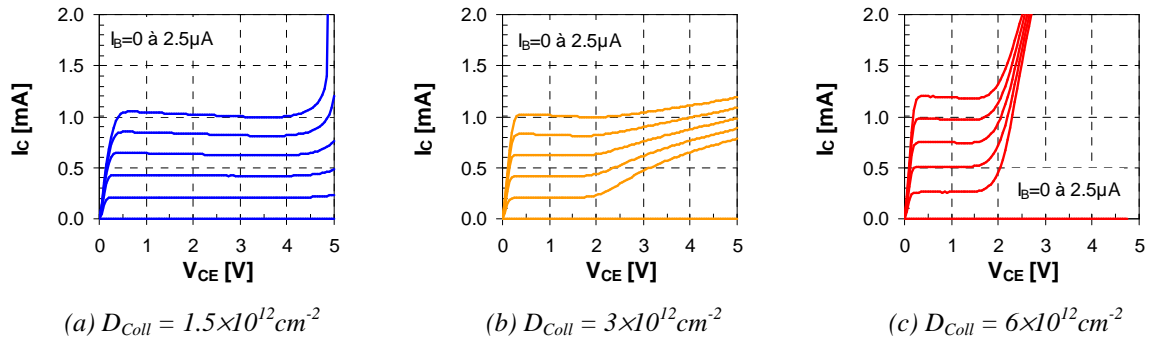


Figure III-17 : Effets de la déplétion sur les caractéristiques de sortie à  $I_B$  constant des transistors pour lesquels  $D_{Coll} = 1.5 \times 10^{12} \text{ cm}^{-2}$  (a),  $3.0 \times 10^{12} \text{ cm}^{-2}$  (b) et  $6.0 \times 10^{12} \text{ cm}^{-2}$  (c)

Notons que les courbes présentent des tensions d'avalanche en accord avec les simulations du chapitre précédent. C'est-à-dire qu'on observe un emballement du courant collecteur pour une tension  $V_{CE}$  proche de 5V pour le transistor le moins dopé et de 2V pour le plus dopé. Pour le dopage intermédiaire, nous n'observons pas d'avalanche avant 5V mais plutôt une augmentation lente de  $I_C$  à partir de 2V qui correspond au passage du transistor en régime de déplétion latérale.

### III.3.B.2. Evolution de $f_{Tmax}$ avec $V_{CB}$

Afin d'étudier l'influence de la tension de collecteur, nous avons mesuré la fréquence de transition à tension  $V_{CE}$  croissante comprise entre 0.25V et 3V pour des doses d'implantation de collecteur de  $1.5 \times 10^{12} \text{ cm}^{-2}$  et  $3 \times 10^{12} \text{ cm}^{-2}$  (Figure III-18).

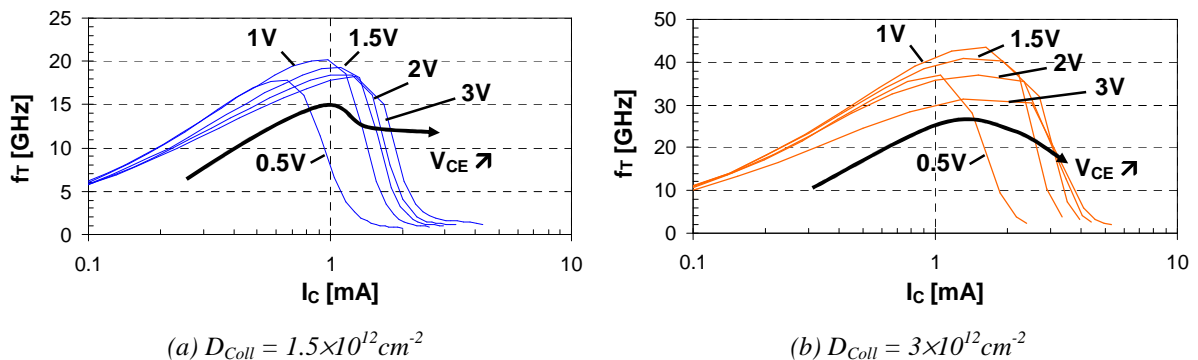


Figure III-18 : Evolution des courbes  $f_T-I_C$  avec  $V_{CE} = 0.5, 1, 1.5, 2$  et  $3V$  pour deux doses de dopage collecteur

Les comportements en trois temps de la fréquence de transition maximale d'un transistor faiblement dopé ( $D_{Coll} = 1.5 \times 10^{12} \text{ cm}^{-2}$ ) schématisé par une flèche sur la Figure III-18.a et en

deux temps pour les forts dopages ( $D_{\text{Coll}}=3 \times 10^{12} \text{cm}^{-2}$ ) illustré par la Figure III-18.b, laissent penser que les effets de la désertion ont pour conséquence une évolution particulière du temps de transit dans la zone de désertion base-collecteur  $\tau_{\text{BC}}$ .

Ce dernier contribuant de façon significative au temps de transit global, nous avons extrait  $\tau_{\text{F}}+R_{\text{C}}C_{\text{BC}}$  à partir des courbes  $(1/2.\pi.f_{\text{T}})=f(1/I_{\text{C}})$  pour le dispositif dopé à  $1.5 \times 10^{12} \text{cm}^{-2}$ , susceptible de fonctionner dans les trois modes de déplétion (Figure III-19).

Note : En toute rigueur, une mesure à  $V_{\text{CB}}$  croissante aurait dû être réalisée pour estimer l'effet de la désertion sur  $f_{\text{Tmax}}$  et  $\tau_{\text{F}}$ . Cependant, nous considérerons ici que les variations de la tension  $V_{\text{BE}}$  à  $f_{\text{Tmax}}$  de quelques millivolts sont négligeables devant la tension  $V_{\text{CB}}$  et que les variations de  $V_{\text{CE}}$  sont entièrement reportées sur la jonction base-collecteur. Nous présenterons donc la Figure III-19 avec la tension  $V_{\text{CB}}$  en abscisse pour faciliter la correspondance avec les états de désertion du collecteur établis plus tôt.

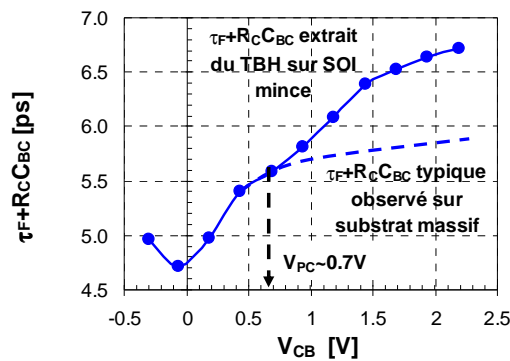


Figure III-19 : Evolution de  $\tau_{\text{F}}$  en fonction de  $V_{\text{CB}}$  d'un transistor faiblement dopé ( $D_{\text{Coll}}=1.5 \times 10^{12} \text{cm}^{-2}$ ) et comparaison avec une évolution typiquement observée sur substrat massif (pointillés)

De manière identique au comportement typique observé sur substrat massif (représenté en pointillé sur la figure ci-dessus), nous observons une augmentation du temps de transit avec la tension  $V_{\text{CB}}$  pour des tensions positives. Toutefois, nous constatons un point d'inflexion suivi d'une augmentation importante de  $\tau_{\text{F}}$  pour des valeurs de  $V_{\text{CB}}$  supérieures à la tension de déplétion verticale  $V_{\text{PC}}$ . Cette augmentation correspond à l'extension latérale rapide de la zone de charge d'espace base-collecteur avec la tension  $V_{\text{CB}}$  en régime de désertion latérale. A forte polarisation de collecteur ( $V_{\text{CB}} > 2\text{V}$ ), nous attribuons la saturation du temps de transit à la désertion totale du collecteur.

Nous reviendrons en détail sur ce comportement dans le chapitre V lors de la présentation du modèle développé pour le TBH Si/SiGe sur SOI à partir du modèle HICUM Level0.

### III.3.C. Influence de la polarisation du substrat

L'utilisation de substrat SOI procure une isolation totale des dispositifs par rapport au substrat de silicium situé sous la couche d'oxyde enterré. Il est néanmoins possible d'appliquer une tension en face arrière de la plaque de silicium pour polariser le substrat et de modifier l'état du collecteur actif du transistor bipolaire.

#### III.3.C.1. Comportement du collecteur

De manière similaire à une capacité MOS, la polarisation du substrat modifie les propriétés du semiconducteur dans le collecteur du transistor de l'autre coté de l'oxyde enterré. Une polarisation positive entraîne une accumulation d'électrons à l'interface avec le BOX en limitant la zone de désertion. Inversement, une tension négative aura pour effet de repousser les électrons et favorise la désertion du collecteur (cf. Figure III-20).

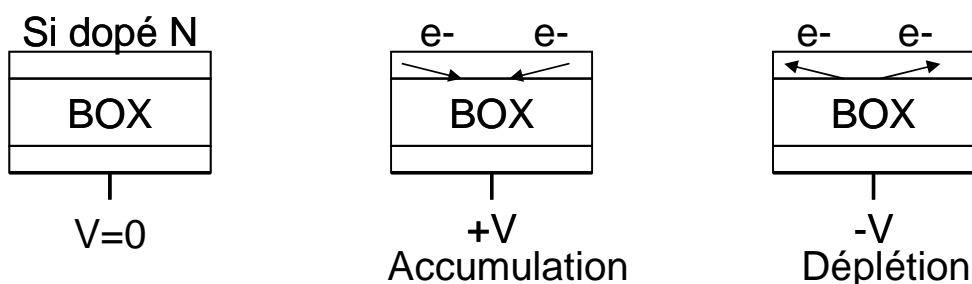


Figure III-20 : Effets d'une polarisation de substrat sur les électrons de la couche SOI

Nous avons vu que la densité électronique dans le collecteur joue un rôle très important sur le mode de fonctionnement du transistor bipolaire en modifiant ses caractéristiques statiques et dynamiques. Indépendamment du niveau de dopage et de la tension de collecteur  $V_{CB}$ , il devient alors possible de faire varier la concentration d'électrons dans le collecteur en modifiant la polarisation du substrat.

#### III.3.C.2. Répercussions sur le comportement électrique

D'une manière générale, lorsqu'une tension négative est appliquée sur le substrat, on s'attend à ce que le composant atteigne plus tôt les régimes de désertion latérale et totale, et donc présente une tension de claquage  $BV_{CEO}$  plus élevée mais également une fréquence de transition plus faible. Une tension positive doit au contraire avoir pour effet d'augmenter la fréquence de transition et de réduire la tension de claquage.

## III.3.C.2.a. Influence de la polarisation de substrat sur la tension de claquage

$$BV_{CEO}$$

Nous avons caractérisé électriquement nos dispositifs en appliquant, sur la face arrière de la plaque, une tension  $V_S$  variant de -10V à +10V. La Figure III-21 présente les courbes du facteur d'avalanche M-1 en fonction de  $V_{CB}$ , extraites pour les trois différentes tensions  $V_S$  appliquées en face arrière des plaques (-10V, 0V, +10V), et pour les trois niveaux de dopages étudiés précédemment.

Nous observons que l'impact de la tension de substrat sur la tension de claquage varie selon le niveau de dopage de collecteur. L'effet de la polarisation de substrat est pratiquement nul pour les dispositifs les plus fortement dopés. L'application d'une tension de substrat positive ou négative de 10V ne modifie pas suffisamment les propriétés du collecteur pour influencer l'apparition de l'avalanche et  $BV_{CEO}$  est identique pour les trois polarisations de substrat considérées.

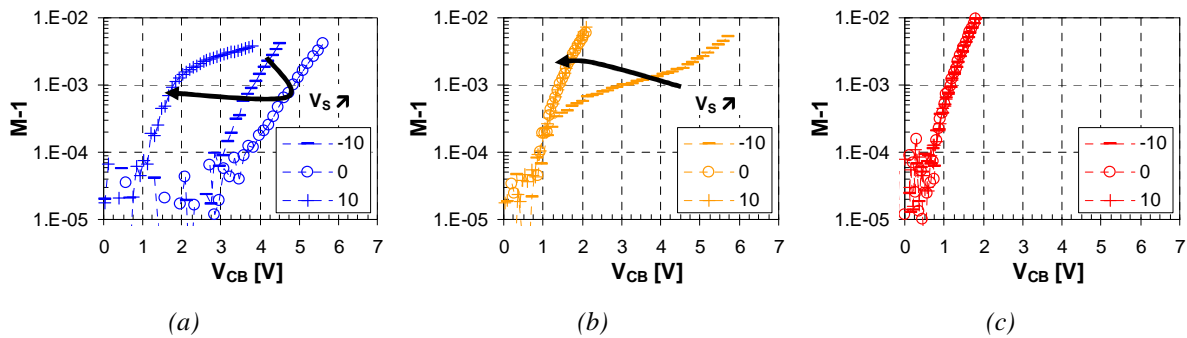


Figure III-21 : Caractéristiques d'avalanche  $M-1=f(V_{CB})$  à différents  $V_S=-10V, 0V, +10V$  pour  $D_{coll} = 1.5 \times 10^{12} \text{cm}^{-2}$  (a),  $3 \times 10^{12} \text{cm}^{-2}$  (b) et  $6 \times 10^{12} \text{cm}^{-2}$  (c)

Par contre, les dispositifs moins dopés peuvent changer de mode de fonctionnement. Le dispositif le plus faiblement dopé passe, par exemple, successivement d'un comportement de type de désertion totale pour  $V_S=-10V$ , à un comportement de type désertion latérale puis verticale pour  $V_S=10V$ . Les tensions de claquage  $BV_{CEO}$  extraites de ces mesures sont présentées sur la Figure III-22.

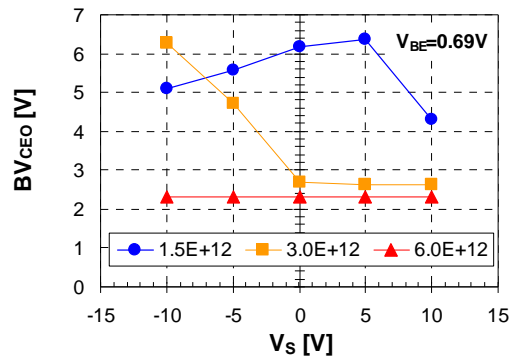


Figure III-22 : Evolution de  $BV_{CEO}$  en fonction de la tension de substrat  $V_S$  pour  $D_{Coll} = 1.5 \times, 3 \times$  et  $6 \times 10^{12} cm^{-2}$

Nous retrouvons ainsi des tensions de claquage faibles et constantes pour les dispositifs très dopés, faibles mais qui augmentent fortement à  $V_S < 0V$  pour les dispositifs aux dopages intermédiaires et élevés mais variant selon l'état de désertion du collecteur pour les dispositifs les moins dopés.

### III.3.C.2.b. Influence de la tension de substrat sur le comportement dynamique

Des mesures dynamiques ont été réalisées pour évaluer l'effet de la polarisation de substrat sur les performances dynamiques des dispositifs. Les courbes de la Figure III-23 représentent les caractéristiques  $f_T = f(I_C)$  des transistors mesurés à une tension  $V_{CE}$  constante de 1.5V pour une tension de substrat  $V_S$  égale à -10V, 0V, +10V.

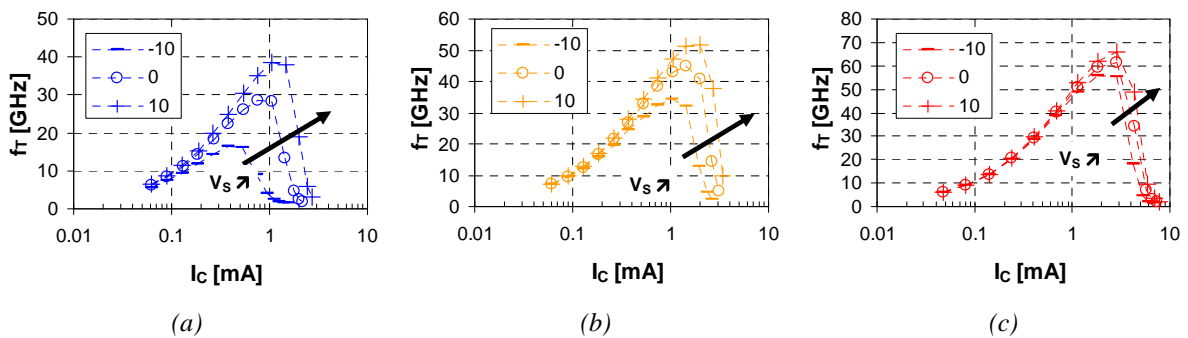


Figure III-23 : Courbes  $f_T-I_C$  en fonction de  $V_S$  pour  $D_{Coll} = 1.5 \times$  (a),  $3 \times$  (b) et  $6 \times 10^{12} cm^{-2}$  (c)

La tension de substrat positive favorise l'augmentation de la fréquence de transition. D'une part, en limitant la propagation de la zone désertée dans le collecteur, le temps de transit est diminué principalement de par sa composante base-collecteur  $\tau_{BC}$ ; d'autre part, la résistance de la couche proche de l'interface avec le BOX servant de collecteur extrinsèque diminue puisque l'accumulation d'électrons agit comme un dopage plus élevé.



Par ailleurs, nous n'observons pas de transition brusque dans ces évolutions car les conditions de mesures à tension  $V_{CB}$  faible placent tous les dispositifs dans le mode de fonctionnement vertical. Dans ces conditions, l'amélioration de  $f_{Tmax}$  à  $V_S > 0V$  est moins importante que la dégradation à  $V_S < 0V$  et la variation est d'autant plus grande que le dopage est faible comme le montre la Figure III-24.

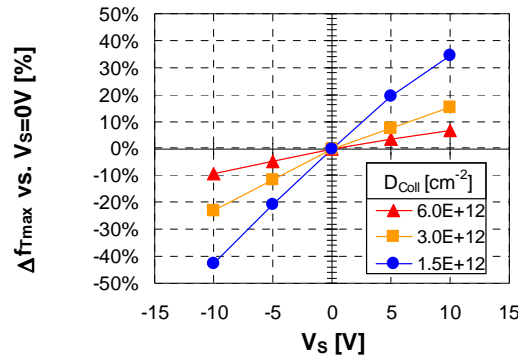


Figure III-24 : Evolutions de  $f_{Tmax}$  en fonction de  $V_S$  pour  $D_{Coll} = 1.5 \times, 3 \times$  et  $6 \times 10^{12} cm^{-2}$

Nous expliquons la différence entre tensions positive et négative par le fait que la désertion liée à la polarisation du substrat s'étend bien plus loin dans le collecteur que l'accumulation.

### III.3.C.3. Conclusion sur l'influence de la polarisation de substrat

Grâce à la polarisation du substrat, il est possible de faire varier électriquement la concentration en électrons dans le collecteur qui est normalement fixée par le niveau de dopage lors de la fabrication.

Nous avons vu que la tension de claquage  $BV_{CEO}$  et la fréquence de transition  $f_T$  réagissent à la polarisation substrat de la même manière qu'à une évolution du dopage dans le collecteur. La Figure III-25 montre qu'il est possible de décrire complètement la courbe  $f_T$ - $BV_{CEO}$  avec un nombre restreint de niveaux de dopage mais en appliquant une polarisation en face arrière de la plaque de silicium. Par ailleurs, les courbes représentant les produits  $f_T \times BV_{CEO}$  constants permettent d'évaluer les variations de la figure de mérite associées à ces évolutions.

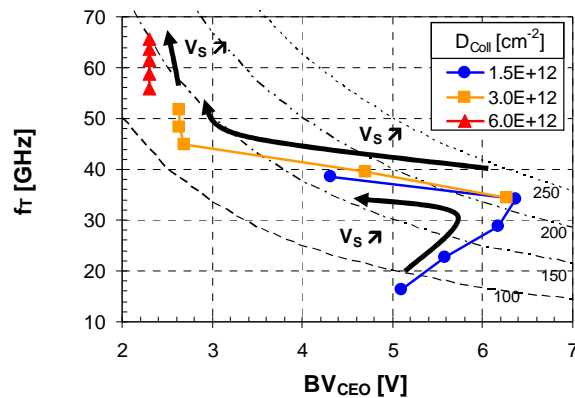


Figure III-25 : Evolution du compromis  $f_T$ - $BV_{CEO}$  avec la polarisation  $V_S$  pour  $D_{Coll} = 1.5 \times, 3 \times$  et  $6 \times 10^{12} cm^{-2}$  et courbes de produits  $f_T \times BV_{CEO}$  constants

Cette démarche peut se révéler utile à l'étude du dispositif mais ne présente pas une solution satisfaisante pour contrôler électriquement le régime de fonctionnement des dispositifs mis en jeu dans une application. D'une part car la polarisation en face arrière s'applique de manière identique à tous les dispositifs bipolaires, d'autre part car cela perturberait considérablement le fonctionnement des transistors MOS dans le cadre de technologies BiCMOS.

Une solution intéressante pour éviter ces problèmes serait de disposer d'une technologie double-SOI à deux couches isolantes enterrées, permettant le contrôle indépendant de la différence de potentiel sous la couche enterrée isolant chaque dispositif.

### III.4. Conclusion

Nous venons de proposer une interprétation des résultats de simulations physiques préliminaires décrits au chapitre précédent : le transistor bipolaire sur SOI mince peut présenter une tension de claquage bien supérieure à celle obtenue sur substrat massif pour un dopage de collecteur équivalent.

Des simulations physiques en deux dimensions plus approfondies nous ont permis de formuler une hypothèse sur le comportement de la zone de désertion de la jonction base-collecteur et de son influence sur le facteur de multiplication responsable de l'avalanche dans le collecteur.

Les caractérisations électriques sur de nombreux échantillons différents sont venues confirmer cette hypothèse et nous avons pu interpréter le comportement spécifique du transistor bipolaire sur SOI mince dans ses différents régimes de fonctionnement. Par ailleurs,

nous avons pu vérifier l'influence de la désertion par application d'une polarisation de substrat par la face arrière de la plaque de silicium.



# IV. Optimisations des dispositifs

## IV.1. Introduction

Dans ce chapitre, nous présentons les résultats de l'optimisation des transistors bipolaires Si/SiGe sur substrats SOI minces. La première partie est consacrée aux études visant à améliorer les performances de transistors dédiés aux applications RF (fréquence de transition dans la gamme des 30-70GHz). La faisabilité de transistors très rapides ( $f_T > 100\text{GHz}$ ) sur substrat SOI mince sera discutée dans la deuxième partie du chapitre. Dans les deux cas, l'optimisation peut être réalisée via les étapes de fabrication, pour améliorer les caractéristiques intrinsèques des transistors, ou via le dessin des structures, pour minimiser l'impact des éléments parasites sur les caractéristiques électriques et les figures de mérite, selon les applications visées.

## IV.2. Optimisation du TBH sur SOI mince pour applications RF

La première partie de ce chapitre présente les optimisations du TBH Si/SiGe sur SOI mince pour une utilisation en applications RF, c'est-à-dire pour des fréquences de coupure ne dépassant pas la centaine de gigahertz. Cela consiste dans un premier temps à explorer le compromis  $f_T$ - $BV_{CEO}$  envisageable selon les conditions de dopage du collecteur, puis à améliorer ce compromis en faisant varier des paramètres intrinsèques, comme le gain, ou extrinsèques, comme la géométrie des structures.

Tous les résultats présentés dans ce chapitre ont été obtenus sur des transistors de surface d'émetteur de  $7 \times (0.17 \times 0.85) \mu\text{m}^2$  (à moins qu'une autre configuration ne soit spécifiée). Les structures dédiées au test hyperfréquence comportent également un contact d'émetteur en ruban au lieu de la matrice de contacts utilisée pour les structures dédiées au test statique. Ce dernier est plus favorable aux performances dynamiques des transistors puisqu'il permet de réduire la résistance d'émetteur et de minimiser la capacité émetteur-base en réduisant la largeur du *PolyEm*.

## IV.2.A.Optimisation du procédé

### IV.2.A.1. Dopage du collecteur

#### IV.2.A.1.a. Définition de l'objectif

Nous avons fabriqué le lot J423GHX afin d'étudier finement la transition entre dispositifs fonctionnant en mode de désertion verticale et ceux dont les caractéristiques électriques sont imposées par la désertion latérale du collecteur. Cette transition, mise en évidence au paragraphe II.3.B, se produit pour un dopage de collecteur  $N_{\text{Coll}}$  proche de  $10^{17}\text{cm}^{-3}$ . La correspondance entre dose d'implantation et dopage en volume permet de situer la transition autour d'une dose d'implantation en phosphore  $D_{\text{Coll}}$  de  $2 \times 10^{12}\text{cm}^{-2}$ . Nous avons ainsi implanté les plaquettes du lot selon quatre branches suivant une progression linéaire de la dose  $D_{\text{Coll}}$  variant de  $1 \times 10^{12}$  à  $2.5 \times 10^{12}\text{cm}^{-2}$ , par pas de  $0.5 \times 10^{12}\text{cm}^{-2}$ . Les autres étapes de fabrication sont strictement identiques.

#### IV.2.A.1.b. Tension de claquage $BV_{\text{CEO}}$

Les valeurs de tension de claquage sont mesurées sur les quatre branches du lot comportant chacune deux plaquettes de silicium sur lesquelles sont testés 9 transistors. Chaque série est ainsi composée de 18 transistors. Les résultats des mesures statistiques sur les quatre branches sont présentés sur la Figure IV-1.

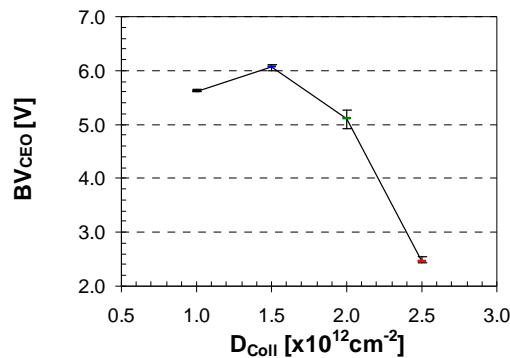


Figure IV-1 : Evolution de  $BV_{\text{CEO}}$  avec la dose d'implantation de collecteur pour les transistors RF dont le dopage de collecteur  $D_{\text{Coll}}$  varie de  $1.0 \times 10^{12}\text{cm}^{-2}$  à  $2.5 \times 10^{12}\text{cm}^{-2}$ , par pas de  $0.5 \times 10^{12}$

La Figure IV-1 montre une évolution de la tension de claquage avec le dopage de collecteur en accord avec la tendance mise en évidence par les résultats de simulation physique obtenus du paragraphe II.3.B.1.a. En particulier, les mesures confirment la transition (observée ici pour  $D_{\text{Coll}}=2 \times 10^{12}\text{cm}^{-2}$ ) entre les valeurs de claquage les plus élevées, obtenues pour les dopages de collecteur les plus faibles, et les valeurs de claquage faibles, comparables

avec celles obtenues sur substrat massif, pour les dopages les plus élevés. La dispersion des mesures pour chaque série est relativement faible puisqu'elle ne dépasse pas 4%. Cette dernière valeur est atteinte pour la branche la plus proche de la transition, dopée avec une dose de  $2 \times 10^{12} \text{cm}^{-2}$ . La faible dispersion des valeurs de tension de claquage permet donc de conclure à une faible dispersion technologique.

#### IV.2.A.1.c. Caractéristiques dynamiques

L'augmentation du dopage de collecteur a plusieurs effets sur les performances dynamiques des dispositifs. Premièrement, la limite en courant de l'effet Kirk est repoussée. La Figure IV-2 présente la densité de courant pour laquelle on observe une chute du gain à fort  $V_{BE}$  sur les courbes de Gummel tracées à  $V_{CB}=0V$ . Des valeurs de courant similaires sont responsables de la chute de  $f_T$  à forte injection puisqu'elles sont également liées au déclenchement de l'effet Kirk. En tenant compte de la défocalisation et en considérant que 60% de la densité de courant traverse le transistor intrinsèque (valeur extraite lors de la modélisation du transistor), on retrouve la relation de proportionnalité directe liant la densité de courant critique et le dopage du collecteur. La Figure IV-2 présente cette relation en utilisant la correspondance  $D_{Coll}-N_{Coll}$  établie au chapitre précédent.

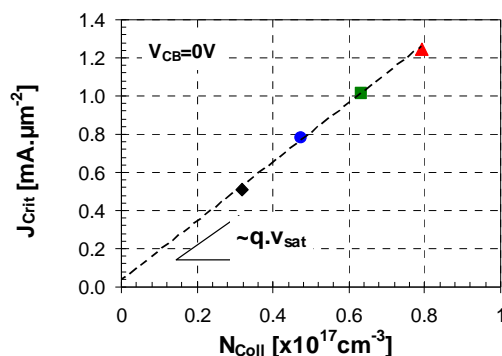


Figure IV-2 : Densité de courant critique extraite à partir du gain sur des transistors RF en fonction du dopage collecteur

En favorisant le fonctionnement du dispositif à fort courant, une concentration de dopants élevée dans le collecteur permet de minimiser les pertes de performance liées aux capacités du transistor et de se rapprocher du temps de transit effectif minimum  $\tau_F + R_C C_{BC}$ . Ce dernier est, par ailleurs, d'autant plus petit que le temps de transit  $\tau_{BC}$  dans la ZCE base-collecteur est réduit par le dopage de collecteur, qui limite l'expansion de la zone désertée. La faible extension de la zone désertée se traduit par une augmentation de la capacité base-collecteur visible sur la Figure IV-3.

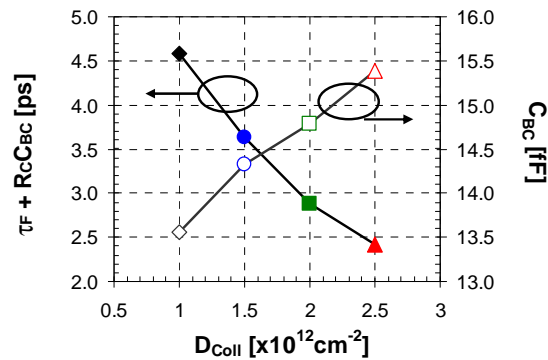
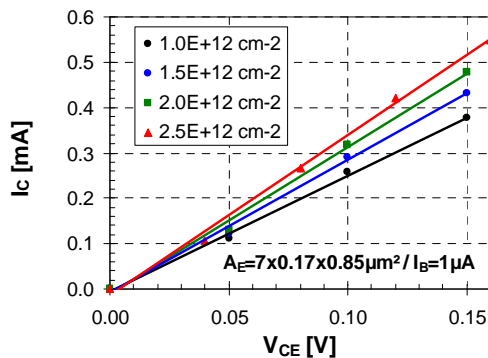


Figure IV-3 : Evolution du temps de transit et de la capacité base-collecteur avec la dose d'implantation de collecteur pour les transistors RF

Nous pouvons déduire de la Figure IV-3 qu'une forte dose d'implantation de collecteur revient à doper plus fortement le collecteur extrinsèque et donc, à réduire la résistance série de collecteur. Il est toutefois difficile d'obtenir une mesure fiable de cette dernière. Bien que présentant l'inconvénient de donner une valeur fortement dépendante de la polarisation, la méthode de la pente à l'origine des courbes  $I_C-V_{CE}$  est simple et permet au moins d'observer une tendance. Nous avons ainsi extrait, grâce aux courbes de la Figure IV-4, des valeurs de résistances série pour un transistor de chaque branche. Ces résistances ont des valeurs allant de  $390\Omega$  à  $280\Omega$  (de  $66\Omega.\mu m^{-1}$  à  $47\Omega.\mu m^{-1}$  respectivement) selon la dose d'implantation considérée (de  $1 \times 10^{12}$  à  $2.5 \times 10^{12} cm^{-2}$ ). Ainsi, toutes choses égales par ailleurs, la résistance série est très largement dominée par la résistance de collecteur puisque l'on observe clairement une diminution de cette dernière avec l'augmentation de la dose de dopants.



$D_{Coll} [cm^{-2}]$	$R_{Cslope} [\Omega]$	$\Delta R_{Cslope}$
$1.0 \times 10^{12}$	391	Réf.
$1.5 \times 10^{12}$	341	-13%
$2.0 \times 10^{12}$	309	-21%
$2.5 \times 10^{12}$	283	-28%

Figure IV-4 : Diminution de la résistance série de collecteur  $R_{Cslope}$  avec l'augmentation de la dose d'implantation de collecteur  $D_{Coll}$  des transistors RF sur SOI mince

Selon les conditions de mesure de  $f_T$ , la tension de collecteur est fixée à 0.5V. Dans la gamme de  $D_{Coll}$  étudiées, tous les dispositifs fonctionnent donc en mode vertical ou en début



de désertion latérale. La résistance de collecteur et le temps de transit sont alors deux paramètres influant sur la fréquence de transition. Les résultats des mesures présentés sur la Figure IV-5 confirment qu'un fort dopage collecteur améliore la fréquence de transition maximale des dispositifs.

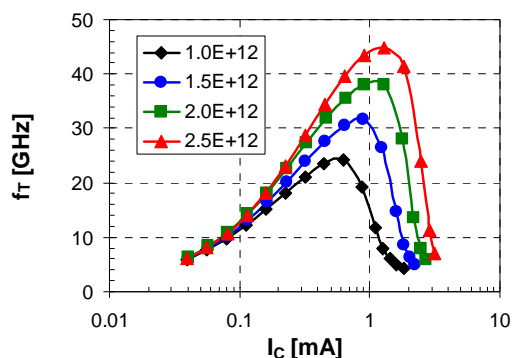


Figure IV-5 : Evolution de  $f_T - I_C$  ( $V_{CB} = 0.5V$ ) avec  $D_{Coll}$  tracée à partir des mesures sur les transistors bipolaires sur SOI mince

L'évolution monotone de la fréquence de transition maximale en fonction de la dose d'implantation de collecteur contraste avec celle de la tension de claquage. Le résultat se traduit par une courbe  $f_T - BV_{CEO}$  caractéristique des transistors bipolaires sur SOI mince (Figure IV-6). Cette analyse est facilitée par les courbes de produit  $f_T \times BV_{CEO}$  constant, également présentées sur cette figure, qui montrent une évolution de cette figure de mérite en fonction de la dose d'implantation de collecteur.

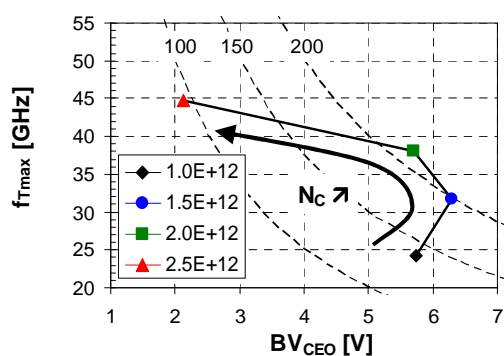


Figure IV-6 : Evolution de  $f_{Tmax} - BV_{CEO}$  ( $V_{CB} = 0.5V$ ) paramétrée avec  $D_{Coll}$  variant de  $1.0 \times 10^{12} \text{ cm}^{-2}$  à  $2.5 \times 10^{12} \text{ cm}^{-2}$  par pas de  $0.5 \times 10^{12}$  et courbes des produits  $f_T \times BV_{CEO}$  constants égaux à 100, 150 et 200

Ainsi, grâce à des tensions de claquage bien supérieures à celles des dispositifs sur substrat massif, le produit  $f_T \times BV_{CEO}$  des TBH sur SOI mince atteint une valeur de 217GHzV pour des dopages de collecteur proche de la transition entre les deux modes de fonctionnement.

Malheureusement, il n'est pas possible de limiter le fonctionnement du dispositif à ce cas, car la tension de claquage et la fréquence de transition doivent être adaptées à l'application dans laquelle le transistor sera utilisé. Il faudra donc trouver d'autres moyens pour améliorer le facteur de mérite  $f_T \times BV_{CEO}$ . Cependant, ces résultats serviront à déterminer les conditions de fabrication et notamment le dopage de collecteur le plus approprié en fonction des spécifications de la technologie.

#### IV.2.A.2. Profil de base

L'optimisation du transistor par modification du profil de base est relativement difficile car les différents éléments qui composent la base SiGe interviennent à plusieurs niveaux dans un grand nombre de paramètres électriques du transistor. Les effets sur le gain et la tension de claquage seront discutés dans un premier temps, avant d'aborder les caractéristiques dynamiques des transistors.

Avant d'analyser l'apport du profil de base sur la tension de claquage, nous avons évalué les effets du profil de base sur le gain en courant du transistor.

##### IV.2.A.2.a. Effets sur le gain

L'objectif de cette partie de l'étude est d'optimiser les paramètres du profil de base du transistor pour obtenir de meilleures tensions de claquage  $BV_{CEO}$ , éventuellement au détriment du gain. Le lot J428YWG sur lequel nous avons comparé plusieurs profils de base a été dédié à cette étude. Le profil de base de référence, d'épaisseur 25nm (notée 25nm), est présenté schématiquement sur la Figure IV-7. Il se compose de deux marches de SiGe à 10% et 25% côté émetteur et côté collecteur respectivement. Un pic de bore à  $5 \times 10^{19} \text{ cm}^{-3}$  est centré dans une couche de SiGeC, elle-même centrée sur la base SiGe de 25nm.

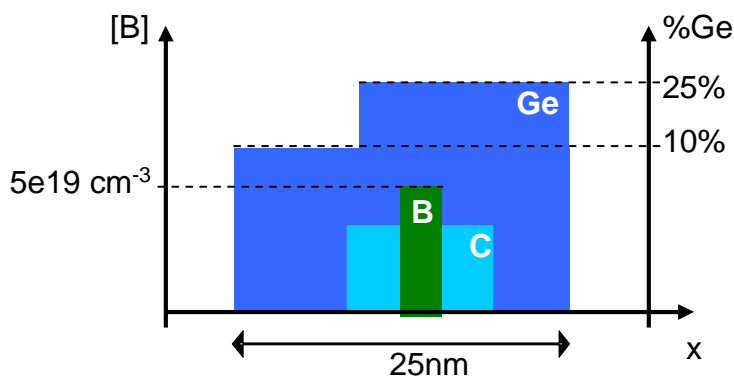


Figure IV-7 : Schéma du profil de base de référence des TBH RF sur SOI mince pour l'étude de l'influence du gain sur le produit  $f_T \times BV_{CEO}$  : SiGe en deux marches de 10 et 25% et bore à  $5 \times 10^{19} \text{ cm}^{-3}$  centré sur le SiGeC

Nous disposons également de trois autres profils d'épaisseur 35nm (notée 35nm) dont deux devaient réduire fortement le gain par un niveau de bore accru à  $10^{20}\text{cm}^{-3}$  (35nm+1e20) ou un niveau de germanium réduit à 20% coté collecteur (35nm+20%). Ces essais ont été réalisés pour des doses d'implantation de collecteur  $D_{\text{Coll}}$  de  $1.5 \times 10^{12}$  et  $5.5 \times 10^{12}\text{cm}^{-2}$ .

La Figure IV-8 montre l'évolution du gain en courant en fonction de la tension émetteur-base pour les quatre profils de base du lot J428YWG. Cette évolution est présentée pour les deux niveaux de dopage de collecteur.

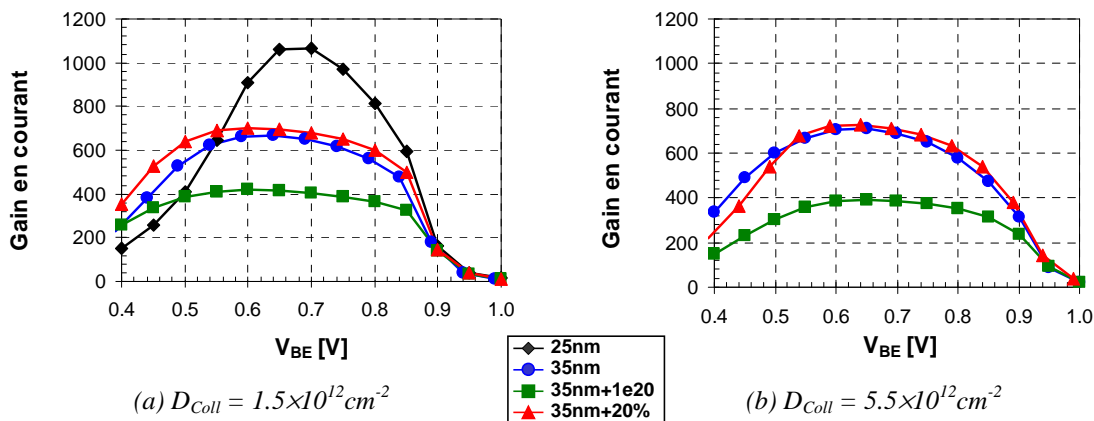


Figure IV-8 : Evolution du gain en fonction de  $V_{\text{BE}}$  pour les différents profils de base et dopages de collecteur étudiés

Quel que soit le dopage de collecteur, nous constatons une réduction du gain de 35% environ sur les profils de 35nm. Une réduction supplémentaire de 40% est obtenue en augmentant le dopage en bore de la base de  $5 \times 10^{19}$  à  $10^{20}\text{cm}^{-3}$ , pour arriver à un gain maximum de 400 environ.

Par ailleurs, la réduction supplémentaire du gain attendue par réduction du niveau de germanium n'est pas observée. Le germanium favorise généralement l'incorporation de bore au cours de l'épitaxie. Une pression partielle de germane, réduite par rapport aux conditions de croissance des autres profils de base, a pu être responsable d'un dopage effectif en bore plus faible, ce qui aurait compensé l'effet attendu sur la chute du gain. Cette hypothèse de réduction simultanée de la concentration en bore et en germanium est confirmée par une augmentation de la résistance de la base pincée, sensible au dopage de la base.

#### IV.2.A.2.b. Facteur de multiplication et tension de claquage

Pour la dose d'implantation de collecteur la plus faible, nous avons tracé le facteur d'avalanche M-1 en fonction de la tension de collecteur (Figure IV-9.a). Nous faisons également apparaître le niveau correspondant à l'inverse du gain à  $V_{\text{BE}} = 0.69\text{V}$  permettant

l'extraction de la tension de claquage  $BV_{CEO}$ . Dans la partie (b) de la figure, les valeurs de  $BV_{CEO}$  ainsi extraites sont présentées et mises en correspondance avec la valeur du gain.

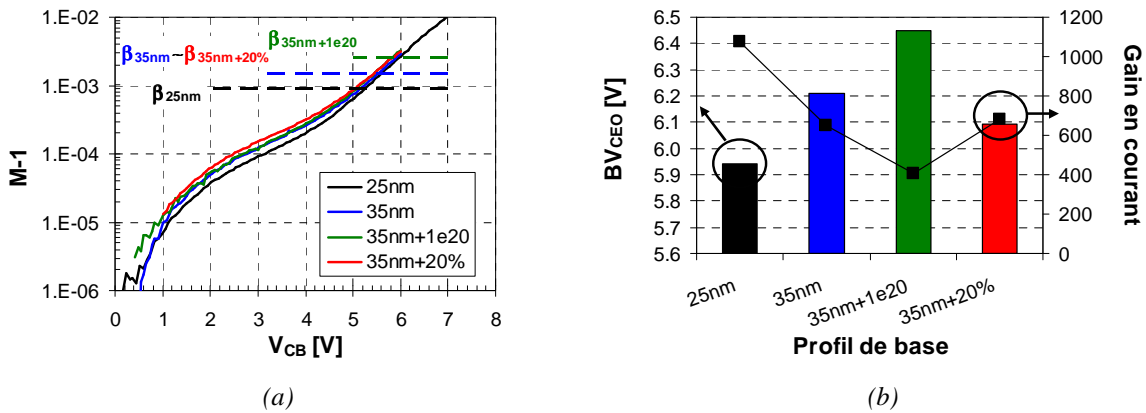


Figure IV-9 : (a) Evolution de  $M-1$  avec la tension de collecteur et (b) valeurs de gain et de  $BV_{CEO}$  correspondantes, pour les transistors « haute tension » avec différents profils de base

Bien que les caractéristiques  $M-1=f(V_{CB})$  soient quasiment superposées pour les quatre profils de base, les différences de gain à 0.69V conduisent à des valeurs de  $BV_{CEO}$  significativement différentes. La tension de claquage pour le gain le plus faible (correspondant au profil 35nm+1e20) atteint 6.4V alors qu'elle n'était que de 5.9V pour le profil 25nm. Ainsi, la limitation du gain est un compromis permettant d'accroître la tension de claquage des dispositifs. Une amélioration correspondante du facteur de mérite  $f_T \times BV_{CEO}$  peut ainsi être attendue, à condition toutefois de ne pas dégrader la fréquence de transition.

#### IV.2.A.2.c. Influence du profil de base sur la fréquence de transition

Dans le cas des transistors bipolaires sur SOI mince, le fonctionnement latéral et l'importance de la résistance de collecteur font que le temps de transit est majoritairement dominé par les caractéristiques de collecteur. La réduction du gain a ainsi peu d'influence sur les performances en fréquence des dispositifs. Cependant, l'augmentation du niveau de bore se traduit généralement par un élargissement de la base lié à une diffusion accrue des atomes de bore, conduisant à une augmentation du temps de transit dans la base neutre,  $\tau_B$ . Les profils des bases 35nm et 35nm+1e20 ont été caractérisés par SIMS et permettent de vérifier l'élargissement de la base à forte concentration de bore (Figure IV-10).

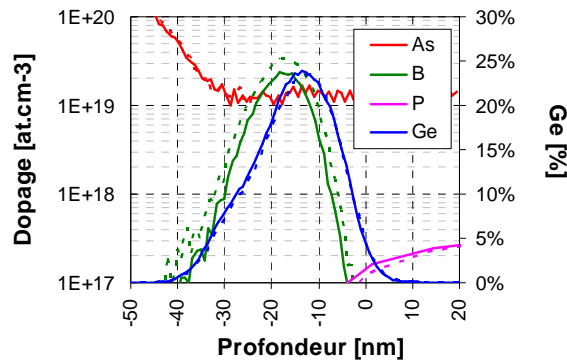


Figure IV-10 : Profils SIMS des bases 35nm (traits pleins) et 35nm+1e20 (traits pointillés)

Les espèces arsenic (limite de détection à  $10^{19}\text{cm}^{-3}$ ), phosphore et germanium sont conformes aux objectifs sur les deux profils. Pour le bore, bien que la concentration en fin de fabrication soit inférieure aux niveaux prévus ( $5 \times 10^{19}$  et  $10^{20}\text{cm}^{-3}$ ), il apparaît tout de même un facteur deux entre les concentrations maximales :  $2 \times 10^{19}$  et  $4 \times 10^{19}\text{cm}^{-3}$ , respectivement pour les plaques avec les bases 35nm et 35nm+1e20. Comme supposé, nous observons effectivement un élargissement du pic de bore qui se traduit par un épaissement de la base de 22nm à 26nm, estimé à partir des profils d'arsenic de l'émetteur et de phosphore du collecteur. Toutefois, les résultats de caractérisation électrique dynamique de la Figure IV-11 ne peuvent pas être expliqués uniquement par cette constatation.

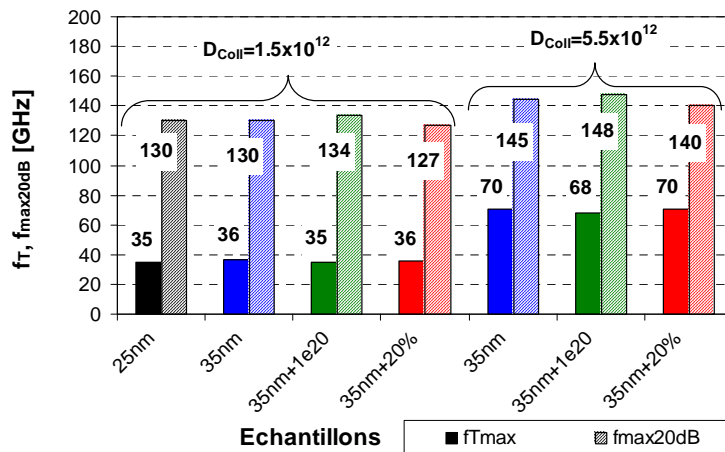


Figure IV-11 : Résultats de  $f_T$  et  $f_{max20dB}$  en fonction du profil de base pour les transistors bipolaires RF « haute tension » et « rapides » sur SOI mince

Globalement, nous observons que la fréquence de transition est principalement fixée par le dopage de collecteur et que les variations liées au profil de base, bien que significatives sont minimales. Par ailleurs, quelle que soit la dose d'implantation de collecteur, les valeurs de  $f_{MAX}$

sont remarquablement élevées et démontrent l'efficacité de la structure cellulaire auto-alignée pour la minimisation des éléments parasites.

Les différences limitées observées sur les valeurs de  $f_T$  et  $f_{\max 20\text{dB}}$  pour les différents profils de base peuvent être expliquées par des considérations sur les composantes résistives.

Les faibles valeurs de  $f_T/f_{\max 20\text{dB}}$  observées pour la base 25nm sont probablement liées à de fortes résistances d'émetteur et de base pincée. Les bases 35nm+1e20 comprenant un dopage élevé en bore sont pénalisées par le temps de transit  $\tau_B$ . Nous obtenons néanmoins de bonnes valeurs de  $f_{\max 20\text{dB}}$  attribuées aux valeurs des résistances de base pincée systématiquement plus faibles que celle des bases 35nm correspondantes du fait de la concentration élevée en bore dans la base.

De la même manière, les valeurs de  $f_{\max 20\text{dB}}$  des profils 35nm+20% avec réduction de germanium sont pénalisées par la forte résistance de base pincée évoquée à la fin du paragraphe IV.2.A.2.a comme preuve d'une moindre incorporation de bore.

Les extractions des éléments parasites et les figures de mérite des échantillons sont récapitulées dans la Table IV-1.

	1	2	3	4	5	6	7
$D_{\text{Coll}} [\text{cm}^{-2}]$	$1.5 \times 10^{12}$				$5.5 \times 10^{12}$		
Base	25nm	35nm	35nm +1e20	35nm +20%	35nm	35nm +1e20	35nm +20%
Gain à $V_{\text{CB}}=0.5\text{V}$	625	496	310	522	392	251	416
$BV_{\text{CEO}} [\text{V}]$	6.0	5.7	6.4	5.6	1.9	2.1	1.9
$R_B [\Omega]$	40.7	38.6	18.8	42.1	17.6	13.1	20.9
$R_E [\Omega]$	63.4	45.2	27.1	55.5	9.4	7.7	10.0
$C_{\text{BE}} [\text{fF}]$	21.0	20.2	20.5	20.4	20.1	20.9	20.1
$C_{\text{BC}} [\text{fF}]$	13.9	13.9	14.0	14.0	16.5	16.7	16.5
$C_{\text{CS}} [\text{fF}]$	6.7	6.7	6.7	6.7	6.7	6.7	6.6
$f_T [\text{GHz}]$	34.7	36.4	35.1	36.0	70.4	67.9	70.5
$f_{\max 20\text{dB}} [\text{GHz}]$	130	130	134	127	145	148	140
$f_T \times BV_{\text{CEO}} [\text{GHz.V}]$	209	208	223	203	137	142	135

Table IV-1 : Principales caractéristiques des dispositifs « haute tension » et « rapides » pour l'étude sur l'influence du profil de base ( $A_E=7 \times 0.17 \times 0.85 \mu\text{m}^2$  / contact émetteur en ruban)

Il est intéressant de noter l'effet des modifications du profil de base et du dopage de collecteur sur les capacités des dispositifs. La capacité émetteur-base dépend du niveau de dopage de la base. Les capacités base-collecteur sont uniquement dépendantes du dopage de

collecteur. La capacité collecteur-substrat demeure constante quel que soit l'échantillon considéré.

Pour la base  $35nm+1e20$ , la légère dégradation de la fréquence de transition (et la réduction du gain) par rapport à la base  $25nm$  est compensée par la réduction du gain et l'augmentation de la tension de claquage puisque l'on constate une amélioration du produit  $f_T \times BV_{CEO}$ . Par ailleurs, nous disposons, avec ce profil de base, de bonnes performances en  $f_{max20dB}$  grâce à la réduction de la résistance de base.

D'une manière générale, nous avons montré qu'une réduction du gain s'accompagne d'une évolution de  $BV_{CEO}$  pouvant, dans certains cas, amener une amélioration significative du produit  $f_T \times BV_{CEO}$  des transistors. L'augmentation du niveau de bore dans la base est un bon moyen de diminuer le gain et permet d'augmenter de surcroît la fréquence maximale d'oscillation par réduction de la résistance de base. La réduction du niveau de germanium n'a malheureusement pas apporté satisfaction car elle a empêché l'incorporation efficace de bore dans la base, pénalisant ainsi  $BV_{CEO}$  et  $f_{MAX}$ . Ce dernier essai pourrait être de nouveau tenté en compensant la pression partielle de diborane dans la chambre d'épitaxie lors du dépôt.

#### IV.2.A.3. Implantation sélective auto-alignée du collecteur extrinsèque : « le [link](#) »

Un problème spécifique à l'optimisation du TBH SiGe sur SOI mince est que le dopage de collecteur influe à la fois sur des paramètres intrinsèques au dispositif comme la tension de claquage et des paramètres extrinsèques comme la résistance série de collecteur.

L'approche classique de collecteur sélectivement implanté dans la fenêtre émetteur (Selectively Implanted Collector) est intéressante lorsque sont présentes sous la base, une couche épitaxiée peu dopée et une couche fortement dopée et peu résistive en profondeur. Dans le cas de substrats SOI mince, la couche enterrée peu résistive n'existe pas et l'implantation sous la base viendrait dégrader la tenue en tension du dispositif sans améliorer la résistance de collecteur qui est un des principaux paramètres limitatifs de la fréquence de transition.

Il est toutefois possible d'implanter une quantité supérieure de dopants dans le collecteur extrinsèque de manière alignée sur la fenêtre d'émetteur, sans pour autant augmenter le dopage sous la base intrinsèque. La solution consiste à accroître fortement l'énergie d'implantation du SIC. De cette manière, les impuretés implantées dans la fenêtre d'émetteur viennent majoritairement se placer dans l'oxyde enterré. Par contre, les atomes implantés à travers la base extrinsèque sont freinés par l'empilement de couches et s'arrêtent dans le

silicium du collecteur extrinsèque. Il en résulte un gradient d'impuretés croissant du centre du collecteur vers les extrémités comme le montre la Figure IV-12.

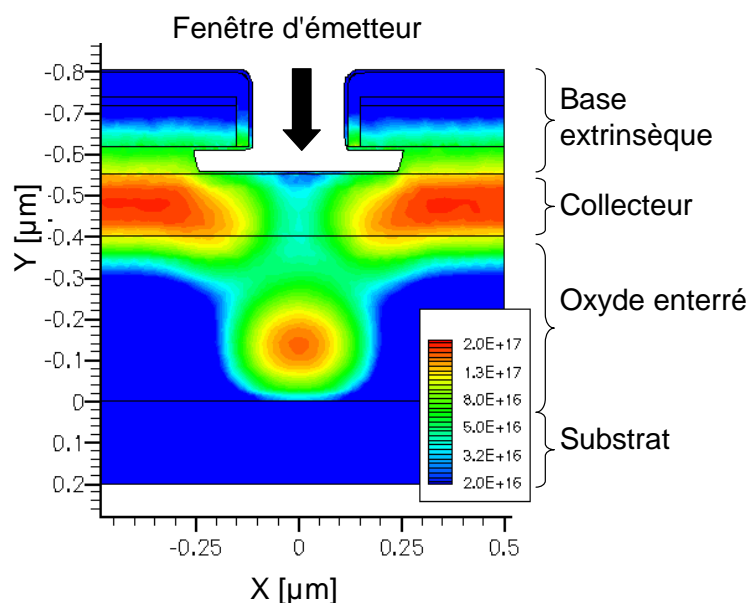


Figure IV-12 : Vue en coupe de l'implantation de collecteur auto-alignée montrant une échelle de couleurs représentatives de la concentration en atomes dopants

Sur le lot J509ZZI, nous avons procédé à l'implantation d'un collecteur auto-aligné avec des doses  $D_{\text{Link}}$  allant de  $10^{13}$  à  $5 \times 10^{13} \text{ cm}^{-2}$  sur trois types de dopages collecteurs  $D_{\text{Coll}}$  : pas d'implantation,  $1.5 \times 10^{12}$  et  $1.2 \times 10^{13} \text{ cm}^{-2}$ . Nous présentons dans la Table IV-2 certaines caractéristiques technologiques, les paramètres électriques et les éléments parasites extraits de transistors dont la dose d'implantation de collecteur vaut  $1.5 \times 10^{12} \text{ cm}^{-2}$ . Nous confrontons ces résultats avec les valeurs obtenues sur des plaques du lot J428YWG, plus ancien, dont la tension de claquage et le gain sont comparables à ceux de certaines branches du lot J509ZZI.

	J509ZZI					J428YWG
$D_{\text{Coll}} [\text{cm}^{-2}]$			$1.5 \times 10^{12}$			$5.5 \times 10^{12}$
$D_{\text{Link}} [\text{cm}^{-2}]$	N/A	$1.0 \times 10^{13}$	$1.5 \times 10^{13}$	$2.5 \times 10^{13}$	$5.0 \times 10^{13}$	N/A
$BV_{\text{CEO}} [\text{V}]$	7.1	2.6	2.5	2.3	2.2	2.1
Gain à $f_{\text{Tmax}}$	264	234	218	223	223	251
$R_{\text{Cslope}} [\Omega]$	602	476	436	402	370	433
$C_{\text{BC}} [\text{fF}]$	13.6	14.8	15.3	16.1	17.9	16.7
$f_{\text{T}} [\text{GHz}]$	32	64	71	82	90	68
$f_{\text{max}20\text{dB}} [\text{GHz}]$	131	170	173	181	185	148
$f_{\text{T}} \times BV_{\text{CEO}}$	224	167	177	192	201	142

Table IV-2 : Principales caractéristiques des dispositifs avec « link »



Compte tenu des profils après implantation et de la diffusion des espèces dopantes, la tension  $BV_{CEO}$  ne dépasse pas 2.6V sur les dispositifs ayant reçu une implantation « link » auto-alignée. Toutefois, grâce à une réduction importante de la résistance de collecteur, les dispositifs bénéficiant de l'implantation de collecteur auto-alignée rivalisent en vitesse avec des dispositifs dont le dopage  $D_{Coll}$  est bien plus fort ; ils présentent, en outre, une tension de claquage  $BV_{CEO}$  plus élevée de 0.5V environ (cf. Figure IV-13). Si la dose implantée  $D_{Link}$  augmente encore, il est même possible d'obtenir, à  $BV_{CEO}$  équivalent, une fréquence de transition atteignant 90GHz.

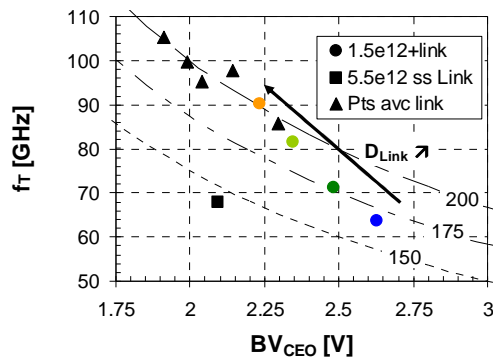


Figure IV-13 : Amélioration du produit  $f_T \cdot BV_{CEO}$  par implantation de « link » pour les quatre branches du lot J509ZZI (cercles) présentées dans la Table IV-2, par rapport à la branche du lot J428YWG (carré) et d'autres branches du lot J509ZZI pour lesquelles  $D_{Coll} = 1.2 \times 10^{13} \text{ cm}^{-2}$  (triangles)

Grâce à ce procédé, il est possible d'obtenir une amélioration du produit  $f_T \times BV_{CEO}$  allant jusqu'à 50GHz.V pour les dispositifs rapides. Sur les dispositifs dont le dopage collecteur était déjà élevé, des couples  $f_T/BV_{CEO}$  de 105GHz/1.9V peuvent être obtenus.

L'implantation auto-alignée de collecteur est ainsi particulièrement intéressante pour obtenir des dispositifs plus rapides (90GHz) avec une tension de claquage plus élevée (2.2V), comparés à des dispositifs pour lesquels la dose d'implantation de collecteur  $D_{Coll}$  est supérieure. Toutefois, il n'est toujours pas possible d'augmenter la vitesse des dispositifs en maintenant une tension de claquage supérieure à 5V car le dopage du collecteur extrinsèque joue un rôle important sur la tension de claquage compte tenu du fonctionnement en désertion latérale. Une solution pour augmenter la fréquence de transition, sans basculer dans un mode de fonctionnement vertical, consiste à réduire la distance de la prise de collecteur.

#### IV.2.A.4. Sur-dopage de la prise de collecteur

Nous pouvons réduire la résistance extrinsèque du collecteur en favorisant la diffusion des dopants de la prise de contact. La dose d'impuretés phosphore implantée dans la prise de

collecteur  $D_{PColl}$  en complément d'une implantation d'arsenic, est initialement de  $6 \times 10^{13} \text{ cm}^{-2}$ . Pour cette étude, cette dose de phosphore sera triplée, puis décuplée pour générer une forte diffusion latérale des dopants (cf. Figure IV-14).

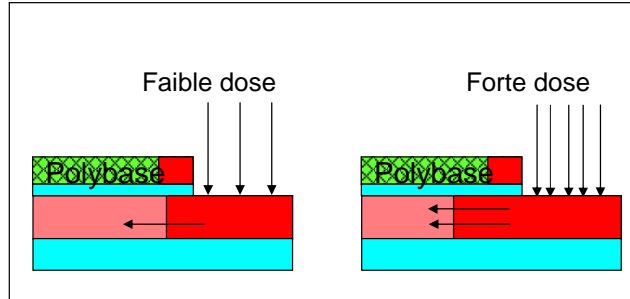


Figure IV-14 : Principe de réduction de  $L_C$  par diffusion de la prise de collecteur

Il est difficile d'estimer quantitativement la réduction de la distance de collecteur consécutive à cet essai, mais l'effet en est clairement visible sous la forme d'une baisse de la tension de claquage de la jonction base-collecteur  $BV_{CBO}$  comme le montre la Figure IV-15.

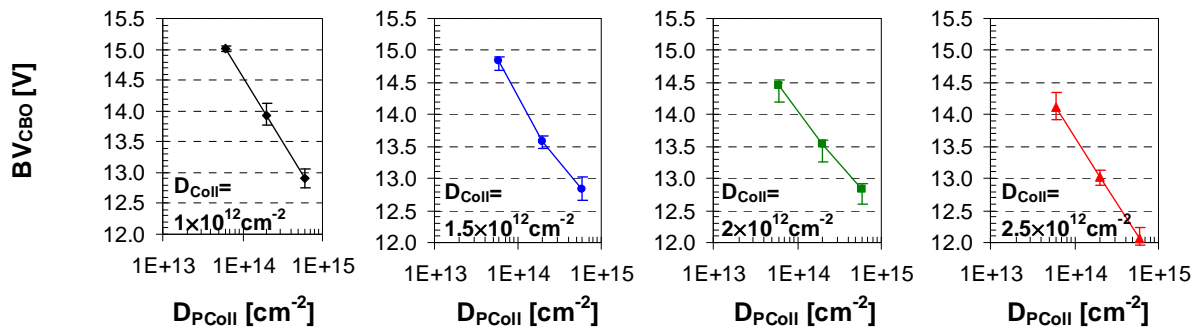


Figure IV-15 : Réduction de  $BV_{CBO}$  des TBH RF sur SOI mince par augmentation de la dose  $D_{PColl}$  pour quatre doses d'implantation de collecteur  $D_{Coll}$  variant de  $1.0 \times 10^{12} \text{ cm}^{-2}$  à  $2.5 \times 10^{12} \text{ cm}^{-2}$  par pas de  $0.5 \times 10^{12}$

Les valeurs de  $BV_{CEO}$  ne permettent pas une observation aussi claire de l'influence de la diffusion de la prise de collecteur car les dispersions technologiques inter-plaques masquent les effets de cette dernière.

De la même manière, si on parvient à estimer l'influence de la diffusion des dopants sur la résistance de collecteur par la méthode de la pente des courbes  $I_C - V_{CE}$  (Figure IV-16), le gain sur la fréquence de transition reste inférieur à 2GHz sur les échantillons testés.

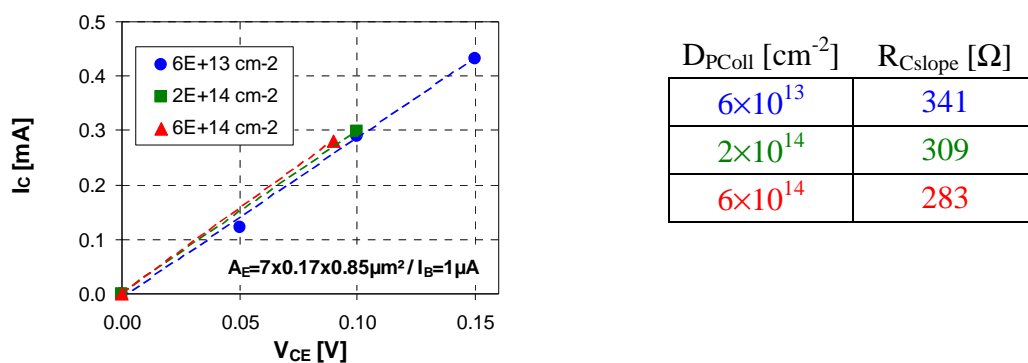


Figure IV-16 : Abaissement de la résistance série par diffusion de la prise de contact de collecteur pour des TBH RF sur SOI dont le collecteur intrinsèque est implanté avec une dose  $D_{Coll} = 1.5 \times 10^{12} cm^{-2}$

Ainsi, si l'effet de l'implantation de la prise de collecteur est important sur la réduction de la tension de claquage de la jonction base-collecteur, le gain en fréquence demeure minime. Par ailleurs, la prise de collecteur étant réalisée par la même implantation que les sources et drains des MOS, cette méthode n'est pas compatible avec une intégration BiCMOS complète. La réduction des dimensions latérales  $L_C$  par diffusion des dopants de la prise de collecteur n'est donc pas une solution envisageable pour l'amélioration des performances des transistors. D'autres manières de réduire la résistance de collecteur seront ainsi préférées, soit par modification de l'intégration (cf. IV.2.A.3), soit par optimisation du dessin des masques (cf. IV.2.B).

#### IV.2.B. Optimisation du dessin des masques

Les conditions de fabrication sont fixées très tôt au cours de la phase de développement de technologies en microélectronique, il devient alors intéressant de disposer d'un degré de liberté supplémentaire grâce au dessin des masques pour obtenir de meilleures performances à partir de transistors ayant suivi les mêmes étapes de fabrication. Les structures de test disponibles sur les masques de photolithographie permettent ainsi de disposer sur chaque plaquette fabriquée de toutes les variantes de transistors dessinées.

##### IV.2.B.1. Fractionnement de l'émetteur

Dans le cadre de l'optimisation de transistors destinés aux applications RF, nous nous sommes intéressés à l'étude de deux types de transistors. Ces transistors sont fabriqués sur le lot J428YWG et forment deux séries de dispositifs de surface d'émetteur de  $1 \mu m^2$ . La première série dite des transistors « haute tension », reçoit une dose d'implantation de collecteur  $D_{Coll}$  de  $1.5 \times 10^{12} cm^{-2}$  ; son fonctionnement en mode de désertion latérale lui

confère une tension de claquage supérieure à 5V. La deuxième série est implantée avec une dose de  $5.5 \times 10^{12} \text{cm}^{-2}$ . Grâce au faible temps de transit correspondant au mode de désertion verticale, ces dispositifs sont dits « rapides ». A terme, seule l'implantation faible dose sera une étape spécifique à la fabrication des TBH SiGe, la deuxième dose sera obtenue par complément avec l'implantation des caissons des transistors PMOS de la technologie BiCMOS complète, les deux types de transistors seront alors disponibles sur la même plaquette de silicium.

#### *IV.2.B.1.a. Intérêt du fractionnement*

Le report des contacts de base de part et d'autre de l'émetteur est nécessaire à la réduction de la distance de la prise de contact de collecteur  $L_C$  mais introduit, pour les structures longues, une résistance d'accès à la base qui pénalise la fréquence maximale d'oscillation comme le montre la formule suivante :

$$f_{MAX} = \sqrt{\frac{f_T}{8\pi \cdot R_B \cdot C_{BC}}}$$

En fractionnant la fenêtre d'émetteur, il devient possible de répéter les contacts sur le *Polybase* à intervalle régulier et ce faisant de réduire la résistance d'accès à la base (II.4.B.2.c). En contrepartie, les capacités parasites augmentent. Il convient donc de trouver la taille de cellule optimale qui permettra de gérer au mieux ce compromis.

Afin de comparer plusieurs niveaux de fractionnement, nous disposons, sur le masque de test, de structures dont l'aire efficace d'émetteur est constante ( $1 \mu\text{m}^2$  en fin de fabrication) mais dont le fractionnement est réalisé en 5, 7 et 12 cellules. Pour cela, la longueur effective des cellules varie de 1.19 à 0.85 et  $0.51 \mu\text{m}$  respectivement.

#### *IV.2.B.1.b. Impact du fractionnement sur les performances des dispositifs RF*

Les mesures des maxima de  $f_T$  et  $f_{\text{max}20\text{dB}}$  sont présentées en Figure IV-17 pour les trois fractionnements dans le cas des transistors RF « haute tension » et « rapides ».

Les performances dynamiques des transistors sont globalement peu influencées par le fractionnement de l'émetteur. Au premier ordre, c'est le dopage de collecteur qui détermine les performances dynamiques des dispositifs. La fréquence de transition est d'environ 32GHz pour les transistors « haute tension » et 67GHz pour les transistors « rapides ». Les valeurs de  $f_{\text{max}20\text{dB}}$  sont toujours bien supérieures à celles de  $f_T$  et avoisinent 130GHz et 160GHz pour les transistors « haute tension » et « rapides » respectivement.

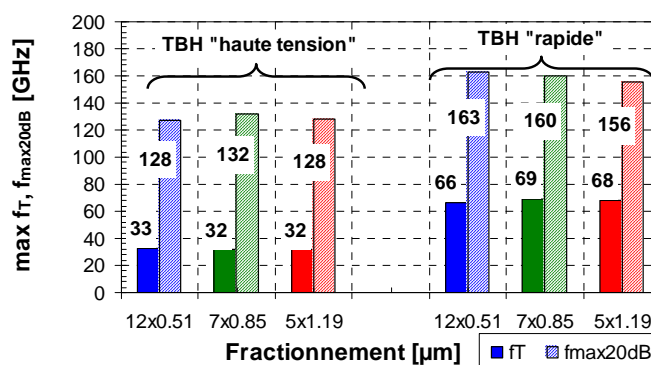


Figure IV-17 : Evolution de  $f_T$  et  $f_{\max 20dB}$  avec le fractionnement pour les deux types de TBH RF sur SOI

Que ce soit pour les transistors « haute tension » ou « rapides », la fréquence maximale d'oscillation n'est pas influencée par les variations de  $f_T$  trop peu importantes mais par l'évolution des éléments parasites.

Pour les transistors « haute tension », la diminution de la résistance de base obtenue par le fractionnement est juste suffisante pour compenser l'augmentation de la capacité base-collecteur. Le maximum de  $f_{\max 20dB}$  est ainsi atteint pour le fractionnement intermédiaire à 7 cellules. Pour les transistors « rapides », les évolutions de la capacité base-collecteur sont réduites et la diminution de la résistance de base obtenue par le fractionnement permet l'amélioration de la fréquence d'oscillation maximale. Le maximum de  $f_{\max 20dB}$  est donc obtenu pour le fractionnement maximal à 12 cellules.

En conclusion, le fractionnement n'influence que très peu les performances dynamiques des dispositifs. Les effets du fractionnement sont minimes comparés à l'influence du dopage de collecteur.

#### IV.2.B.1.c. Résistance thermique et échauffement

Une conséquence des plus importantes de l'intégration du transistor bipolaire sur SOI est la limitation par le BOX de l'évacuation de la chaleur générée par la puissance dissipée dans le transistor. La couche d'oxyde enterrée a un mauvais coefficient de conduction thermique ( $0.014 \text{ Wcm}^{-1}\text{K}^{-1}$ ) comparé au silicium ( $1.5 \text{ Wcm}^{-1}\text{K}^{-1}$ ) et la chaleur tend à s'accumuler dans la couche active contribuant à la montée en température des dispositifs et à une modification de leurs caractéristiques électriques.

La Figure IV-18 présente les résultats des extractions de la température de fonctionnement en fonction de la puissance dissipée par les trois transistors pour lesquels le fractionnement de l'émetteur a été décrit plus tôt. La méthode d'extraction, issue de [Rieh00], a été décrite au I.3.B.3 et le niveau de courant d'émetteur pour ces mesures est fixé à 0.1mA.

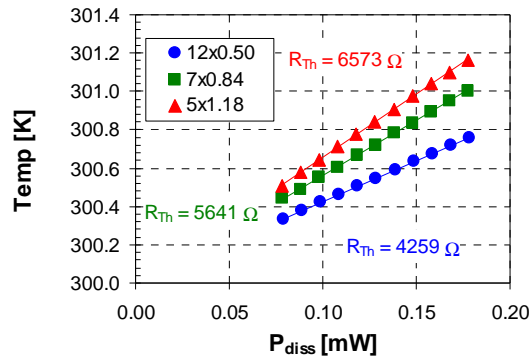


Figure IV-18 : Extraction de  $R_{Th}$  pour 3 fractionnements de transistors RF dont la surface d'émetteur est comparable

La figure montre des différences significatives entre les comportements thermiques des structures étudiées. Les structures à fort fractionnement sont celles qui occupent la plus grande surface de zone active à aire efficace d'émetteur comparable. Malgré la couche d'oxyde enterrée, l'évacuation de la chaleur par le substrat dans les structures à 12 cellules permet d'obtenir une résistance thermique inférieure de 30% au fractionnement à 5 cellules.

Les valeurs extraites de résistance thermique sont environ cinq fois plus importantes que celles de transistors intégrés sur substrat massif. Toutefois, nous constatons sur ce graphique que l'échauffement des transistors demeure relativement limité (inférieur à quelques degrés pour des puissances en dessous de 0.2mW) et donc que les faibles densités de courant mises en jeu dans les transistors destinés aux applications RF ne perturbent pas significativement le fonctionnement des dispositifs.

#### IV.2.B.2. Symétrie des structures

Pour cette étude réalisée relativement tôt par rapport à la chronologie globale de ce travail, nous avons utilisé les plaques du lot J423GHX qui nous avaient permis d'étudier la transition entre dispositifs en désertion verticale et latérale par une dose d'implantation de collecteur  $D_{Coll}$  comprise entre  $1 \times$  et  $2.5 \times 10^{12} \text{cm}^{-2}$ .

La structure cellulaire étudiée au paragraphe précédent permet de réduire  $L_C$  en minimisant la résistance de collecteur. De la même manière, l'utilisation d'une structure symétrique ( $C_B E^B C$ ) présente un avantage conséquent en terme de conduction du courant dans le collecteur, par rapport à une structure asymétrique ( $B_B E^B C$ ). Les deux types de structures sont présentés sur la Figure IV-19.

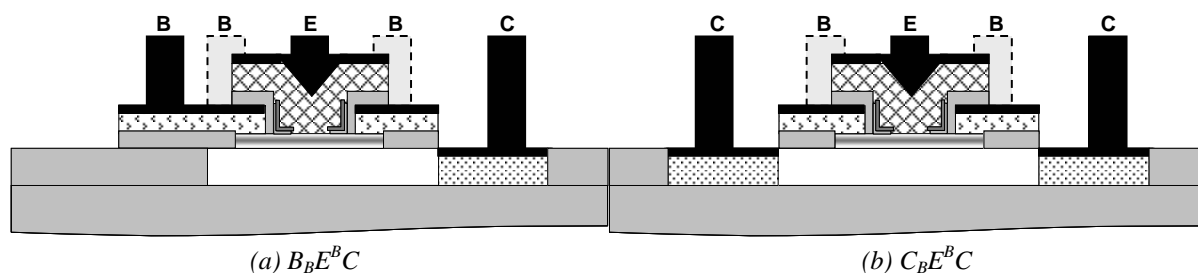


Figure IV-19 : Comparaison des structures (a) asymétrique et (b) symétrique de transistor bipolaire sur SOI mince

Le volume de silicium du collecteur étant réduit quasiment de moitié, le transistor asymétrique fonctionne en régime de désertion latérale pour des dopages de collecteur plus importants. Ainsi, la tension de claquage pour une dose d'implantation de collecteur  $D_{\text{Coll}}$  de  $2.5 \times 10^{12} \text{ cm}^{-2}$  est égale à 5.37V alors qu'elle n'est que de 3.23V sur le transistor symétrique.

Cependant, pour tous les dopages de collecteur testés, des extractions réalisées sur les courbes  $I_C$ - $V_{CE}$  montrent que la structure symétrique présente une résistance de collecteur inférieure de 40%. Les performances dynamiques de ces transistors sont ainsi fortement améliorées et le maximum de  $f_T$  passe de 14GHz à 31GHz. Le  $f_{\text{max}20\text{dB}}$  qui bénéficiait déjà des capacités base-collecteur et collecteur-substrat réduites dans la structure asymétrique, est supérieur de 30% par rapport à la structure symétrique.

Finalement, les performances en fréquence de la structure asymétrique sont tellement faibles que le produit  $f_T \times BV_{\text{CEO}}$  pour ces transistors ne dépasse pas 115GHz.V, de sorte qu'elle ne présente pas de réel intérêt pratique.

#### IV.2.B.3. Distance de la prise de collecteur

Nous avons vu précédemment que la réduction de la distance de collecteur par diffusion de la prise fortement dopée  $n+$  n'avait pas apporté de résultats probants. Nous pouvons néanmoins contrôler directement cette distance par dessin des masques dans la limite des règles de dessin imposées par la technologie.

Nous comparons ici les résultats statiques et dynamiques de transistors symétriques dont la distance de collecteur  $L_C$  prend pour valeurs 0.52, 0.62 et 0.72 $\mu\text{m}$  (Figure IV-20).

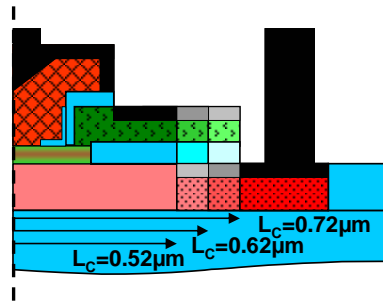


Figure IV-20 : Augmentation de la distance de la prise de collecteur  $L_C$  par extension du Polybase dans un transistor bipolaire auto-aligné

Les niveaux d'interconnexions sont identiques pour les trois structures car les contacts de collecteur sont repoussés pour permettre l'extension du Polybase comme le montre la Figure IV-20. Ainsi, aucun autre masque n'est influencé par cette variation

#### IV.2.B.3.a. Influence sur la tension de claquage des dispositifs

La tension de claquage  $BV_{CEO}$  a été mesurée sur des transistors « rapides » et « haute tension » fabriqués avec les masques comportant les trois distances de collecteur. Les résultats pour les six transistors ( $D_{Coll}=1.5 \times 10^{12}$  et  $5.5 \times 10^{12} \text{ cm}^{-2}$ ) sont présentés sur la Figure IV-21.

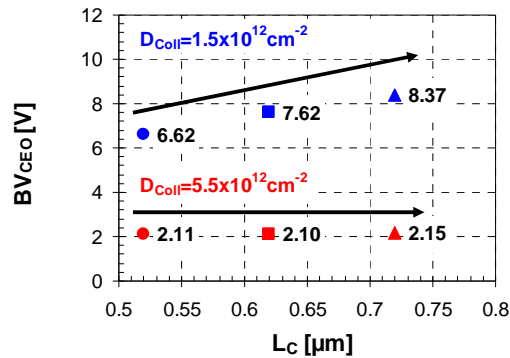


Figure IV-21 : Evolution de  $BV_{CEO}$  avec  $L_C$  pour les TBH « haute tension » ( $D_{Coll}=1.5 \times 10^{12} \text{ cm}^{-2}$ ) et « rapides » ( $D_{Coll}=5.5 \times 10^{12} \text{ cm}^{-2}$ )

Conformément aux conditions de fabrication, les transistors « haute tension » ont un  $BV_{CEO}$  supérieur à celui des dispositifs « rapides ». Par ailleurs, nous avons montré au chapitre précédent que la distance de la prise de collecteur  $L_C$  pouvait influencer sur la tension  $BV_{CEO}$  quand le collecteur du transistor est totalement déserté. C'est le cas ici pour les points correspondants à la dose d'implantation faible ( $1.5 \times 10^{12} \text{ cm}^{-2}$ ). La tension de claquage des dispositifs « haute tension » passe ainsi de 6.6V à 8.4V. Par contre, au-delà d'une dose implantée de  $2 \times 10^{12} \text{ cm}^{-2}$ , la désertion totale est atteinte pour une tension  $V_{CE}$  supérieure à



$BV_{CEO}$ . Par conséquent, la distance de la prise de collecteur n'a plus d'effet sur la tension de claquage. Les valeurs correspondant à un dopage fort ( $5.5 \times 10^{12} \text{cm}^{-2}$ ) présentées sur la Figure IV-21, confirment bien cette tendance. La tension de claquage des dispositifs « rapides » n'évolue pas avec la distance de la prise de collecteur.

#### IV.2.B.3.b. Amélioration des performances du transistor par variation de $L_C$

Pour les mesures dynamiques, la tension de collecteur est fixée à 0.5V. Les deux séries de transistors fonctionnent dans ce cas précis en régime de désertion verticale. Une distance de collecteur importante entraîne une valeur de résistance série pénalisante pour les performances dynamiques. Dans ce cas, la réduction de  $L_C$  présente un intérêt évident.

De plus, la capacité formée par l'oxyde piédestal entre la base extrinsèque et le collecteur est réduite pour des distances  $L_C$  courtes. A partir des dimensions géométriques des masques, nous calculons une réduction de 16fF à 14fF environ sur la capacité base-collecteur à faible  $V_{CB}$ . Cette valeur est vraisemblablement un peu plus importante dans le cas d'un collecteur fortement dopé pour lequel il devient impossible de négliger la capacité du semiconducteur devant celle de l'oxyde.

La Figure IV-22 présente les optimisations possibles en fréquence et en tension de claquage pour des transistors « haute tension » et « rapides » dans le cas d'une réduction ou d'une augmentation de la distance de collecteur. Les couples  $f_T$ - $BV_{CEO}$  obtenus sont présentés par rapport à des courbes représentant des produits  $f_T \times BV_{CEO}$  constants.

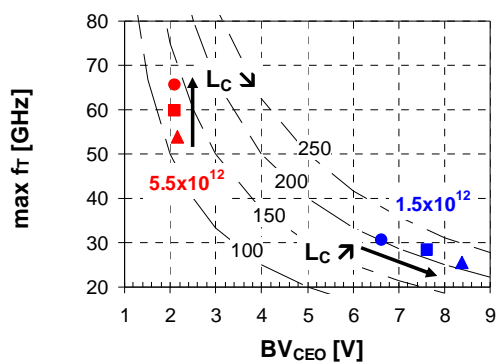


Figure IV-22 : Effet de la distance  $L_C$  sur le compromis  $f_T$ - $BV_{CEO}$  pour des transistors « haute tension » ( $D_{Coll}=1.5 \times 10^{12} \text{cm}^{-2}$ ) et « rapides » ( $D_{Coll}=5.5 \times 10^{12} \text{cm}^{-2}$ )

En ce qui concerne les transistors « haute tension », nous avons vu qu'un gain significatif en  $BV_{CEO}$  pouvait être attendu de la relaxation de la distance  $L_C$ . Par ailleurs, la fréquence de transition est peu pénalisée par l'augmentation de  $L_C$  (perte de 5GHz) car les faibles valeurs

des capacités génèrent un retard  $R_C C_{BC}$  faible devant le temps de transit global déjà élevé. Le produit  $f_T \times BV_{CEO}$  reste ainsi constant pour ces transistors.

Pour les transistors « rapides », la réduction de  $L_C$  de 0.72 à 0.52 $\mu\text{m}$  entraîne un gain en fréquence proche de 12GHz sans impact sur la tension de claquage. Le produit  $f_T \times BV_{CEO}$  est donc amélioré et passe de 116 à 138GHz $\times$ V.

En faisant varier la distance  $L_C$  par allongement du *Polybase*, il est donc possible d'optimiser à la fois les dispositifs rapides, et ceux dont la tension de claquage est élevée, indépendamment des conditions de fabrication.

#### IV.2.B.4. Conclusion sur l'optimisation des TBH sur SOI pour applications RF

Pour les transistors destinés aux applications RF dont la fréquence de transition ne dépasse pas la centaine de gigahertz, l'amélioration du produit  $f_T \times BV_{CEO}$  passe principalement par une augmentation de la tension de claquage que l'on peut obtenir par allongement de la distance de collecteur ou par augmentation du dopage de la base. L'augmentation du niveau de bore dans la base permet, en effet, de réduire efficacement le gain, l'amélioration du  $BV_{CEO}$  qui en résulte est couplée à une augmentation de la fréquence maximale d'oscillation, par réduction de la résistance de base.

Il est également possible de procéder à l'implantation auto-alignée du collecteur extrinsèque pour réduire la résistance de collecteur mais il est alors impossible d'obtenir des dispositifs « haute tension ». La fréquence de transition des dispositifs « rapides » sera plutôt améliorée par optimisation du dessin des masques. La réduction de la distance de collecteur apporte l'effet le plus important. L'optimisation de la taille des cellules lors du fractionnement de la fenêtre d'émetteur ne permet pas d'obtenir un gain significatif.

La Figure IV-23 positionne dans un diagramme  $f_T \times BV_{CEO}$  tous les couples fréquence de transition et fréquence maximale d'oscillation en fonction de la tension de claquage, obtenus pour les transistors fabriqués au cours de cette étude. La présence de courbes correspondant à des produits  $f_T \times BV_{CEO}$  constants permet d'évaluer la valeur de ce produit pour les différents transistors représentés.

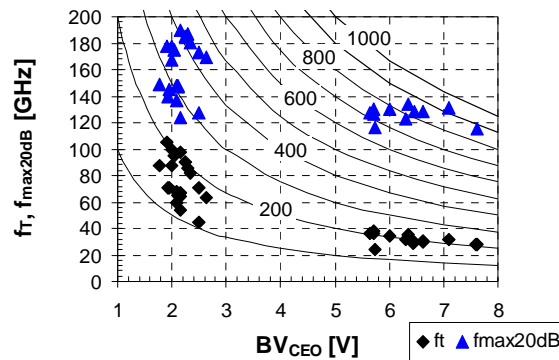


Figure IV-23 : Couples  $f_T$ - $BV_{CEO}$  obtenus pour les transistors RF sur SOI mince étudiés

Conformément à la transition abrupte observée sur le paramètre  $BV_{CEO}$  entre les deux modes de fonctionnement, aucune donnée ne figure dans la gamme de  $BV_{CEO}$  entre 3V et 5V.

Sur la totalité de la gamme de tensions explorée, le produit  $f_T \times BV_{CEO}$  atteint 200GHz.V, ce qui est comparable avec les résultats obtenus classiquement sur substrat massif. Parmi ces points, les transistors « haute tension » présentent un produit  $f_{max20dB} \times BV_{CEO}$  impressionnant qui dépasse 900GHz.V. Ces valeurs exceptionnellement élevées sont obtenues grâce à l'optimisation du dessin des masques pour la structure émetteur-base et de la capacité base-collecteur réduite sur substrat SOI mince.

### IV.3. Optimisation du TBH sur SOI mince pour les très hautes fréquences

L'objectif de cette partie est de présenter les études menées dans le but d'évaluer la faisabilité de transistors bipolaires très rapides sur substrats SOI mince.

#### IV.3.A. Optimisation du procédé de fabrication

Pour cette étude, les options technologiques du TBH sur SOI mince sont optimisées pour des fréquences de transition élevées. Le profil de base qui avait jusqu'alors peu d'effet sur les performances dynamiques compte tenu des caractéristiques du collecteur, est réduit à une épaisseur de 25nm. Le dessin des masques est également optimisé. Nous choisissons ainsi les caractéristiques géométriques favorables à la vitesse des transistors. La structure cellulaire de surface  $7 \times 0.17 \times 0.85 \mu\text{m}^2$  avec contact émetteur en ruban et distance de la prise collecteur réduite est la structure de référence dans cette partie de l'étude. Les efforts d'optimisation ont porté principalement sur le collecteur qui reste identifié comme le principal élément limitant

la vitesse des dispositifs. Deux lots ont été dédiés à l'implantation forte dose du collecteur avec des ions phosphore ou arsenic. Les résultats obtenus sont présentés ci-dessous.

#### IV.3.A.1. Collecteur implanté phosphore

Dans le processus de fabrication du transistor, la couche active du substrat SOI est implantée de phosphore qui permet d'obtenir un profil de dopants uniforme dans le collecteur du transistor. Une implantation forte dose du collecteur permet de réduire le temps de transit et d'améliorer la résistivité de la couche de SOI servant de collecteur extrinsèque. Sur le premier des deux lots (J434BFT), nous avons ainsi augmenté la dose de phosphore implanté  $D_{Coll}$  à des valeurs dix fois plus élevées que celles utilisées pour la réalisation des transistors destinés aux applications RF. Des doses de  $1 \times$ ,  $2.5 \times$  et  $5 \times 10^{13} \text{ cm}^{-2}$  ont ainsi été utilisées, avec pour objectif une augmentation de la fréquence de transition. Les mesures hyperfréquences réalisées ont permis l'extraction des temps de transit et des capacités base-collecteur pour les différents niveaux de dopage de collecteur (Figure IV-24).

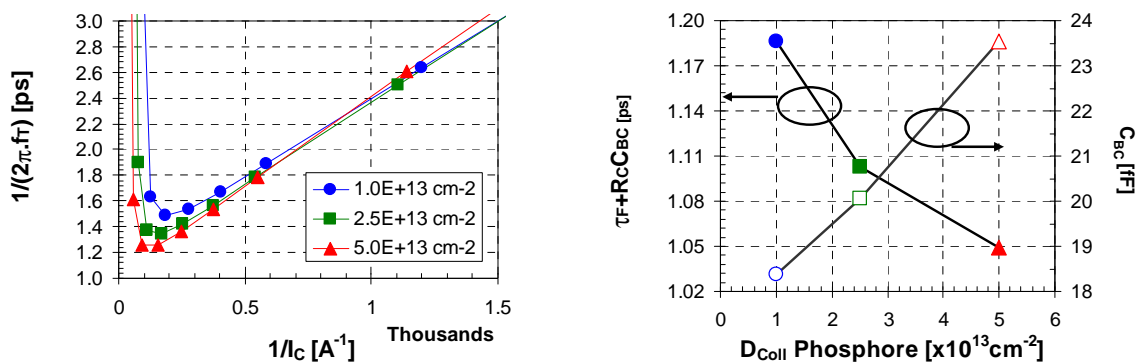


Figure IV-24 : Extraction des temps de transit et des capacités pour les transistors bipolaires sur SOI mince très rapides utilisant un dopage de collecteur phosphore

Plus la dose d'implantation de collecteur est élevée, plus le temps de transit est faible ( $\tau_F + R_C C_{BC} = 1.05 \text{ ps}$  pour les transistors les plus dopés) et ce, malgré une capacité base-collecteur qui ne cesse d'augmenter et atteint des valeurs deux fois plus importantes que pour les transistors RF ( $24 \text{ fF}$  pour  $D_{Coll} = 5 \times 10^{13} \text{ cm}^{-2}$ ).

La Figure IV-25 montre l'évolution des courbes  $f_T = f(I_C)$  et  $f_{\max 20 \text{ dB}} = f(I_C)$  paramétrées avec une dose d'implantation de collecteur croissante. Les niveaux de courant au pic  $f_T$  augmentent avec le dopage collecteur et leur valeur autour de  $10 \text{ mA}$  est dix fois supérieure à celle obtenue pour les dispositifs dédiés aux applications RF.

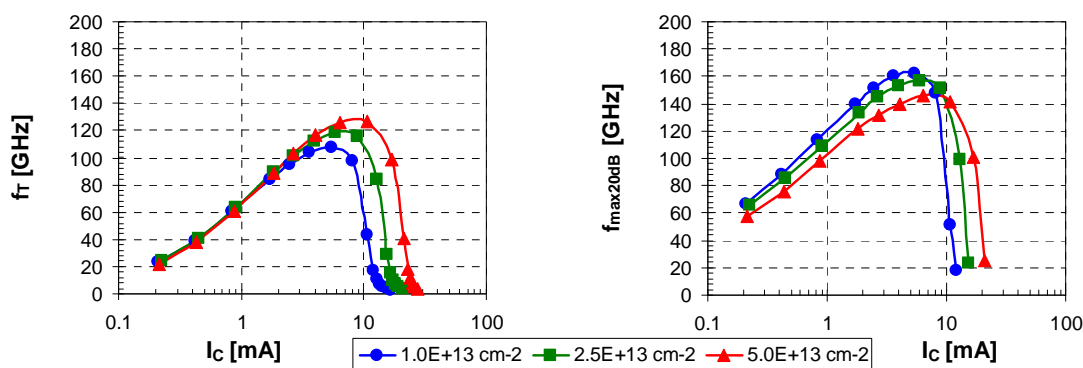


Figure IV-25 :  $f_T$  et  $f_{max20dB}$ - $I_C$  en fonction de  $D_{Coll}$  pour les transistors rapides dopés phosphore

La Figure IV-25 montre qu'un couple  $f_T/f_{max20dB}$  approchant 107/162GHz peut être obtenu avec une dose implantée de  $10^{13} \text{cm}^{-2}$ . Un dopage cinq fois plus fort permet d'atteindre une fréquence de transition  $f_T$  plus élevée à 127GHz. La fréquence maximale d'oscillation correspondante est pénalisée par la forte capacité base-collecteur et ne dépasse pas 150GHz.

Nous voyons clairement, dans ce cas, les limitations de l'utilisation du dopage collecteur par implantation de phosphore. D'une part, les performances en temps de transit ne sont atteignables qu'au prix d'une forte baisse de la tension de claquage  $BV_{CEO}$ , de 1.67V pour  $D_{Coll} = 10^{13} \text{cm}^{-2}$  à 1.5V pour  $5 \times 10^{13} \text{cm}^{-2}$ . D'autre part, le profil uniforme de dopants dans le collecteur implique une forte capacité base-collecteur qui pénalise  $f_{max20dB}$  lorsque l'on souhaite améliorer  $f_T$  par augmentation des doses implantées. Un profil rétrograde apporterait le bénéfice d'un niveau d'implantation limité sous la base intrinsèque, améliorant la tension de claquage, et d'un dopage important en fond de collecteur, limitant la résistance de collecteur.

#### IV.3.A.2. Implantation du collecteur avec de l'arsenic

##### IV.3.A.2.a. Profil d'implantation et implications

Le même lot J434BFT contenait deux branches pour lesquelles le collecteur était implanté avec de l'arsenic à des doses de  $10^{14} \text{cm}^{-2}$  pour la première et  $5 \times 10^{14} \text{cm}^{-2}$  pour la deuxième. L'objectif de l'implantation d'arsenic est de limiter la diffusion des dopants avec le bilan thermique subi par la plaquette de silicium de manière à avoir, en fin de fabrication, un profil non uniforme. En réglant correctement l'énergie d'implantation des ions, nous sommes parvenus à positionner le maximum de concentration en fond de collecteur. La moitié des ions arsenic implantés est alors située dans l'oxyde enterré et la deuxième moitié de la gaussienne d'implantation forme un gradient décroissant vers la base. La Figure IV-26 présente les

profils obtenus par analyse SIMS en fin de fabrication en les comparant à ceux obtenus sur les dispositifs utilisant un collecteur dopé phosphore.

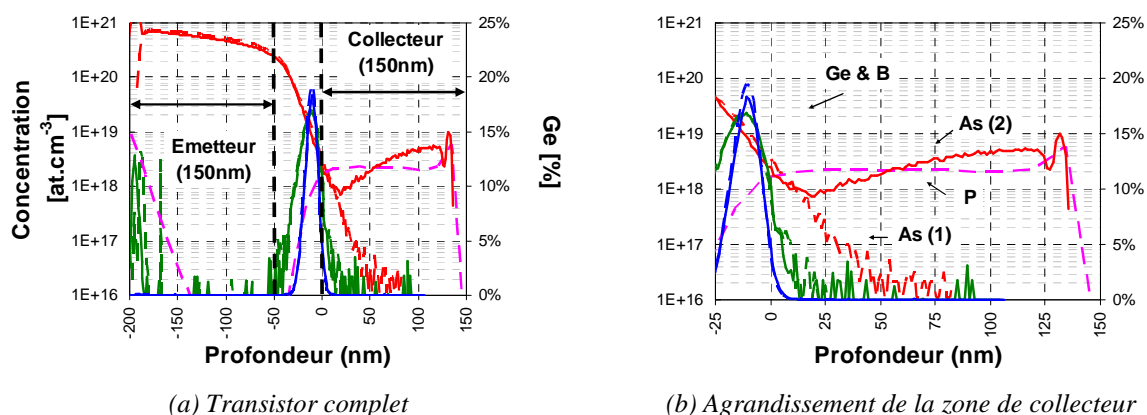


Figure IV-26 : Profils de dopants comparés obtenus par SIMS pour des transistors utilisant un collecteur implanté phosphore ou arsenic.

Nous constatons que les profils de toutes les espèces de la structure émetteur-base sont très proches pour les deux plaquettes, ce qui montre un bon contrôle de la technologie. L'agrandissement du collecteur (Figure IV-26.b) met en évidence les deux profils de phosphore et d'arsenic. Le collecteur implanté phosphore montre une concentration quasi-uniforme sur toute sa profondeur. De l'arsenic issu de la diffusion de l'émetteur est également présent juste sous la base (*As (1)*). L'implantation arsenic du collecteur *As (2)* permet d'obtenir un profil clairement rétrograde dont la concentration en profondeur est quasiment dix fois plus importante que celle à la jonction base-collecteur métallurgique.

Un tel profil de collecteur permet d'améliorer la tension de claquage du dispositif en maintenant un champ électrique faible à la jonction base-collecteur. De plus, le dopage élevé en fond de collecteur, où se concentrent les lignes de courants, et la capacité base-collecteur réduite contribuent à l'amélioration des performances dynamiques.

Ainsi, pour une dose implantée d'arsenic à  $10^{14} \text{cm}^{-2}$ , la tension de claquage  $BV_{\text{CEO}}$  (1.65V) et la capacité base-collecteur (18fF) sont comparables avec celles d'un transistor implanté en phosphore à une dose dix fois moindre. Les performances en  $f_T$  et  $f_{\text{max}20\text{dB}}$  sont pourtant améliorées de 30GHz pour atteindre les valeurs de 138GHz et 198GHz respectivement, comme le montre la Figure IV-27.

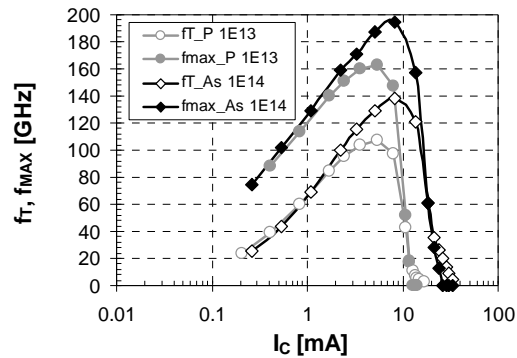


Figure IV-27 : Comparaison des  $f_T$  et  $f_{MAX}$  de TBH implantés P et As à  $BV_{CEO}$  comparables

Dans le but d'obtenir des transistors encore plus rapides, les collecteurs de la seconde branche arsenic du lot J434BFT ont été implantés avec une dose de  $5 \times 10^{14} \text{cm}^{-2}$ . Les dispositifs obtenus sont cependant non-fonctionnels. En effet, pour un dopage supérieur à  $10^{14} \text{cm}^{-2}$  en arsenic, nous avons constaté une amorphisation irréversible de la couche de SOI, illustrée par les images réalisées au microscope électronique à transmission et présentées en Figure IV-28.

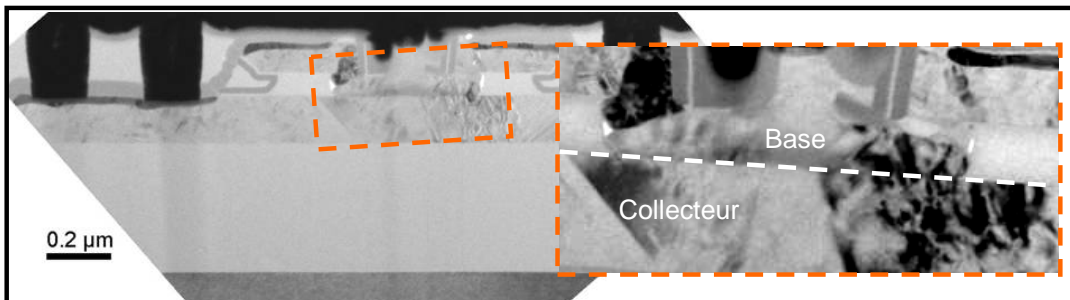


Figure IV-28 : Images MET de l'amorphisation du collecteur et des défauts d'épitaxie de la base

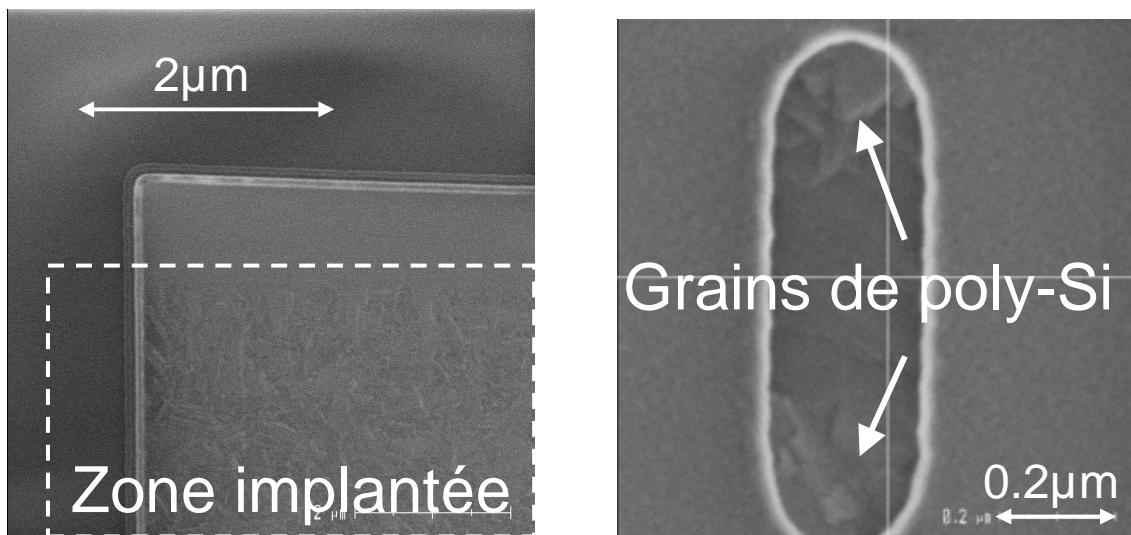
Contrairement aux dispositifs fabriqués sur substrat massif, la recristallisation de la couche amorphisée à partir du réseau du substrat est impossible sur SOI car l'oxyde enterré empêche la continuité cristalline. La couche de collecteur reste donc amorphe ou polycristalline pour la suite des étapes malgré la réalisation d'un recuit. L'épitaxie de la base ne peut alors pas s'orienter sur un réseau régulier, et une base polycristalline est à l'origine des défauts de fonctionnement des dispositifs, caractérisés par un percement de la base. Il faudra donc trouver une solution technologique pour augmenter la dose d'arsenic implantée et essayer d'améliorer encore la vitesse des dispositifs.

*IV.3.A.2.b. Solutions à l'amorphisation du film SOI*

Pour pallier l'amorphisation du film SOI, nous avons procédé à la fabrication d'un second lot (J520ABH) pour lequel l'implantation de la dose d'arsenic a été réalisée en deux étapes séparées par une étape de recuit de manière à rétablir le réseau cristallin entre les implantations et éviter le caractère définitif de l'amorphisation liée à l'implantation forte dose.

L'expérience a montré qu'il est possible d'obtenir des dispositifs fonctionnels, dont le collecteur est dopé avec une dose d'arsenic de  $2 \times 10^{14} \text{cm}^{-2}$ , alors que la réalisation de tels dispositifs en une seule implantation avait conduit à des dispositifs ne fonctionnant pas. Toutefois, pour des raisons encore incomprises, les résultats de mesures hyperfréquences effectuées sur ces dispositifs ne sont pas supérieurs à ceux obtenus sur le lot J434BFT. En effet, même sur les plaques de référence implantées à  $10^{14} \text{cm}^{-2}$ , les résultats sont moins bons que sur le lot précédent.

Un autre essai sur le lot J520ABH a consisté à mettre en place un procédé permettant la recristallisation latérale du dispositif en masquant l'implantation forte dose d'arsenic sur une partie du collecteur. La recristallisation latérale devait ensuite se faire à partir de la zone protégée pendant un recuit d'activation de dopant et de réparation de défauts. La figure suivante présente des photos MEB réalisées en vue de dessus, de deux structures de transistor bipolaire. L'observation a été menée après épitaxie de la base, qui révèle ou non la structure cristalline de la couche de collecteur.



(a) Vue d'une boîte 70×100µm

(b) Vue d'une fenêtre d'émetteur

Figure IV-29 : Topologie du dépôt de base sur substrat amorphisé par implantation



La Figure IV-29.a montre que la zone protégée par de la résine lors de l'implantation est bien restée cristalline, mais la topologie permet de distinguer clairement la structure polycristalline de la couche SiGe dans la zone implantée et dans le transistor. Le recuit, pourtant réalisé avant ce cliché, est donc mal adapté et ne permet pas la recristallisation du collecteur, les dispositifs obtenus sont finalement non fonctionnels.

### IV.3.B. Optimisation du dessin des masques

#### IV.3.B.1. Fragmentation de l'émetteur

De manière analogue à l'optimisation des structures proposée au paragraphe IV.2.B.1, le même masque a servi à déterminer la taille optimale de cellule pour les TBH SiGe sur SOI « haute vitesse ». Le rapport des résistances et des capacités, totalement différent dans ce troisième cas, et l'auto-échauffement associé aux forts courants justifient que l'étude soit menée également pour des transistors dont le collecteur est très fortement dopé. Les échantillons choisis sont ceux de la plaque du lot J434BFT ayant donné les meilleurs résultats lors de l'optimisation du procédé de fabrication, c'est-à-dire avec une implantation arsenic du collecteur à une dose de  $10^{14} \text{cm}^{-2}$ .

Comme précédemment, la surface globale d'émetteur effective est proche de  $1 \mu\text{m}^2$  et différents fractionnements sont proposés, la taille des cellules dessinées pouvant être de  $0.51 \mu\text{m}$ ,  $0.85 \mu\text{m}$  ou  $1.19 \mu\text{m}$  pour les plus grandes.

##### *IV.3.B.1.a. Résistances et capacités extraites des mesures dynamiques.*

Les valeurs de résistances et capacités parasites extraites à partir de mesures dynamiques hyperfréquences sont résumées sur la Figure IV-30. Ces résultats sont présentés selon le fractionnement de la fenêtre émetteur.

La résistance d'émetteur augmente très légèrement pour les petites cellules. Cet effet est probablement lié à la difficulté de dessiner des interconnexions efficaces pour ce genre de structures.

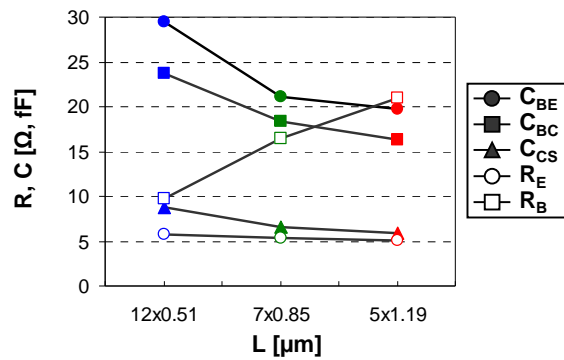
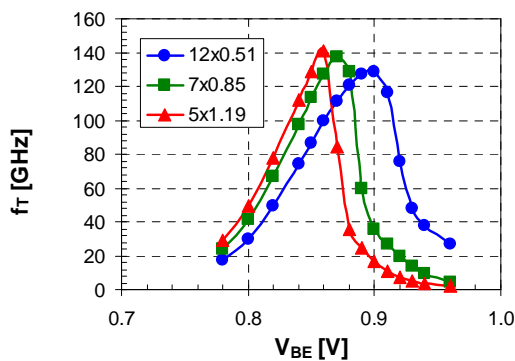


Figure IV-30 : Valeurs des éléments parasites extraits par mesures dynamiques hyperfréquences pour les trois fractionnements de l'émetteur considérés

Les cellules les plus longues sont, par construction, incompatibles avec des valeurs faibles de la résistance de base. Les valeurs présentées ci-dessus en sont un exemple clair,  $R_B$  est deux fois plus élevée pour une structure à longues cellules ( $21\Omega$ ) que pour une structure composée de petites cellules ( $10\Omega$ ). En revanche, les capacités augmentant quasi-linéairement avec le périmètre, de grandes cellules qui ont un rapport périmètre sur surface faible sont plus avantageuses pour obtenir un  $f_T$  élevé. Les capacités périphériques parasites sont donc un élément déterminant pour les performances fréquentielles des transistors rapides (Figure IV-31).



$L_E$ [μm]	$f_T$ [GHz]
12x0.51	129
7x0.85	138
5x1.19	141

Figure IV-31 : Courbes  $f_T$ - $V_{BE}$  pour les différents fractionnements de la longueur d'émetteur

Dès les faibles polarisations en  $V_{BE}$ , les cellules longues offrent une fréquence de transition plus élevée grâce aux faibles capacités  $C_{BE}$  et  $C_{BC}$ , et malgré la chute de  $f_T$  vers  $V_{BE} = 0.86V$ , les deux autres structures n'atteignent pas la même valeur de  $f_{Tmax}$  proche de 141GHz.

Nous pouvons retrouver sur la Figure IV-32 présentant  $f_T$  en fonction de  $I_C$  que  $f_{Tmax}$  est bien atteint pour la même valeur du courant de collecteur sur les trois structures. Sont également représentées les courbes de courant de collecteur pour la gamme de  $V_{BE}$  explorée.

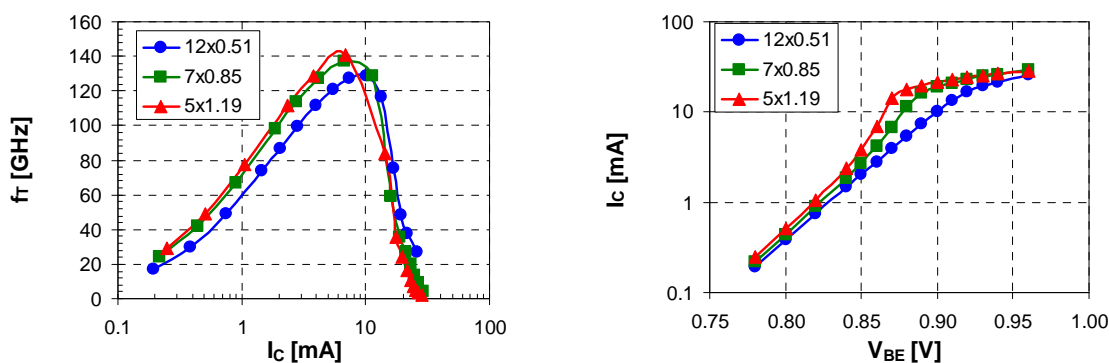


Figure IV-32 : Courbes de  $f_T$ - $I_C$  et  $I_C$ - $V_{BE}$  pour différents fractionnements de la longueur d'émetteur

L'échelle logarithmique indique que le courant de collecteur s'écarte de la droite idéalement observée. L'évolution comparée du courant  $I_C$  entre les trois structures à forte polarisation  $V_{BE}$  est une manifestation de l'emballement thermique lié à l'auto-échauffement du dispositif.

Afin de vérifier que l'auto-échauffement est responsable de la forte augmentation du courant à  $V_{BE}=0.86V$ , nous avons extrait les valeurs de résistances thermiques pour les trois structures. La Figure IV-33 sur laquelle la pente des droites représente la résistance thermique des composants permet une visualisation de la température de fonctionnement des dispositifs lorsque  $V_{CB}$  augmente de 0 à 1V. Les mesures, réalisées pour des polarisations de la jonction émetteur-base proches de 0.8V, sont représentatives de la température des dispositifs lors des mesures de  $f_T$ .

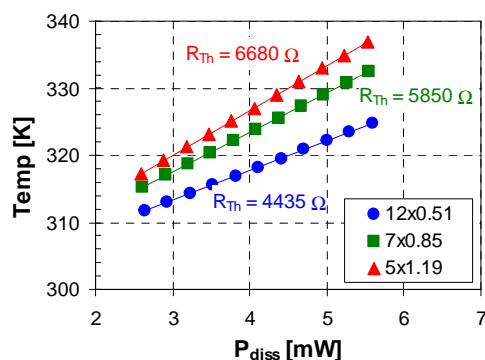


Figure IV-33 : Extraction du  $R_{Th}$  de transistors rapides pour trois fractionnements d'émetteur

Les résistances thermiques extraites sur ces dispositifs « très haute vitesse » sont proches de celles présentées au paragraphe IV.2.B.1.c pour les transistors dédiés aux applications RF.

Cela confirme que la résistance thermique d'une structure dépend essentiellement de ses caractéristiques géométriques et non du dopage des matériaux qui la composent.

Comme pour les transistors destinés aux applications RF, nous constatons qu'une fragmentation en longues cellules implique une élévation de température 50% supérieure à celle en petites cellules. Par contre, dans le cas de transistors rapides, l'élévation de température est de l'ordre de plusieurs dizaines de degrés, ce qui est suffisant pour provoquer un emballement thermique responsable de la variation significative des courants et une dégradation des performances en fréquence.

#### IV.3.B.1.b. Fréquence maximale d'oscillation

Les fortes résistances d'accès à la base des cellules longues, mises en évidence dans la Figure IV-30, ont un effet négatif sur la fréquence maximale d'oscillation et s'opposent au gain apporté par une fréquence de transition et une capacité base-collecteur légèrement meilleures (Figure IV-34). Toutefois, la forte chute de  $f_{\max 20\text{dB}}$  observée pour le fractionnement à 5 cellules pourrait également être liée en partie à l'auto-échauffement et son action sur le  $f_T$ .

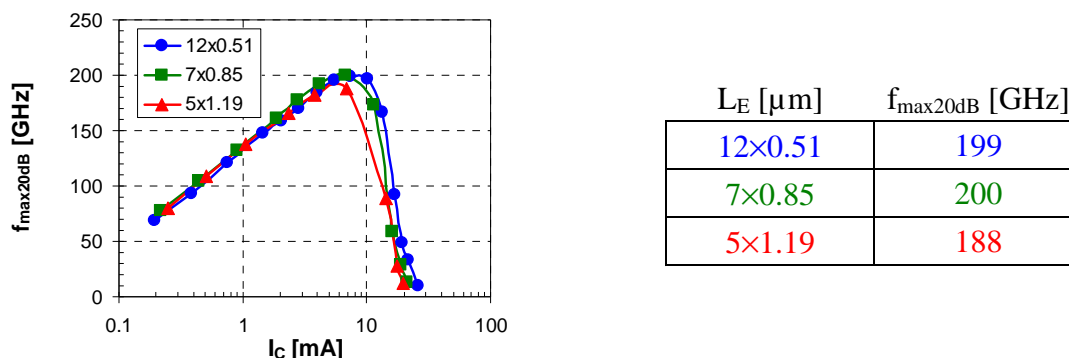


Figure IV-34 : Courbes  $f_{\max 20\text{dB}}-I_C$  pour les trois fragmentations de l'émetteur

En conclusion, les cellules longues sont plus favorables à de faibles capacités parasites et à de meilleures performances dynamiques mais plus sensibles à l'auto-échauffement. Un compromis peut alors être trouvé grâce à l'utilisation de cellules de taille intermédiaire (0.85 $\mu\text{m}$ ) qui permettent d'atteindre des performances record en  $f_T/f_{\max 20\text{dB}}$  de 138/200GHz.

#### IV.3.B.2. Nombre de cellules

La taille de la cellule unitaire ayant été optimisée (0.85 $\mu\text{m}$ ), nous avons analysé la possibilité d'accroître la capacité en courant des composants en augmentant le nombre de cellules du transistor.

La multiplication des cellules consiste à juxtaposer un certain nombre de cellules identiques. La structure standard, d'aire efficace d'émetteur de  $1\mu\text{m}^2$ , comporte 7 cellules alignées. Nous avons ainsi procédé au test électrique de structures à 10, 14, 21 cellules sur la même ligne et 35 cellules en matrice de  $5\times 7$ , soit cinq structures standard à 7 cellules juxtaposées. Les résultats en fréquence de transition et en fréquence maximale d'oscillation sont présentés en Figure IV-35.

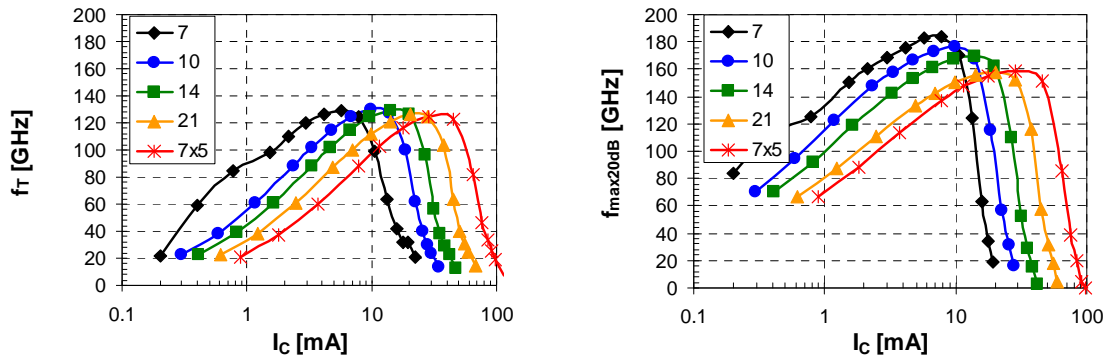


Figure IV-35 : Evolution de  $f_T$  et  $f_{\text{max}20\text{dB}}$  en fonction de  $I_C$  pour des transistors constitués d'un nombre variable de cellules unitaires de longueur  $0.85\mu\text{m}$

Le  $f_{T\text{max}}$  est quasiment stable pour les 5 structures testées. Nous observons une faible perte de quelques gigahertz sur la structure en matrice qui peut être attribuée à l'auto-échauffement. En revanche, la mesure fait apparaître une chute croissante de  $f_{\text{max}20\text{dB}}$  pour les cellules alignées. Il s'agit manifestement de pertes liées aux lignes d'interconnexions qui atteignent plusieurs dizaines de microns pour les plus grandes structures. Les performances fréquentielles de la structure en matrice sont moins pénalisées par ces pertes car sa configuration limite la longueur des lignes de métaux.

#### IV.3.B.3. Conclusion sur l'optimisation des transistors « très haute vitesse »

Nous avons vu que l'optimisation de la taille des cellules pouvait porter les performances en fréquences des TBH SiGe sur SOI mince à un couple  $f_T/f_{\text{max}20\text{dB}}$  de 138/200GHz. Par ailleurs, les performances ne semblent que peu dégradées par la multiplication des cellules nécessaire à l'établissement d'un courant défini dans le cadre de conception de circuit. La Figure IV-36 résume l'ensemble des résultats de  $f_T$  et  $f_{\text{MAX}}$  en fonction de  $BV_{\text{CEO}}$  obtenus au cours de cette étude. Les produits  $f_T \times BV_{\text{CEO}}$  constants qui apparaissent dans cette figure permettent d'évaluer les performances atteintes par les dispositifs.

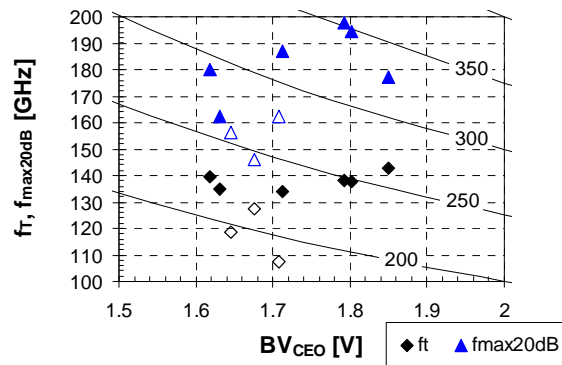


Figure IV-36 : Couples  $f$ - $BV_{CEO}$  des transistors « très haute vitesse » pour lesquels le collecteur est dopé phosphore (symboles vides) ou arsenic (symboles pleins)

Comme pour les transistors destinés aux applications RF, le produit  $f_T \times BV_{CEO}$  des transistors dont le collecteur est implanté de phosphore est proche de 200GHz.V. Grâce à l'implantation arsenic, ce produit peut être porté à 250GHz.V avec un produit  $f_{max20dB} \times BV_{CEO}$  de 350GHz.V.

#### IV.4. Conclusion

Ce chapitre a présenté des méthodes variées d'optimisation du TBH SiGe sur SOI mince par modification de procédé ou de dessin des masques pour deux types de transistors bipolaires.

Le premier est un transistor destiné à une utilisation dans le cadre de technologies RF. Pour ces transistors, deux axes d'optimisation peuvent être envisagés. Les transistors « haute tension » peuvent bénéficier d'une augmentation de la tension de claquage significative par un allongement de la distance collecteur  $L_C$  et une augmentation du dopage de la base. Au contraire, une optimisation de transistors « rapides » peut-être envisagée grâce à une implantation de collecteur auto-alignée et une diminution de la distance de la prise de contact de collecteur.

Le deuxième type de transistor sera utilisé dans les applications très haute vitesse au-delà des 100GHz. Dans ce cas, il convient d'augmenter au maximum le dopage de collecteur. L'utilisation d'un profil rétrograde obtenu grâce à l'arsenic permet de maintenir une tension de claquage supérieure à 1.8V et d'atteindre des valeurs de  $f_T/f_{MAX}$  de 138/200GHz. Toutefois, de trop fortes doses d'arsenic peuvent détériorer la structure cristalline du collecteur et nuire à la fonctionnalité des composants. Une optimisation par dessin des

masques est également possible, il convient alors de minimiser les capacités parasites tout en évitant l'auto-échauffement des cellules trop longues.

Le transistor étant ainsi optimisé, il devient possible de l'intégrer dans une technologie BiCMOS complète, ce qui sera l'objet du dernier chapitre.





# V. Développement d'une technologie BiCMOS sur SOI mince

## V.1.Introduction

La mise en place d'une technologie BiCMOS, utilisable pour concevoir des circuits, demande encore un travail important en complément de l'optimisation du transistor bipolaire.

En effet, un kit de conception propre à la technologie doit être mis à la disposition des concepteurs. Ce kit comporte les modèles électriques des transistors qui seront utilisés pour simuler le fonctionnement de circuits complexes. Nous présentons dans ce chapitre l'adaptation du modèle compact HICUM Level0 aux spécificités du SOI mince.

De plus, le transistor doit être intégré dans la technologie en même temps que d'autres dispositifs. Les étapes spécifiques de fabrication du TBH et particulièrement son bilan thermique ne doivent pas nuire au comportement des transistors MOS. Le schéma d'intégration ainsi que les différentes modifications apportées aux étapes de fabrication sont passés en revue. Nous complétons cette étude avec des résultats de mesures statiques et dynamiques, de bruit et de fiabilité sur le transistor bipolaire, qui valident le schéma d'intégration choisi.

## V.2.Développement d'un modèle compact

### V.2.A. Topologie du modèle adapté au SOI mince

#### V.2.A.1. Topologie de HICUM Level0 avant modifications

Le modèle développé pour le transistor bipolaire SiGe sur SOI mince est une évolution du modèle HICUM Level0 [Schröter02], dont la topologie est représentée sur la Figure V-1. On y trouve les quatre nœuds externes E, B, C et S correspondant respectivement à l'émetteur, la base, le collecteur et le substrat.

Aux nœuds externes sont ajoutés trois nœuds internes pour l'émetteur (E'), la base (B') et le collecteur (C'), chacun relié au nœud externe correspondant par une résistance en série :  $r_E$ ,

$r_B$  et  $r_{Cx}$ . Les capacités parasites provenant de la topologie de la structure sont représentées par  $C_{BEpar}$  et  $C_{BCpar}$ .

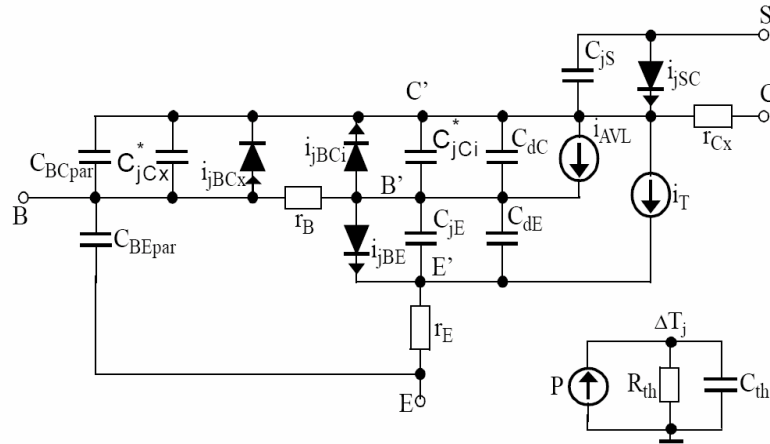


Figure V-1 : Schéma de la topologie du modèle du transistor bipolaire HiCUM Level0 [Schröter02]

En ce qui concerne le transistor intrinsèque, la jonction émetteur-base est représentée par la capacité  $C_{jE}$  et la diode  $i_{jBE}$  et la jonction base-collecteur est scindée en une capacité intrinsèque  $C_{jCi}$  associée à la diode  $i_{jBCi}$  et une capacité extrinsèque  $C_{jCx}$  associée à  $i_{jCx}$  entre la base extrinsèque et le collecteur intrinsèque. La jonction collecteur-substrat qui sert à l'isolation du collecteur est représentée de la même manière par une capacité  $C_{jS}$  et une diode  $i_{jSC}$ .

L'effet transistor est modélisé par le générateur de courant de transfert  $i_T$ . Pour le comportement dynamique, les charges de porteurs minoritaires sont représentées sous la forme de capacités  $C_{dE}$  et  $C_{dC}$ . Le régime d'avalanche dans le collecteur fait intervenir le générateur de courant  $i_{AVL}$  qui modélise l'injection de trous dans la base en provenance de la jonction base-collecteur en inverse.

Un cinquième nœud est relatif aux effets thermiques. L'élévation de température est modélisée grâce au réseau thermique en fonction de la puissance dissipée par le réseau électrique décrit plus haut.

La valeur de tous ces composants est prise en compte dans les équations du modèle que nous ne détaillerons pas mais qui apparaissent dans [Schröter02] et [Schröter01]. Ces valeurs font l'objet d'une procédure d'extraction propre aux problématiques de la modélisation analytique. Une référence dans ce domaine peut être trouvée dans [Frégonèse05].

V.2.A.2. Modifications de la topologie du modèle

V.2.A.2.a. *Capacité base-collecteur*

L'évolution particulière de la zone de charge d'espace dans le collecteur intrinsèque avec la tension de collecteur peut être schématisée en deux temps [Frégonèse05a]. La déplétion se propage d'abord verticalement sous la base intrinsèque pour une tension base-collecteur interne  $V_{C'B'}$  inférieure à  $V_{PCi}$  (tension de déplétion verticale interne correspondant à la tension  $V_{PC}$  externe). Une fois la tension  $V_{PCi}$  atteinte, on assiste à la propagation latérale de la désertion vers la prise de contact de collecteur. La Figure V-2 illustre ces deux étapes de la désertion du collecteur intrinsèque.

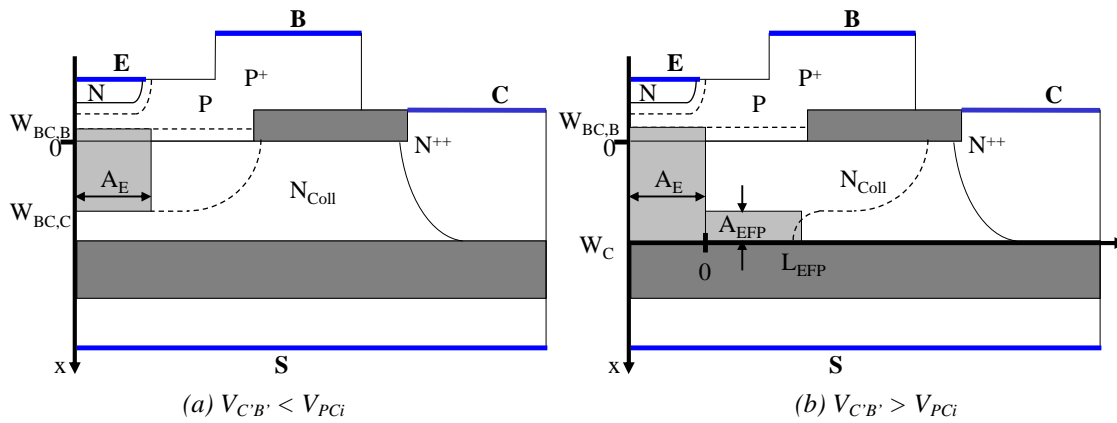


Figure V-2 : Dimensions des zones désertées dans le collecteur utilisées pour le calcul des capacités intrinsèques de collecteur  $C_{jCiv}$  et  $C_{jCih}$

Contrairement à la représentation du modèle HICUM, nous modélisons la capacité base-collecteur intrinsèque  $C_{jCi}$  par l'association de deux capacités en série. La capacité verticale  $C_{jCiv}$  a pour section l'aire d'émetteur  $A_E$  et pour distance entre les armatures  $W_{BC}$ . La capacité latérale  $C_{jCih}$ , qui apparaît lorsque  $V_{C'B'} > V_{PCi}$ , a une surface  $A_{EFP}$  et une longueur  $L_{EFP}$ . Pour les deux capacités, le dopage est constant et vaut  $N_{Coll}$ .

V.2.A.2.b. *Capacité collecteur-substrat*

Nous devons également adapter la modélisation de la capacité collecteur-substrat  $C_{jS}$ . Dans le cas de substrats SOI, la capacité sera modélisée par une capacité d'oxyde entre deux matériaux semiconducteurs, que nous noterons  $C_S$ , en série avec une résistance  $R_S$ .

Grâce à une telle modélisation, les variations de la polarisation de substrat en face arrière seront répercutées en fond de collecteur par une accumulation ou une désertion en porteurs similaires à celles observées pour les transistors à effet de champ.

## V.2.A.2.c. Topologie du modèle HICUM du TBH sur SOI mince

Comme pour le modèle HICUM Level0, le modèle comporte quatre nœuds externes représentés par l'émetteur, la base, le collecteur et le substrat. La topologie du schéma équivalent base-collecteur-substrat, spécifique aux dispositifs sur SOI mince, est présentée en Figure V-3.

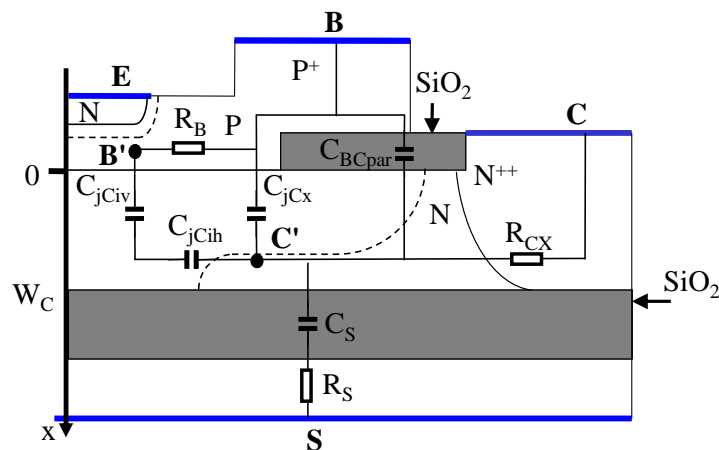


Figure V-3 : Topologie du modèle HICUM Level0 adaptée aux spécificités des TBH sur SOI mince

On y retrouve :

- Les capacités intrinsèques de collecteur verticale et horizontale  $C_{jCiv}$  et  $C_{jCih}$
- La capacité extrinsèque de collecteur  $C_{jCx}$  et la capacité parasite base-collecteur  $C_{BCpar}$
- La capacité collecteur substrat  $C_S$
- Les résistances séries de collecteur  $R_{CX}$  et de substrat  $R_S$
- La résistance d'accès à la base  $R_B$

Le reste de la topologie constitué des diodes et des sources de courants est identique à celui du modèle HICUM Level0.

## V.2.A.3. Définitions des tensions internes du modèle

La répartition des tensions entre les capacités intrinsèques de collecteur verticale et horizontale est, une fois encore, basée sur la simulation physique à deux dimensions. La Figure V-4 présente une évolution du potentiel électrostatique, selon les deux axes définis sur la Figure III-1, pour un transistor dont le collecteur est dopé à  $10^{17} \text{cm}^{-3}$  et pour lequel le potentiel sur le nœud de collecteur externe varie de 0 à 3V par pas de 0.5V. Ces résultats sont le fruit d'un travail sur la simulation physique destiné à dégager des conclusions sur les mécanismes de transport de charges spécifiques à la désertion base-collecteur en vue de leur modélisation analytique.

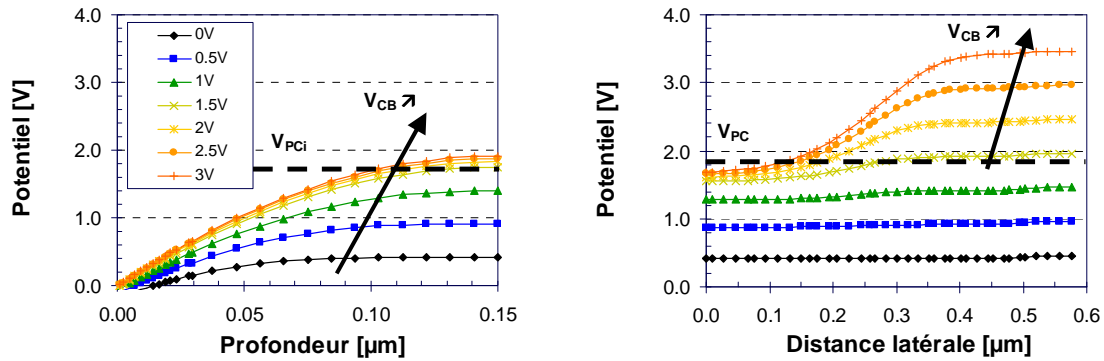


Figure V-4 : Simulation du potentiel électrostatique selon les axes horizontaux et verticaux définis sur la figure III-1

La Figure V-4 montre une saturation de la tension en fond de collecteur, à la verticale du transistor intrinsèque pour des tensions de collecteur au-delà de la tension  $V_{PCi}$ . Latéralement, la différence de potentiel est nulle, puis augmente quand la tension verticale sature.

La Figure V-5, issue des mêmes simulations, illustre la répartition de la tension entre les parties verticale et horizontale du collecteur.

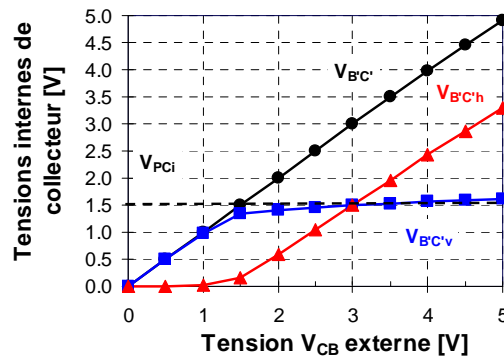


Figure V-5 : Partage de la tension interne base-collecteur en deux contributions verticale  $V_{BCv}$  et horizontale  $V_{BC'h}$

Nous notons peu de différence entre tensions interne et externe ( $V_{C'B'} \sim V_{CB}$ ). Nous distribuons ainsi la tension selon les règles suivantes :

- Pour une tension de collecteur inférieure à  $V_{PCi}$ , la tension aux bornes de la capacité verticale  $C_{jCiv}$  est égale à la tension de collecteur et la tension aux bornes de la capacité horizontale  $C_{jCih}$  est nulle.
- Pour une tension supérieure à  $V_{PCi}$ , la tension aux bornes de  $C_{jCiv}$  est égale à  $V_{PCi}$  et la tension complémentaire est présente aux bornes de  $C_{jCih}$ .

Cette analyse de la répartition des tensions internes est utilisée pour développer les équations du modèle relatives aux calculs des capacités et des charges stockées.

### V.2.B. Equations du modèle

Dans les paragraphes suivants, nous détaillons les modifications apportées par le changement de topologie du collecteur intrinsèque aux équations permettant le calcul du courant de transfert et du temps de transit en fonction de la polarisation de collecteur.

#### V.2.B.1. Valeurs des capacités et paramètres du modèle

##### V.2.B.1.a. Capacité base-collecteur

Les valeurs des capacités intrinsèques de collecteur sont exprimées en fonction de la tension à leurs bornes selon une somme de capacités correspondant aux deux régimes de fonctionnement. Dans le cas du modèle HICUM adapté au SOI mince, deux termes sont nécessaires pour la capacité intrinsèque de collecteur :

$$C_{jCi} = C_{jCiv} + f_s \cdot C_{jCih}$$

Le terme horizontal est activé par une fonction de lissage  $f_s$  proche de la fonction de Fermi, qui prend pour valeur 0 ou 1 selon que la tension est inférieure ou supérieure au paramètre  $V_{PCi}$  de déplétion verticale. On peut l'explicitier sous la forme :

$$f_s = \frac{e}{1+e} \text{ avec } e = \exp\left(\frac{V_{C'B'} - V_{PCi}}{V_T}\right)$$

Les capacités sont toutes les deux décrites par l'équation analytique classique implémentée dans HICUM :

$$C_{jCi} = \frac{C_{jCi0}}{\left(1 - v_j/V_{DCi}\right)^{z_{Ci}}} \quad (V-1)$$

Dans cette expression,  $C_{jCi0}$  est la valeur de la capacité sous polarisation nulle,  $V_{DCi}$  la barrière de potentiel propre à la jonction et  $z_{Ci}$  est un terme empirique adapté au type de jonction. Sa valeur est proche de 1/2 pour une jonction abrupte et tend vers 1/3 pour une jonction pour laquelle les profils de dopants sont linéaires.

Le terme  $v_j$  est négatif et quasiment égal à  $-V_{C'B'}$  lorsque la polarisation inverse est importante. Il ne dépasse jamais  $V_{DCi}$  lorsque la tension inverse diminue et que la polarisation passe en direct. Sa présence a été introduite pour faciliter la convergence du modèle

V.2.B.1.b. Paramètres du modèle

La plupart des paramètres utilisés par le modèle du TBH sur SOI mince sont identiques à ceux du modèle HICUM Level0. Toutefois, les paramètres associés aux capacités de collecteur sont définis ci-après.

Chaque capacité est caractérisée par les trois paramètres de l'équation ( V-1) :

- leur valeur à polarisation nulle :  $C_{jCiv0}$  et  $C_{jChi0}$
- les tensions internes des jonctions :  $V_{DCvi}$  et  $V_{DChi}$ , et les facteurs caractérisant le type de la jonction :  $z_{Cvi}$  et  $z_{Chi}$

Un dernier paramètre est nécessaire,  $a_{jCi}$  qui est un terme multiplicatif de  $C_{jCiv0}$  en polarisation directe. Finalement,  $V_{PCi}$  est la tension définissant le passage en régime de fonctionnement horizontal.

V.2.B.2. Définition des grandeurs relatives

Il est nécessaire de définir certaines grandeurs relatives utilisées plusieurs fois au cours des paragraphes suivants.

V.2.B.2.a. Normalisation de l'inverse de la capacité de collecteur

L'inverse de la capacité intrinsèque normalisée  $c$  intervient notamment dans toutes les équations des composantes du temps de transit. Elle est calculée en explicitant l'égalité des charges de part et d'autre de la jonction métallurgique base-collecteur grâce aux dimensions mises en évidence au V.2.A.2.a :

$$Q_{BC,B} = Q_{BC,Cv} + Q_{BC,Ch}$$

$$W_{BC,B} \cdot N_B \cdot A_E = W_{BC,C} \cdot N_{Coll} \cdot A_E + f_s \cdot L_{EFP} \cdot N_{Coll} \cdot A_{EFP} \quad (V-2)$$

En normalisant cette relation par rapport à sa valeur à  $V_{C'B'}=0$ , nous obtenons ainsi :

$$\frac{W_{BC,B}}{W_{BC,B}|_{V_{C'B'}=0}} = \frac{W_{BC,C}}{W_{BC,C}|_{V_{C'B'}=0}} + f_s \cdot \alpha \cdot \frac{L_{EFP}}{L_{EFP}|_{V_{C'B'}=V_{PCi}}} \quad (V-3)$$

pour laquelle  $L_{EFP}=0$  tant que  $V_{C'B'} < V_{PCi}$  et la constante  $\alpha$  est définie telle que :

$$\alpha = \frac{A_{EFP} \cdot L_{EFP}|_{V_{C'B'}=V_{PCi}}}{A_E \cdot W_{BC,C}|_{V_{C'B'}=0}}$$

Moyennant cette normalisation des dimensions, il est possible de remplacer dans ( V-3), l'épaisseur normalisée de la zone déplétée par la capacité normalisée associée :

$$c = \frac{C_{jCi0}}{C_{jCi}} = \frac{C_{jCiv0}}{C_{jCiv}} + f_s \cdot \alpha \cdot \frac{C_{jChi0}}{C_{jChi}} = c_v + f_s \cdot \alpha \cdot c_h \quad (V-4)$$

Le terme  $c_h$  qui représente l'inverse de la capacité normalisée horizontale apparaît. Ce terme positif et supérieur à 1 s'ajoute (multiplié par une constante) à l'inverse de la capacité normalisée verticale  $c_v$ , dès que les tensions de collecteur intrinsèque sont supérieures à  $V_{PCi}$ .

### V.2.B.2.b. Champ électrique dans la jonction base-collecteur

Les variations du champ électrique dans la jonction base-collecteur peuvent également être normalisées par rapport au champ électrique limite du matériau :

$$u = \frac{E_{jC}}{E_{lim}} \text{ et } u_0 = \frac{E_{jC0}}{E_{lim}} \text{ pour } V_{C'B'}=0$$

Par ailleurs, si on pose  $u / u_0$ , le champ électrique normalisé à  $V_{C'B'}=0$  dans la jonction, on obtient la relation suivante :

$$\frac{u}{u_0} = \frac{E_{jC}}{E_{jC0}} = \frac{W_{BC,B}}{W_{BC,B}|_{V_{C'B'}=0}} = c \quad (V-5)$$

Cette équation traduit que les variations relatives du champ électrique et celles de la capacité base-collecteur intrinsèque totale sont identiques. Les évolutions de ces deux grandeurs sont, par ailleurs, égales à l'inverse de la propagation (normalisée à  $V_{C'B'}=0$ ) des zones de charge d'espace de la jonction base-collecteur, que ce soit du côté base, du côté collecteur ou dans sa globalité.

### V.2.B.3. Equation du courant $i_T$ et influence de la nouvelle topologie

Le courant de transfert du modèle HICUM est décrit par l'intégrale de contrôle de charge généralisée selon la relation :

$$i_T = \frac{I_S}{q_{P,T}} \left[ \exp\left(\frac{V_{B'E'}}{V_T}\right) - \exp\left(\frac{V_{B'C'}}{V_T}\right) \right]$$

$I_S$  est une constante et  $q_{P,T}$  la charge dans la base normalisée à un point de polarisation tel que  $V_{B'E'}$  est constante et  $V_{B'C'}$  nulle. Alors, pour une polarisation donnée, l'expression de  $q_{P,T}$  est exprimée, dans le nouveau modèle, par :

$$q_{P,T} = \frac{q_j}{2} + \sqrt{\left(\frac{q_j}{2}\right)^2 + q_m}$$

pour laquelle  $q_m$  est similaire au modèle HICUM Level0 et  $q_j$  prend en compte la capacité de collecteur selon l'expression :

$$q_j = I + \frac{Q_{B'C'}}{C_{jCiv0} \cdot V_{EF}}$$



Dans cette expression,  $C_{jCiv0}$  est la valeur de la capacité base-collecteur à  $V_{C'B'}=0$  et  $V_{EF}$  la tension d'Early du composant.  $Q_{C'B'}$ , la charge associée à la capacité base-collecteur intrinsèque est exprimée par :

$$Q_{C'B'} = Q_{C'B'v} = \int_0^{V_{C'B'}} C_{jCiv}(V).dV \quad \text{pour } V_{C'B'} < V_{PCi}$$

$$\text{et } Q_{C'B'} = Q_{C'B'v} + Q_{C'B'h} = \int_0^{V_{PCi}} C_{jCiv}(V).dV + \int_{V_{PCi}}^{V_{C'B'}} C_{jCih}(V).dV \quad \text{pour } V_{C'B'} > V_{PCi}$$

L'influence de la capacité horizontale est ainsi prise en compte dans l'expression du courant.

#### V.2.B.4. Equations du temps de transit

Dans le modèle HICUM, le temps de transit global dans le transistor en mode normal  $\tau_f$  est fortement semblable à celui calculé au premier chapitre. Il se divise en trois principales composantes que sont  $\tau_E$ , le temps de transit dans l'émetteur,  $\tau_B$ , dans la base neutre et  $\tau_{BC}$  dans la zone désertée base-collecteur. Le temps de transit dans la base neutre est cependant divisé en deux contributions pour exprimer la composante de dérive-diffusion  $\tau_{Bfd}$  et celle qui détermine la vitesse d'extraction des électrons de la base neutre vers le collecteur, le terme de « carrier jam »  $\tau_{Bfv}$ .

Nous allons adapter ces contributions de manière à prendre en compte les modifications du modèle introduites par l'intégration sur substrat SOI mince et pouvoir modéliser correctement le temps de transit des TBH sur SOI mince [Frégonèse05b].

##### V.2.B.4.a. *Composante de dérive-diffusion dans la base*

La composante de dérive-diffusion dans la base  $\tau_{Bfd}$  est proportionnelle à l'épaisseur de la base neutre  $W_B$  au carré. Nous pouvons calculer la variation d'épaisseur de la base selon l'évolution de l'épaisseur de la zone de désertion de la jonction base-collecteur [Schröter99]. En effet, nous pouvons écrire :

$$W_B = W_{Bm} - W_{EB,B} - W_{BC,B} \approx W_{Bm} - W_{BC,B} \quad (V-6)$$

où  $W_{Bm}$  représente l'épaisseur de la base métallurgique. Dans le deuxième membre de l'équation, l'épaisseur de la base représentée par la ZCE émetteur-base coté base est négligée. Par ailleurs, il est possible d'exprimer les variations de  $W_{BC,B}$  avec la tension  $V_{C'B'}$  en introduisant  $c$ . En effet :

$$W_{BC,B} = W_{BC,B}|_{V_{C'B'}=0} + \Delta W_{BC,B} \text{ et } \frac{W_{BC,B}}{W_{BC,B}|_{V_{C'B'}=0}} = 1 + \frac{\Delta W_{BC,B}}{W_{BC,B}|_{V_{C'B'}=0}} = c$$

Comme  $W_{Bm}$  est constante, si on note  $W_{B0}$  la valeur de  $W_B$  à  $V_{C'B'}=0V$ , alors, on peut écrire ( V-6) sous la forme :

$$W_B = W_{B0}[1 - k(c-1)] \text{ avec } k = \frac{W_{BC,B}|_{V_{C'B'}=0}}{W_{B0}} = cste \quad (V-7)$$

Puisque l'épaisseur de la base intervient au carré dans la composante de dérive diffusion du temps de transit de la base et que  $c$  est proche de 1, on obtient à la suite d'un développement limité :

$$\tau_{Bfd} = \tau_{Bfd0}[1 - 2k(c_v + f_s \cdot \alpha \cdot c_h - 1)] \quad (V-8)$$

Nous voyons grâce à cette équation comment l'inverse de la capacité normalisée horizontale,  $c$ , intervient en contribuant à la réduction de la composante de dérive-diffusion du temps de transit dans la base neutre.

#### V.2.B.4.b. Composante de « carrier jam » dans la base

Dans le modèle HICUM, un terme est ajouté au temps de transit dans la base pour prendre en compte l'accumulation des porteurs dans la base neutre qui allonge le temps de transit d'un temps  $\tau_{Bfv}$  proportionnel à  $W_B$  tel que :

$$\tau_{Bfv} = \frac{W_B}{v_c \cdot G_\zeta} \quad (V-9)$$

où  $v_c$  est la vitesse des porteurs et  $G_\zeta$  représente une constante qui permet de prendre en compte le pseudo-champ électrique lié à la présence d'un gradient de dopage ou de germanium dans la base.

Les variations d'épaisseur de la base selon  $c$  et mises en évidence par la relation ( V-7) seront négligées ( $W_B=W_{B0}$ ) devant celles de la vitesse des porteurs qui interviennent selon les modulations du champ électrique  $u$  et qui peuvent être simplifiées comme présenté ci-après :

$$v_c = v_s \frac{u}{\sqrt{1+u^2}} \approx v_s \frac{1}{1+\frac{1}{u}}$$

Ainsi, on peut exprimer  $\tau_{Bfv}$  dans ( V-9) de la manière suivante :

$$\tau_{Bfv} = \frac{W_{B0}}{v_s \cdot G_\zeta} \left(1 + \frac{1}{u}\right)$$

et exprimer ses variations en fonction  $\tau_{Bfv0}$ , sa valeur à  $V_{C'B'}=0$  par :

$$\tau_{Bfv} = \tau_{Bfv0} + \frac{\tau_{Bfv0}}{1+u_0} \left(\frac{u_0}{u} - 1\right) \quad (V-10)$$

Nous avons vu en ( V-5) que  $u_0/u = 1/c$  et que l'on peut de plus exprimer  $c$  en fonction de  $c_v$  et  $c_h$ .

$$\frac{1}{c} = \frac{1}{c_v} \left( 1 + f_s \alpha \frac{c_h}{c_v} \right)^{-1}$$

Si on néglige le terme en  $c_h$  devant 1 – ce qui est toujours vrai tant que  $V_{C'B'} < V_{PCi}$  puisque  $f_s=0$  et que nous supposons vrai quand  $f_s=1$  compte tenu des dimensions des capacités mises en jeu - alors :

$$\frac{1}{c} = \frac{1}{c_v} \left( 1 + f_s \alpha \frac{c_h}{c_v} \right)^{-1} \approx \frac{1}{c_v} \left( 1 - f_s \alpha \frac{c_h}{c_v} \right) \approx \frac{1}{c_v} - f_s \beta c_h \text{ avec } \beta = \frac{\alpha}{c_v^2 \Big|_{V_{C'B'}=V_{PCi}}}$$

et finalement 
$$\tau_{Bfv} \approx \tau_{Bfv0} + \frac{\tau_{Bfv0}}{1+u_0} \left( \frac{1}{c_v} - f_s \beta c_h - 1 \right) \quad (V-11)$$

Le terme  $c_h$  qui prend en compte les variations de la capacité horizontale de collecteur vient se retrancher pour réduire le temps de transit dans la base.

#### V.2.B.4.c. Composante des temps de transit dans la ZCE base/collecteur

Selon les modifications de topologie apportées au modèle, la zone désertée de collecteur peut être scindée en deux parties verticale ( $W_{BC,C}$ ) et horizontale ( $L_{EFP}$ ) et donc avoir une influence sur le temps de transit base-collecteur :

$$\tau_{BC} = \frac{W_{BC,C}}{2.v_c} + f_s \cdot \frac{L_{EFP}}{2.v_c}$$

Une fois encore, nous pouvons faire intervenir les normalisations des capacités  $c_v$  et  $c_h$  pour mettre en évidence les contributions horizontale et verticale. Pour cela, nous posons  $\tau_{BCvP}$  et  $\tau_{BChP}$ , les temps de transit maximums selon les deux directions que nous exprimons par :

$$\tau_{BCvP} = \frac{W_C}{2.v_c} \text{ et } \tau_{BChP} = \frac{L_{EFP \max}}{2.v_c}$$

où  $W_C$  et  $L_{EFP \max}$  sont les dimensions maximales selon les axes vertical et horizontal correspondant aux capacités intrinsèques  $C_{jCivP}$  et  $C_{jCihP}$ . On peut ainsi faire intervenir  $c_v$  et  $c_h$  :

$$\tau_{BC} = \tau_{BCvP} \frac{C_{jCivP}}{C_{jCiv0}} c_v + f_s \tau_{BChP} \frac{C_{jCihP}}{C_{jCih0}} c_h \quad (V-12)$$

Cette fois, le terme selon  $c_h$  intervient en tant que contribution positive.

V.2.B.4.d. Equation finale

Aucune modification n'est apportée au temps de transit dans l'émetteur si bien que le temps de transit total qui s'exprimait par :

$$\tau_f = \tau_E + \tau_{Bfd} + \tau_{Bfv} + \tau_{BC}$$

peut être complété par les termes issus des paragraphes précédents. Dans un souci de simplification, nous les regrouperons selon leur expression en fonction de  $c_v$  et  $c_h$ .

Tout d'abord les constantes peuvent être regroupés :

$$\tau_f = \tau_{E0} + \tau_{Bfd0} + \tau_{Bfv0} + \tau_{BCvP} \frac{C_{jCivP}}{C_{jCiv0}}$$

Ce dernier terme, relatif à la composante base-collecteur, s'explique par la mise en commun des termes en  $(c_v-1)$  :

$$\Delta\tau_{0h} = \tau_{BCvP} \frac{C_{jCivP}}{C_{jCiv0}} - 2\tau_{Bfd0}.k$$

Une dernière composante intervient selon une dépendance en  $(1/c_v-1)$  dans la composante de « carrier jam » du temps de transit dans la base :

$$\tau_{Bfv} = \frac{\tau_{Bfv0}}{1+u_0}$$

En groupant tous ces termes, nous obtenons une formulation compacte du temps de transit, similaire à celle obtenue dans le modèle HICUM, à laquelle nous ajoutons la composante horizontale :

$$\tau_f = \tau_0 + \Delta\tau_{0h}(c_v - 1) + \tau_{Bfv}(1/c_v - 1) + \tau_{BCvP} \frac{C_{jCivP}}{C_{jCiv0}} + fs.\Delta\tau_{efP}.c_h$$

où  $\Delta\tau_{efP}$  est une constante qui vaut :

$$\Delta\tau_{efP} = \tau_{BChP} \frac{C_{jCihP}}{C_{jCih0}} - 2\tau_{Bfd0}k\alpha - \beta \frac{\tau_{Bfv0}}{1+u_0}$$

Cette dernière composante intervient lorsque le fonctionnement horizontal se déclenche à  $V_{C'B'}=V_{PCi}$  et représente un temps de transit supplémentaire non négligeable, comme nous allons le voir sur les résultats expérimentaux.

## V.2.C. Comparaison du modèle avec des résultats de simulation physique et des mesures expérimentales

Dans ce paragraphe, nous comparons les résultats du modèle avec des résultats de simulation physique et des mesures sur lot. Les extractions de la capacité base-collecteur utilisées pour calibrer le modèle sont issues de mesures dynamiques hyperfréquence.

Les résultats de transconductance des dispositifs, qui permettent de vérifier la valeur du courant modélisé, ont été simulés. Finalement, le comportement général du modèle est comparé à des courbes  $f_T$ - $I_C$  mesurées. Le modèle a été calibré sur deux types de transistors correspondant à des doses d'implantation de collecteur  $D_{Coll}=1.5\times$  et  $3\times 10^{12} \text{cm}^{-2}$ .

### V.2.C.1. Capacité base-collecteur

La première partie du calibrage du modèle consiste à extraire les paramètres correspondant aux éléments de la topologie. Dans notre cas, la capacité base-collecteur a fait l'objet d'une attention particulière pour l'extraction des paramètres de la capacité extrinsèque et des capacités intrinsèques horizontale et verticale. La Figure V-6 montre les résultats obtenus pour la calibration du modèle sur les deux niveaux de dopage de collecteur.

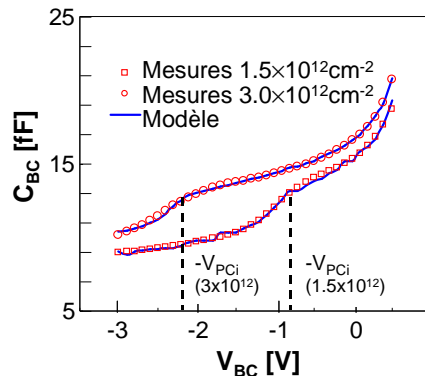


Figure V-6 : Modélisation des effets de la tension  $V_{CB}$  sur la capacité base-collecteur et comparaison avec les mesures sur lot pour  $D_{Coll}=1.5\times 10^{12} \text{cm}^{-2}$  (carrés) et  $3\times 10^{12} \text{cm}^{-2}$  (cercles)

Dans la diminution de la capacité base-collecteur avec la polarisation inverse, les mesures montrent un décrochement et une baisse sensible lorsque la tension de déplétion verticale est atteinte. Le modèle calibré des capacités en série représente bien ce comportement. Grâce aux paramètres ajustés sur les capacités extraites séparément, il est possible d'obtenir pour  $C_{BC}$  un bon accord entre résultats issus du modèle et mesures. Dans l'exemple présenté en Figure V-6, le paramètre  $V_{PCi}$  prend respectivement une valeur de 0.8V et 2.2V pour des doses

implantées de collecteur de  $1.5 \times$  et  $3 \times 10^{12} \text{cm}^{-2}$ . Ce paramètre représente la limite en tension associée au passage en régime de fonctionnement latéral.

### V.2.C.2. Courant de collecteur

Les variations de courant peuvent être observées sur la transconductance du dispositif. Elle est présentée en Figure V-7 avec la capacité base-collecteur de manière à mettre en évidence l'influence de la capacité horizontale à partir de  $V_{CB} = V_{PCi}$ .

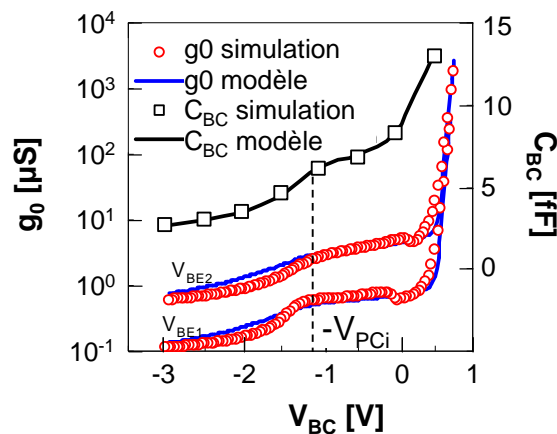


Figure V-7 : Influence des évolutions de la capacité base-collecteur avec  $V_{CB}$  sur la transconductance du dispositif

Nous constatons sur la transconductance comme sur la capacité base-collecteur, une rupture de pente sur les courbes issues du modèle et également sur celles issues de la simulation physique. La variation de la charge stockée dans la capacité base-collecteur a ainsi un effet négatif sur la transconductance, et positif sur le courant dans le transistor qui est bien pris en compte par le modèle.

### V.2.C.3. Temps de transit et fréquence de transition

Le temps de transit a été extrait sur des dispositifs utilisant une dose d'implantation de collecteur  $D_{Coll}$  de  $1.5 \times 10^{12} \text{cm}^{-2}$ , pour un fonctionnement à différentes polarisations de collecteur allant de 0.75V en direct à 3V environ en inverse (Figure V-8). Nous sommes ainsi certains d'assister au basculement entre régimes de désertion verticale et horizontale puisque nous avons estimé le paramètre  $V_{PCi}$  à 0.8V pour ces conditions expérimentales.

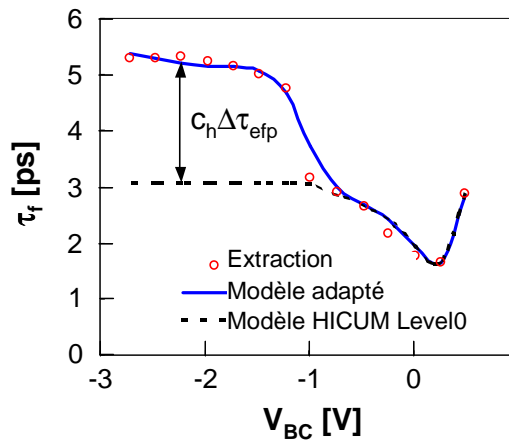


Figure V-8 : Influence de  $c_h$  sur le temps de transit à fort  $V_{CB}$  pour un dopage collecteur  $D_{Coll}$  de  $1.5 \times 10^{12} \text{ cm}^{-2}$  et comparaison avec les mesures et le modèle HICUM Level0 non modifié

Conformément aux attentes, nous observons bien le passage en mode de désertion horizontale. Le temps de transit additionnel amené par la capacité horizontale de collecteur est significatif et n'était pas pris en compte dans le modèle HICUM Level0. De plus, grâce à la modélisation correcte du courant de collecteur, il devient possible de simuler, à partir du modèle, des courbes  $f_T$ - $I_C$  (Figure V-9).

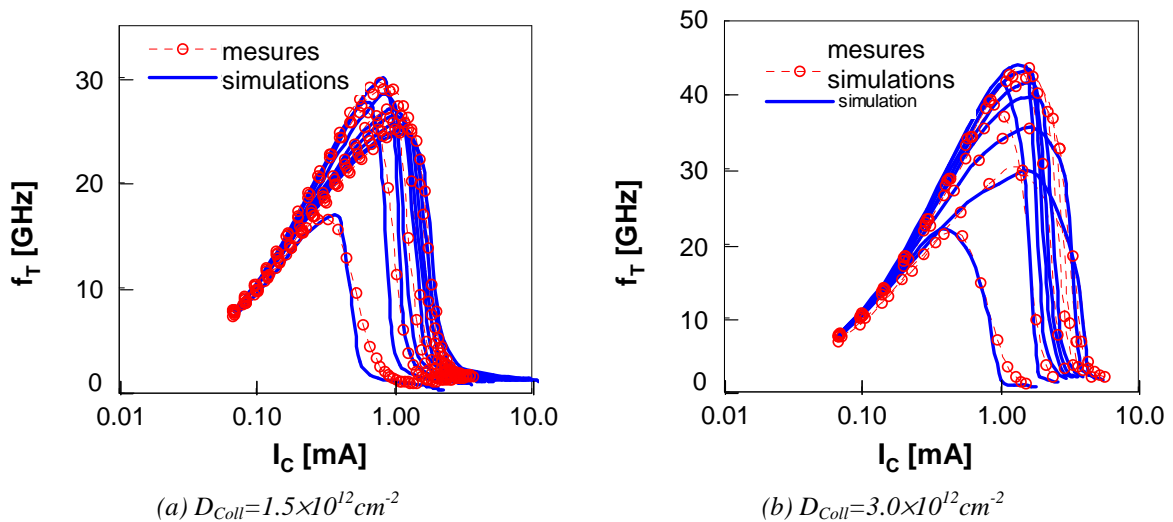


Figure V-9 : Comparaison des courbes  $f_T$ - $I_C$  obtenues par modélisation avec des mesures sur dispositif pour des doses d'implantation collecteur de (a)  $1.5 \times 10^{12} \text{ cm}^{-2}$  et (b)  $3 \times 10^{12} \text{ cm}^{-2}$

La Figure V-9 montre que pour les deux doses d'implantation de collecteur, les comportements en fréquence de transition et en courant sont bien modélisés. Les évolutions de  $f_{Tmax}$  en trois temps pour la dose d'implantation la plus faible, et en deux temps seulement pour la plus forte, mises en évidence au III.3.B.2, sont correctement reproduites. Le

déclenchement de l'effet Kirk est également pris en compte puisque la chute de  $f_T$  intervient aux bonnes valeurs de courant (cette dernière est toutefois un peu trop rapide comme nous pouvons le constater sur les courbes  $f_T$ - $I_C$  à faible polarisation  $V_{CE}$ ).

D'une manière générale, les résultats de la modélisation sont bien en accord avec les mesures faites sur les dispositifs pour une large gamme de tensions de collecteur et pour différents niveaux de dopages. Cette adéquation n'aurait pas pu être possible sans les modifications apportées au modèle. Les comportements très particuliers du transistor bipolaire sur SOI mince peuvent ainsi être reproduits grâce à un modèle électrique compact basé sur les charges stockées dans les capacités de collecteur intrinsèque du transistor.

### **V.3.Intégration dans une technologie BiCMOS**

Le transistor bipolaire sur SOI mince développé est utilisé, en complément d'une technologie CMOS 0.13 $\mu$ m sur SOI 150nm existante, comme base d'une technologie BiCMOS 0.13 $\mu$ m sur SOI mince. Les applications visées par la technologie fixent pour le transistor bipolaire des spécifications en fréquence de transition et en tension de claquage de 30GHz et 6V respectivement. Nous choisissons ainsi pour les réglages du transistor bipolaire, une dose d'implantation de collecteur  $D_{Coll}$  de  $1.5 \times 10^{12} \text{cm}^{-2}$  et une distance de la prise de collecteur  $L_C$  de 0.51 $\mu$ m qui permettent d'atteindre ces valeurs. Pour la cellule unitaire du transistor typique, la géométrie de la fenêtre d'émetteur est fixée à 0.15 $\times$ 1.29 $\mu\text{m}^2$  après avoir été retouchée pour être conforme aux règles de dessin de la nouvelle technologie.

Nous abordons dans un premier temps, les contraintes et les avantages technologiques de la co-intégration du transistor bipolaire avec des transistors MOS, puis nous présentons des résultats de mesures statiques et dynamiques, de caractérisation du bruit à basses fréquences et de la fiabilité des transistors, qui permettent de valider l'utilisation du TBH sur SOI mince dans une technologie industrielle.

#### **V.3.A. Intégration commune des transistors MOS et bipolaires**

La co-intégration du transistor bipolaire et des dispositifs MOS introduit plusieurs contraintes sur le procédé de fabrication. En premier lieu, le traitement thermique utilisé pour la désorption des impuretés avant l'épitaxie de la base du transistor bipolaire interdit sa fabrication après la formation des régions de source et de drain des MOS, dont le profil de dopant doit être abrupt et contrôlé de manière très précise. Un schéma d'intégration commençant par la réalisation du transistor bipolaire est donc privilégié.



V.3.A.1. Réduction de la hauteur du TBH

Dans le cas de la fabrication des TBH avant celle des transistors MOS, la topologie importante du transistor bipolaire à structure double polysilicium représente un inconvénient pour les étapes ultérieures de gravure sèche nécessaires à la construction des transistors MOS. En particulier, le contrôle précis des dimensions des grilles nécessite l'utilisation de résine fine dont l'épaisseur sur le polysilicium des émetteurs n'est pas suffisante pour protéger ces derniers en fin d'étape de gravure du polysilicium de grille (Figure V-10).

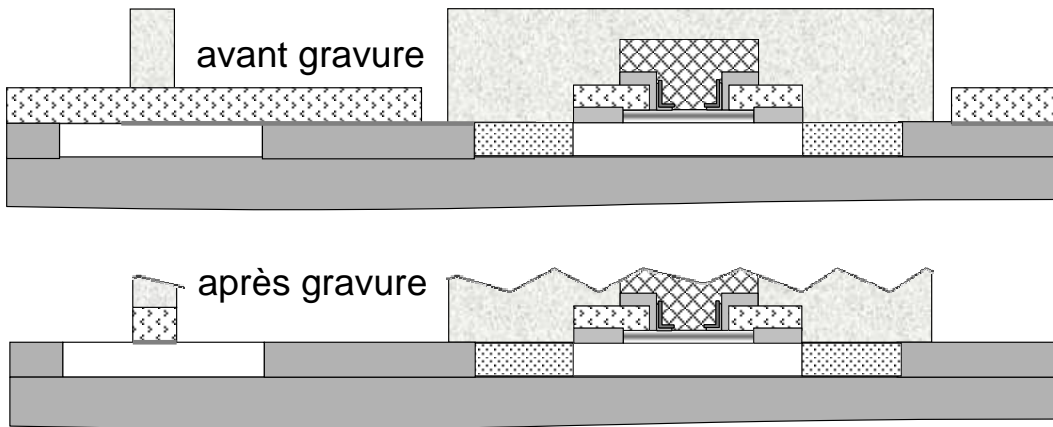


Figure V-10 : Illustration du problème posé par l'amincissement de la résine protégeant les transistors bipolaires lors de la gravure de la grille des transistors MOS

Une solution à ce problème peut être trouvée en réduisant la hauteur globale du transistor bipolaire. En jouant sur l'épaisseur des films de polysilicium de base extrinsèque et d'émetteur ainsi que sur les couches de diélectriques les isolant, nous avons pu réduire par un facteur proche de deux la hauteur du composant (Figure V-11), et l'épaisseur de résine est alors suffisante pour protéger de la gravure le haut de l'émetteur.

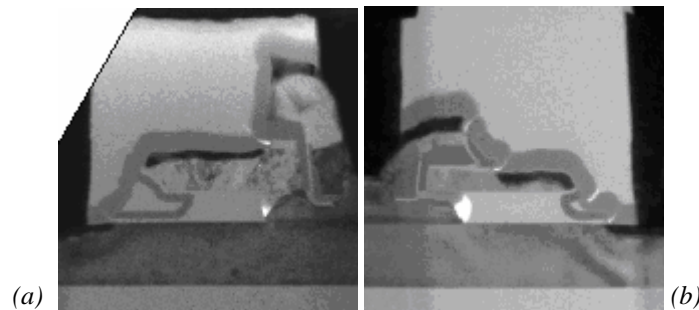


Figure V-11 : Images MET du transistor bipolaire (a) dans une intégration indépendante et (b) dans une intégration commune BiCMOS

### V.3.A.2. Espaceurs en D

La réduction de la hauteur de la structure introduit cependant une difficulté dans la réalisation des espaceurs internes de la fenêtre émetteur. La réalisation de ces espaceurs en L consiste à déposer successivement puis à graver trois couches de diélectrique (Figure V-12).

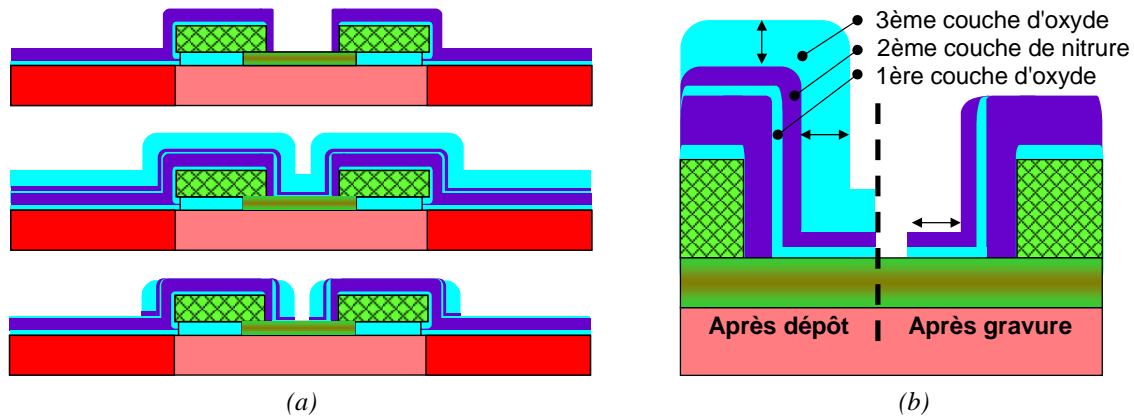


Figure V-12 : Schéma d'intégration d'espaceurs en L : (a) Enchaînement des étapes lors de la fabrication des espaceurs internes de la structure émetteur-base et (b) définition des dimensions par l'épaisseur des couches

La première, composée d'oxyde de silicium, constitue une base pour l'espaceur. Elle peut ainsi être très fine. Une sous-couche d'oxyde trop épaisse favoriserait d'ailleurs le décollement des espaceurs lors des nettoyages humides à l'acide fluorhydrique. La deuxième couche est faite de nitrure de silicium et compose la partie principale de l'espaceur. La dernière couche est également composée d'oxyde de silicium. Une fois gravée de manière anisotrope, elle permet de fixer les dimensions latérales des futurs espaceurs de nitrure. Les espaceurs nitrures sont formés à la suite d'une deuxième gravure sélective par rapport à l'oxyde. Le module se termine par une désoxydation qui retire l'oxyde de la troisième couche et ne laisse que les espaceurs nitrure/oxyde en forme de L.

La réduction de la topologie est peu favorable à la formation d'espaceurs en L, utilisant un grand nombre de couches (3) dont l'empilement a tendance à absorber les variations de niveau. On leur préfère ainsi les espaceurs en D pour lesquels seulement deux couches sont nécessaires.

Une sous couche d'oxyde est toujours déposée mais cette fois, la largeur des espaceurs est déterminée par l'épaisseur de la couche de nitrure directement. Les espaceurs se forment par gravure anisotrope du nitrure et les espaceurs ont la forme de D comme cela est illustré par la Figure V-13.

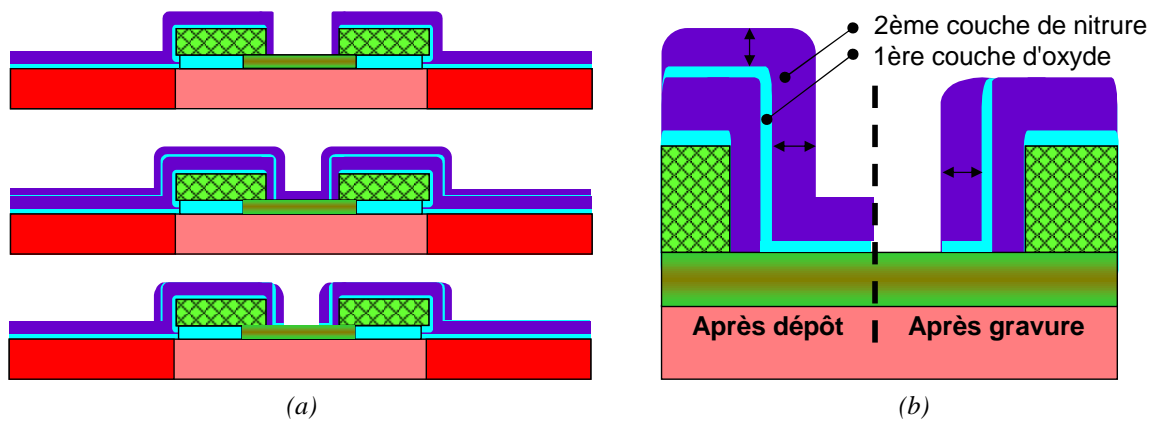


Figure V-13 : Schéma d'intégration d'espaceurs en D : (a) Enchaînement des étapes lors de la fabrication des espaceurs internes de la structure émetteur-base et (b) définition des dimensions par l'épaisseur des couches

Ces espaceurs en D sont bien plus robustes et permettent un meilleur contrôle des dimensions d'émetteur du transistor de la technologie BiCMOS et ainsi une dispersion moindre dans les niveaux de courant. Les espaceurs en L, utilisés initialement pour le développement du transistor bipolaire seul, ont été abandonnés au profit d'espaceurs en D pour le TBH de la technologie BiCMOS comme le montrent les photos de la Figure V-11.

#### V.3.A.3. Utilisation du masque NWell dans le dessin des masques du transistor bipolaire

Grâce à la fabrication des transistors MOS sur la même plaquette, certaines étapes peuvent être communes à plusieurs dispositifs. Les implantations sont, par exemple, fréquemment partagées de manière à réduire les temps d'implantation des dispositifs les plus dopés.

Par ailleurs, le coût des masques de photolithographie représente une fraction significative du coût de la fabrication de plaquettes de silicium. L'utilisation de masques en commun est donc un moyen simple de modifier les caractéristiques d'un dispositif sans utiliser de masque spécifique. Nous pouvons ainsi utiliser les masques des transistors MOS pour différencier certains transistors bipolaires.

##### V.3.A.3.a. *Utilisation du masque NWell en complément du dopage de collecteur*

Nous pouvons bénéficier pour le transistor bipolaire du masque NWell utilisé pour le dopage du caisson et le contrôle de la tension de seuil du transistor PMOS (Figure V-14).

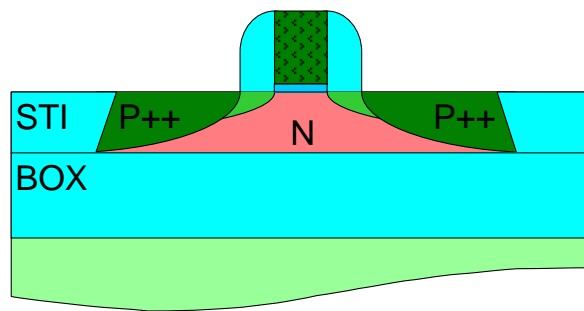


Figure V-14 : Schéma en coupe d'un transistor PMOS avec caisson de type N sous la grille isolant les zones de source et de drain

En ouvrant le masque NWell sur le collecteur d'un transistor bipolaire, ce dernier bénéficiera au cours d'un procédé BiCMOS d'une implantation complémentaire d'une dose de phosphore de  $4 \times 10^{12} \text{cm}^{-2}$ . Lors du dessin des masques, il suffit de dessiner un rectangle sur le collecteur avec le niveau correspondant aux caissons du transistor PMOS (Figure V-15).

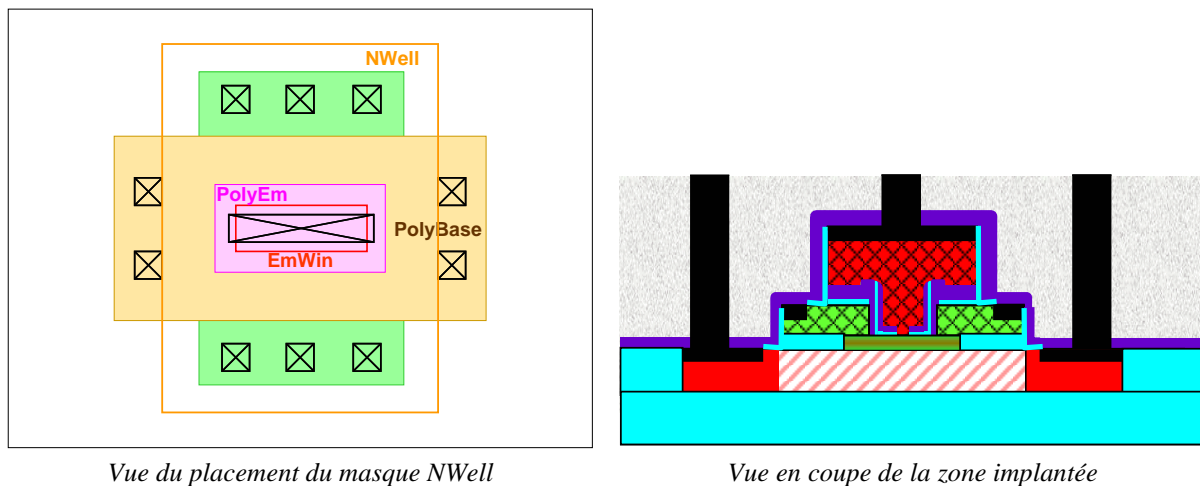


Figure V-15 : Schéma des structures bénéficiant d'une implantation complémentaire sur la totalité du collecteur

Nous pouvons ainsi augmenter la dose implantée dans le collecteur de  $1.5 \times 10^{12}$  à  $5.5 \times 10^{12} \text{cm}^{-2}$  et faire basculer le régime de fonctionnement du transistor du mode latéral au mode vertical. Il devient alors possible d'obtenir une deuxième variante du transistor bipolaire sur une même plaquette de silicium, chacune fonctionnant dans un régime de désertion différent et sans utilisation de niveau de masquage supplémentaire.

#### V.3.A.3.b. Utilisation du NWell pour l'implantation du collecteur extrinsèque

Nous pouvons également utiliser ce masque NWell en faisant en sorte de ne couvrir que la partie extrinsèque du collecteur. L'effet désiré, déjà discuté au IV.2.A.3, consiste principalement à réduire la résistance de collecteur en surdopant la région intermédiaire entre

la zone intrinsèque et la zone de contact de collecteur sans trop pénaliser la tension de claquage sensible au dopage sous la jonction base-collecteur. La Figure V-16 illustre le positionnement typique du masque NWell dans le cas d'un dopage du collecteur extrinsèque.

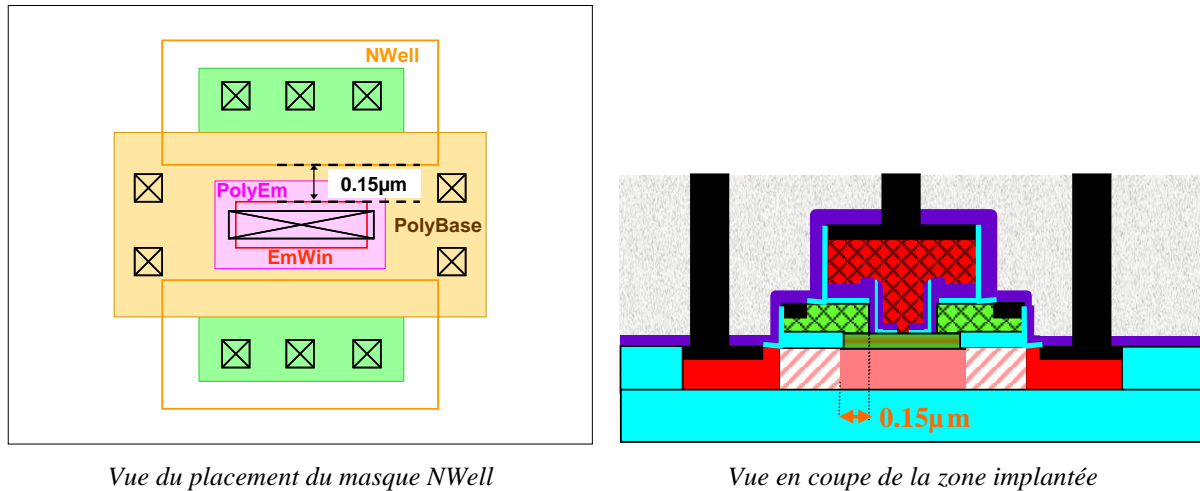


Figure V-16 : Schéma des structures bénéficiant d'une implantation complémentaire sur la partie extrinsèque du collecteur (ici alignée à  $0.15\mu\text{m}$  de la fenêtre d'émetteur)

La distance entre les masques NWell et le centre de la fenêtre d'émetteur EmWin est variable mais ne peut se réduire en deçà de  $0.3\mu\text{m}$  compte tenu de la marge nécessaire à la désoxydation de la cavité dans l'oxyde piédestal. Nous avons ainsi dessiné plusieurs variantes pour lesquelles le bord du masque servant à l'implantation se trouve à une distance  $L_{\text{NWell}}$  du centre de la fenêtre variant de  $0.3\mu\text{m}$  à  $0.45\mu\text{m}$  par pas de  $0.05\mu\text{m}$ . Au delà de  $0.45\mu\text{m}$ , l'implantation consécutive à l'utilisation du masque NWell serait localisée dans la prise de collecteur et n'aurait plus d'effet.

### V.3.A.3.c. Résultats électriques

Les résultats présentés dans cette section ont tous été obtenus par des variations de dessin de masque et grâce à l'utilisation du masque NWell pour les transistors bipolaires, contrairement aux résultats présentés dans les chapitres précédents pour lesquels les variations provenaient des procédés de fabrication et passaient systématiquement par la fabrication de plaquettes de silicium différentes.

La Figure V-17 montre l'influence sur les tensions de claquage  $BV_{\text{CBO}}$  et  $BV_{\text{CEO}}$  de la distance  $L_{\text{NWell}}$  du masque NWell par rapport au centre de la fenêtre d'émetteur. Les résultats, sont comparés à ceux d'un transistor n'ayant pas reçu cette implantation ( $L_{\text{NWell}}=0.51\mu\text{m}$  correspondant à la distance de la prise de collecteur) et d'un transistor dont tout le collecteur a été implanté ( $L_{\text{NWell}}=0\mu\text{m}$ ).

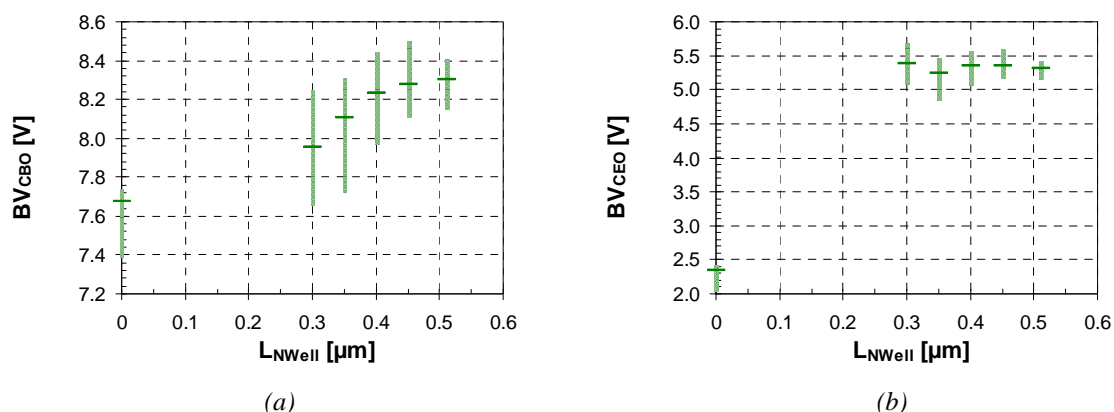


Figure V-17 : Influence de la distance  $L_{NWell}$  sur les tensions de claquage (a)  $BV_{CBO}$  et (b)  $BV_{CEO}$  des transistors de la technologie BiCMOS

Premièrement, on constate un effet sur la tension de claquage de la jonction base-collecteur  $BV_{CBO}$ , qui diminue progressivement lorsque le masque NWell se rapproche de la fenêtre d'émetteur. Les tensions de claquage demeurent cependant au-delà de 7V.

Pour la tension de claquage du transistor à base en circuit ouvert  $BV_{CEO}$ , il n'y a quasiment pas d'influence de la distance lorsque seul le collecteur extrinsèque est implanté. En revanche, conformément aux résultats présentés au IV.2.A.3, nous observons une forte baisse de  $BV_{CEO}$  lorsque tout le collecteur reçoit l'implantation puisque sa valeur chute à 2.5V.

Les performances dynamiques ont été mesurées sur trois de ces transistors. Les valeurs de  $f_T$  mesurées pour les transistors implantés sur toute la zone de collecteur et à une distance de 0.15 $\mu\text{m}$  de la fenêtre d'émetteur sont comparées à celles obtenues sur le transistor dont le collecteur n'a pas reçu d'implantation complémentaire (Figure V-18).

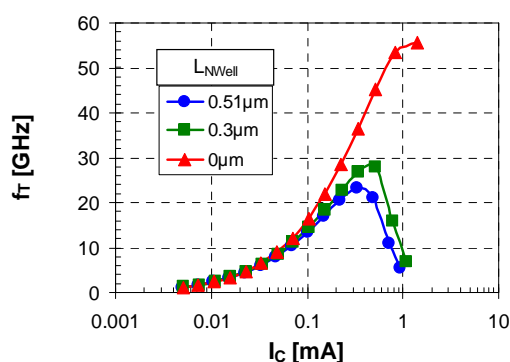


Figure V-18 : Courbes  $f_T-I_C$  pour les transistors bipolaires ayant différents positionnements du masque NWell

L'implantation du collecteur extrinsèque permet d'obtenir un gain de 4.6GHz en fréquence de transition par rapport au transistor de référence, en augmentant  $f_{Tmax}$  de 23.2GHz à

27.8GHz. Le transistor, dont tout le collecteur reçoit l'implantation complémentaire, a une fréquence de transition bien supérieure puisqu'elle atteint 55GHz.

Finalement, seuls les deux transistors dont le collecteur est uniformément dopé seront proposés pour la conception de circuits analogiques et RF, car ils sont plus robustes et leur performances ne sont pas soumises aux erreurs d'alignement des masques de photolithographie. En effet, les marges prises au niveau du recouvrement du collecteur par le masque NWell sont suffisantes pour absorber l'incertitude d'alignement. Par ailleurs, le reste de la structure du transistor est auto-alignée sur la fenêtre d'émetteur ce qui permet une bonne homogénéité des caractéristiques électriques de ces dispositifs.

Les deux transistors proposés ne diffèrent que par l'implantation complémentaire apportée par l'utilisation du masque NWell et peuvent ainsi être obtenus sans surcoût pour la technologie. Par ailleurs, leurs performances sont complémentaires puisque le compromis  $f_T$ - $BV_{CEO}$  est fixé sur chacun de manière à avoir une tension de claquage ou une fréquence de transition importante. Les performances générales de ces deux dispositifs NPN sont rappelées dans le paragraphe suivant.

#### V.3.A.4. Bilan du développement de la technologie BiCMOS SiGe sur SOI mince

[Boissonnet06]

Comme nous l'avons précisé plus tôt, l'intégration du transistor bipolaire dans la technologie d'origine CMOS ne doit pas perturber le fonctionnement des transistors à effet de champ. Nous avons donc opté pour un schéma d'intégration faisant intervenir les étapes de fabrication du transistor bipolaire avant celles des transistors MOS. La Figure V-19 compare la dispersion du compromis  $I_{ON}$ - $I_{OFF}$  des populations de NMOS et PMOS de plaquettes de silicium ayant suivi ou non les étapes de fabrication des transistors bipolaires.

Nous constatons que les deux populations sont quasiment confondues. Les valeurs moyennes de  $I_{ON}$  et  $I_{OFF}$  pour les populations des transistors dans les deux types de procédés sont très proches. L'intégration des étapes du transistor bipolaire avant celles du transistor MOS permet bien de réduire au minimum l'impact de la fabrication des TBH sur les transistors NMOS et PMOS de la plaque.

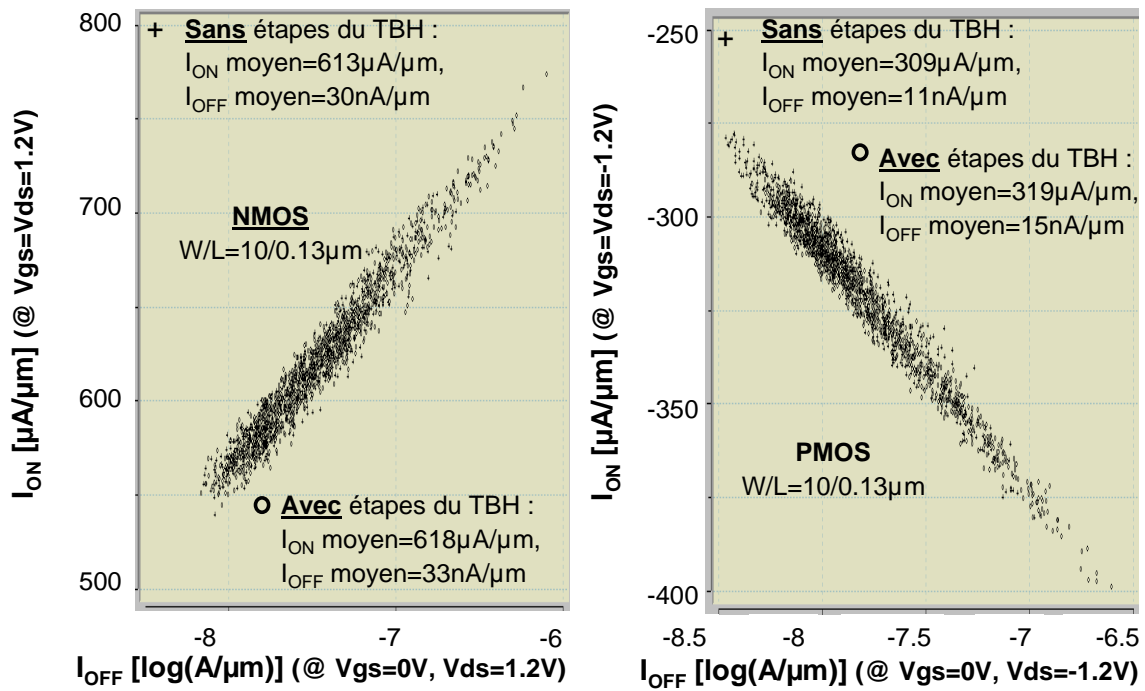


Figure V-19 : Comparaison des populations des caractéristiques  $I_{ON}$ - $I_{OFF}$  de transistors NMOS et PMOS ayant suivi les étapes de fabrication du transistor bipolaire ou non

Les deux transistors bipolaires NPN, obtenus en ouvrant ou non le masque NWell sur le collecteur, présentent des caractéristiques statiques remarquables (Figure V-20).

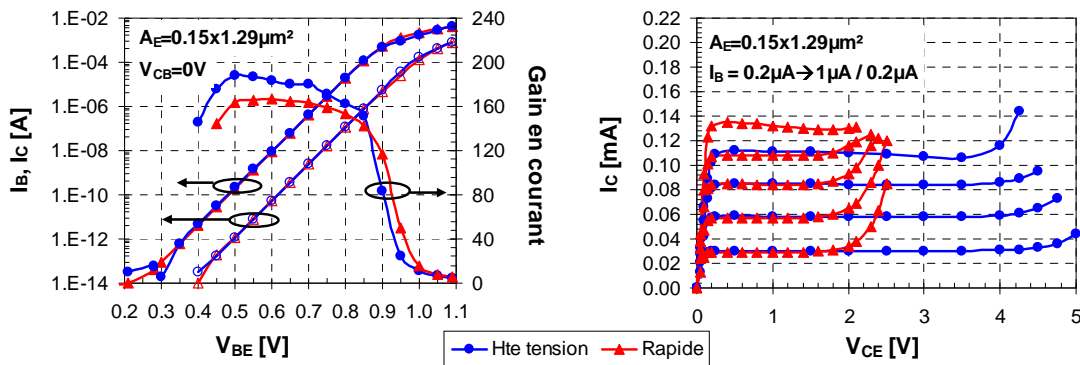


Figure V-20 : Courbes de Gummel et caractéristiques de sortie des transistors « haute tension » et « rapide » d'aire d'émetteur  $0.15 \times 1.29 \mu m^2$  de la technologie BiCMOS  $0.13 \mu m$  sur SOI 150nm

En particulier, les courbes de Gummel tracées pour des transistors unicellulaires typiques de dimension d'émetteur de  $0.15 \times 1.29 \mu m^2$  présentent des courants de base et de collecteur idéaux jusqu'au centième de picoampère. Les caractéristiques de sortie sur les mêmes dispositifs mettent clairement en évidence la différence de tension de claquage. Pour de faibles polarisations de la jonction émetteur base, le courant de collecteur ne laisse pas



apparaître d'effet Early. A fort niveau de courant, nous pouvons observer les effets de l'auto-échauffement par la pente négative sur les courbes  $I_C-V_{CE}$  à fort courant.

Les performances dynamiques de ces transistors bipolaires ont été améliorées au cours du développement de la technologie et les courbes  $f_T-I_C$  obtenues sur les deux composants matures sont présentées sur la Figure V-21.

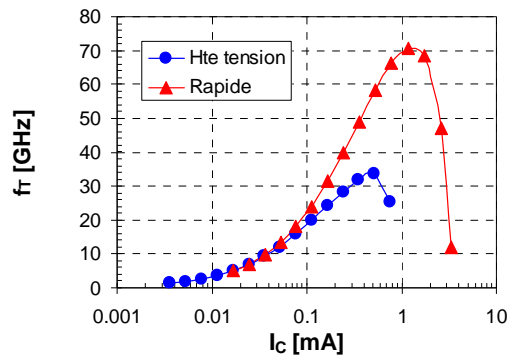


Figure V-21 : Courbes  $f_T-I_C$  obtenues sur les deux types de transistors disponibles dans la technologie BiCMOS  $0.13\mu\text{m}$  sur SOI 150nm

Les valeurs de  $f_{T\text{max}}$  sont en fin de développement bien supérieures à celles présentées au V.3.A.3 puisque elles ont progressé de quasiment 10GHz sur les deux dispositifs. Finalement, un tableau récapitulatif des performances des deux transistors bipolaires de cette technologie peut être présenté (Table V-1).

	Rapide	Hte tension	Conditions
gain	194	190	$V_{BE}=0.75\text{V}, V_{BC}=0\text{V}$
$BV_{CEO}$ [V]	2.3	5.5	$V_{BE}=0.7\text{V}, I_B=0\text{A}$
$BV_{CBO}$ [V]	8.4	10	
$V_{\text{Early}}$ [V]	320	900	$V_{BE}=0.7\text{V}$
$f_T$ [GHz]	70	34	$V_{CB}=0.5\text{V}$
$f_{\text{MAX}}$ [GHz]	140	140	$V_{CB}=0.5\text{V}$

Table V-1 : Récapitulatif des performances des transistors bipolaires de la technologie BiCMOS  $0.13\mu\text{m}$  sur SOI 150nm

Les performances du transistor « haute tension » ne sont pas tout à fait en accord avec les spécifications de la technologie puisque la tension de claquage est inférieure à 6V. Un éloignement de la prise de collecteur pourrait permettre de recentrer les caractéristiques de ce transistor de manière assez simple, compte tenu de la fréquence de transition de ces dispositifs, supérieure de 4GHz à celle requise.

### V.3.B. Etude du bruit à basses fréquences et de la fiabilité

De manière à caractériser plus finement le dispositif dans l'optique de son utilisation dans des circuits RF, nous avons procédé à l'étude du bruit à basses fréquences des dispositifs intégrés ainsi qu'à une étude de leur fiabilité.

#### V.3.B.1. Bruit basse fréquence

Le bruit à basses fréquences est une grandeur électrique pouvant perturber le fonctionnement des circuits oscillateurs à hautes fréquences, car il se retrouve présent sur les fréquences utiles. Des mesures de bruit à basses fréquences ont ainsi été entreprises sur des transistors intégrés à la technologie BiCMOS 0.13 $\mu\text{m}$  sur SOI 150nm. La taille de la fenêtre d'émetteur des transistors mesurés est de 0.15 $\times$ 14.89 $\mu\text{m}^2$ . Les forts niveaux de courant délivrés par ces dispositifs sont en effet plus favorables aux mesures des variations sur le courant de collecteur, utilisées pour l'extraction des densités de bruit.

Compte tenu de l'importance du gain de ces dispositifs, nous attribuons le bruit mesuré sur le collecteur du transistor à une source de bruit dans la base. Les résultats montrent un bruit BF en décroissance logarithmique avec la fréquence (en 1/f) suivi de bruit blanc, pour une gamme de polarisation en  $I_B$  variant de 0.5 $\mu\text{A}$  à 5 $\mu\text{A}$  (Figure V-22).

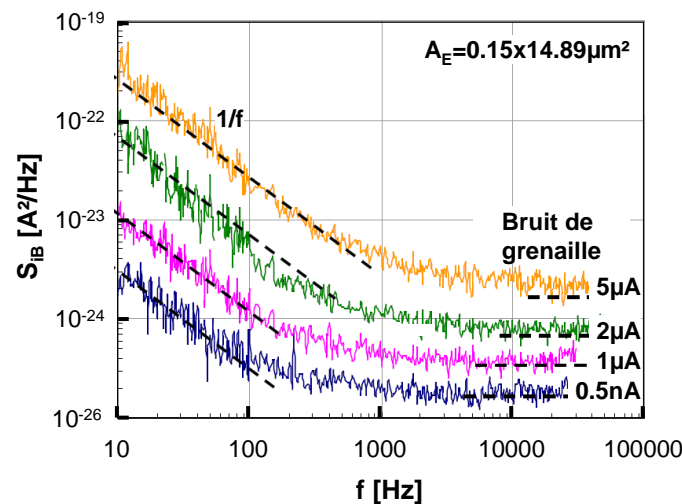


Figure V-22 : Evolutions de  $S_{IB}$  à basses fréquences en fonction de  $I_B$  (variant de 0.5 $\mu\text{A}$  à 5 $\mu\text{A}$ ) sur un transistor « haute tension » de dimension 0.15 $\times$ 14.89 $\mu\text{m}^2$  intégré à la technologie BiCMOS 0.13 $\mu\text{m}$  sur SOI 150nm

La Figure V-22 montre que la décroissance du bruit en 1/f n'est pas perturbée par des composantes de génération-recombinaison (G-R), si bien que l'évolution de la densité spectrale de bruit avec la fréquence et  $I_B$  peut être modélisée par la formule :

$$S_{iB} = 2 \cdot q \cdot I_B + \frac{k_B}{f \cdot A_E} I_B^{A_f} \quad (\text{V-13})$$

où  $A_f$  détermine l'évolution du bruit en fonction de  $I_B$  et  $k_B$  est un facteur permettant de comparer les niveaux de bruit sur des dispositifs de toutes tailles, issus de technologies différentes. Ces deux grandeurs peuvent être extraites par une régression linéaire dans un graphique  $S_{iB}$ - $I_B$  à fréquence pour  $A_f$  fixe (Figure V-22.a), et en inversant la relation ( V-13) de manière à mettre en évidence  $k_B$ , qui doit être constant sur la plage de fréquence pour laquelle la décroissance du bruit en  $1/f$  est observée.

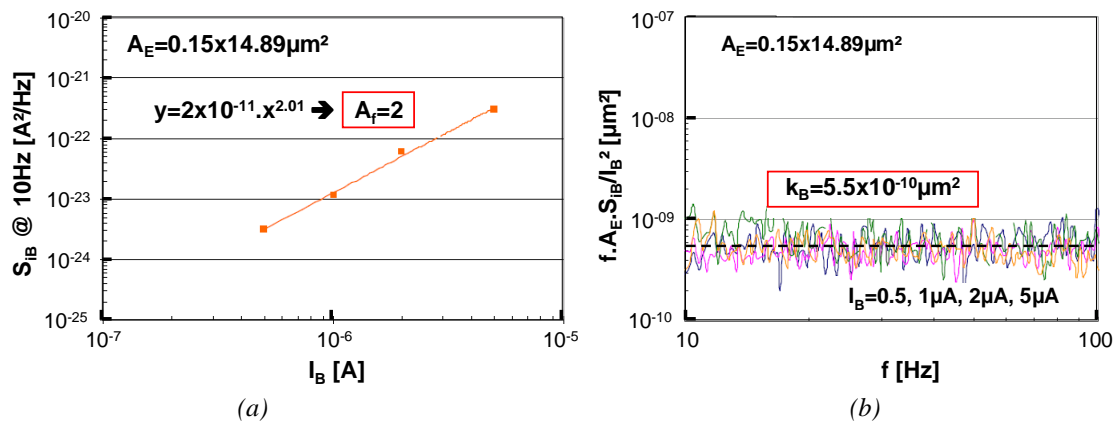


Figure V-23 : Extraction des paramètres (a)  $A_f$  et (b)  $k_B$  de bruit basse fréquence pour le transistor de dimension  $0.15 \times 14.89 \mu\text{m}^2$  de la technologie BiCMOS  $0.13 \mu\text{m}$  sur SOI  $150\text{nm}$

Les valeurs de  $A_f$  extraites montrent que le bruit est bien en quadrature avec le courant de base. Par ailleurs, l'extraction de  $k_B = 5.5 \times 10^{-10} \mu\text{m}^2$  place le transistor de la technologie BiCMOS  $0.13 \mu\text{m}$  sur SOI  $150\text{nm}$  légèrement sous les niveaux de bruit habituellement observés dans la littérature ( $1 \times 10^{-9} \mu\text{m}^2 < k_B < 5 \times 10^{-9} \mu\text{m}^2$ ) [Maneux04].

### V.3.B.2. Étude de fiabilité

Une étude de fiabilité a été menée sur les transistors typiques de la technologie BiCMOS sur SOI mince pour lesquels la surface d'émetteur est  $0.15 \times 1.82 \mu\text{m}^2$ . La procédure consiste à appliquer un stress en polarisant en inverse la jonction base-émetteur avec une tension variable ( $V_{BE} = 2.2\text{V}$ ,  $2.4\text{V}$  et  $2.6\text{V}$ ) inférieure à la tension de claquage de la jonction. Régulièrement, le stress est interrompu et les niveaux de courant de base et de collecteur sont mesurés pour une polarisation directe de la jonction base-émetteur à une tension de  $0.7\text{V}$ , la tension  $V_{CB}$  étant maintenue nulle. Le gain est calculé et son évolution par rapport à sa valeur avant l'application du stress est estimée. A chaque tension de stress appliquée est associée une durée de vie correspondant à une évolution du gain de 10%.

La durée totale de l'expérience est d'environ 20 heures à l'issue de laquelle est extraite la contrainte en tension supportable par le transistor pour une extrapolation de la durée de vie à 10ans. Cette expérience permet de déterminer la robustesse du transistor à la dégradation par porteurs chauds.

La Figure V-24 présente, pour les transistors mesurés, (a) l'évolution du gain avec la durée du test de vieillissement pour les trois tensions inverses testées et (b) l'extrapolation à 10ans de la durée de vie à partir des mesures réalisées.

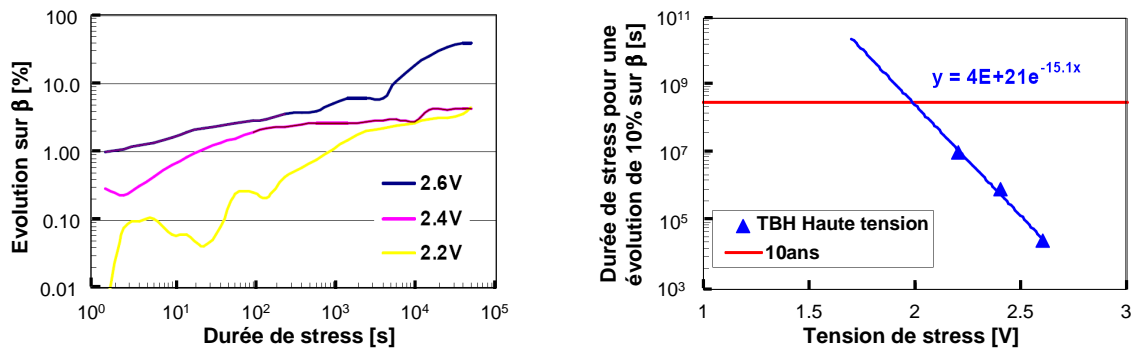


Figure V-24 : (a) Evolution de  $\beta$  en fonction de la durée de stress pour des valeurs de tension  $V_{BE}$  en inverse de 2.2V, 2.4V et 2.6V et (b) extraction de la tension inverse supportée pour une durée de vie de 10 ans des transistors

Les résultats montrent une évolution progressive du gain pour les trois contraintes en tensions. Les valeurs des courants mesurés permettent d'attribuer cette évolution à l'augmentation du courant de base. L'évolution du gain est d'autant plus importante que la tension de stress sur la jonction émetteur-base est importante. Cela nous permet d'estimer à 2V la tension inverse supportable par la jonction émetteur-base pour une durée de vie des dispositifs de 10 ans.

## V.4. Conclusion

Nous avons montré dans ce chapitre les étapes nécessaires à l'intégration du transistor bipolaire dans une technologie BiCMOS complète.

Pour cela, un modèle adapté du modèle HICUM a été proposé [Fregonese06]. La séparation de la capacité de collecteur intrinsèque en deux parties verticale et horizontale notamment et la prise en compte de cette spécificité dans les équations des courants et du temps de transit nous ont permis de modéliser le fonctionnement caractéristique du transistor bipolaire sur SOI mince et le basculement entre régimes de désertion verticale et horizontale.

Par ailleurs, les contraintes de l'intégration commune des transistor bipolaires et MOS ont été prises en compte afin de proposer des modifications dans l'architecture permettant le fonctionnement correct de tous les dispositifs avec des performances de transistors bipolaires comparables à celles pouvant être obtenues sur substrat massif.

Finalement, des mesures de bruit à basses fréquences ainsi que des études de fiabilité ont confirmé que le fonctionnement particulier de ce transistor ne posait pas de frein majeur à son intégration dans une technologie et donc à son utilisation en conception.



## Conclusion générale

Nous avons pour objectif en débutant cette thèse, de développer un transistor bipolaire à hétérojonctions Si/SiGe sur substrat SOI mince. Les contraintes technologiques nous imposaient l'utilisation de substrats SOI d'épaisseur 150nm compatibles avec la technologie CMOS 0.13 $\mu$ m de STMicroelectronics. Jusqu'à présent, seuls des travaux exploratoires et relativement expérimentaux avaient été consacrés à un sujet comparable. L'intégration d'une future technologie BiCMOS sur SOI mince adressant les applications RF constitue une première industrielle.

En se basant sur les travaux documentés dans la littérature et sur l'expérience acquise à STMicroelectronics dans le développement de structures bipolaires performantes et robustes, nous avons pu identifier qu'une architecture de transistor bipolaire Si/SiGe auto-alignée sur SOI mince était susceptible d'atteindre des performances en terme de fréquence de transition et de tension de claquage que nous nous étions fixées.

Les simulations physiques préliminaires de la structure ont confirmé ces attentes, mais ont surtout mis en évidence un comportement spécifique du transistor bipolaire sur SOI mince : les dispositifs sur SOI 150nm dont le collecteur est peu dopé ( $<10^{17}\text{cm}^{-3}$ ) présentent une tension de claquage  $BV_{\text{CEO}}$  supérieure à 5V alors qu'elle n'est que de 2.5V sur substrat massif. La fréquence de transition des dispositifs sur SOI reste systématiquement en deçà de 10-20GHz par rapport à celle envisageable sur substrat massif.

Afin de vérifier par l'expérience ces résultats, nous avons engagé la fabrication de transistors bipolaires Si/SiGe en technologie 0.13 $\mu$ m sur substrat SOI de 150nm. La structure de transistor retenue, auto-alignée par épitaxie sélective de la base, est issue du développement de technologies BiCMOS rapides ( $f_T > 250\text{GHz}$ ) et sa fabrication sur substrat massif est industrialisable avec de bons rendements. Un schéma d'intégration sur SOI 150nm a donc été mis en place et nous a permis d'obtenir des transistors parfaitement fonctionnels.

Les résultats de caractérisation électrique sur les dispositifs fabriqués corroborent de façon remarquable les simulations préliminaires. Une deuxième étude utilisant les résultats de simulations physiques et de caractérisation électrique approfondie de l'avalanche dans le collecteur des transistors nous a aidé à interpréter ce comportement spécifique. Pour les

transistors dont la dose d'implantation de collecteur est inférieure à  $2 \times 10^{12} \text{cm}^{-2}$ , la propagation latérale de la zone de désertion base-collecteur à forte tension  $V_{CB}$  limite le champ électrique et l'avalanche dans la jonction base-collecteur. La tension de claquage est ainsi repoussée, au contraire de celle des transistors fortement dopés dont le comportement vertical est similaire à celui observé pour les transistors sur substrat massif. Les conditions de propagation de la ZCE base-collecteur dépendent grandement des caractéristiques technologiques du collecteur comme le niveau de dopage et la position de la prise de contact de collecteur latérale. Elles dépendent également de la polarisation appliquée en face arrière de la plaque de silicium.

Le fonctionnement du TBH sur film de SOI mince ayant été analysé, nous avons procédé à l'optimisation des dispositifs en vue de leur intégration dans une technologie BiCMOS pour application RF. La réduction du gain par augmentation du dopage dans la base, le dopage auto-aligné du collecteur extrinsèque et le développement d'une structure cellulaire dont la taille est optimisée ont porté les performances du transistor bipolaire sur SOI mince au niveau de celles atteintes sur substrat massif puisque le produit  $f_T \times BV_{CEO}$  des transistors optimisés se situe autour de  $200 \text{GHz.V}$  sur une large gamme de compromis entre vitesse et tenue en tension.

L'aspect des hautes vitesses, plus délicat à obtenir sur substrat SOI mince compte tenu de la résistance de collecteur, a également été abordé. Il a demandé un travail important en terme de dopage de collecteur, passant par un changement de l'espèce dopante du phosphore à l'arsenic, mais a permis de réaliser les TBH sur SOI mince les plus rapides jamais reportés dans la littérature, poussant le couple  $f_T/f_{MAX}$  aux valeurs record de  $140 \text{GHz}/200 \text{GHz}$  [Chantre06].

Les premières étapes du développement de la technologie ont été développées. Grâce à la collaboration avec le laboratoire IXL, un modèle compact a été développé à partir du modèle HICUM Level0. Ce modèle physique est jusqu'à présent le seul à tenir compte des spécificités du comportement du transistor bipolaire sur SOI mince. Il incorpore en effet dans sa topologie une capacité base-collecteur capable de représenter le fonctionnement latéral mis en évidence par les simulations physiques. Les équations du modèle ont été mises à jour pour en tenir compte dans les calculs de niveaux de courant et de temps de transit, si bien que le comportement du transistor bipolaire sur SOI mince peut être modélisé quel que soit l'état de désertion régnant dans son collecteur.



L'intégration d'un transistor bipolaire dont le compromis  $f_T/BV_{CEO}$  est situé à 30GHz/6V dans la technologie BiCMOS a enfin été réalisée, sans altérer les performances des transistors MOS mais au prix d'une réduction de sa topologie. L'utilisation dans le dessin du transistor bipolaire de masques spécifiques aux transistors MOS autorise, en plus, la différenciation et la réalisation gratuites d'un deuxième transistor bipolaire plus rapide, les deux composants bipolaires fonctionnant chacun dans un régime de désertion différent.

A la vue de ces résultats, nous pouvons considérer que les objectifs définis en début de thèse ont été atteints. Les connaissances acquises sur la fabrication, le fonctionnement et l'optimisation des transistors bipolaires sur SOI mince, ont pleinement contribué au démarrage d'une nouvelle technologie BiCMOS 0.13 $\mu$ m sur SOI 150nm à STMicroelectronics.

Les perspectives futures concernent aujourd'hui un transistor bipolaire plus rapide ou des substrats SOI compatibles avec les générations avancées de CMOS et donc plus fins (70nm pour le nœud technologique 90nm). Compte tenu du côté pénalisant du volume de silicium réduit, on ne peut l'envisager qu'en augmentant l'épaisseur de couche disponible pour loger le collecteur du transistor bipolaire. Il n'est, à l'heure actuelle, pas envisageable d'augmenter la hauteur de la structure. Nous avons vu en fin de Chapitre V que les procédés de fabrication, comme la gravure de la grille des transistors MOS et les caractéristiques de la technologie concernant la hauteur du premier niveau d'interconnexion, nous l'interdisaient. Il faudra donc se résoudre à réduire, voire supprimer la couche d'oxyde enterré au détriment de l'isolation des dispositifs vis-à-vis du substrat. Le transistor bipolaire retrouvera à ces conditions des performances non réalisables sur SOI mince comme des fréquences de coupure dépassant les 250GHz.



---

## Références bibliographiques

- [Ashburn88] P. Ashburn; **Design and Realization of Bipolar Transistors**; *John Wiley and Sons*; 1988
- [Ashburn03] P. Ashburn; **SiGe Heterojunction Bipolar Transistors**; *John Wiley and Sons*; 2003
- [Baudry01] H. Baudry; **Développement et étude de transistors bipolaires hautes performances à base silicium-germanium**; *Thèse de doctorat, Université Grenoble 1 – Joseph Fourier*; Nov. 2001
- [Baudry01] H. Baudry et al.; **BiCMOS7RF: a highly-manufacturable 0.25- $\mu$ m BiCMOS RF-applications-dedicated technology using non selective SiGe:C epitaxy**; *Bipolar/BiCMOS Circuits and Technology Meeting, 2003. Proceedings of the*; 28-30 Sept. 2003; Page(s):207 - 210
- [Boissonnet06] L. Boissonnet et al.; **A 0.13 $\mu$ m thin SOI CMOS technology with low-cost SiGe:C HBTs and complementary high-voltage LDMOS**; *Bipolar/BiCMOS Circuits and Technology Meeting, 2006. Proceedings of the*; (to be published)
- [Bonnouvrier03] J. Bonnouvrier; **Tm03\_142 - Simulations of a HBT on SOI**; *ST Internal report*; Dec. 2003
- [Bonnouvrier04] J. Bonnouvrier; **Tm04\_031 - Simulations of a HBT on SOI (part II)**; *ST Internal report*; Feb. 2004
- [Cai03] J. Cai et al.; **Vertical SiGe-base bipolar transistors on CMOS-compatible SOI substrate**; *Bipolar/BiCMOS Circuits and Technology Meeting, 2003. Proceedings of the*; 28-30 Sept. 2003; Page(s):215 - 218
- [Chantre99] A. Chantre et al.; **A highly manufacturable 0.35 $\mu$ m SiGe HBT technology with 70GHz  $f_{max}$** ; *Solid-State Device Research Conference, 1998. Proceeding of the 28th European*; 8-10 September 1998; Page(s):448 - 451
- [Chantre06] A. Chantre et al.; **SiGe HBT design for CMOS compatible SOI**; *International Silicon-Germanium Technology and Device Meeting, 2006, Proceedings of the*; May 15-17, 2006; Page(s):268 - 269
- [Chevalier05a] P Chevalier et al.; **230-GHz self-aligned SiGeC HBT for optical and millimeter-wave applications**; *Solid-State Circuits, IEEE Journal of* Volume 40, Issue 10; Oct. 2005; Page(s):2025 – 2034
- [Chevalier05b] P Chevalier et al.; **300 GHz  $f_{max}$  self-aligned SiGeC HBT optimized towards CMOS compatibility**; *Bipolar/BiCMOS Circuits and Technology Meeting, 2005. Proceedings of the*; Oct. 9-11, 2005 Page(s):120 - 123
- [Cressler03] J.D. Cressler and G. Niu; **Silicon-Germanium Heterojunction Bipolar Transistors**; *Artech House*, 2003.

- [Frégonèse05] S. Frégonèse; **Contribution à la modélisation électrique sous l'aspect du dimensionnement des transistors bipolaires à hétérojonction Si/SiGe**; *Thèse de doctorat, Université Bordeaux I*; Jul. 2005
- [Frégonèse05a] S. Frégonèse et al.; **Base-collector junction charge investigation of Si/SiGe HBT on thin film SOI**; *Solid-State Device Research Conference, 2005. ESSDERC 2005. Proceedings of 35th European*; 12-16 Sept. 2005; Page(s):153 - 156
- [Frégonèse05b] S. Frégonèse et al.; **A transit time model for thin SOI Si/SiGe HBT**; *Bipolar/BiCMOS Circuits and Technology Meeting, 2005. Proceedings of the*; 9-11 Oct. 2005; Page(s):184 - 187
- [Frégonèse06] S. Frégonèse et al.; **A compact model for SiGe HBT on thin film SOI**; *Electron Devices, IEEE Transactions on, Volume 53, Issue 2*; Feb. 2006; Page(s):296 – 303
- [Kroemer82] H. Kroemer; Heterostructure Bipolar transistors and integrated circuits; *IEEE, Proc. of the* ; Volume 70, Issue 1; January 1982; Page(s):13 - 25
- [Kurokawa65] K. Kurokawa, **Power waves and the Scattering Matrix**, *IEEE Transactions on microwave theory and techniques*, Volume 13, Issue 02, 1965; Page(s):194 - 202
- [Meyer87] R.G. Meyer et al.; **Charge-control analysis of the collector-base space-charge-region contribution to bipolar-transistor time constant  $\tau_T$** ; *Electron Devices, IEEE Transactions on*; Volume 34, Issue 2, Feb 1987; Page(s):450 - 452
- [Mitrovic05] I.Z. Mitrovic et al.; **Review of SiGe HBTs on SOI**, *Solid-State Electronics*, Volume 49, Issue 9; Sept. 2005; Page(s):1556-1567
- [Nii00] Nii et al.; **A novel lateral bipolar transistor with 67 GHz fmax on thin-film SOI for RF analog applications**; *Electron Devices, IEEE Transactions on*; Volume 47, Issue 7; July 2000; Page(s):1536 - 1541
- [Niu99] G. Niu et al.; **Measurement of collector-base junction avalanche multiplication effects in advanced UHV/CVD SiGe HBT's**; *Electron Devices, IEEE Transactions on*; Volume 46, Issue 5; May 1999; Page(s):1007 - 1015
- [Ouyang02] Q. Ouyang et al.; **A simulation study on thin SOI bipolar transistors with fully or partially depleted collector**; *Bipolar/BiCMOS Circuits and Technology Meeting, 2002. Proceedings of the 2002*; 29 Sept.-1 Oct. 2002, Page(s):28 - 31
- [Pengpad04] P. Pengpad et al.; **Lateral SiGe heterojunction bipolar transistor by confined selective epitaxial growth: simulation and material growth**; *Microelectronic Engineering*, Volumes 73-74; June 2004; Pages 508-513
- [People85] R. People; **Indirect band gap of coherently strained  $\text{Ge}_x\text{Si}_{1-x}$  bulk alloys on <001> silicon substrates**; *Physical review B*, Volume 32, Issue 2; 1985; Page(s): 1405 - 1408

- 
- [Rieh01] J.-S. Rieh et al.; **Measurement and modeling of thermal resistance of high speed SiGe heterojunction bipolar transistors**; *Silicon Monolithic Integrated Circuits in RF Systems, 2001. Digest of Papers. 2001 Topical Meeting on*; 12-14 Sept. 2001; Page(s):110 - 113
- [Rodder83] M. Rodder et al.; **Silicon-on-insulator bipolar transistors**; *Electron Device Letters, IEEE*; Volume 4, Issue 6; Jun 1983; Page(s):193 – 195
- [Roulston90] D.J. Roulston; **Bipolar Semiconductor Devices**; *McGraw Hill*; 1990; p241
- [Rücker 04] Rücker et al.; **Integration of high-performance SiGe:C HBTs with thin-film SOI CMOS**; *Electron Devices Meeting, 2004. IEDM Technical Digest. IEEE International*; 13-15 Dec. 2004; Page(s):239 - 242
- [Schröter99] M. Schröter et al.; **Physics-based minority charge and transit time modeling for bipolar transistors**; *Electron Devices, IEEE Transactions on, Volume 46, Issue 2*; Feb. 1999; Page(s):288 - 300
- [Schröter01] M. Schröter; **HICUM, a scalable physics-based compact bipolar transistor model**; <http://www.iee.et.tu-dresden.de/iee/eb/>; Dec. 2001
- [Schröter02] M. Schröter et al.; **HICUM/Level0 – A simplified compact bipolar transistor model**; *Bipolar/BiCMOS Circuits and Technology Meeting, 2002. Proceedings of the 2002*; 29 Sept.-1 Oct. 2002; Page(s):112 - 115
- [Schwartzmann04] T. Schwartzmann; **TCAD simulations for the NPN HBT in HCMOS9SiGeSOI**; *ST Internal report*; June 2004
- [Sze81] S.M. Sze; **Physics of semiconductor devices** (2nd edition); *John Wiley and Sons*; 1988
- [Tsaaur83] B. Tsaaur et al.; **Fully isolated lateral bipolar—MOS transistors fabricated in zone-melting-recrystallized Si films on SiO<sub>2</sub>**; *Electron Device Letters, IEEE*; Volume 4, Issue 8; Aug 1983; Page(s):269 – 271

## Liste des publications

- [Avenier05a] G. Avenier, P. Chevalier, B. Vandelle, D. Lenoble, F. Saguin, S. Fregonese, T. Zimmer and A. Chantre, A; **Investigation of fully- and partially-depleted self-aligned SiGeC HBTs on thin film SOI**, *Solid-State Device Research Conference, 2005. ESSDERC 2005. Proceedings of 35th European*, 12-16 Sept. 2005, Page(s):133 - 136
- [Avenier05b] G. Avenier, T. Schwartzmann, P. Chevalier, B. Vandelle, L. Rubaldo, D. Dutartre, L. Boissonnet, F. Saguin, R. Pantel, S. Fregonese, C. Maneux, T. Zimmer and A. Chantre; **A self-aligned vertical HBT for thin SOI SiGeC BiCMOS**; *Bipolar/BiCMOS Circuits and Technology Meeting, 2005. Proceedings of the*; 9-11 Oct. 2005; Page(s):128 - 131
- [Boissonnet06] L. Boissonnet, F. Judong, B. Vandelle, L. Rubaldo, P. Bouillon, D. Dutartre, A. Perrotin, G. Avenier, P. Chevalier, A. Chantre and B. Rauber; **A 0.13 $\mu$ m thin SOI CMOS technology with low-cost SiGe:C HBTs and complementary high-voltage LDMOS**; *Bipolar/BiCMOS Circuits and Technology Meeting, 2006. Proceedings of the*; Oct. 8-10, 2006; (to be published)
- [Chantre06a] A. Chantre, G. Avenier, P. Chevalier, B. Vandelle, F. Saguin, C. Maneux, D. Dutartre and T. Zimmer; **SiGe HBT design for CMOS compatible SOI**; *International Silicon-Germanium Technology and Device Meeting, 2006, Proceedings of the*; May 15-17, 2006; Page(s):268 - 269
- [Chantre06b] A. Chantre, G. Avenier, L. Boissonnet, G. Borot, P. Bouillon, F. Brossard, P. Chevalier, F. Deléglise, D. Dutartre, J. Duvernay, S. Frégonèse, F. Judong, R. Pantel, A. Perrotin, B. Rauber, L. Rubaldo, F. Saguin, T. Schwartzmann, B. Vandelle and T. Zimmer; **Prospects for Complementary SiGeC BiCMOS on Thin-Film SOI**; *210th Meeting of The Electrochemical Society (SiGe/Ge: Materials, Processing, and Devices)*; Oct. 29-Nov. 3, 2006 (to be published)
- [Chevalier05] P. Chevalier, D. Lagarde, G. Avenier, T. Schwartzmann, B. Barbalat, D. Lenoble, J. Bustos, F. Pourchon, F. Saguin, B. Vandelle, L. Rubaldo, A. Chantre; **Low-cost self-aligned SiGeC HBT module for high-performance bulk and SOI RFCMOS platforms**; *Electron Devices Meeting, 2005. IEDM Technical Digest. IEEE International*; Dec. 5, 2005; Page(s):963 - 966
- [Chevalier06] P. Chevalier, C. Raya, B. Geynet, F. Pourchon, F. Judong, F. Saguin, T. Schwartzmann, R. Pantel, B. Vandelle, L. Rubaldo, G. Avenier, B. Barbalat, and A. Chantre; **250-GHz self-aligned Si/SiGeC HBT featuring an all-implanted collector**; *Bipolar/BiCMOS Circuits and Technology Meeting, 2006. Proceedings of the*; Oct. 8-10, 2006; (to be published)

- [Frégonèse05a] S. Frégonèse, G. Avenier, C. Maneux, A. Chantre, T. Zimmer; **Base-collector junction charge investigation of Si/SiGe HBT on thin film SOI**; *Solid-State Device Research Conference, 2005. ESSDERC 2005. Proceedings of 35th European*; 12-16 Sept. 2005; Page(s):153 - 156
- [Frégonèse05b] S. Frégonèse, G. Avenier, C. Maneux, A. Chantre, T. Zimmer; **A transit time model for thin SOI Si/SiGe HBT**; *Bipolar/BiCMOS Circuits and Technology Meeting, 2005. Proceedings of the*; 9-11 Oct. 2005; Page(s):184 - 187
- [Frégonèse06] S. Frégonèse, G. Avenier, C. Maneux, A. Chantre, Senior Member, IEEE, and T. Zimmer; **A compact model for SiGe HBT on thin film SOI**; *Electron Devices, IEEE Transactions on, Volume 53, Issue 2*; Feb. 2006; Page(s):296 – 303
- [Raynaud05] C. Raynaud, F. Giancesello, C. Tinella, P. Flatresse, R. Gwoziecki, P. Touret, G. Avenier, S. Haendler, O. Gonnard, G. Gouget, G. Labourey, J. Pretet, M. Marin, R. Di Frenza, D. Axelrad\*, P. Delatte\*\*, G. Provins, J. Roux, E. Balossier, JC. Vildeuil, S. Boret, B. Van Haaren, P. Chevalier, L. Boissonnet, T. Schwartzmann, A. Chantre, D. Gloria, E. De Foucauld, P. Scheer, C. Pavageau, G. Dambrine; **Is SOI CMOS a promising technology for SOCs in high frequency range ?**; *207th Meeting The Electrochemical Society, Abstract #571, (12th International Symposium on Silicon-on-Insulator Technology and Devices)*; May 15-20, 2005