

N° d'ordre : 3231

THÈSE

présentée à

A L'UNIVERSITÉ BORDEAUX 1

Ecole doctorale des Sciences Physiques et de l'Ingénieur

par **Claire TASSIN**

POUR OBTENIR LE GRADE DE

DOCTEUR

SPÉCIALITÉ : ÉLECTRONIQUE

**Etude de faisabilité d'un émetteur radio fréquence à conversion
directe pour le standard WCDMA avec boucle cartésienne de
linéarisation en technologie CMOS 65 nm**

Soutenue le : 24 octobre 2006

Après avis de :

MM. Patrick LOUMEAU	Professeur	ENST Paris	Rapporteur
Raymond QUERE	Professeur	Xlim Limoges	Rapporteur

Devant la commission d'examen formée de :

MM. Jean-Baptiste BEGUERET	Professeur	IXL Bordeaux	Directeur de thèse
Didier BELOT	Ingénieur	STMicroelectronics, Crolles	Invité
Yann DEVAL	Professeur	IXL Bordeaux	Directeur de thèse
Pascal FOUILLAT	Professeur	IXL Bordeaux	Président du jury
Patrice GARCIA	Docteur	STMicroelectronics, Crolles	Encadrant industriel
Patrick LOUMEAU	Professeur	ENST Paris	Rapporteur
Raymond QUERE	Professeur	Xlim Limoges	Rapporteur

A ma famille et mes amis,

"Les questions importantes doivent être traitées légèrement.
Celles sans importance doivent être traitées sérieusement."

Hegakure, Tsunetomo Yamamoto

Remerciements

Je remercie les membres du jury, Monsieur Patrick Loumeau, Professeur à l'ENST Paris et Monsieur Raymond Quéré, Professeur à l'Xlim de Limoges pour l'intérêt qu'ils ont porté à mes travaux en acceptant d'être rapporteurs de cette thèse, Monsieur Pascal Fouillat, Professeur à l'IXL de Bordeaux, qui me fait l'honneur de présider ce jury et Monsieur Didier Belot pour sa présence.

Je remercie Monsieur Jean-Baptiste Bégueret et Monsieur Yann Deval, Professeurs à l'IXL et Directeurs de thèse pour avoir veillé à la bonne orientation et au bon déroulement de ces travaux de recherche.

Je tiens à exprimer ma gratitude à Monsieur Patrice Garcia de la société STMicroelectronics Crolles, qui à initié ce projet, pour m'avoir confié cette étude en m'accordant une grande liberté de travail.

Je remercie sincèrement les membres de l'équipe de conception RF de la société STMicroelectronics Crolles pour leur soutien et leur collaboration et tout particulièrement Messieurs Franck Goussin, Vincent Knopik, Davy Thévenet, Jérôme Lajoinie, Jean-Pierre Blanc et Bruno Pellat qui m'ont fait bénéficier de leur expertise.

Je remercie également Monsieur Romaric Toupé, ingénieur au laboratoire IXL pour le travail remarquable qu'il a effectué sur l'étude du système de la partie numérique, lors de son stage de master.

Enfin, je remercie mon époux pour son indulgence durant ces trois dernières années.

Liste des acronymes

<i>ACPR</i>	Adjacent Chanel Power Rejection
<i>BB</i>	Bande de Base
<i>BER</i>	Bit Error Rate
<i>BLER</i>	Block Error Rate
<i>BSC</i>	Base Station Controler
<i>BTS</i>	Station de base GSM
<i>CAN</i>	Convertisseur Analogique Numérique
<i>CAO</i>	Conception Assistée par ordinateur
<i>CDMA2000</i>	Code Division Multiple Access 2000
<i>CMOS</i>	Complementary Metal Oxyde Silicon
<i>CMOS65LPLVT</i>	librairie CMOS 65 nm basse consommation et faible tension V_T
<i>CNA</i>	Convertisseur Numérique Analogique
<i>CORDIC</i>	Coordinate Rotation Digital Computer
<i>DCS</i>	Digital Communication System
<i>DEM</i>	Dynamic Element Matching
<i>DPCCH</i>	Dedicated Physical Control Chanel
<i>DPDCH</i>	Dedicated Physical Data Chanel
<i>DSP</i>	Digital Signal Processing
<i>EDGE</i>	Enhanced Data rates for GSM Evolution
<i>EER</i>	Envelope Elimination Restoration
<i>EVM</i>	Error Vector Magnitude
<i>FBI</i>	FeedBack Information
<i>FDD</i>	Frequency Division Duplex
<i>FI</i>	Fréquence Intermédiaire
<i>FFT</i>	Fast Fourier Transform
<i>GD</i>	Group Delay

<i>GPRS</i>	General Packet Radio Service
<i>GPS</i>	Global Positioning System
<i>GSM</i>	Global System for Mobile communications
<i>HD3</i>	Distorsion harmonique d'ordre 3
<i>HPSK</i>	Hybrid Phase Shift Keying
<i>HSDPA</i>	High Speed Downlink Packet Access
<i>IIP3</i>	Point d'interception d'ordre 3 en entrée
<i>IMD3</i>	Intermodulation d'ordre 3
<i>IP</i>	Internet Protocol, protocole Internet
<i>IQ</i>	Inphase Quadrature
<i>LUT</i>	Look Up Table
<i>MS</i>	Mobile Station
<i>NF</i>	Noise Factor
<i>OFDM</i>	Orthogonal Frequency-Division Multiplexing
<i>OIP1</i>	point d'interception d'ordre 1 en sortie
<i>OL</i>	Oscillateur Local
<i>OVSF</i>	Orthogonal Variable Spreading Factor
<i>PA</i>	Power Amplifier
<i>PCS</i>	Personal Communications Service
<i>PDA</i>	Personnal Digital Assistant
<i>PDC</i>	Personal Digital Cellular
<i>PLL</i>	Phase Locked Loop
<i>PN</i>	Pseudo random Noise code
<i>PPA</i>	Pre Power Amplifier
<i>QoS</i>	Qualité du service
<i>RAN</i>	Radio Access Network
<i>RF</i>	Radio Fréquence
<i>RNC</i>	Radio Network Controller
<i>RRC</i>	Root Raised Cosine
<i>RTL</i>	Register Transfer Level
<i>SAW</i>	Surface Acoustic Wave
<i>SDR</i>	Software Define Radio
<i>SF</i>	Spreading Factor

<i>SiGeC</i>	Silicium Germanium Carbone
<i>SIR</i>	Signal to Interferor Ratio
<i>SNR</i>	Signal to Noise Ratio
<i>SoC</i>	System on Chip
<i>TD-CDMA</i>	Time Division CDMA
<i>TDD</i>	Time Division Duplex
<i>TFCI</i>	Transport Format Combination Indication
<i>TPC</i>	Transmit Power Control
<i>UE</i>	User Equipment
<i>UMTS</i>	Universal Mobile Telecommunication System
<i>VCO</i>	Voltage Controlled Oscillator
<i>VGA</i>	Variable Gain Amplifier
<i>VHDL</i>	Very High Speed Integrated Circuit Hardware Description Language
<i>VoIP</i>	Voice over IP
<i>WCDMA</i>	Wide band Code Division Multiple Access
<i>WiMAX</i>	Worldwide Interoperability for Microwave Access
<i>WLAN</i>	Wireless Local Area Network

Table des matières

Liste des acronymes	4
Introduction	23
1 La norme WCDMA	27
1.1 Du GSM au WCDMA	28
1.1.1 Augmentation de la capacité du réseau	28
1.1.2 Amélioration de la qualité de transmission	29
1.1.3 Transmission haut débit	29
1.1.4 Inter-opérabilité 2G/3G	29
1.1.5 Nouveaux services multimédia	30
1.1.6 Itinérance mondiale	31
1.1.7 Utilisation optimale des ressources spectrales	31
1.2 Architecture réseau	32
1.3 Modulation	32
1.3.1 Le duplex des ressources	32
1.3.2 Méthode d'accès aux ressources	33
1.3.3 Les codes "utilisateur"	33
1.3.4 Canaux et débits de données	34
1.3.5 Modulation HPSK	36
1.3.6 Bande passante	38
1.4 Notre cas d'étude	39
1.5 Contrôle de puissance	40
1.6 Le masque de bruit en WCDMA	42
1.7 Linéarité	43
1.7.1 Distorsion harmonique d'ordre 3	43

1.7.2	Puissance résiduelle dans les canaux adjacents	44
1.7.3	EVM	45
1.8	Conclusion	46
2	Linéarisation d'un émetteur WCDMA	47
2.1	Architectures d'émetteur	48
2.1.1	Emetteur hétérodyne	49
2.1.2	Emetteur à conversion directe	50
2.1.3	Emetteur Low-IF (faible fréquence intermédiaire)	51
2.1.4	PLL à modulation directe	52
2.1.5	Récapitulatif des architectures d'émetteur	53
2.2	Techniques de linéarisation	53
2.2.1	Elimination et Restitution d'Enveloppe	54
2.2.2	Feedforward	55
2.2.3	Boucle polaire	56
2.2.4	Boucle cartésienne	57
2.3	Emetteur à boucle cartésienne : théorie et état de l'art	59
2.3.1	Etude de la stabilité	59
2.3.2	Etude du bruit	63
2.3.3	Etude de la linéarité	64
2.3.4	Les intégrations de la boucle cartésienne sur silicium	66
2.4	Conclusion	69
3	Etude du système	71
3.1	Architecture mixte	74
3.2	Modélisation de la boucle cartésienne pour la simulation	75
3.3	Gain de la boucle cartésienne	76
3.4	Bande passante globale	77
3.4.1	Bande passante de linéarisation	77
3.4.2	Les filtres passe-bas	78
3.5	Stabilité de la boucle cartésienne	81
3.5.1	Correcteur de phase	81
3.5.2	Stabilité d'un système bouclé mixte	81
3.6	Linéarité de la boucle cartésienne	83

3.6.1	Tests de linéarité en WCDMA	83
3.6.2	Etude de la linéarité de la chaîne de retour avec les noyaux de Volterra	84
3.7	Bruit de la boucle cartésienne	86
3.7.1	Comportement en bruit de la boucle cartésienne	86
3.7.2	Spécification WCDMA	86
3.7.3	Spécification de bruit pour les chaînes directe et de retour	88
3.8	Offset DC et fuite d'oscillateur local	89
3.8.1	Modèle mathématique de l'offset DC pour la boucle cartésienne	90
3.8.2	Spécification WCDMA pour la fuite d'oscillateur local	92
3.9	Pulling d'oscillateur local en Zero-IF	93
3.9.1	Modèle mathématique du pulling dans la boucle cartésienne	93
3.9.2	Pulling en WCDMA	95
3.9.3	Précautions contre le pulling	96
3.10	Contrôle de gain	96
3.10.1	Contrôle de gain pour un émetteur WCDMA	96
3.10.2	Solution classique à base de VGA	97
3.10.3	Solution numérique	98
3.11	Partie numérique	104
3.11.1	Correction de phase	104
3.11.2	Délai	106
3.11.3	Budget SNR de la partie numérique	107
3.11.4	Architecture de la partie numérique	108
3.11.5	Validation fonctionnelle : modèle <i>Matlab Simulink</i> [®]	109
3.11.6	Dimensionnement du chemin de donnée	111
3.12	Conclusion	113
4	Intégration en CMOS 65 nm	117
4.1	Contexte technologique	118
4.2	Partie numérique	120
4.2.1	Implémentation VHDL	121
4.2.2	Synthèse logique	124
4.2.3	Synthèse et analyse temporelle statique	125
4.3	Partie RF : chaîne directe	126
4.3.1	Modulateur IQ de la chaîne directe	127

4.3.2	PPA	137
4.3.3	Adaptation en sortie du PPA	137
4.4	Partie RF : chaîne de retour	138
4.4.1	Filtres de boucle	138
4.4.2	Atténuateur	142
4.4.3	Démodulateur IQ	144
4.5	Surface et consommation	147
4.5.1	Estimation de la surface et de la consommation de la boucle cartésienne	147
4.5.2	Comparaison avec les circuits existants	148
4.6	Conclusion	150
Conclusion générale		153
A Calcul des noyaux de Volterra		157
A.1	Les Séries de Volterra	159
A.2	Modélisation de l'émetteur pour la linéarité	159
A.3	Calcul de l'expression des non-linéarités de la chaîne de retour	160
A.3.1	Expression des noyaux G de la chaîne directe	160
A.3.2	Expression des noyaux B de la chaîne de retour	161
B Algorithme CORDIC		163
B.1	But de l'algorithme	164
B.2	Mise en équation	164
B.3	Principe de l'algorithme	165
C Codage virgule fixe		167
C.1	Arithmétique virgule fixe	168
C.1.1	Nombre négatif	168
C.1.2	Addition en virgule fixe	168
C.1.3	Multiplication en virgule fixe	169
D Modèle Matlab		171
D.1	Modèle en virgule fixe	172
D.1.1	Calcul de l'erreur de phase	172

D.1.2	Lecture des LUT sinus et cosinus	173
D.1.3	Multiplieur complexe	174
D.1.4	Calcul du SNR	175
E	Conception en CMOS 65 nm	177
E.1	Calcul des valeurs des LUT	178
E.2	Multiplication du signal RF par le signal d'OL	178
	Bibliographie	180

Liste des tableaux

1.1	Catégorie de puissance	42
1.2	Contrôle de puissance	43
1.3	Spécifications WCDMA	47
2.1	Comparatif des architectures d'émetteur	55
3.1	Bande passante du filtre de boucle	81
3.2	EVM en fonction de la fréquence de coupure	82
3.3	Niveaux de fuite d'OL en sortie de l'émetteur	94
3.4	Niveaux de fuite d'OL en sortie de la boucle cartésienne	95
3.5	Etat de l'art des convertisseurs	102
3.6	Puissances minimales théoriques converties pour divers convertisseurs . . .	104
3.7	Contributions d'EVM	109
3.8	Spécifications de la partie analogique	115
3.9	Spécifications de la partie numérique	117
3.10	Spécifications des convertisseurs	117
4.1	Spécifications électriques de la librairie CMOS65LP	127
4.2	Caractéristiques du circuit synthétisé	128
4.3	Valeurs du réseau d'adaptation	139
4.4	Valeurs des composants du filtre	141
4.5	Caractéristiques de l'AOP CMOS 65 nm	142
4.6	Simulation du filtre pour différentes valeurs de R0	144
4.7	Dimensionnement des mélangeurs passifs	148
4.8	Surface et consommation des composants de l'émetteur	149

Table des figures

1.1	Différents scénarios pour le déploiement du réseau UMTS [Gru05]	31
1.2	Efficacité spectrale	32
1.3	Arbre à code	35
1.4	Trame radio dans le sens montant	36
1.5	Modulation des canaux DPDCH et DPCCH dans une trame	37
1.6	Embrouillage complexe [Agi99]	38
1.7	Constellation avant (à gauche) et après (à droite) embrouillage complexe [Agi99]	39
1.8	Filtrage RRC	40
1.9	Chaîne d'émission WCDMA de référence	40
1.10	Constellation non filtrée	41
1.11	Constellation filtrée	41
1.12	Contrôle de gain uplink	42
1.13	Masque de bruit pour un émetteur WCDMA	44
1.14	Bandes d'intégration d'ACPR pour le spectre WCDMA	46
2.1	Emetteur hétérodyne	51
2.2	Emetteur homodyne	52
2.3	Emetteur low IF	53
2.4	PLL à modulation directe	54
2.5	EER	56
2.6	FeedForward	57
2.7	Diagramme bloc de la boucle polaire	58
2.8	Diagramme bloc de la boucle cartésienne	60
2.9	Modèle simplifié de l'émetteur en boucle ouverte [BF96]	61
2.10	Modèle MIMO de la boucle cartésienne [BF96]	62

2.11	Couplage des voies I et Q par déphasage	63
2.12	Critère graphique de stabilité [BF96]	64
2.13	Modèle de bruit de la boucle cartésienne	65
2.14	Modèle de la boucle cartésienne pour la linéarité	67
2.15	Spectre d'émission de sortie	68
2.16	Boucle cartésienne WCDMA hétérodyne [CSP03]	69
2.17	Correction de la phase pour une émetteur WLAN [SMPP04]	70
2.18	Correcteur automatique de phase pour boucle cartésienne [Daw03]	71
3.1	Architecture mixte de boucle cartésienne	76
3.2	Modèle ADS de la boucle cartésienne	77
3.3	Bande passante de linéarisation du système	80
3.4	Amélioration de l'ACPR à 10 MHz de la porteuse en fonction de la bande passante des filtres de boucle	81
3.5	Représentation de la fonction de transfert du système	84
3.6	Tests de linéarité du troisième ordre	85
3.7	Modélisation du bruit dans la boucle cartésienne	88
3.8	Spécification de bruit ramenée en sortie de l'émetteur WCDMA	89
3.9	Niveau de bruit en sortie en fonction de la fréquence	89
3.10	Fuite d'OL dans un émetteur RF	91
3.11	Création de la fuite d'OL dans une chaîne Zero-IF	92
3.12	Correction de la fuite d'OL par la boucle cartésienne	92
3.13	Correction du DC offset de retour dans la CFB	93
3.14	Simulation de l'EVM en présence de fuite d'OL	94
3.15	Pulling en Zero-IF	95
3.16	Pulling dans la boucle cartésienne	96
3.17	Chaîne classique de contrôle de gain	99
3.18	calcul de l'atténuation de la puissance dans le VGA numérique	101
3.19	Mise en forme du bruit dans le convertisseur $\Sigma\Delta$	103
3.20	Ouverture de la boucle pour les faibles niveaux de puissance	105
3.21	Rotation des symboles WCDMA	106
3.22	Correction de phase par rotation circulaire des symboles WCDMA	107
3.23	SNR_{num} en fonction de l' EVM_{num}	110
3.24	Architecture de la partie numérique	111

3.25	Test du modèle de correcteur de phase	112
3.26	Correction du déphasage de la constellation WCDMA	112
3.27	Format virgule fixe 10 bits	114
3.28	Chemin de données	115
3.29	Linéarisation du spectre WCDMA de sortie grâce à la boucle cartésienne .	116
4.1	Architecture de la partie numérique	122
4.2	Interface VHDL de la partie numérique	125
4.3	Mélangeur de Gilbert classique	129
4.4	Mélangeur avec gm indépendant du courant de polarisation	130
4.5	Cellule élémentaire du DAC-Mixer	132
4.6	Architecture du DAC-Mixer 4 bits	134
4.7	Signal en sortie du DAC-Mixer	135
4.8	Spectre de sortie du DAC-Mixer	136
4.9	Probabilité du niveau de puissance	138
4.10	Topologie de PPA cascodé	139
4.11	Puissance en sortie du PPA	140
4.12	Structure de leapfrog	141
4.13	Fréquence de corner	143
4.14	Atténuateur capacitif différentiel de la chaîne de retour	145
4.15	Pertes de puissance à l'entrée de l'atténuateur	146
4.16	Mélangeur passif en anneau CMOS différentiel	146
4.17	Comparaison des caractéristiques de surface et consommation	152
4.18	Faisabilité des blocs de la boucle cartésienne en CMOS 65 nm	153
A.1	Système bouclé aux fonctions de transfert non-linéaires	161
B.1	Mode rotation de l'algorithme CORDIC	164
C.1	Format virgule fixe	168
C.2	Addition en virgule fixe	169
C.3	Multiplication en virgule fixe	170
D.1	Modèle Simulink en virgule fixe	172
D.2	Calcul de l'erreur de phase	173
D.3	Lecture des LUT sinus et cosinus	174

D.4	Multiplieur complexe	175
E.1	Transistor MOS	178

Introduction

Depuis l'apparition des premiers téléphones GSM (Global System Mobile), l'intégration croissante des circuits permettant la diminution des coûts de fabrication est devenue la principale préoccupation de l'industrie. De plus, une forte pression s'exerce pour réduire la consommation des circuits afin d'offrir une meilleure autonomie. Ces contraintes se sont accentuées pour les téléphones mobiles de troisième génération (3G) définie par la norme UMTS (Universal Mobile Telecommunication System).

Les premières offres de téléphonie 3G sont apparues à la fin de l'année 2004. Le positionnement des opérateurs français est antinomique. *SFR*[®] s'est engagé pleinement sur l'UMTS dont le déploiement se chiffre à 3 milliards d'euros, alors que *Bouygues Telecom*[®] se concentre sur EDGE (Enhanced Data rates for GSM Evolution) utilisant les infrastructures GPRS (General Packet Radio Service) en attendant le HSDPA (High Speed Downlink Packet Access) prévu pour 2007 et qui permettra d'atteindre des débits plus élevés pour des services multimédia.

La 3G est à peine commercialisée que l'on parle déjà de 4G, mais les opérateurs européens ne pourront pas investir sur la 4G tant que la 3G ne sera pas profitable. La rentabilité des investissements faits pour l'UMTS passe nécessairement par la réduction des prix des téléphones portables.

Les téléphones portables sont aujourd'hui pourvus d'écran couleur, d'appareil photo, d'équipement Bluetooth, WLAN (Wireless Local Area Network), de GPS (Global Positioning System) et même de récepteur de télévision. Ils permettent des applications variées : vidéo, jeux, musique, applications pour PDA (Personal Digital Assistant), qui requièrent plusieurs processeurs d'application dédiés et des mémoires supplémentaires. Devant cette complexification des traitements numériques au sein des téléphones 3G, il est nécessaire de réduire le nombre de composants de la partie Radio Fréquence (RF) ainsi

que leur consommation. En effet, la partie RF peut occuper jusqu'à 50% de la platine d'un téléphone portable.

L'idéal serait de repousser le domaine RF au plus près de l'antenne, en effectuant les opérations de transposition en fréquence dans le domaine numérique. Une telle solution appelée SDR (Software Define Radio) permet de reconfigurer des points système radio pour différents standards en reprogrammant la partie numérique.

D'autre part, les nouvelles technologies CMOS submicroniques intègrent sur un même substrat des circuits numériques et RF. On peut alors résoudre les problèmes liés à la conception des circuits RF dans le domaine du traitement du signal numérique.

Actuellement, la majorité des téléphones portables utilisent des émetteurs et récepteurs RF en technologie BiCMOS SiGe (Silicium Germanium). Selon les prévisions de la société d'étude de marché *iSuppli*, d'ici 2009, 40 % des téléphones portables seront dotés de circuits en technologie CMOS compatible RF. En effet, les technologies CMOS sont moins coûteuses et offrent une meilleure intégration des traitements numériques en bande de base.

Dans ce contexte technologique, l'objectif de cette thèse est d'évaluer une architecture de linéarisation pour un émetteur RF mobile WCDMA (Wide band Code Division Multiple Access), version européenne de l'UMTS.

Combinant les efforts d'étude du système et de conception de circuits analogiques, RF et numériques en bande de base, en technologie CMOS 65 nm, il s'agit de déterminer si l'architecture choisie répond aux attentes de l'industrie en ce qui concerne la réduction des coûts, tout en respectant les contraintes de performances imposées par le standard WCDMA.

Les travaux ainsi menés ne constituent ni une étude exhaustive du système, ni la conception d'un circuit complet. Ils permettent d'identifier les points qui rendent difficile la réalisation d'un émetteur à boucle cartésienne sur silicium et tentent d'apporter une solution design.

Nous introduirons dans le premier chapitre le standard UMTS et les points de la norme WCDMA auxquels notre application doit se conformer.

Nous présenterons, dans le deuxième chapitre, plusieurs architectures d'émetteur RF ainsi que les principales méthodes de linéarisation. Nous proposerons une association entre architecture et méthode de linéarisation permettant de satisfaire les contraintes de réduction de la surface et de la consommation du circuit.

Le troisième chapitre sera consacré à l'étude du système de l'émetteur Zero-IF WCDMA à boucle cartésienne de linéarisation. Nous étudierons le gain, la linéarité et le bruit d'un tel système bouclé. Pour chaque bloc fonctionnel de l'architecture, nous spécifierons les valeurs caractéristiques qui permettent de satisfaire la norme WCDMA.

Dans le quatrième chapitre, nous évaluerons la faisabilité de l'émetteur à boucle cartésienne en technologie CMOS 65 nm.

En effet, après une description de la technologie et des nouvelles difficultés qu'elle apporte aux concepteurs de circuits, nous évaluerons diverses solutions design pour les blocs spécifiés dans le chapitre 3. Nous déterminerons ainsi les limitations de performance de notre architecture liées à la technologie.

Enfin, les conclusions et perspectives seront données. Il s'agira de statuer sur l'intérêt d'une telle architecture en comparaison avec l'état de l'art le plus proche en terme de performance, surface et consommation.

LA NORME WCDMA

Sommaire

1.1	Du GSM au WCDMA	29
1.1.1	Augmentation de la capacité du réseau	29
1.1.2	Amélioration de la qualité de transmission	30
1.1.3	Transmission haut débit	30
1.1.4	Inter-opérabilité 2G/3G	30
1.1.5	Nouveaux services multimédia	31
1.1.6	Itinérance mondiale	32
1.1.7	Utilisation optimale des ressources spectrales	32
1.2	Architecture réseau	33
1.3	Modulation	33
1.3.1	Le duplex des ressources	33
1.3.2	Méthode d'accès aux ressources	34
1.3.3	Les codes "utilisateur"	34
1.3.4	Canaux et débits de données	35
1.3.5	Modulation HPSK	37
1.3.6	Bande passante	39
1.4	Notre cas d'étude	40
1.5	Contrôle de puissance	41
1.6	Le masque de bruit en WCDMA	43
1.7	Linéarité	44
1.7.1	Distorsion harmonique d'ordre 3	44

1.7.2	Puissance résiduelle dans les canaux adjacents	45
1.7.3	EVM	46
1.8	Conclusion	47

Pour pousser à son paroxysme la réduction de surface et de consommation des circuits de l'émetteur, il faut établir des spécifications du système dans la limite favorable des performances exigées par la norme WCDMA. Ceci impose de comprendre les principes fondamentaux du standard UMTS, tels que l'architecture du réseau, la modulation et le contrôle de gain.

Après une description générale de l'UMTS, les différentes recommandations de la norme WCDMA concernant un terminal mobile seront présentées.

1.1 Du GSM au WCDMA

Les motivations pour passer d'un système de deuxième génération (2G) à un système de troisième génération sont nombreuses : saturation du réseau, limitation des débits, incompatibilité des différents systèmes 2G à travers le monde. Ainsi, la norme UMTS vise à apporter plusieurs améliorations.

1.1.1 Augmentation de la capacité du réseau

On compte aujourd'hui près de 2 milliards d'abonnés GSM dans le monde. Dans les zones à forte densité d'utilisateurs, les opérateurs sont contraints de dégrader le service de phonie en passant en demi débit, afin d'éviter les blocages. Pour palier à ce problème, l'UMTS permet de réduire la taille des cellules afin de limiter le nombre d'utilisateurs atteignant la capacité maximale de débit de chaque cellule.

La taille des cellules varie en fonction du débit, de la charge du réseau et du niveau d'interférence. Quand le débit augmente, l'étalement spectral des données des utilisateurs est restreint, la sensibilité au bruit pour un service donné diminue et la couverture est réduite pour garantir la qualité du service (QoS). L'UMTS définit la QoS en fonction de la classe de service parmi les quatre existantes :

- classe conversationnelle (phonie)
- classe streaming (flux audio haute qualité et vidéo)

- classe interactive (navigation web)
- classe background (fax)

Plus le trafic augmente, plus le nombre de canaux augmente, alors que la puissance par canal diminue en même temps que la couverture.

Ainsi, une cellule peut être réduite à quelques dizaines de mètres de rayon, on parle alors de pico-cellule, et atteindre 10 km de rayon pour devenir une macro-cellule.

1.1.2 Amélioration de la qualité de transmission

L'UMTS doit fournir une meilleure couverture que le GSM en cas de forte mobilité, en voiture ou même en TGV. On définit ainsi quatre types d'environnement :

- Rural : zone à faible densité de population, axes routiers et ferroviaires
- Indoor : peu mobile, à l'intérieur des bâtiments jusqu'à 10 km/h
- Pedestrian : mobile à faible vitesse jusqu'à 50 km/h
- Vehicular : mobile à grande vitesse jusqu'à 250 km/h pour le TGV

1.1.3 Transmission haut débit

Le débit du réseau GSM de 9,6 kbps ne permet que la transmission de la voix. En théorie, l'UMTS prévoit la réception de données avec un débit maximal de 2Mbps. L'obtention d'un tel débit impose d'être seul dans la cellule et relativement proche de la station de base, dans un environnement indoor. Pour le moment, les opérateurs ne parlent que d'un débit maximal théorique de 384 kbps. Le débit dépend du type de service demandé par l'utilisateur et de la charge de la cellule.

1.1.4 Inter-opérabilité 2G/3G

Le standard UMTS est compatible avec les systèmes 2G, d'une part pour assurer la continuité des services GSM et GPRS, mais aussi parce que la mise en place du réseau UMTS nécessite de forts investissements. Plusieurs scénarios sont envisagés comme l'indique la figure 1.1.

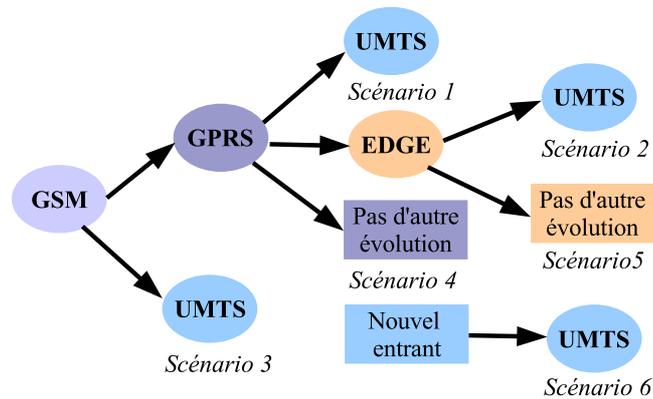


FIG. 1.1 – Différents scénarios pour le déploiement du réseau UMTS [Gru05]

SFR[®] et *Orange*[®] comptent ainsi déployer un réseau EDGE s'appuyant sur les installations GPRS courant 2006 pour étendre la couverture des services hauts débits, où le réseau UMTS n'est pas disponible. L'UMTS est présenté comme une évolution du GSM avec des terminaux bi-modes permettant l'accès aux services GSM aux endroits non couverts par le réseau UMTS. Un utilisateur équipé d'un téléphone GSM peut accéder aux services GSM dans une cellule UMTS. Par contre, un utilisateur équipé d'un téléphone 3G doit nécessairement se trouver dans une cellule UMTS pour utiliser un service UMTS. D'ailleurs, s'il quitte une cellule UMTS pour une cellule GSM alors qu'il utilisait un service 3G, ce dernier sera interrompu.

1.1.5 Nouveaux services multimédia

La montée des services disponibles sur internet a poussé les opérateurs à proposer un accès internet sur les téléphones portables avec le GPRS. L'UMTS assure la compatibilité des services entre les réseaux fixes et mobiles avec un accès WLAN. C'est un système ouvert dans l'optique de la convergence des réseaux vers le tout IP.

On peut désormais obtenir sur son téléphone portable des informations financières, des services bancaires, l'Email, la navigation web ainsi que le téléchargement de fichiers.

L'augmentation des débits permet de transporter non seulement la voix haute qualité, mais aussi des images et de la vidéo. Les applications sont nombreuses : visiophonie, visioconférence, jeux interactif.

1.1.6 Itinérance mondiale

L'UMTS doit offrir une couverture internationale. En effet, les divers systèmes 2G ont des couches radio incompatibles. Les plus répandus sont PDC (Personal Digital Cellular) au Japon, IS-95 (Digital-Advanced Mobile Phone Service) aux Etats Unis et en Asie, et le GSM en Europe.

Ainsi, un voyageur peut être privé de l'utilisation de son téléphone portable à l'étranger si la couche radio du système de communication cellulaire local n'est pas compatible avec son équipement. En réalité, il existe plusieurs versions de l'UMTS avec le CDMA2000 aux Etats Unis, le WCDMA en Europe et le TD-CDMA en Chine, chacune ayant des gammes de fréquences différentes.

La norme UMTS prévoit également de compléter le système terrestre en utilisant le satellite, mais cette voie est pour le moment laissée de côté en Europe.

1.1.7 Utilisation optimale des ressources spectrales

A l'émission, le signal en bande de base est multiplié par une séquence d'étalement correspondant à un code utilisateur. Comme l'indique la figure 1.2, le niveau du signal tombe en dessous du niveau du brouilleur éventuel. En réception, la démodulation augmente la puissance spectrale du signal déséталé, alors que les signaux des autres utilisateurs non corrélés ainsi que les brouilleurs restent étalés. Le niveau de bruit et les interférences des autres utilisateurs sont réduits d'autant plus que l'étalement est important.

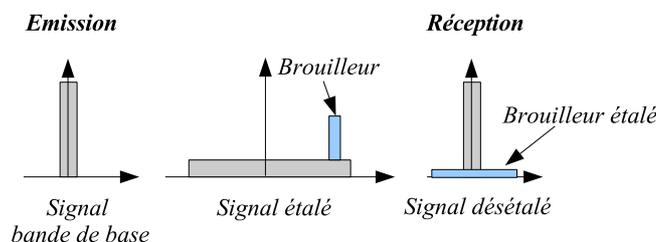


FIG. 1.2 – Efficacité spectrale

1.2 Architecture réseau

Le réseau UMTS est composé d'un réseau coeur, le Core Network et d'un réseau d'accès radio, RAN (Radio Access Network). La différence majeure entre le GSM et l'UMTS concerne le recouvrement d'une cellule à l'autre appelé le "handover". Une cellule est une zone de localisation à laquelle est rattachée une station de base appelée NodeB. En GSM, un MS (Mobile Station) est relié à un seul contrôleur de station de base BSC (Base Station Controller) qui gère une seule cellule. Ainsi, lorsque le MS se déplace dans une autre cellule, il doit être relié à un nouveau BSC. La communication est interrompue un laps de temps très court, on parle de "hard handover".

En UMTS, un UE (User Equipment), équivalent du MS du GSM, peut être relié à plusieurs (1 à 10) contrôleurs de station de base RNC (Radio Network Controller). Contrairement au GSM, avec l'UMTS les contrôleurs de station de base ont la possibilité de communiquer entre eux. Un UE peut se déplacer à la frontière de deux cellules et être rattaché avec deux NodeB différents, eux-mêmes gérés par des RNC différents. C'est le "soft handover". Le changement de cellule se fait de manière logicielle et repose sur le principe d'attribution des codes utilisateurs explicité dans la section 1.3.

De plus, si un UE se trouve à la frontière de deux cellules dont les NodeB sont contrôlés par un même RNC, pour le lien montant (du mobile vers le NodeB), on peut recombinaison les deux chemins, après démodulation au niveau du RNC, et obtenir ainsi un meilleur décodage canal, il s'agit du "softer handover".

1.3 Modulation

1.3.1 Le duplex des ressources

La norme UMTS définit deux modes de gestion des ressources à l'émission et à la réception de chaque utilisateur : le mode FDD (Frequency Division Duplex) et le mode TDD (Time Division Duplex).

Ce dernier sépare les utilisateurs en communication dans le temps : un seul peut émettre pendant que l'autre reçoit.

Il permet une allocation dynamique des ressources entre la voie montante (du mobile au NodeB) et la voie descendante (du NodeB au mobile). Il est adapté aux trafics asymétriques tels que les transferts de fichiers avec une gestion des conditions variables dans le temps et dans l'espace.

Le mode FDD consiste à affecter une bande de fréquence différente pour la voie montante et la voie descendante. Pour l'application de téléphonie mobile, nous nous intéressons essentiellement au mode FDD. Sur une bande d'émission de 60 *MHz*, les canaux UMTS sont espacés de 5 MHz et permettent 12 porteuses distinctes.

1.3.2 Méthode d'accès aux ressources

Le CDMA (Code Division Multiple Access) répartit les ressources par code. Chaque utilisateur se distingue des autres grâce à un code alloué en début de communication. Ainsi, un grand nombre d'utilisateur peuvent utiliser la même fréquence porteuse sans créer d'interférence.

Les données binaires d'un utilisateur sont multipliées par un code pseudo-aléatoire PN (Pseudo random Noise code) qui lui est propre. Ce code est constitué de N éléments appelés "chips". Ainsi, la durée d'un bit T_b est reliée à la durée d'un chip T_c par la relation 1.1 ci-dessous.

$$T_b = N \times T_c \quad (1.1)$$

Le facteur d'étalement (Spreading Factor, SF) détermine la longueur du code. Le débit symbole s'écrit en fonction en fonction du débit binaire dans l'équation 1.2.

$$\text{débit chip} = \text{débit binaire} \times SF \quad (1.2)$$

Le spectre émis a une largeur plus importante que nécessaire pour le signal utile. Il apparaît comme un bruit de densité spectrale constante sur la bande occupée (Cf. figure 1.2).

1.3.3 Les codes "utilisateur"

Les codes "utilisateur" sont dits OVVSF (Orthogonal Variable Spreading Factor). Ils sont choisis orthogonaux selon l'arbre à code de la figure 1.3, afin d'éviter les interférences entre utilisateurs.

Le canal DPCCCH a un code fixe de rang 256, alors que le canal DPDCH peut avoir un code variable d'une trame à l'autre avec des SF allant de 4 à 256. On peut ainsi faire varier le débit des données d'un utilisateur en changeant le code OVSF du canal DPDCH. De plus, il y a toujours un seul canal de contrôle, mais le nombre de canaux de données peut aller de 0 à 6, permettant ainsi d'augmenter le débit des données.

Le canal DPCCCH est constitué de plusieurs champs qui comportent les informations de contrôle :

- Pilot : ce sont n bits connus de l'émetteur et du récepteur et qui permettent l'apprentissage du canal de propagation qui affecte la trame radio lors de la démodulation en réception.
- Transport Format Combination Indication (TFCI) : il précise le code OVSF et le multiplexage des canaux de transport.
- Feedback Information (FBI) : il indique si on opère en mode de diversité de transmission.
- Transmit Power Control (TPC) : commande de puissance du Node B

Une trame radio, représentée figure 1.4, est constituée de 15 tranches temporelles, appelées slots, de $666.67 \mu\text{s}$ chacune.

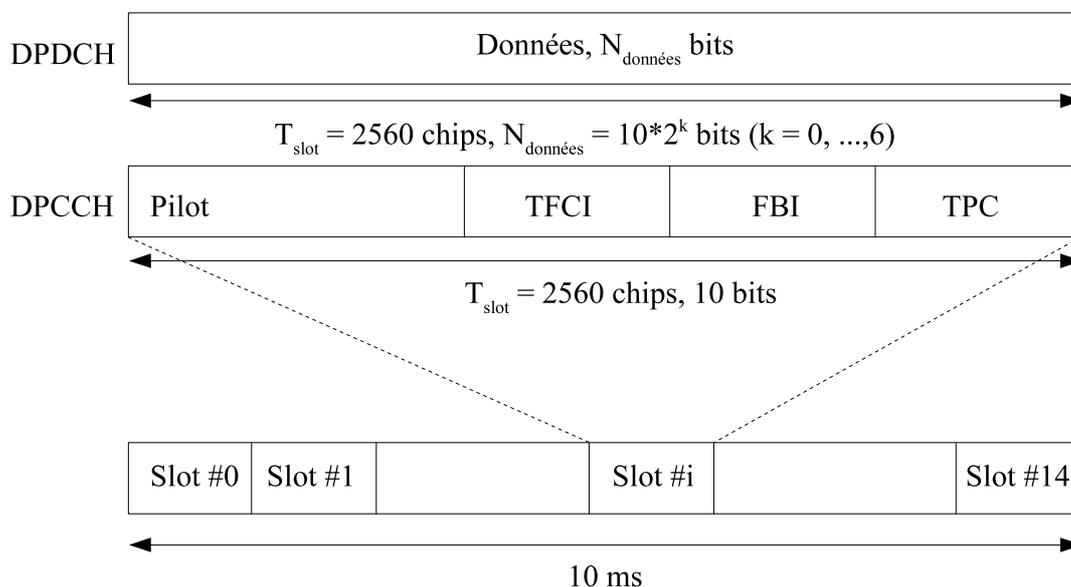


FIG. 1.4 – Trame radio dans le sens montant

Les canaux DPDCCH et DPCCCH sont modulés dans une trame selon le schéma de la figure 1.5.

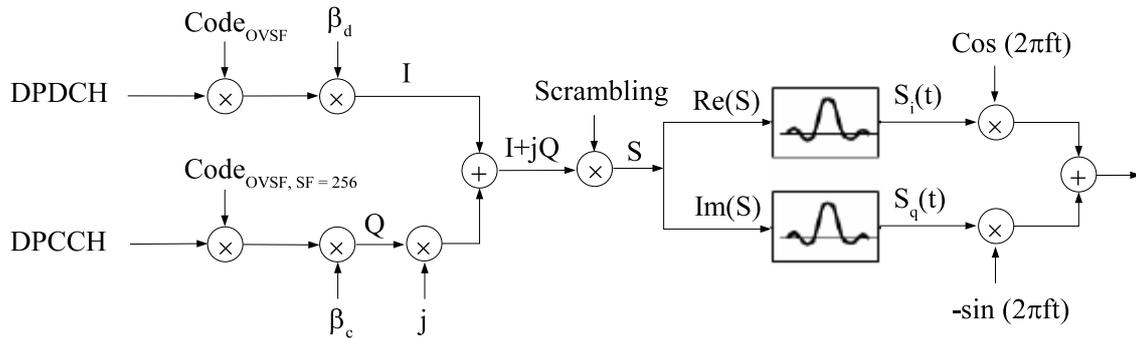


FIG. 1.5 – Modulation des canaux DPDCH et DPCCH dans une trame

Les voies I et Q sont pondérées par les coefficients β_d et β_c pour équilibrer l'énergie des bits transmis de chaque voie.

1.3.5 Modulation HPSK

Pour la téléphonie mobile, des modulations évitant le passage de la constellation par zéro sont choisies. En effet, les passages de la constellation par zéro occasionnent une augmentation du facteur de crête ξ , défini par l'équation 1.3, une diminution du rendement de l'émetteur et par conséquent une diminution de la durée de vie des batteries.

$$\xi = \frac{P_{max}}{P_{moyenne}} \quad (1.3)$$

Les modulations classiques ne permettent pas de minimiser les passages de la constellation par zéro pour des canaux multiples de puissance différente. La norme WCDMA utilise un format de modulation capable de gérer l'émission simultanée de plusieurs canaux de puissance différente tout en gardant un facteur de crête faible. Il s'agit de la modulation Hybrid Phase Shift Keying (HPSK) décrite figure 1.6.

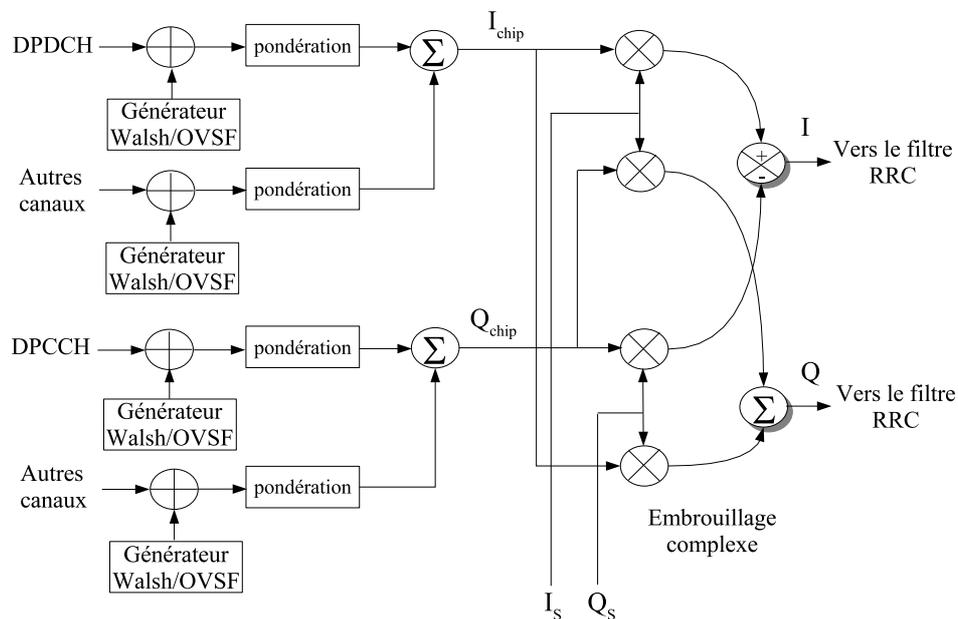


FIG. 1.6 – Embrouillage complexe [Agi99]

Après étalement par le code OVSF, un embrouillage complexe est appliqué au flux $I + jQ$ pour équilibrer la répartition en puissance des canaux physiques sur les voix I et Q. Le choix des codes d'étalement et d'embrouillage vise à éviter que d'un chip à l'autre le symbole de la constellation du signal modulé reste inchangé ou passe à son opposé occasionnant des distorsions du spectre.

De plus, il apparaît sur la figure 1.7 que l'embrouillage limite les passages de la constellations par zéro.

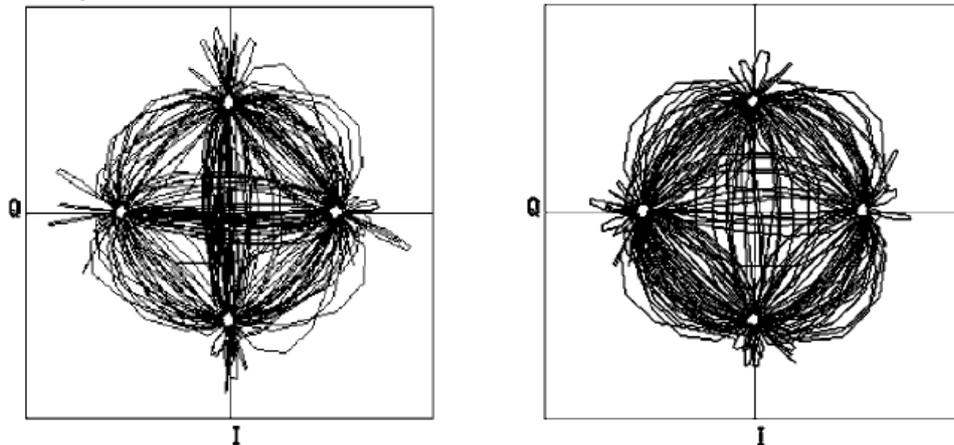


FIG. 1.7 – Constellation avant (à gauche) et après (à droite) embrouillage complexe [Agi99]

Le mélange des voies I et Q impose de veiller sur la constellation du signal modulé, ainsi que sur le facteur de crête, afin de garantir l'intégrité du signal.

Avec un seul canal DPDCH ($k = 1$), le facteur de crête ne doit pas dépasser 3.5 dB en bande de base et 6.5 dB en RF. Un facteur de crête trop important réduit le rendement de l'amplificateur de puissance et diminue la durée de vie des batteries.

Comparée à une simple modulation QPSK (Quadrature Phase Shift Keying), la modulation HPSK réduit la probabilité de passage par zéro dans la constellation à $\frac{1}{8}$, la probabilité que deux symboles consécutifs aient la même position passe de $\frac{1}{4}$ à $\frac{1}{8}$ et le facteur de crête est amélioré de 1 à 1.5 dB [Agi99].

1.3.6 Bande passante

Le spectre du signal numérique occupe une bande de largeur infinie. On utilise un filtre de Nyquist en cosinus surélevé (Root Raised Cosine, RRC) pour réduire cette bande à une largeur $B = \frac{(1+\alpha)}{2T_c}$, où α est le coefficient d'amortissement appelé roll-off et T_c est la durée d'un chip (Cf. figure 1.8).

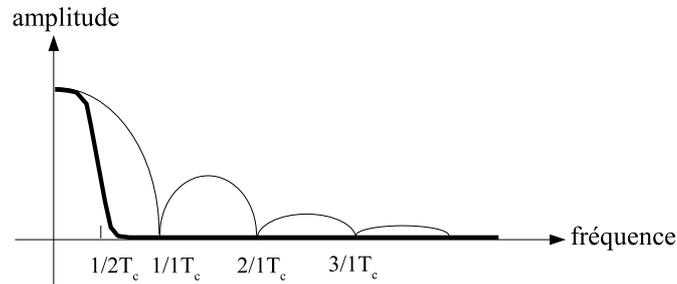


FIG. 1.8 – Filtrage RRC

Le filtre RRC est un filtre à réponse impulsionnelle infinie qui opère une interpolation des échantillons. Comme l'amplitude des symboles WCDMA n'est pas constante, il est nécessaire de sur-échantillonner les symboles avant de les filtrer. Généralement on prend un facteur de sur-échantillonnage de 8. En WCDMA, α vaut 0.22 et le débit chip est de 3.84 Mcps (Méga chip par seconde). Ainsi, les canaux sont espacés de 5 MHz et ont une bande passante de 3.84 MHz, indépendamment du débit binaire.

1.4 Notre cas d'étude

Notre chaîne d'émission RF doit permettre de traiter tout type de service UMTS, quelque soit le débit des données.

Actuellement, les opérateurs garantissent des débits allant jusqu'à 384 kbps pour des services conversationnels de type phonie et visiophonie. Ce débit correspond à la modulation d'un seul canal de donnée DPDCH et d'un canal de contrôle DPCCH (Cf. figure 1.9).

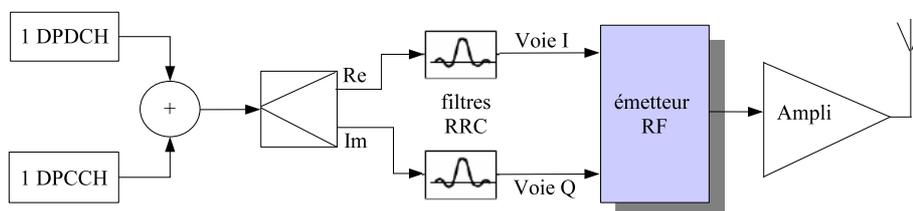


FIG. 1.9 – Chaîne d'émission WCDMA de référence

Pour des pondérations en puissance des deux canaux (β_d et β_c) égales à 1, on obtient la constellation non filtrée de la figure 1.10.

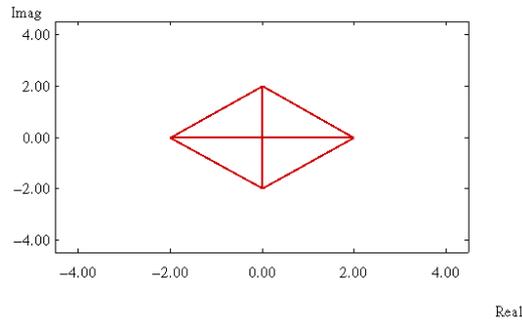


FIG. 1.10 – Constellation non filtrée

Le nombre de position dans la constellation augmente avec le nombre de canaux de données. Avec un seul canal de données, la constellation ne possède que quatre positions. La constellation du signal après filtrage RRC est représentée figure 1.11.

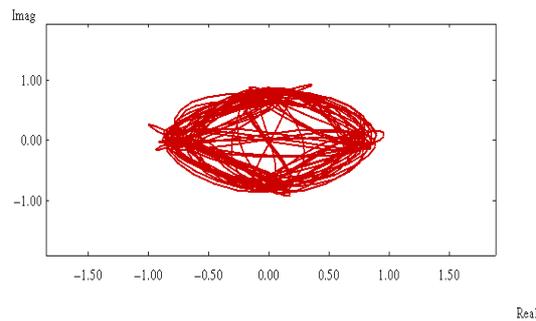


FIG. 1.11 – Constellation filtrée

Le passage du signal dans le filtre RRC a pour effet de ralentir le mouvement du vecteur porteur dans la constellation.

1.5 Contrôle de puissance

La norme UMTS prévoit quatre catégories de puissance pour les mobiles [3GP02], comme indiqué dans le tableau 1.1.

TAB. 1.1 – Catégorie de puissance

Catégorie	Pmax
1	+33 dBm
2	+27 dBm
3	+24 dBm
4	+21 dBm

La puissance de l'émetteur est fixée par l'opérateur. Généralement, l'émission des données est limitée à une puissance de classe 3 et l'émission de la voix à une puissance de classe 4. La puissance minimale à l'antenne est -50 dBm. L'émetteur doit donc avoir une dynamique de puissance de 75 dB.

Contrairement au GSM, le mobile ne commence pas sa communication à la puissance maximale afin de ne pas polluer les utilisateurs voisins.

En effet, le contrôle de la puissance émise par l'UE permet de garantir la qualité de service en respectant le rapport signal à bruit défini par le RNC. Le contrôleur radio RNC calcule le SIR (Signal to Interferor Ratio) pour une certaine qualité de service QoS à atteindre. Cette QoS est qualifiée par le BLER (Block Error Rate) ou le BER (Bit Error Rate).

Le RNC envoie le SIR ciblé au NodeB. Ce dernier calcule le SIR reçu venant de la cellule et le compare au SIR ciblé par le RNC. Ainsi, le NodeB détermine la commande de puissance pour l'équipement mobile UE et l'envoi au mobile (figure 1.12).

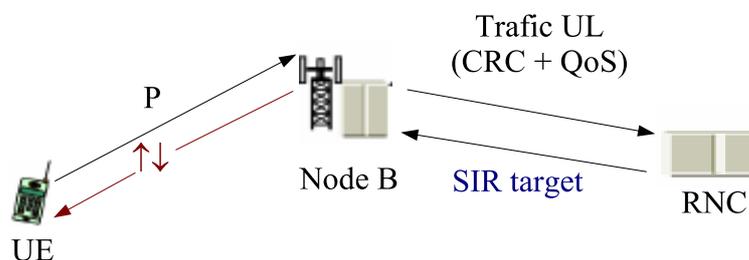


FIG. 1.12 – Contrôle de gain uplink

Dans chaque slot, le champ Transmit TPC (Power Control) permet à l'UE de déterminer

la variation de puissance à opérer.

L'UE dérive la commande de contrôle de puissance (TPC_cmd) ainsi que la variation à effectuer (ΔTPC) grâce à un des deux algorithmes de contrôle de puissance comme l'indique le tableau 1.2.

TPC_cmd	variation de puissance
1	$+\Delta\text{TPC}$
-1	$-\Delta\text{TPC}$
0	inchangé

TAB. 1.2 – Contrôle de puissance

ΔTPC peut prendre comme valeur 1, 2 ou 3 dB [3GP02]. Avec le premier algorithme, dit de "mode direct", le mobile applique la commande de contrôle de gain à chaque slot reçu. Avec le deuxième algorithme, dit de "mode retardé", le mobile applique la commande de contrôle de gain tous les 5 slots.

1.6 Le masque de bruit en WCDMA

L'interopérabilité des systèmes 2G et 3G impose de respecter un niveau de bruit dans les bandes de réception (RX) GSM (925-960 MHz) inférieur à -129 dBm/Hz et dans les bandes de réception DCS (1805-1880 MHz) inférieur à -121 dBm/Hz [3GP04].

D'autre part, l'émission et la réception étant simultanées en WCDMA, le bruit de l'émetteur doit être plus faible que -180 dBm/Hz dans la bande de réception entre 2110 et 2170 MHz (Cf. figure 1.13).

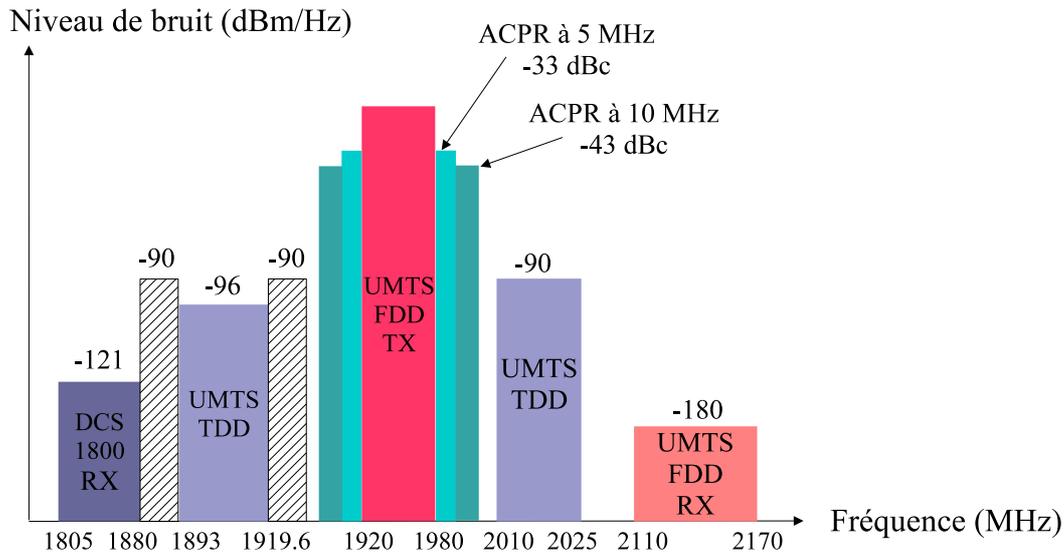


FIG. 1.13 – Masque de bruit pour un émetteur WCDMA

C'est donc la contrainte de bruit dans la bande de réception WCDMA qui est la plus forte.

1.7 Linéarité

La linéarité de l'émetteur WCDMA est évaluée au travers de plusieurs critères : le niveau de distorsion harmonique d'ordre 3 (HD3), la puissance résiduelle dans les canaux adjacents (ACPR, Adjacent Chanel Power Rejection) et l'erreur de trajectoire (EVM, Error Vector Magnitude).

1.7.1 Distorsion harmonique d'ordre 3

Considérons la fonction de transfert $f(t)$ définie par l'équation 1.4 d'une chaîne d'émission non linéaire.

$$f(t) = k_0 + k_1 \cdot x + k_2 \cdot x^2 + k_3 \cdot x^3 \cdot \dots \quad (1.4)$$

Si on applique un signal $V_e(t)$ à deux tons ω_1 et ω_2 (Cf. équation 1.5), on obtient en sortie le signal $V_s(t)$ décrit par l'équation 1.6.

$$V_e(t) = a \cdot \cos(\omega_1 t) + b \cdot \cos(\omega_2 t) \quad (1.5)$$

$$V_s(t) = k_0 + k_1[a \cdot \cos(\omega_1 t) + b \cdot \cos(\omega_2 t)] + k_3[a \cdot \cos(\omega_1 t) + b \cdot \cos(\omega_2 t)]^3 + \dots \quad (1.6)$$

En développant cette dernière équation jusqu'à l'ordre 3, on obtient :

- les fondamentaux $f_1 = 2\pi\omega_1 t$ et $f_2 = 2\pi\omega_2 t$
- les harmoniques d'ordre 2 en $2f_1$ et $2f_2$
- les harmoniques d'ordre 3 à $3f_1$ et $3f_2$
- les intermodulations d'ordre 2 en $f_1 + f_2$ et $f_1 - f_2$
- les intermodulations d'ordre 3 en $2f_1 + f_2$, $2f_1 - f_2$, $2f_2 + f_1$ et $2f_2 - f_1$

Parmi ces termes non linéaires, seules les distorsions harmoniques d'ordre 3 sont susceptibles d'influencer le canal d'émission. En effet, ces dernières vont générer des raies parasites, appelées HD3, proches du signal utile, ce qui les rend difficiles à filtrer. Il est donc nécessaire de garantir un niveau d'HD3 acceptable. En WCDMA, le niveau d'HD3 par rapport à la puissance du signal utile doit être inférieur à -30 dBc à l'antenne [3GP02].

1.7.2 Puissance résiduelle dans les canaux adjacents

En WCDMA, les canaux sont espacés de 5 MHz. Il faut s'assurer que l'émetteur ne pollue pas les émetteurs qui se trouvent dans les premiers et deuxièmes canaux voisins, soit à 5 et 10 MHz de la porteuse.

Pour une fréquence porteuse de 1.95 GHz, la figure 1.14 indique les bandes d'intégration de 3.84 MHz de large de la puissance résiduelle pour les premiers et deuxième canaux adjacents.

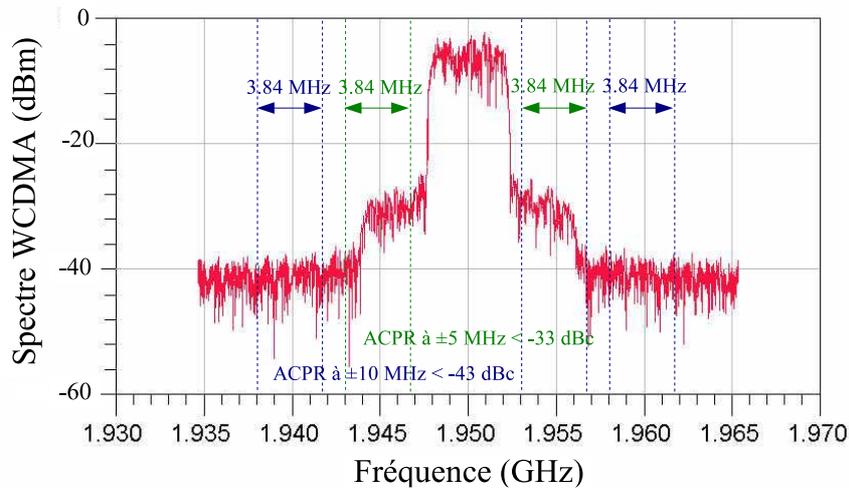


FIG. 1.14 – Bandes d’intégration d’ACPR pour le spectre WCDMA

Les ACPR à 5 MHz et 10 MHz de la porteuse, dans des bandes de 3.84 MHz, doivent être respectivement inférieurs à -33 dBc et -43 dBc [3GP02].

1.7.3 EVM

La précision de la modulation est définie par l’EVM qui est la mesure de la différence entre la forme d’onde théorique et la forme d’onde modifiée mesurée. Cette différence est appelée vecteur d’erreur. Selon l’équation 1.7, l’EVM exprimé en pourcentage est la racine carrée du rapport de la puissance moyenne du vecteur d’erreur sur la puissance moyenne du signal de référence.

$$EVM(\%) = \sqrt{\frac{\langle P_{\text{vecteur d'erreur}} \rangle}{\langle P_{\text{signal}} \rangle}} \quad (1.7)$$

La forme d’onde mesurée est modifiée lors de son premier passage à travers un filtre RRC. La forme d’onde est ensuite altérée au long la chaîne d’émission RF à cause des non-linéarités, du déphasage et des erreurs d’amplitude des éléments. La norme précise que l’EVM ne doit pas dépasser 17.5 % pour des puissances à l’antenne allant de +24 dBm à -20 dBm [3GP02]. Pour les puissances inférieures à -20 dBm, la norme ne donne pas de spécification d’EVM.

Une augmentation de l’EVM se traduit par une rotation des symboles de la constellation du signal modulé en sortie de l’émetteur.

1.8 Conclusion

Le tableau 1.3 récapitule les principales spécifications WCDMA qu'un émetteur RF mobile doit respecter.

TAB. 1.3 – Spécifications WCDMA

P_{max} classe 3	+24 dBm
P_{min}	-50 dBm
bande passante	3.84 MHz
bruit dans la bande RX WCDMA	-180 dBm/Hz
HD3	-30 dBc
ACPR à 5 MHz	-33 dBc
ACPR à 10 MHz	-43 dBc
EVM	17.5 %

Dans la suite du manuscrit, nous allons étudier une solution architecturale permettant de satisfaire les fortes contraintes de linéarité et de bruit imposées par la norme, tout en répondant aux attentes de l'industrie en matière de réduction des coûts, tant en terme de surface de silicium que de consommation des circuits.

LINÉARISATION D'UN ÉMETTEUR WCDMA

Sommaire

2.1	Architectures d'émetteur	50
2.1.1	Emetteur hétérodyne	51
2.1.2	Emetteur à conversion directe	52
2.1.3	Emetteur Low-IF (faible fréquence intermédiaire)	53
2.1.4	PLL à modulation directe	54
2.1.5	Récapitulatif des architectures d'émetteur	55
2.2	Techniques de linéarisation	55
2.2.1	Elimination et Restitution d'Enveloppe	56
2.2.2	Feedforward	57
2.2.3	Boucle polaire	58
2.2.4	Boucle cartésienne	59
2.3	Emetteur à boucle cartésienne : théorie et état de l'art	61
2.3.1	Etude de la stabilité	61
2.3.2	Etude du bruit	65
2.3.3	Etude de la linéarité	66
2.3.4	Les intégrations de la boucle cartésienne sur silicium	68
2.4	Conclusion	71

L'adoption d'une architecture d'émetteur nécessite de considérer la nature de la modulation employée. En WCDMA, une modulation HPSK à enveloppe non-constante est utilisée. Elle fait varier à la fois l'amplitude et la phase du signal. Des traitements linéaires sont nécessaires pour éviter les distorsions du signal à l'origine des émissions indésirables dans les canaux adjacents.

Dans ce chapitre, différentes architectures d'émetteur sont examinées de manière à déterminer celle qui, tout en étant compatible avec le standard WCDMA, est la plus favorable à l'intégration des fonctions RF et à la réduction de la consommation des circuits.

Pour améliorer les performances de cet émetteur tout en minimisant la surface et la consommation, une méthode de linéarisation est choisie parmi plusieurs préalablement présentées.

Les études théoriques existantes concernant la stabilité, le bruit de cette architecture de linéarisation sont décrites. Pour compléter cette théorie, une méthode d'étude de la linéarité est proposée.

2.1 Architectures d'émetteur

La chaîne d'émission module le signal en bande de base et le convertit en haute fréquence avant d'amplifier sa puissance jusqu'à l'antenne [Beh99]. Un duplexeur permet de filtrer la bande d'émission avant l'antenne. Il est d'ailleurs délicat de considérer l'architecture de l'émetteur indépendamment de celle du récepteur, d'une part à cause de la synthèse de fréquence et d'autre part à cause du bruit injecté par l'émetteur dans le récepteur. Idéalement, il faudrait concevoir simultanément l'émetteur et le récepteur RF pour optimiser les performances et la taille des circuits.

Dans ce chapitre, les principales topologies d'émetteur sont évaluées. On distingue les émetteurs à base de mélangeur, homodyne et hétérodyne, des émetteurs à base de PLL

(Phase Locked Loop, boucle à verrouillage de phase) comme la PLL à modulation directe.

2.1.1 Emetteur hétérodyne

L'architecture de l'émetteur hétérodyne est illustrée sur la figure 2.1.

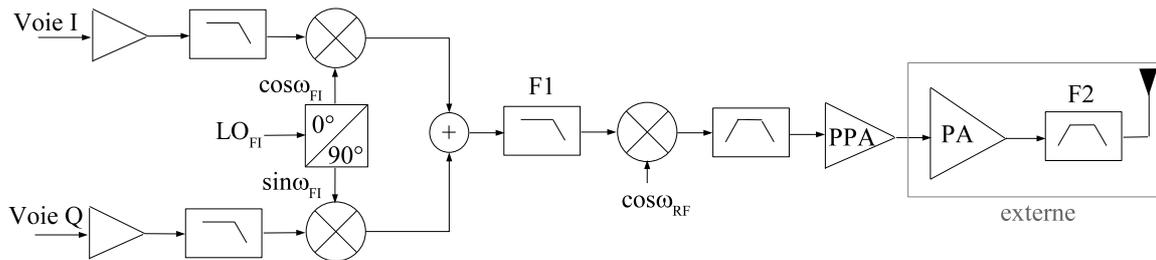


FIG. 2.1 – Emetteur hétérodyne

Les signaux analogiques en bande de base I et Q sont transposés à une fréquence intermédiaire (f_{FI}) grâce à deux mélangeurs en quadrature.

Le signal subit ensuite un filtrage passe-bas F1 qui supprime les harmoniques de f_{FI} avant de le transposer à la fréquence $f_{FI} + f_{RF}$ grâce à un dernier mélangeur. Ce mélangeur génère deux produits de modulation aux fréquences $f_{FI} - f_{RF}$ et $f_{FI} + f_{RF}$. Un filtre passe-bande F2 est utilisé pour supprimer la bande indésirable. Le signal RF est finalement amplifié puis transmis par l'antenne.

Cette architecture convient autant aux modulations à enveloppe non constante qu'aux modulations à enveloppe constante. Comme la modulation en quadrature est effectuée à f_{FI} basse (quelques centaines de MHz), on obtient un bon appariement des voies I et Q pour une consommation en courant raisonnable.

Le filtre passe-bande du deuxième étage de conversion doit rejeter le signal image d'au moins 40 à 50 dB, car ce dernier a la même puissance que le signal utile. Ce filtre opère à des fréquences élevées pour lesquelles la qualité du filtrage est mauvaise. Généralement, on utilise un filtre externe passif de type SAW (Surface Acoustic Wave, onde acoustique de surface). Ce filtre image encombrant et cher induit une surconsommation non négligeable. Cette méthode impose l'utilisation de deux PLL à faible bruit de phase. Pour une bonne suppression des harmoniques, le filtre passe-bande intégré doit présenter un ordre élevé

ce qui le rend difficile à réaliser.

2.1.2 Emetteur à conversion directe

L'émetteur à conversion directe aussi appelé homodyne ou encore Zero-IF (Zero Intermediate Frequency, sans fréquence intermédiaire) utilise un seul étage de conversion en fréquence comme l'indique la figure 2.2.

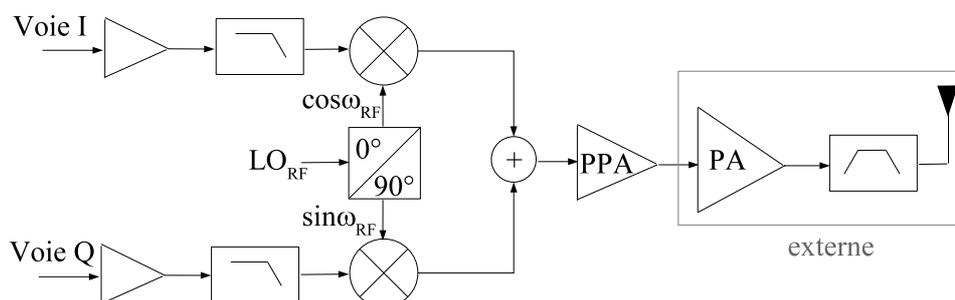


FIG. 2.2 – Emetteur homodyne

Ainsi, le signal en bande de base est directement modulé à la fréquence RF d'émission grâce à deux mélangeurs en quadrature, une PLL et un OL fonctionnant à la fréquence RF.

Cette architecture est plus compacte que celle de l'émetteur hétérodyne, car elle utilise moins de composants. En effet, la réjection image du canal est effectuée dynamiquement en sommant la sortie des mélangeurs (Cf. équation 2.1).

$$(\cos\omega_{BBt} \times \cos\omega_{RFt}) + (\sin\omega_{BBt} \times \sin\omega_{RFt}) = \cos(\omega_{RFt} - \omega_{BBt}) \quad (2.1)$$

On fait ainsi l'économie d'un filtre passe bande, d'un second étage de conversion en fréquence et surtout du filtre externe de fréquence image.

Une telle architecture est compatible avec une modulation complexe I/Q comme la modulation HPSK, mais nécessite un bon appariement des voies I et Q en amplitude et en phase.

La difficulté réside dans la réalisation d'une quadrature précise fonctionnant à la fréquence

RF. Une quadrature imprécise conduit à une mauvaise réjection de l'image du mélange [PG00].

Un des inconvénients majeurs de l'émetteur homodyne est le phénomène de pulling [Raz04] [Adl04]. Lorsque deux systèmes oscillants se trouvent proches l'un de l'autre, ils ont tendance à s'accorder à la même pulsation par phénomène de couplage. Dans le cas d'une chaîne d'émission Zero-IF, l'oscillateur local et la sortie du PPA (le PA étant externe) fonctionnent à des fréquences proches et sont sujets au couplage par le substrat. Le signal RF en sortie du PPA étant d'une puissance bien supérieure à celle de l'OL, c'est la pulsation de l'OL qui va être décalée vers la fréquence RF. Le niveau d'isolation nécessaire est difficile à quantifier sans considérer le récepteur associé à l'émetteur Zero-IF. Dans le démonstrateur WCDMA de STMicroelectronics [Pel05], pour un signal de -1 dBm en sortie du modulateur RF de l'émetteur, une fuite de 90 dBm est mesurée en entrée du démodulateur du récepteur.

L'architecture Zero-IF est sensible aux parasites DC. En réception, ces parasites se confondent avec le signal lui-même. En WCDMA, le signal en bande de base est étalé autour de 3.84 MHz. Un filtre passe haut de coupure inférieure ou égale à 10 kHz peut débarrasser le signal WCDMA des parasites DC tout en conservant son intégrité.

2.1.3 Emetteur Low-IF (faible fréquence intermédiaire)

En mélangeant deux fréquences d'OL, le phénomène de pulling disparaît. La figure 2.3 montre l'architecture de l'émetteur low-IF.

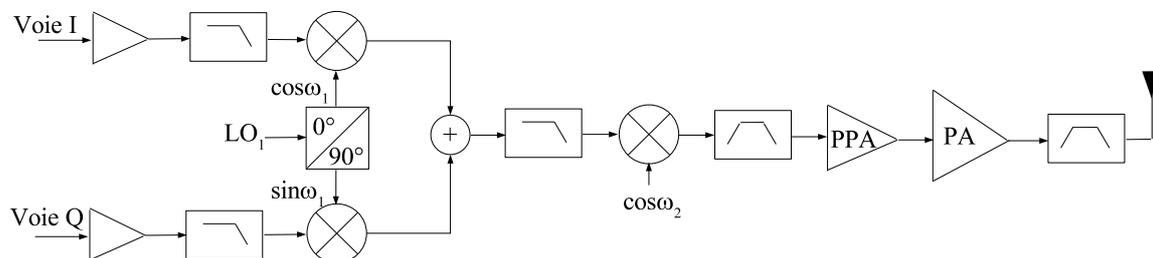


FIG. 2.3 – Emetteur low IF

L'émetteur low-IF repose sur le même principe que l'émetteur hétérodyne à la différence que la fréquence d'OL est obtenue en mélangeant et en filtrant deux fréquences plus

basses.

Ainsi, le premier étage de mélange à la fréquence FI peut éventuellement être réalisé dans un circuit numérique. Cette méthode dispose des mêmes avantages que l'émetteur à conversion directe excepté qu'elle n'est pas sensible au pulling, à condition que la fréquence intermédiaire FI ne soit pas trop basse.

Une mauvaise sélection des fréquences d'OL produit des harmoniques en sortie. Le filtre passe-bas qui suit le VCO doit être sélectif afin de garantir la qualité du signal de sortie.

2.1.4 PLL à modulation directe

Cette technique a été inventée pour répondre aux fortes contraintes de la norme GSM concernant le bruit thermique dans la bande de réception.

L'architecture de la PLL à modulation directe est représentée sur la figure 2.4.

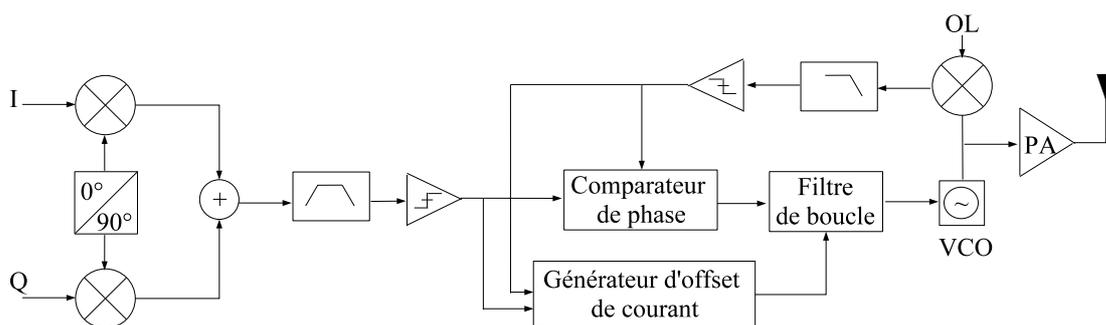


FIG. 2.4 – PLL à modulation directe

La PLL à modulation directe [Hsu03] consiste à mélanger le signal d'oscillateur local avec la sortie du VCO (Voltage Controlled Oscillator). Ce mélange est injecté dans un comparateur de phase pour générer un signal d'erreur qui, après filtrage, pilote le VCO. Ainsi, le VCO est centré sur la fréquence RF.

Un générateur d'offset de courant est nécessaire pour obtenir un verrouillage rapide de la boucle. En effet, le courant de sortie du comparateur de phase ne permet pas à lui seul de verrouiller la boucle dans un temps acceptable. Le temps de verrouillage peut ainsi être amélioré de 26% [TwBh02]. D'autre part, sans réglage du courant, la boucle devient instable.

La PLL à modulation directe présente une bonne intégration, car elle n'utilise ni mélangeur pour convertir le signal à la fréquence RF, ni filtre externe. De plus, elle consomme peu, ce qui en fait une solution très attractive pour la réduction des coûts.

Par contre, elle ne convient qu'aux modulations à enveloppe constante. Elle ne peut donc pas être retenue pour notre application utilisant une modulation HPSK. Par ailleurs, elle souffre également du pulling. Une bonne isolation entre le PPA et le VCO est donc nécessaire.

2.1.5 Récapitulatif des architectures d'émetteur

Le tableau 2.1 reprend les principaux critères des architectures d'émetteur précédemment évaluées.

TAB. 2.1 – Comparatif des architectures d'émetteur

architecture	intégration	consommation	modulation
hétérodyne	faible	moyenne	toutes
homodyne	bonne	faible	toutes
low-IF	moyenne	moyenne	toutes
PLL à modulation directe	bonne	faible	enveloppe constante

Malgré les sérieuses difficultés imposées par l'architecture Zero-IF, elle est la plus appropriée pour réduire à la fois la surface du circuit et la consommation en courant d'un émetteur WCDMA.

2.2 Techniques de linéarisation

La modulation HPSK offre une bonne efficacité spectrale, mais le rendement en puissance reste faible avec des amplifications linéaires. Pour des applications de téléphonie mobile, un faible rendement se traduit par une réduction de la durée de vie des batteries des téléphones portables.

Pour obtenir à la fois une bonne linéarité et une efficacité spectrale satisfaisante, on utilise

des techniques de linéarisation comme l'EER (Envelope Elimination Restoration, élimination et restitution d'enveloppe), le feedforward, la boucle polaire ou encore la boucle cartésienne. D'autre part, la linéarité des fonctions de modulation RF et d'amplification est obtenue au prix d'une forte consommation en courant. Une architecture de linéarisation permet d'employer des éléments non linéaires pour réduire la consommation de l'émetteur.

Parmi les différentes méthodes de linéarisation analogique, on distingue deux catégories : les techniques de compensation comme le feedforward, la boucle polaire et la boucle cartésienne et les techniques de séparation du signal.

2.2.1 Elimination et Restitution d'Enveloppe

La plus répandue des techniques de linéarisation par séparation du signal est l'élimination et restitution d'enveloppe (EER). La méthode EER illustrée sur la figure 2.5 a été présentée par Leonard R. Kahn en 1952 [Kah52].

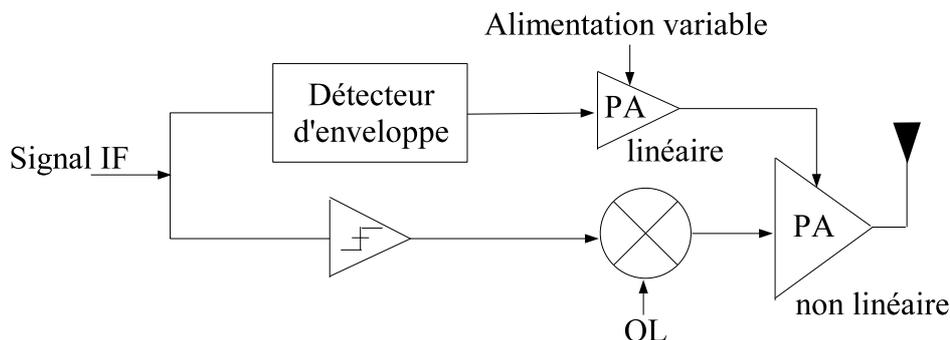


FIG. 2.5 – EER

Elle permet d'amplifier un signal à enveloppe non constante avec un amplificateur de puissance non linéaire.

Le signal modulé à une certaine fréquence intermédiaire FI est décomposé en phase et amplitude grâce à un détecteur d'enveloppe et un limiteur. Le signal à enveloppe constante correspondant à l'amplitude est transposé à la fréquence RF dans le mélangeur. Il est ensuite amplifié par l'amplificateur de puissance non linéaire en mode de saturation. L'enveloppe du signal est restituée en modulant la tension d'alimentation du PA par la phase du signal d'entrée.

L'EER a l'avantage de combiner linéarisation et augmentation de l'efficacité du PA. Cette technique reste néanmoins difficile à mettre en oeuvre pour deux raisons. D'une part, il faut maîtriser la linéarité de l'amplificateur d'enveloppe. D'autre part, la cohérence de la phase entre les signaux d'enveloppe et de phase doit être garantie. En effet, les performances de linéarisation de l'EER dépendent de la bande passante de l'enveloppe, mais aussi du déphasage entre la modulation d'enveloppe et la modulation de phase. Il est donc indispensable de maîtriser la variation des retards dans les deux branches de l'architecture tant en température qu'en process pour une bonne recombinaison du signal en sortie. Dans les récentes applications d'EER [DBVB04], la décomposition du signal en amplitude et phase est effectuée par un composant programmable de type DSP (Digital Signal Processor, processeur de traitement du signal).

2.2.2 Feedforward

Lorsque la bande passante de la modulation excède 10 MHz, ou qu'il s'agit d'une modulation multi-porteuse, l'utilisation des DSP n'est plus possible. Dès lors, on peut utiliser la technique du feedforward reposant sur la théorie de Black [Bla29] et qui permet des améliorations de 20 à 30 dB de la linéarité de l'émetteur.

Tous les blocs de l'architecture feedforward décrite sur la figure 2.6 fonctionnent à la fréquence RF.

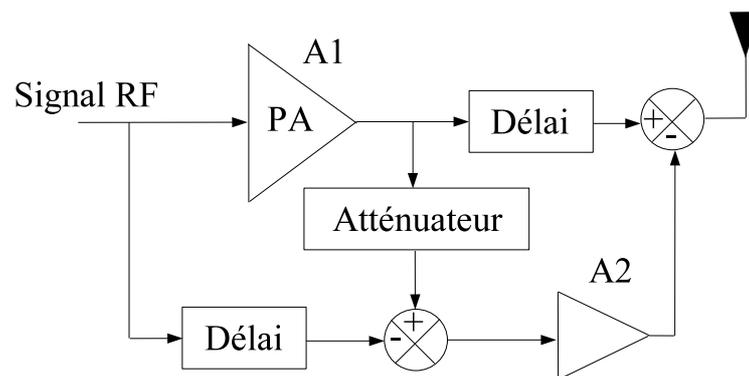


FIG. 2.6 – FeedForward

Les distorsions de l'amplificateur principal A1 sont extraites en soustrayant le signal de sortie de A1 au signal d'entrée. Ces distorsions sont ensuite amplifiées dans l'amplificateur secondaire A2 avant d'être soustraites de la sortie de A1. En sortie de cet émetteur, le

spectre du signal est débarrassé des non linéarités de l'amplificateur principal A1. Malgré tout, les non linéarités de l'amplificateur secondaire A2 subsistent, mais leur niveau est d'autant plus faible que l'atténuation du signal de sortie de A1 est forte.

L'atténuateur peut être réalisé avec un coupleur dont le coefficient de couplage devra être faible pour transmettre la majeure partie du signal de sortie de A1 à l'antenne. L'amplificateur secondaire A2 devra alors fournir assez de puissance pour compenser les pertes du coupleur. Les performances du coupleur sont définies en fonction du rendement et du point de compression de l'amplificateur A1, mais aussi du délai dans les lignes de transmission.

Fonctionnant en boucle ouverte, cette architecture a le bénéfice d'être inconditionnellement stable et permet d'éliminer complètement (en théorie) les intermodulations de l'amplificateur principal. En pratique, les changements de caractéristiques des composants au cours du temps, avec les variations de température et de tension, dégradent l'appariement du gain et de la phase dans les deux branches de l'architecture entraînant une augmentation des non-linéarités en sortie de l'émetteur. La méthode feedforward doit donc être complétée par un contrôle dynamique de l'accord en phase et en amplitude des deux chemins, incluant des algorithmes de transformée de Fourier.

2.2.3 Boucle polaire

La boucle polaire illustrée figure 2.7 a été présentée par V. Petrovic [PG79] en 1979.

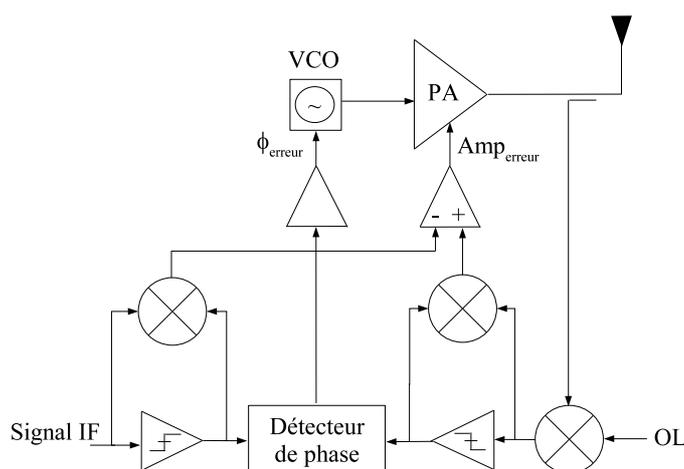


FIG. 2.7 – Diagramme bloc de la boucle polaire

Elle est constituée de deux boucles de contre réaction : une sur la phase et l'autre sur l'amplitude du signal RF. Une partie du signal RF en sortie du PA est prélevée puis démodulée à une fréquence intermédiaire.

Le signal d'entrée à la fréquence intermédiaire f_{FI} est décomposé en amplitude et phase. Ses composantes sont respectivement comparées aux termes d'amplitude et de phase en sortie du PA. Des signaux d'erreur Amp_{erreur} pour l'amplitude et Φ_{erreur} pour la phase sont ainsi obtenus (Cf. figure 2.7). Le signal d'erreur de phase contrôle le VCO qui alimente le PA avec un signal à enveloppe constante, mais modulé en phase. La correction de phase équivaut à une PLL classique.

Le signal d'erreur d'amplitude module la tension collecteur du PA pour une simple contre réaction. Ces signaux d'erreur sont ainsi soustraits au signal d'entrée corrigeant les non linéarités du PA en sortie.

La boucle polaire est complexe du point de vue structurel. Elle peut poser des problèmes d'accrochage de la PLL à faible niveau.

Comme tout système bouclé, la boucle polaire doit présenter une marge de phase suffisante dans chacune des boucles pour garantir la stabilité. Cette architecture convient à tous types de modulation, mais est plus adaptée aux modulations à bande étroite, car la représentation polaire du signal s'accompagne d'une extension de la bande passante.

2.2.4 Boucle cartésienne

Contrairement à la boucle polaire, la boucle cartésienne opère une décomposition dans le plan cartésien selon les axes I et Q.

La méthode de linéarisation par boucle cartésienne a été exposée d'abord par D. C. Cox en 1975 [Cox75], puis par V. Petrovic en 1979 [PG79]. Théoriquement, elle permet une réduction de 40 dB des distorsions harmoniques.

D'après la figure 2.8, les signaux I et Q en bande de base de la chaîne directe, sont directement transposés à la fréquence RF grâce à deux mélangeurs en quadrature.

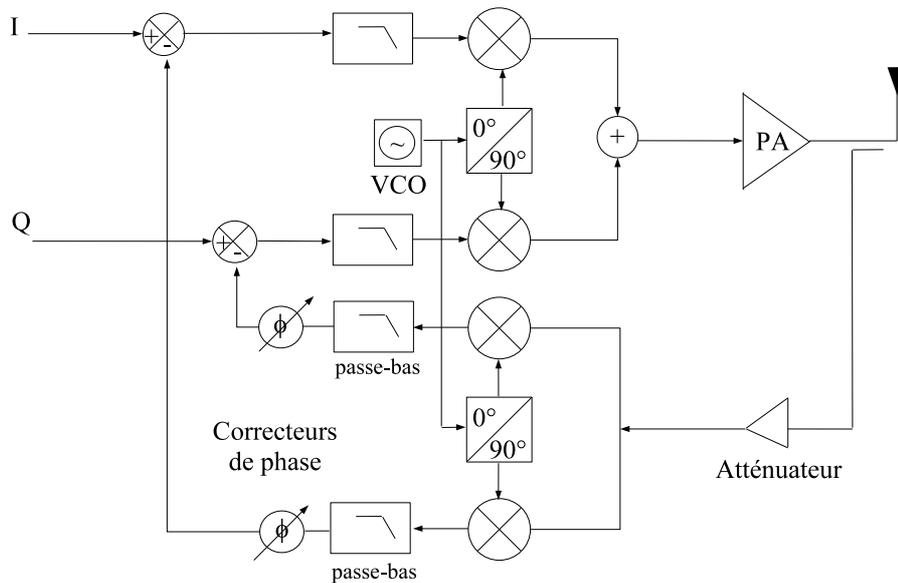


FIG. 2.8 – Diagramme bloc de la boucle cartésienne

Le signal RF est amplifié au moyen d'un PA pour atteindre la puissance de sortie. La sortie du PA est atténuée et démodulée en quadrature dans la chaîne de retour. Les tons $2 \times \omega_{LO}$ issus de la démodulation sont supprimés grâce à des filtres passe-bas. Les signaux démodulés et filtrés de la chaîne de retour subissent une correction de phase afin de compenser le déphasage introduit par les divers éléments de la boucle. Les signaux de retour sont ensuite soustraits aux signaux d'entrée pour produire des signaux d'erreur qui portent l'information des non linéarités de la chaîne directe. Par effet de boucle, les non linéarités de la chaîne directe sont soustraites des signaux d'entrée. Les signaux d'entrée sont ainsi prédistorqués de sorte à fournir un spectre linéarisé en sortie de l'émetteur.

La principale difficulté de cette architecture consiste à maintenir la stabilité. L'utilisation d'un correcteur de phase permet de garantir une marge de phase suffisante.

Contrairement aux méthodes de linéarisation précédemment citées, la boucle cartésienne linéarise en même temps l'amplitude et la phase de la porteuse RF modulée, à l'aide d'une seule contre réaction. Adaptée à un émetteur Zero-IF, elle permet de linéariser non seulement le PA, mais aussi le modulateur RF.

D'autre part, la linéarisation ne s'appliquant que dans la bande passante de la boucle cartésienne, on peut donc ajuster la bande passante de la boucle cartésienne à la bande

passante du signal à linéariser pour une intégration optimale.

Avec peu de composants supplémentaires, la boucle cartésienne reste relativement simple à implémenter. Elle s'applique à tout type de modulation et offre une bonne performance de linéarisation.

De toutes les méthodes de linéarisation qui ont été présentées, la boucle cartésienne est celle qui offre le plus de potentialité concernant la réduction des coûts en terme de surface et de consommation des circuits.

2.3 Emetteur à boucle cartésienne : théorie et état de l'art

Si l'étude de la stabilité ou du comportement en bruit d'une boucle cartésienne sont des questions largement instruites dans la littérature, ce n'est pas le cas de la contribution des différents blocs de l'architecture dans la linéarité globale du système.

2.3.1 Etude de la stabilité

Modélisation de la boucle cartésienne pour l'étude de la stabilité

M. A. Briffa et M. Faulkner [BF96, BF94] proposent une analyse détaillée de la stabilité de la boucle cartésienne. Dans cette étude, la stabilité est évaluée au travers de la réponse de l'amplificateur de puissance à une petite perturbation ΔV_i autour d'un point de fonctionnement fixé par le vecteur d'entrée V_i . Un modèle simplifié de l'émetteur en boucle ouverte est présenté figure 2.9.

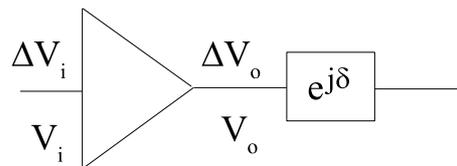


FIG. 2.9 – Modèle simplifié de l'émetteur en boucle ouverte [BF96]

Le déphasage entre la chaîne directe et la chaîne de retour est matérialisé par le bloc $e^{j\delta}$. Le gain grand signal g est défini dans l'équation 2.2.

$$g = \frac{\Delta V_o}{\Delta V_i} \quad (2.2)$$

La boucle cartésienne est assimilée à un système MIMO (Multiple Input Multiple Output) avec les voies I et Q en entrée et les voies I et Q de la chaîne de retour (Cf. figure 2.10). $G(s)$ est le terme de gain de boucle et δ est le déphasage RF.

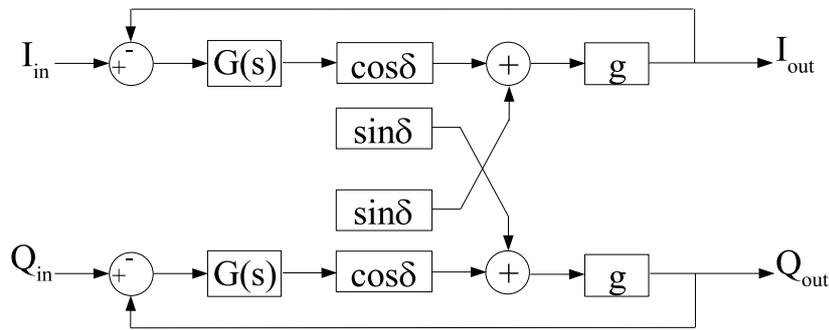


FIG. 2.10 – Modèle MIMO de la boucle cartésienne [BF96]

La Fonction de Transfert en Boucle Ouverte (FTBO) est donnée par l'équation 2.3.

$$FTBO = \begin{bmatrix} gG(s) \cos \delta & -gG(s) \sin \delta \\ gG(s) \sin \delta & gG(s) \cos \delta \end{bmatrix} \begin{bmatrix} I \\ Q \end{bmatrix} \quad (2.3)$$

Le système ainsi modélisé devient instable lorsque la marge de gain s'annule. On en déduit l'équation caractéristique de la stabilité 2.4, où Id est la matrice identité et les valeurs absolues désignent le déterminant.

$$\left| Id + \begin{bmatrix} gG(s) \cos \delta & -gG(s) \sin \delta \\ gG(s) \sin \delta & gG(s) \cos \delta \end{bmatrix} \begin{bmatrix} I \\ Q \end{bmatrix} \right| = 0 \quad (2.4)$$

Les solutions de cette équation caractéristique de la stabilité sont données par l'équation 2.5.

$$gG(s) = -\cos \delta \pm j \sin \delta \quad (2.5)$$

On en déduit que la marge de phase du système vaut $|\delta|$.

Influence des différents déphasages sur la stabilité

Un déphasage en bande de base se traduit par un délai temporel et réduit directement la marge de phase, pouvant conduire à l'instabilité. Un déphasage en RF induit un couplage croisé des voies I et Q. Dans son manuscrit de thèse [Daw03], J. L. Dawson donne une expression littérale de ce couplage (Cf. équation 2.12) en assimilant la boucle cartésienne au système de la figure 2.11.

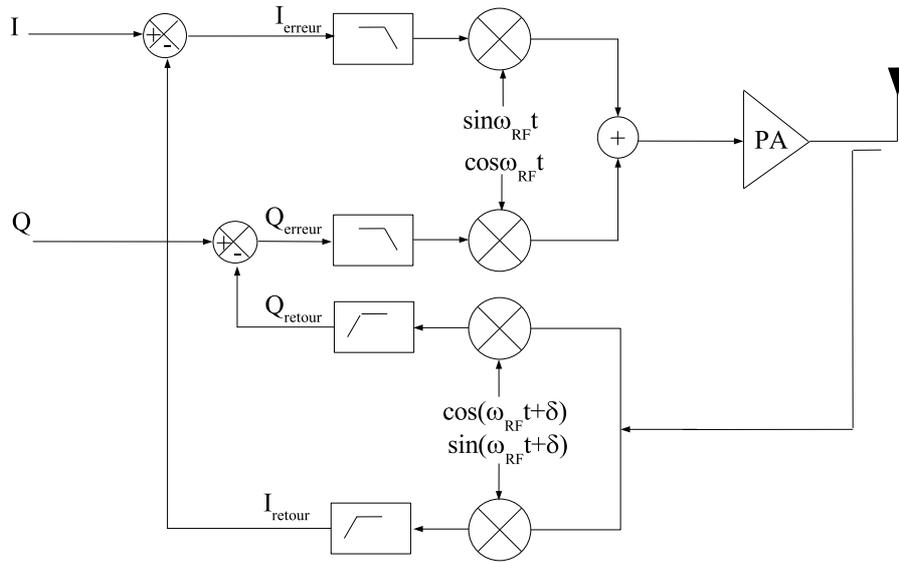


FIG. 2.11 – Couplage des voies I et Q par déphasage

Les voies I et Q d'entrée s'écrivent comme suit :

$$\text{voie } I = I \sin \omega_{BB} t \quad (2.6)$$

$$\text{voie } Q = Q \cos \omega_{BB} t \quad (2.7)$$

Il vient alors :

$$I_{\text{retour}} = I/2 \sin(\omega_{BB} t + \delta) + jQ/2 \sin(\omega_{BB} t + \delta) \quad (2.8)$$

$$Q_{\text{retour}} = I/2 \cos(\omega_{BB} t + \delta) + jQ/2 \cos(\omega_{BB} t + \delta) \quad (2.9)$$

$$I_{\text{erreur}} = I/2 \sin(\delta) + jQ/2 \sin(\delta) \quad (2.10)$$

$$Q_{\text{erreur}} = I/2 \cos(\delta) + jQ/2 \cos(\delta) \quad (2.11)$$

D'après les équations 2.10 et 2.11, les voies I et Q sont ainsi couplées. Elles s'expriment l'une en fonction de l'autre. La valeur du gain de boucle est modifiée. L'équation 2.12 donne l'expression du gain de boucle en présence de couplage (G_{FBc}) en fonction du gain de boucle initial G_{FB} .

$$G_{FBc} = G_{FB} \times \sin(\omega_{BBt} + \delta) - \frac{jG_{FB}^2}{2(1 + jG_{FB} \times \cos(\omega_{BBt} + \delta))} \quad (2.12)$$

Si $\delta = \frac{\pi}{2}$, alors $G_{FBc} = G_{FB}^2$ et le couplage est maximal.

Si $\delta = \pi$, alors il y a inversion des voies I et Q, la réaction de boucle est positive et le système devient instable.

Critère graphique de stabilité

Dans [BF96], l'analyse de la stabilité aboutit aux critères de stabilité graphiques de la figure 2.12.

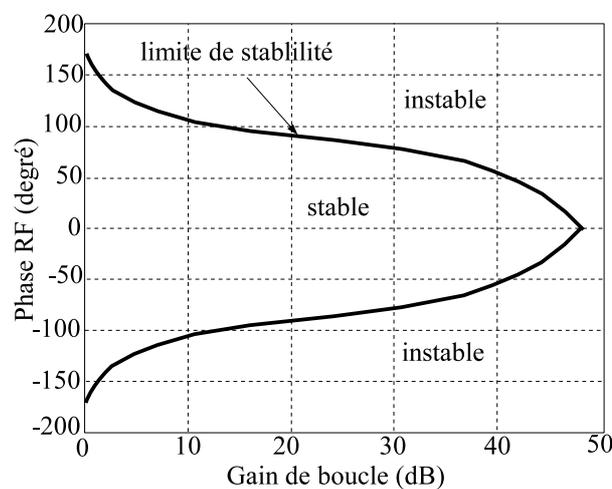


FIG. 2.12 – Critère graphique de stabilité [BF96]

Lorsque le déphasage RF est égal à la marge de phase, la réponse du système aura une marge de phase nulle et un comportement instable.

Le déphasage RF est principalement dû à la conversion amplitude/phase (AM/PM) de

l'amplificateur de puissance. Une augmentation du gain introduira d'avantage de conversion d'amplitude (AM/AM) de l'amplificateur réduisant la marge de phase et pouvant causer l'instabilité

2.3.2 Etude du bruit

Les performances de bruit d'un émetteur constituent un aspect déterminant de la conception d'un système radio mobile. De forts niveaux de bruit de l'émetteur peuvent dégrader la sensibilité du récepteur. Dans [KWP97], P. B. Kenington examine le comportement en bruit de la boucle cartésienne en utilisant le modèle équivalent de la boucle cartésienne représenté sur la figure 2.13.

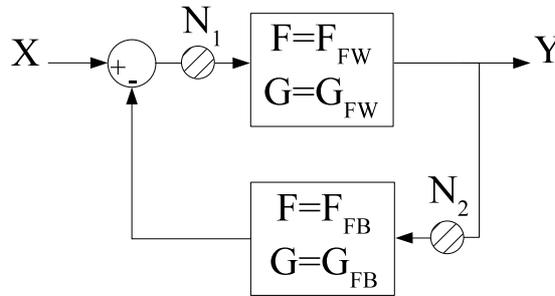


FIG. 2.13 – Modèle de bruit de la boucle cartésienne

On définit N_1 et N_2 , respectivement les niveaux de bruit de la chaîne directe et de la chaîne de retour dans les équations 2.13 et 2.14, où la constante de Boltzmann K vaut 1.38×10^{-32} J/K, T_0 est la température de référence en Kelvin (297 K, 24°C) et B est la bande passante de mesure du bruit en Hz.

$$N_1 = F_{FW}KT_0B \quad (2.13)$$

$$N_2 = F_{FB}KT_0B \quad (2.14)$$

L'équation 2.15 donne le niveau de sortie Y en fonction du niveau d'entrée X et des niveaux de bruit N_1 et N_2 .

$$Y = \frac{X}{G_{FB}} + \frac{N_1}{G_{FB}} - N_2 \quad (2.15)$$

L'équation 2.16 donne le niveau de sortie Y en fonction du niveau d'entrée X et des facteurs de bruit F_{FW} et F_{FB} .

$$Y = \frac{X}{G_{FB}} + \frac{F_{FW}KT_0B}{G_{FB}} + F_{FB}KT_0B \quad (2.16)$$

Ce modèle montre que le niveau de bruit de la chaîne directe est atténué d'un facteur égal au gain de boucle. Par contre, le bruit de la chaîne de retour s'ajoute directement au niveau de bruit en sortie de la boucle cartésienne. Ce constat est valide uniquement dans la bande passante de la boucle cartésienne. En dehors de cette bande passante, les principales contributions de bruit en sortie sont générées par les composants fonctionnant à la fréquence RF, à savoir les mélangeurs et l'amplificateur de puissance.

Le modèle de bruit de la boucle cartésienne est explicité par la suite, dans la section 3.7 de l'étude système.

2.3.3 Etude de la linéarité

La linéarité est également un paramètre critique pour un émetteur. De la même manière qu'avec le bruit, l'émetteur peut dégrader la sensibilité du récepteur si le niveau de distorsion harmonique émis est trop élevé. Il est donc important d'analyser la contribution des différentes parties de la boucle cartésienne dans la linéarité du spectre de sortie de l'émetteur.

Les séries de Volterra [Nar70, BEG74] permettent d'analyser de manière théorique les non-linéarités d'un système en fonction de la fréquence. L'utilisation des séries de Volterra est réservée aux systèmes raisonnablement non-linéaires, avec de faibles niveaux de signal pour rester dans des zones linéaires de croissance des produits d'intermodulation. Par exemple, la méthode est valable tant que le niveau de distorsion harmonique d'ordre 3 augmente avec une pente d'ordre 3. Le domaine de validité des séries de Volterra est difficile à apprécier, il convient donc de vérifier les résultats de l'analyse par simulation Harmonique Balance, d'autant plus que les calculs sont limités à l'ordre 3 pour simplifier les expressions. Ce type de simulation consiste à équilibrer de manière itérative les harmoniques d'un système jusqu'à atteindre un critère de convergence.

La méthode des fonctions de transfert par décomposition en séries de Volterra [Nar70] permet de calculer les fonctions de transfert d'ordre n d'un système. Ces dernières dé-

finissent les noyaux de Volterra d'ordre n . Afin de calculer les noyaux de Volterra de la boucle cartésienne, on utilise la représentation équivalente de la figure 2.14.

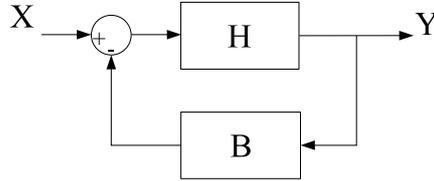


FIG. 2.14 – Modèle de la boucle cartésienne pour la linéarité

Le détail des calculs des noyaux de Volterra de la boucle cartésienne figure en annexe A. De manière générale, l'équation 2.17 définit l'expression du noyau de Volterra d'ordre i de la boucle cartésienne G_i en fonction des noyaux d'ordre i de la chaîne directe H_i et de la chaîne de retour B_i , I_d étant la matrice identité.

$$G_i(X) = H_i(I_d - B_i(G_i(X))) \quad (2.17)$$

Par exemple, $G_1(f_1)$ est le gain petit signal en tension de la boucle cartésienne et $G_3(f_1, f_1, f_1)$ est le noyau des distorsions harmoniques d'ordre 3 [BEG74]. Dans la suite, on limitera les calculs aux non-linéarités d'ordre 3 et on négligera les non-linéarités d'ordre 2 qui n'affectent pas le canal d'émission.

En développant l'équation 2.17 jusqu'à l'ordre 3 (Cf. annexe A [TGB⁺05a]), on obtient l'expression des noyaux d'ordre 1 (Cf. équation 2.18) et d'ordre 3 (Cf. équation 2.19) de la boucle cartésienne.

$$G_1(f_1) = \frac{H_1(f_1)}{1 + B_1(f_1) \cdot H_1(f_1)} \quad (2.18)$$

$$G_3(f_1, f_1, f_1) = \frac{H_3(f_1, f_1, f_1) - H_1(f_1)^4 B_3(f_1, f_1, f_1)}{(1 + H_1(f_1) B_1(f_1))^4} \quad (2.19)$$

Le spectre de sortie d'un émetteur Zero-IF comporte une composante du signal utile $f_{LO} - f_{BB}$, une composante d'OL et une raie de distorsion harmonique d'ordre 3 HD3 comme l'indique la figure 2.15, où la fréquence f_{BB} du signal en bande de base correspond à la notation f_1 des équations précédentes.

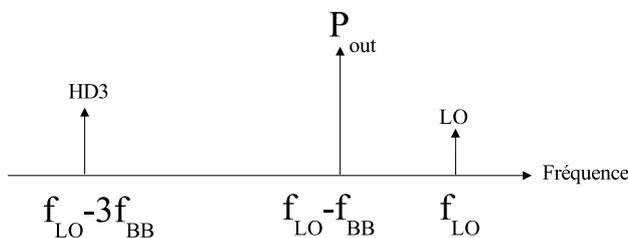


FIG. 2.15 – Spectre d'émission de sortie

Le niveau d'HD3 en sortie de la boucle cartésienne est défini dans l'équation (2.20) établie dans [San99], où V_{in} est le niveau du signal d'entrée.

$$HD3_G = \frac{1}{4} G_3(f_1, f_1, f_1) \cdot V_{in}^3 \quad (2.20)$$

L'expression de G_3 (Cf. équation 2.19) met en évidence la linéarisation de la chaîne directe par la boucle de retour. En effet, le noyau de Volterra d'ordre 3 de la chaîne directe H_3 est fortement atténué d'un facteur égal au gain de boucle à la puissance 4. Par contre cette équation indique également que la valeur du noyau d'ordre 3 de la chaîne de retour B_3 doit rester faible pour conserver le principe de linéarisation.

2.3.4 Les intégrations de la boucle cartésienne sur silicium

Il existe plusieurs exemples d'intégration de la boucle cartésienne sur silicium concernant des applications radio mobiles.

Emetteur WCDMA hétérodyne

Dans [CSP03], une boucle cartésienne est appliquée au dernier étage d'un émetteur hétérodyne pour le standard WCDMA. Le circuit a été réalisé en technologie bipolaire double-poly $0.8 \mu m$ STMicroelectronics et mesure $4 mm^2$. Avec une bande passante de linéarisation de 60 MHz, l'ACPR à 5 MHz de la porteuse est amélioré de 24 dB.

Le déphasage introduit par les composants de la boucle est compensé en ajustant les signaux d'OL LO_I^* et LO_Q^* du démodulateur de la chaîne de retour (Cf. figure 2.16).

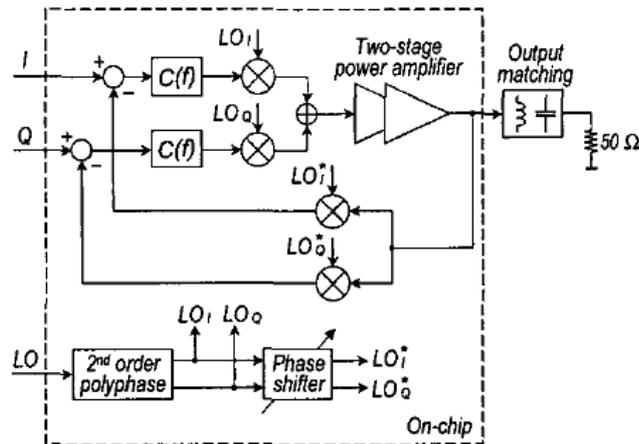


FIG. 2.16 – Boucle cartésienne WCDMA hétérodyne [CSP03]

Le réglage de ces signaux LO_I^* et LO_Q^* s'effectue grâce à des tensions externes V_A et V_B comme l'indiquent les équations 2.21 et 2.22.

$$LO_I^* = k \cdot (V_A \cdot LO_I + V_B \cdot LO_Q) \quad (2.21)$$

$$LO_Q^* = k \cdot (-V_B \cdot LO_I + V_A \cdot LO_Q) \quad (2.22)$$

Emetteur Zero-IF WLAN

L'article [SMPP04] présente un émetteur/récepteur Zero-IF avec boucle cartésienne pour le standard WLAN 802.11 a/b/g. Le circuit a été réalisé en technologie CMOS 0.18 μm TSMC. Il mesure 12 mm^2 et consomme 87 mA.

L'émetteur comporte un correcteur de phase représenté sur la figure 2.17.

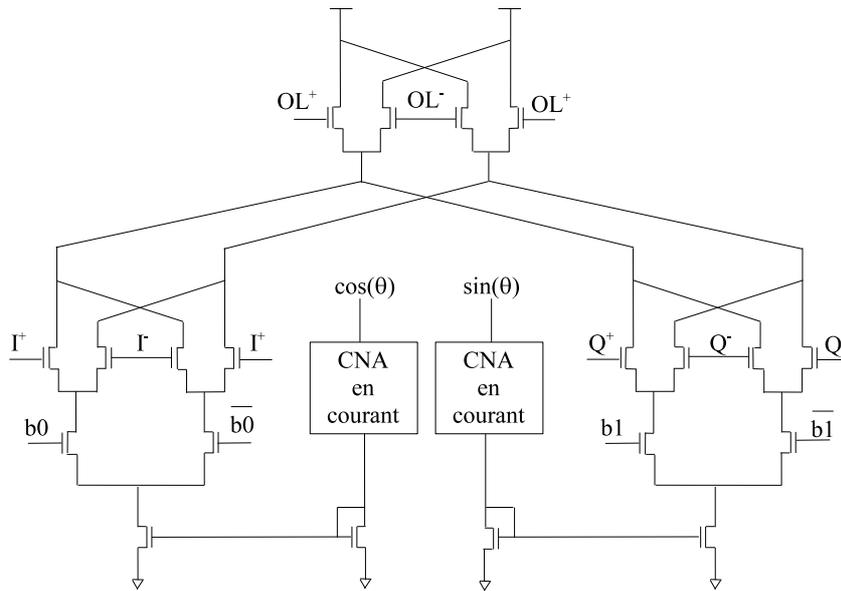


FIG. 2.17 – Correction de la phase pour une émetteur WLAN [SMPP04]

La correction de phase est ainsi effectuée sur le vecteur (I, Q) en bande de base dans la chaîne de retour. L'opération consiste à multiplier ce vecteur par une matrice de rotation circulaire d'angle θ . La valeur de θ est déterminée par un algorithme numérique lors d'une phase de calibration du circuit.

Cet émetteur intègre également une fonction permettant d'annuler la fuite d'OL. Après démodulation dans la chaîne de retour, la fuite d'OL se traduit par un offset DC. Pour un émetteur homodyne, la boucle cartésienne permet de mesurer directement la valeur de cet offset DC lors d'une phase de calibration. En éteignant les blocs RF et en forçant les Convertisseurs Numériques Analogiques (CNA) à leur valeur moyenne, les signaux d'erreur en sortie des soustracteurs de la chaîne directe donnent directement la valeur de l'offset DC mesurée sur les voies I_{retour} et Q_{retour} de la chaîne de retour (Cf. figure 2.11). La fuite d'OL est principalement due à la différence de courant de transconductance dans les deux branches des mélangeurs de Gilbert qui effectuent la transposition en fréquence. En injectant un courant de valeur opposée au DC offset mesuré en sortie des transconducteurs des mélangeurs de la chaîne directe, la fuite d'OL est annulée.

Etude d'un correcteur de phase automatique

Parmi ses travaux de thèse [Daw03], J. L. Dawson a réalisé une boucle cartésienne en technologie CMOS $0.25 \mu\text{m}$ National Semiconductor. Cette solution comporte notamment un correcteur de phase automatique dont le schéma fonctionnel est représenté figure 2.18.

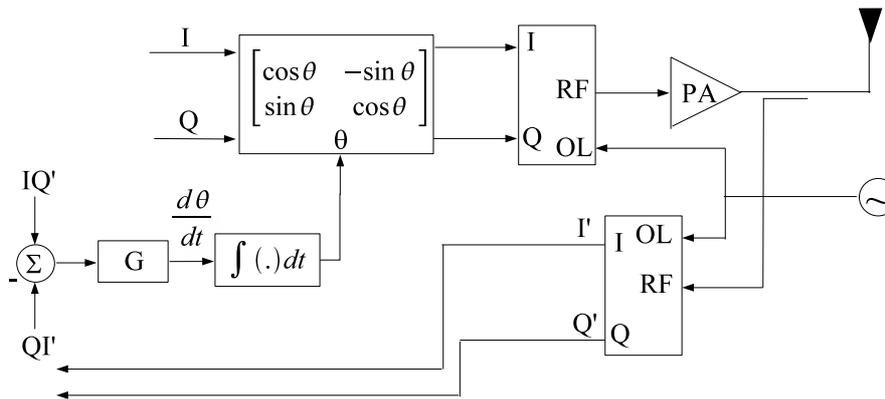


FIG. 2.18 – Correcteur automatique de phase pour boucle cartésienne [Daw03]

Tout comme pour l'émetteur WLAN décrit précédemment, la correction de phase consiste à multiplier les voies I et Q par une matrice de rotation circulaire d'angle θ . Cette fois, l'erreur de phase θ est déterminée par intégration successive du terme $IQ' - QI'$, où I et Q sont les deux voies en quadrature de la chaîne directe et I' et Q' les voies en quadrature de la chaîne de retour. Ce procédé impose de connaître l'amplitude du signal de manière à régler le gain de l'intégrateur. De plus, si on garde le gain de l'intégrateur fixe, cette méthode s'applique uniquement aux signaux à enveloppe constante.

2.4 Conclusion

Dans ce chapitre, différentes architectures d'émetteur et méthodes de linéarisation sont passées en revue. Compte tenu de nos objectifs, l'utilisation d'une architecture de linéarisation vise à réduire la consommation des mélangeurs et de l'amplificateur en dégradant leur linéarité.

Pour limiter l'augmentation de surface liée à l'utilisation d'une structure de linéarisation, une combinaison architecture d'émetteur et méthode de linéarisation la plus compacte possible est choisie. Il s'agit d'une boucle cartésienne de linéarisation appliquée à un

émetteur Zero-IF.

L'architecture de boucle cartésienne suscite de nombreuses études tant pour la stabilité [BF96, BF94, Fau00, DL04, Daw03] que pour le bruit [KWP97, GDDMV02].

Malgré tout, les réalisations de la boucle cartésienne sur silicium sont rares [CSP03, SMPP04, DL04]. De plus, aucune ne concerne un émetteur Zero-IF pour le standard WCDMA.

Par contre la linéarité de la boucle cartésienne n'a fait jusqu'à présent l'objet d'aucune publication. Cette lacune est comblée par la modélisation des non-linéarités de la boucle cartésienne à l'aide des séries de Volterra [TGB⁺05a].

Les études théoriques montrent que les contraintes de bruit et de linéarité sont réduites d'un facteur inversement proportionnel au gain de boucle pour les éléments de la chaîne directe, à condition que les éléments de la chaîne de retour restent peu bruyants et linéaires.

Les modèles d'analyse du bruit et de la linéarité seront repris dans l'étude système pour le dimensionnement des blocs de l'architecture.

ETUDE DU SYSTÈME D'UN ÉMETTEUR WCDMA ZERO-IF À BOUCLE CARTÉSIENNE

Sommaire

3.1	Architecture mixte	76
3.2	Modélisation de la boucle cartésienne pour la simulation . . .	77
3.3	Gain de la boucle cartésienne	78
3.4	Bande passante globale	79
3.4.1	Bande passante de linéarisation	79
3.4.2	Les filtres passe-bas	80
3.5	Stabilité de la boucle cartésienne	83
3.5.1	Correcteur de phase	83
3.5.2	Stabilité d'un système bouclé mixte	83
3.6	Linéarité de la boucle cartésienne	85
3.6.1	Tests de linéarité en WCDMA	85
3.6.2	Etude de la linéarité de la chaîne de retour avec les noyaux de Volterra	86
3.7	Bruit de la boucle cartésienne	88
3.7.1	Comportement en bruit de la boucle cartésienne	88
3.7.2	Spécification WCDMA	88
3.7.3	Spécification de bruit pour les chaînes directe et de retour . . .	90
3.8	Offset DC et fuite d'oscillateur local	91
3.8.1	Modèle mathématique de l'offset DC pour la boucle cartésienne	92
3.8.2	Spécification WCDMA pour la fuite d'oscillateur local	94
3.9	Pulling d'oscillateur local en Zero-IF	95

3.9.1	Modèle mathématique du pulling dans la boucle cartésienne . . .	95
3.9.2	Pulling en WCDMA	97
3.9.3	Précautions contre le pulling	98
3.10	Contrôle de gain	98
3.10.1	Contrôle de gain pour un émetteur WCDMA	98
3.10.2	Solution classique à base de VGA	99
3.10.3	Solution numérique	100
3.11	Partie numérique	106
3.11.1	Correction de phase	106
3.11.2	Délai	108
3.11.3	Budget SNR de la partie numérique	109
3.11.4	Architecture de la partie numérique	110
3.11.5	Validation fonctionnelle : modèle <i>Matlab Simulink</i> [®]	111
3.11.6	Dimensionnement du chemin de donnée	113
3.12	Conclusion	115

La norme WCDMA définit les caractéristiques de puissance, de linéarité et de bruit en sortie d'un émetteur RF. Par contre, le standard ne présuppose aucun mode de réalisation particulier des fonctions RF et ne donne pas de spécification par bloc constitutif de l'émetteur.

Avant d'étudier l'intégration sur silicium d'un émetteur WCDMA Zero-IF à boucle cartésienne, il convient de définir les blocs nécessaires à la mise en œuvre des fonctions RF ainsi que leurs caractéristiques principales de gain, linéarité et bruit. Dans une première approche de faisabilité de l'émetteur WCDMA à boucle cartésienne, l'amplificateur de puissance reste externe à l'architecture de sorte à décorrélérer les problèmes. De même, la synthèse de fréquence ne sera pas approfondie.

L'obtention d'une solution optimale minimisant la surface et la consommation du circuit, impose de considérer l'architecture d'émetteur dans son ensemble, du processeur des traitements numériques (Digital Signal Processing, DSP) bande de base à la tête RF. La réussite tient dans l'identification et la résolution des problèmes de conception architecturale qui englobent les circuits RF et le DSP. Dans la perspective d'une intégration de l'émetteur en technologie CMOS 65 nm permettant de réaliser dans un même procédé des circuits numériques et des circuits RF, une architecture mixte peut être envisagée.

Dans le chapitre précédent, il a été montré que la boucle cartésienne permettait de relâcher les contraintes de bruit et de linéarité des blocs de la chaîne directe. L'étude système présentée dans ce chapitre est menée de sorte à exploiter cette propriété pour réduire la consommation des blocs de la chaîne directe dans la limite du respect de la norme WCDMA.

3.1 Architecture mixte

Jusqu'à présent, la boucle cartésienne était implémentée dans des circuits complètement analogiques [CSP03] [DL04] [SMPP04]. Pour réduire la consommation et obtenir une meilleure intégration, certaines fonctions comme la correction de phase et la soustraction peuvent être effectuées dans le domaine numérique du traitement du signal. En effet, le correcteur de phase et le soustracteur sont des éléments de la boucle de retour et doivent donc être linéaires et peu bruyants. Réaliser ces deux fonctions avec des circuits analogiques conduirait à une consommation en courant plus élevée et une occupation en surface incompatibles avec les tendances actuelles de réduction des coûts.

Un étage de conversion est alors ajouté à l'architecture de boucle cartésienne. Il est constitué de deux Convertisseurs Numériques Analogiques (CNA) dans la chaîne directe et de deux Convertisseurs Analogiques Numériques (CAN) dans la chaîne de retour. La nouvelle architecture mixte est présentée figure 3.1 [TGB⁺05b].

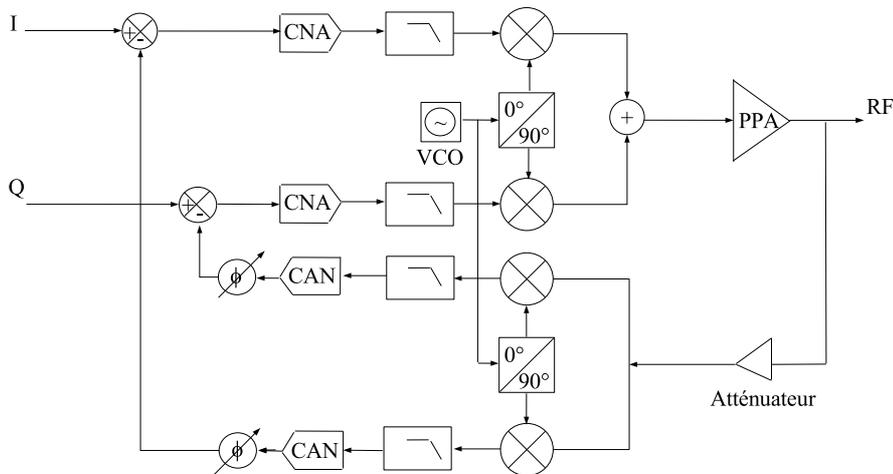


FIG. 3.1 – Architecture mixte de boucle cartésienne

Les filtres passe-bas de la chaîne directe jouent maintenant un rôle double. Ils permettent de filtrer les images du spectre à tous les harmoniques de la fréquence d'échantillonnage et de supprimer les harmoniques en $2 \times f_{OL}$ issus de la démodulation dans la chaîne de retour. Ces harmoniques à la fréquence $2 \times f_{OL}$ créent un terme d'intermodulation d'ordre 2 en sortie du modulateur RF qui déséquilibre les produits de mélange et dégrade la réjection de l'image du signal modulé.

Les filtres passe-bas de la chaîne de retour suppriment le produit de mélange à $2 \times f_{OL}$ issu de la démodulation et évitent le repliement du spectre lors de la conversion du signal analogique en signal numérique.

3.2 Modélisation de la boucle cartésienne pour la simulation

L'émetteur Zero-IF WCDMA à boucle cartésienne est modélisé avec le logiciel Advanced Design System (ADS) d'Agilent. Les différentes fonctions de l'architecture, à l'exception du soustrateur, sont réalisées par des modèles comportementaux paramétrables de la librairie "Analog/RF System".

Le soustracteur est décrit à l'aide d'un composant SDD (Symbolically Defined Device, composant défini symboliquement) qui permet de définir l'équation implicite de la relation non-linéaire qui lie les tensions d'entrée et de sortie. La figure 3.2 représente le modèle ADS de la boucle cartésienne.

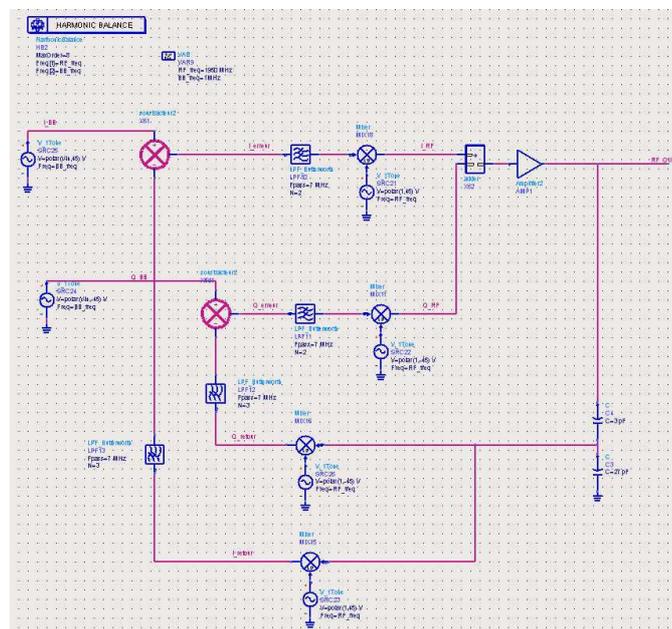


FIG. 3.2 – Modèle ADS de la boucle cartésienne

Les spécifications système concernant les bandes passantes, les réjections des filtres, les niveaux de bruit et les distorsions harmoniques sont validées grâce à des simulations "Har-

monic Balance" consistant à équilibrer itérativement les harmoniques des courants et des tensions jusqu'à la convergence souhaitée.

En entrée de la boucle cartésienne, les voies I et Q en bande de base sont représentées par des tons à 1 MHz. Les signaux d'OL en quadrature sont décrits par des tons à 1.95 GHz.

L'EVM et les ACPR ont été déterminés avec Ptolemy, le simulateur temporel d'ADS, qui permet de mettre en œuvre le modèle de la figure 3.2, décrit dans le domaine "Analog/RF", dans un environnement "Digital Signal Processing" (traitement du signal numérique) temporel avec des sources WCDMA. Ainsi, le modèle de la boucle cartésienne peut être simulé avec deux méthodes temporelles différentes : la simulation transitoire et la simulation d'enveloppe. Cette dernière est très avantageuse, car elle est beaucoup plus rapide que la simulation transitoire. En effet, la simulation d'enveloppe calcule les échantillons complexes de l'enveloppe du signal et effectue une simulation Harmonic Balance sur ces échantillons. De ce fait, la fréquence porteuse n'influence pas le temps de simulation.

3.3 Gain de la boucle cartésienne

Pour déterminer le gain de la boucle cartésienne, on considère la puissance de sortie désirée. Cette dernière est fixée par l'impédance de sortie de l'émetteur qui dépend des performances du design de la partie RF. Pour dimensionner l'architecture, une impédance de sortie Z_{out} a été arbitrairement choisie à 50Ω .

Le niveau de signal à l'entrée de l'émetteur est fixé au maximum de la tension d'alimentation de la technologie CMOS 65 nm, 1.2 V. D'après le paragraphe 1.5, la puissance d'émission est limitée à la classe 3, soit 24 dBm à l'antenne.

Pour calculer le gain maximal de l'émetteur, on considère un système à une seule voie en définissant le niveau d'entrée V_{in} selon l'équation 3.1 et la puissance de sortie P_{out} maximale de 24 dBm ramenée à la sortie du PPA, soit 0 dBm.

$$V_{in} = |I + jQ| = \sqrt{2} \cdot 1.2 = 1.7 \text{ V} \quad (3.1)$$

$$P_{in} = 4.6 \text{ dBV} \quad (3.2)$$

Sous une impédance de 50Ω , $P_{out} = 0 \text{ dBm} = -10 \text{ dBV} + 10$.

$$G = P_{out} - P_{in} = -5.4 \text{ dB} = 0.54 \quad (3.3)$$

Le système n'apporte donc pas de gain en tension. Le gain G du système bouclé est défini dans l'équation 3.4, où G_{FW} est le gain de la chaîne directe et G_{FB} le gain de la chaîne de retour.

$$G = \frac{G_{FW}}{1 + (G_{FW} \cdot G_{FB})} \quad (3.4)$$

Un gain de chaîne directe élevé de 40 dB est arbitrairement choisi pour rendre maximal l'effet de linéarisation de l'émetteur.

$$G_{FW} = 40 \text{ dB} = 100 \quad (3.5)$$

On en déduit un gain de boucle de 5.3 dB.

$$G_{FB} = 5.3 \text{ dB} = 1.84 \quad (3.6)$$

Tant que G_{FW} reste grand devant G_{FB} , alors le gain G du système est approximativement égal à l'inverse du gain de boucle. Ainsi, seul le gain de boucle doit être précis, le gain de la chaîne directe peut varier sans modifier le gain total.

3.4 Bande passante globale

3.4.1 Bande passante de linéarisation

La boucle cartésienne doit linéariser non seulement dans le canal WCDMA, mais aussi dans les canaux adjacents pour réduire l'ACPR à 5 et 10 MHz de la fréquence porteuse. Afin d'apporter la prédistorsion requise sur les signaux d'entrée, la bande passante de la boucle (BP_{BC}) doit être au moins 1.5 fois supérieure à la largeur du canal WCDMA (BP_{canal}) de 3.84 MHz comme l'indique la figure 3.3.

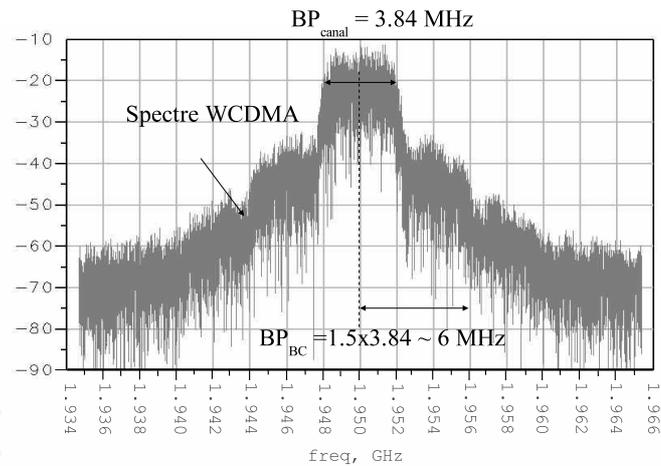


FIG. 3.3 – Bande passante de linéarisation du système

La bande passante de la boucle cartésienne est principalement limitée par la bande passante des filtres de la chaîne directe et de la boucle.

3.4.2 Les filtres passe-bas

Bande passante des filtres

Des filtres passe-bas de Butterworth sont choisis, car leur réponse plate dans la bande préserve le signal en bande de base [Ran94].

La linéarisation dans les canaux adjacents n'est effective que si la bande passante de la boucle cartésienne est suffisante. Comme l'indique le graphique 3.4, l'amélioration de l'ACPR à 10 MHz de la porteuse apportée par la boucle cartésienne comparée à une chaîne Zero-IF classique augmente en fonction de la bande passante de la boucle.

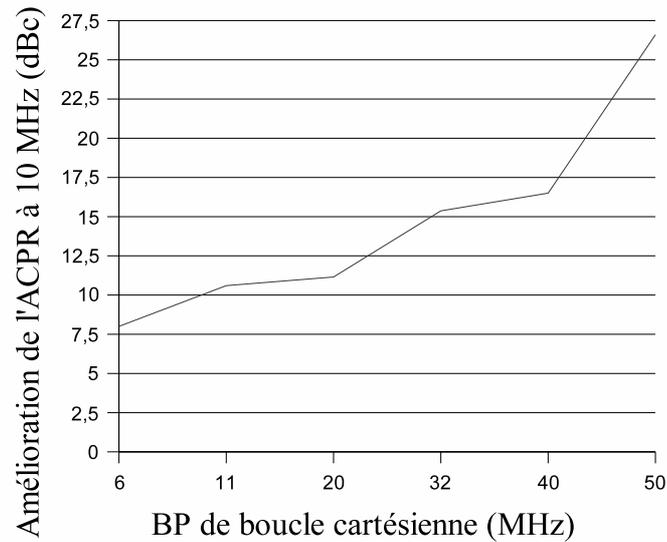


FIG. 3.4 – Amélioration de l'ACPR à 10 MHz de la porteuse en fonction de la bande passante des filtres de boucle

Pour une bande passante de 6 MHz, l'ACPR à 10 MHz est amélioré de manière satisfaisante. La bande passante du système bouclé dépend de la bande passante des filtres et plus précisément de celle des filtres de boucle.

Le tableau 3.1 donne la bande passante du système bouclé pour des filtres de boucle passe-bas de Butterworth d'ordre 3 de diverses bandes passantes.

TAB. 3.1 – Bande passante du filtre de boucle

Fpass filtres (MHz)	Fstop filtres (MHz)	BP système (MHz)
5	10	4.7
6	18	6
7	18	7

La limite basse pour la bande passante des filtres de boucle est 6 MHz.

Les filtres de boucle comme ceux de la chaîne directe doivent présenter un faible retard de groupe (Group Delay, GD) pour limiter la dégradation de l'EVM.

D'après le tableau 3.2 obtenu par simulation ADS d'une boucle cartésienne comportementale, une fréquence de coupure de 7 MHz permet de garder un EVM faible.

TAB. 3.2 – EVM en fonction de la fréquence de coupure

f_c (MHz)	GD (ns)	EVM (%)
7.00	23.50	1.72
7.20	22.50	1.59
7.83	20.50	1.32
8.60	18.80	1.11
14.41	11.30	0.44

Une bande passante de 7 MHz est donc choisie pour tous les filtres de l'architecture.

Réjection des filtres

Conformément à la figure 1.13, le bruit dans la bande UMTS TDD (2010-2025 MHz) doit rester inférieur à -90 dB. Dans cette bande, le filtre SAW [EPC04] n'apporte aucune atténuation. Il faut donc veiller à ce que les images des CNA, une fois modulées dans la chaîne directe, aient un niveau inférieur à -90 dB.

D'autre part, un filtrage insuffisant de l'image à $2f_{ol} - f_{bb}$ du signal démodulé dans la chaîne de retour engendre une mauvaise réjection de l'image à $f_{ol} + f_{bb}$ du signal modulé dans la chaîne directe, se traduisant par la chute de la puissance de sortie.

Le niveau de bruit dans la bande UMTS TDD et la réjection de l'image dans le modulateur RF permettent de déterminer l'ordre des filtres de l'émetteur à boucle cartésienne.

Pour ce faire, la réjection nécessaire pour les filtres de boucle et de chaîne directe a été simulée sous Harmonic Balance avec le modèle de la figure 3.2, à la puissance maximale (0 dBm en sortie). Ainsi, les filtres de boucle doivent fournir une réjection de 60 dB de la première image des CNA (avec une fréquence d'échantillonnage $f_e = 110\text{MHz}$) et une réjection d'au moins 100 dB de la composante à $2f_{ol} - f_{bb}$. Les filtres de Butterworth présentant des pentes de -20 dB par décade, des filtres de boucle d'ordre 3 sont donc nécessaires.

Les filtres de la chaîne directe doivent atténuer la première image des CNA de 40 dB ($f_e = 110\text{MHz}$). Des filtres de Butterworth d'ordre 2 suffisent.

3.5 Stabilité de la boucle cartésienne

Pour garder le système stable, il faut conserver une marge de phase supérieure à 60° . La réduction de la marge de phase est due à la rotation de phase RF dans la chaîne directe, mais aussi au déphasage en bande de base au long de la boucle.

3.5.1 Correcteur de phase

La phase du PPA entre 1920 et 1980 MHz est prédominante pour la phase globale du système. Il est possible de concevoir un PPA dont la phase induirait une marge de phase du système global supérieure à 60° pour que la boucle reste stable.

Par contre, le déphasage en bande de base imposé par les filtres dégrade la linéarité par augmentation de l'EVM lors de la rotation des symboles. Ce déphasage et l'augmentation de l'EVM peuvent être limités par réduction de la bande passante des filtres auquel cas la réjection de l'ACPR dans les canaux adjacents diminue.

Pour maximiser les performances de linéarisation de la boucle cartésienne à la fois en terme d'ACPR et d'EVM, l'utilisation d'un correcteur de phase est nécessaire dans la boucle de retour.

3.5.2 Stabilité d'un système bouclé mixte

Les considérations générales sur la stabilité de la boucle cartésienne présentées dans 2.3.1 ne traitent pas de composants en temps discret.

Les parties analogiques des chaînes directe et de retour sont assimilées à des systèmes du premier ordre ¹ en temps continu avec des retards respectifs τ_{FW} et τ_{FB} (Cf. figure 3.5). Les parties numériques des chaînes directe et de retour sont considérées comme des systèmes discrets du premier ordre avec des retards Te_{CNA} et Te_{CAN} . Ces retards doivent

¹Les retards dans la partie analogique sont dominés par les filtres de la chaîne directe et de la chaîne de retour. Bien que ces filtres soient d'ordre 2 dans la chaîne directe et d'ordre 3 dans la boucle de retour pour respecter le masque de bruit en WCDMA, ils sont tout de même approximés à des systèmes du premier ordre pour simplifier l'expression de la fonction de transfert du système bouclé. La condition de stabilité est alors plus stricte et garantit une marge de stabilité supplémentaire.

tenir compte de la fréquence d'échantillonnage, mais aussi du retard introduit par les traitements de la partie numérique de la boucle cartésienne.

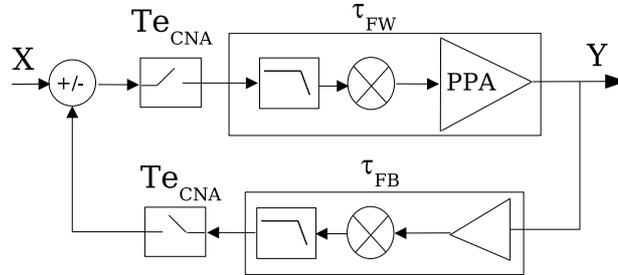


FIG. 3.5 – Représentation de la fonction de transfert du système

La fonction de transfert est d'abord décrite en temps continu dans le domaine de Laplace et ensuite en temps discret avec la transformée en Z. La fonction de transfert du système global s'exprime en temps discret comme suit :

$$\frac{X(z)}{Y(z)} = \frac{z(z - e^{-\frac{T e_{CAN}}{\tau_{FB}}})}{(z - e^{-\frac{T e_{CNA}}{\tau_{FW}}})(z - e^{-\frac{T e_{CAN}}{\tau_{FB}}}) + z^2} \quad (3.7)$$

Le critère de stabilité en Z donne la condition 3.8 sur les délais dans l'architecture :

$$T e_{CNA} < \tau_{FW} [\ln(2 - e^{-\frac{T e_{CAN}}{\tau_{FB}}}) - \ln(1 - e^{-\frac{T e_{CAN}}{\tau_{FB}}})] \quad (3.8)$$

Pour éviter la multiplicité des horloges dans le système, les CNA et les CAN ont la même fréquence d'échantillonnage f_e . Celle-ci est choisie de sorte que la première image du signal, à la fréquence f_e en sortie des CNA, et à la fréquence $f_{RF\ TX} + f_e$ en sortie du modulateur RF, tombe avant la bande de réception WCDMA (Cf. équation 3.9) où les contraintes de bruit sont très sévères.

$$f_{RF\ TX} + f_e < 2.11\ GHz \quad (3.9)$$

De plus, il faut que f_e soit suffisamment élevée pour que la première image à la fréquence $f_{RF\ TX} + f_e$ se trouve au-delà de la bande d'émission WCDMA (Cf. équation 3.10).

$$f_{RF\ TX} + f_e > 1.98\ GHz \quad (3.10)$$

On en déduit l'inégalité 3.11

$$60\ MHz < f_e < 130\ MHz \quad (3.11)$$

Une fréquence d'échantillonnage supérieure à 100 MHz permet de réduire l'ordre des filtres de la chaîne directe à 2, les filtres de boucle étant d'ordre 3. En simulation comportementale de filtre de Butterworth sous ADS, les filtres de la chaîne directe présentent des retards de 32 ns (τ_{FW}), alors que ceux de la boucle de retour ont un retard de 45 ns.

D'autre part, selon l'architecture de la partie numérique présentée sur la figure 3.24, qui sera détaillée par la suite, la durée du traitement d'un symbole est estimée à moins de 20 périodes d'horloge. Le délai total de la chaîne de retour lié aux filtres analogiques et aux retards des traitements numériques avec une fréquence d'horloge de 110 MHz conduit à un retard τ_{FB} de 205 ns. Ainsi, avec des retards τ_{FW} de 32 ns et τ_{FB} de 227 ns, la condition de stabilité de l'équation 3.8 est satisfaite.

3.6 Linéarité de la boucle cartésienne

3.6.1 Tests de linéarité en WCDMA

La linéarité de la chaîne directe ou de la boucle cartésienne complète est testée en appliquant en entrée, un ton dont la fréquence se trouve dans le canal d'émission WCDMA, soit $f_0 = 1 \text{ MHz}$ comme l'indique la figure 3.6.

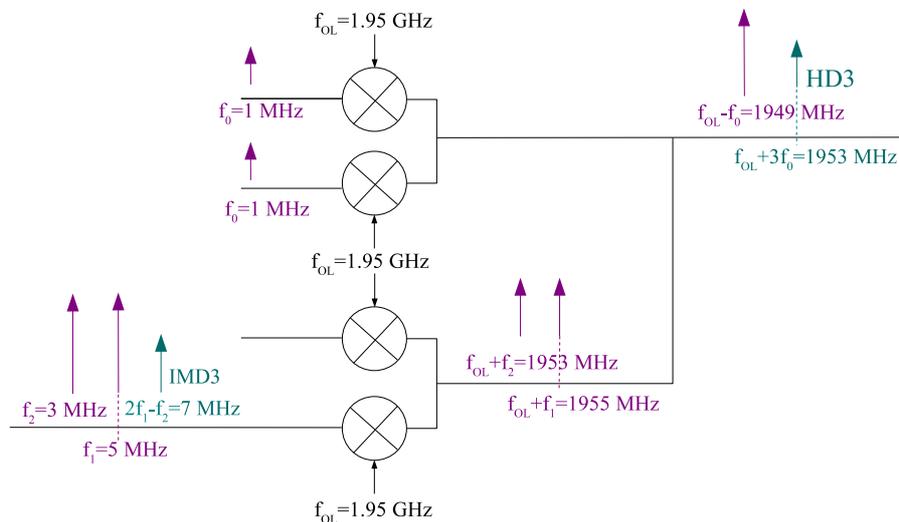


FIG. 3.6 – Tests de linéarité du troisième ordre

Le ton d'OL est fixé arbitrairement au milieu de la bande d'émission (1920-1980 MHz), à $f_{OL} = 1.95 \text{ GHz}$. La linéarité de la chaîne directe Zero-IF est définie par le niveau d'HD3

en sortie à $f_{OL} + 3f_0 = 1953 \text{ MHz}$.

La linéarité de la chaîne de retour est évaluée grâce à un test identique à celui qui serait utilisé pour un récepteur. On effectue un test deux tons f_1 et f_2 . Les produits d'Inter-Modulation d'ordre 3 (IMD3) se trouvent aux fréquences $2f_1 - f_2$, $2f_1 + f_2$, $f_1 - 2f_2$ et $f_1 + 2f_2$. Pour caractériser la linéarité de la chaîne de retour, il faut choisir 2 tons dont au moins un des IMD3 après démodulation tombe dans les canaux adjacents au canal WCDMA tout en restant dans la bande passante de la boucle cartésienne (Cf. figure 3.6). Ainsi, les tons 1953 et 1955 MHz, en entrée de la chaîne de retour, sont démodulés respectivement à 3 et 5 MHz et donnent un IMD3 à $2f_1 - f_2$, où $f_1 = 5 \text{ MHz}$ et $f_2 = 3 \text{ MHz}$.

3.6.2 Etude de la linéarité de la chaîne de retour avec les noyaux de Volterra

L'étude de la linéarité d'un système bouclé avec les noyaux de Volterra, du paragraphe 2.3.3, a mis en évidence que les composants de la boucle de retour doivent être très linéaires pour conserver l'effet de linéarisation. Connaissant la linéarité requise en WCDMA, il est utile d'estimer la linéarité globale du système prenant en compte la contribution des éléments de la chaîne directe et de la boucle de retour aux distorsions.

L'expression du noyau d'ordre 3 de la fonction de transfert du système global G est rappelée dans l'équation 3.12, où les H_i sont les noyaux d'ordre i de la fonction de transfert de la chaîne directe et les B_i ceux de la chaîne de retour.

$$G_3(f_1, f_1, f_1) = G_1(f_1)^4 \left(\frac{H_3(f_1, f_1, f_1)}{H_1(f_1)^4} - B_3(f_1, f_1, f_1) \right) \quad (3.12)$$

Ainsi, à partir de l'équation 3.12, les non-linéarités de la chaîne de retour $B_3(f_1, f_1, f_1)$ peuvent s'exprimer comme une fonction des non-linéarités de la chaîne directe $H_3(f_1, f_1, f_1)$ et de la linéarité globale requise à la sortie du système $G_3(f_1, f_1, f_1)$ à l'ordre 3 (Cf. équation 3.13).

$$B_3(f_1, f_1, f_1) = \frac{-G_3(f_1, f_1, f_1)}{G_1(f_1)^4} + \frac{H_3(f_1, f_1, f_1)}{H_1(f_1)^4} \quad (3.13)$$

Pour conserver l'effet de linéarisation de la boucle, le gain H_1 de la chaîne directe doit être grand (entre 20 et 40 dB). Ainsi, dans l'équation 3.13, le terme $\frac{H_3}{H_1}$ est négligeable. B_3 dépend donc principalement des noyaux G_1 et G_3 de la fonction de transfert de la boucle cartésienne.

G_1 est le gain du système bouclé. Il est calculé dans la section 3.3 et vaut -5.4 dB .

G_3 est évalué en utilisant l'équation (3.14) donnée dans [San99].

$$HD3_G = \frac{1}{4} G_3(f_1, f_1, f_1) \cdot V_{IN}^3 \quad (3.14)$$

$HD3_G$ est le niveau maximal de distorsion d'ordre 3, à la sortie de la boucle cartésienne. Selon les recommandations de la norme WCDMA [3GP02], l'HD3 ne doit pas dépasser -30 dBc à l'antenne. En sortie de la boucle cartésienne, la spécification d' $HD3_G$ est réduite à -40 dBc afin de laisser une marge pour les non-linéarités de l'amplificateur de puissance qui suit la boucle cartésienne.

V_{IN} est le module du vecteur formé par les voies I et Q en entrée, dont le niveau est arbitrairement fixé à la tension d'alimentation de la technologie cible, à savoir 1.2 V en CMOS 65 nm de STMicroelectronics. Le calcul de G_3 permet de déduire la valeur de B_3 .

Pour dimensionner la linéarité de la chaîne de retour, le point d'interception d'ordre 3 (Input Interception Point, $IIP3_B$) en entrée de la chaîne de retour doit être déterminé. L' $IIP3$ est le niveau de puissance en entrée pour lequel le niveau de puissance en sortie chute de 3 dB par rapport à sa valeur théorique en fonction du gain petit signal.

Grâce à l'équation 3.15 établie dans [San99], un $IIP3_B$ de 14 dBV est spécifié, avec B_3 précédemment calculé et $B_1(f_1)$, le gain de la chaîne de retour (G_{FB}), de 5.3 dB (Cf. équation 3.6).

$$IIP3_B = \sqrt{\frac{4}{3} \frac{B_1(f_1)}{B_3(f_1, f_1, f_1)}} \quad (3.15)$$

La boucle cartésienne relâche les contraintes de linéarité de la chaîne directe au détriment des contraintes de linéarité de la chaîne de retour. Un atténuateur de 20 dB est donc nécessaire à l'entrée de la chaîne de retour pour ramener l' $IIP3_B$ à une valeur plus raisonnable de -6 dBV.

3.7 Bruit de la boucle cartésienne

3.7.1 Comportement en bruit de la boucle cartésienne

Le comportement en bruit de la boucle cartésienne a été étudié au paragraphe 2.3.2. En utilisant le diagramme bloc équivalent de la figure 3.7, la boucle cartésienne est assimilée à un système bouclé à une seule voie avec un contributeur de bruit N_1 dans la chaîne directe et un contributeur de bruit N_2 dans la chaîne de retour.

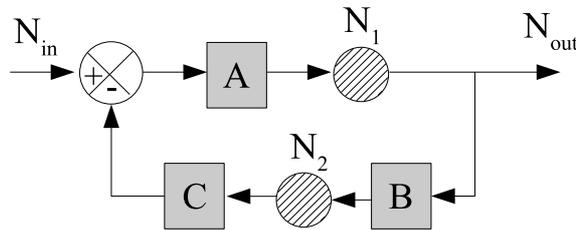


FIG. 3.7 – Modélisation du bruit dans la boucle cartésienne

Le bruit en sortie N_{out} s'exprime selon les équations 3.16 et 3.17.

$$N_{out}(\omega) = \frac{A(\omega)(N_{in} + N_1) + A(\omega)C(\omega)N_2}{1 + A(\omega)B(\omega)C(\omega)} \quad (3.16)$$

$$\text{si } A(\omega)B(\omega)C(\omega) \gg 1 \text{ alors } N_{out} \simeq \frac{N_1}{B(\omega)C(\omega)} + \frac{N_2}{B(\omega)} \quad (3.17)$$

Dans la bande passante de la boucle cartésienne, le bruit N_1 dans la chaîne directe est atténué par le gain de boucle $B(\omega)C(\omega)$. En dehors de la bande passante de la boucle cartésienne, le bruit N_1 reste constant. Globalement, les performances de bruit hors bande sont moins bonnes que celles d'une chaîne Zero-IF classique, car le bruit des éléments résistifs de la boucle de retour est amplifié en sortie de l'émetteur.

3.7.2 Spécification WCDMA

L'émetteur RF doit respecter le masque de bruit de la figure 1.13. Le fonctionnement full duplex des communications radio mobiles WCDMA, impose de fortes contraintes de bruit à l'émetteur dans la bande de réception (RX) WCDMA (2110-2170 MHz). Ainsi, le niveau de bruit de l'émetteur dans la bande RX doit être inférieur à -180 dBm/Hz. Avec une atténuation de -41 dB du filtre SAW [EPC04] dans la bande RX, une isolation de

50 dB du duplexeur d'antenne et un gain de 30 dB sur l'amplificateur de puissance, le niveau de bruit dans la bande RX doit rester inférieur à -119 dBm/Hz à la sortie du PPA (Cf. figure 3.8).

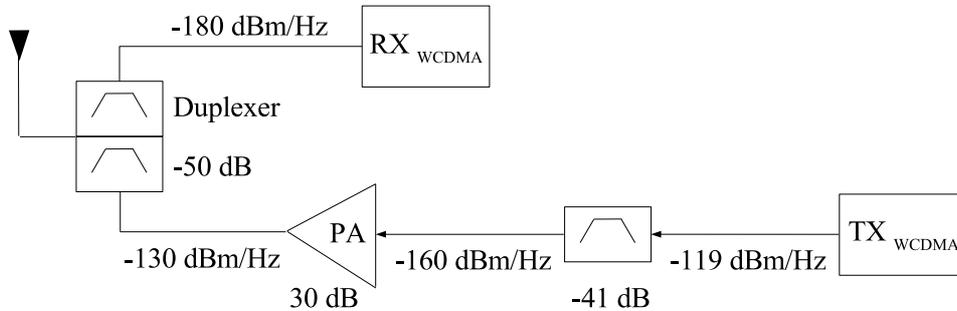


FIG. 3.8 – Spécification de bruit ramenée en sortie de l'émetteur WCDMA

Selon le modèle du paragraphe précédent, le bruit en sortie de la boucle cartésienne n'est atténué par le gain de boucle que dans la bande passante du système bouclé. Pour garantir un niveau de bruit inférieur à -119 dBm/Hz, soit $708 \text{ nV}/\sqrt{\text{Hz}}$ sous 200Ω dans la bande RX WCDMA, il faut un niveau de bruit dans la bande passante de la boucle cartésienne inférieur au niveau de bruit dans la bande RX WCDMA atténué du gain de boucle 1.84 (Cf. équation 3.6), c'est à dire inférieur à $385 \text{ nV}/\sqrt{\text{Hz}}$.

Le niveau de bruit requis en sortie en fonction de la fréquence est représenté sur la figure 3.9.

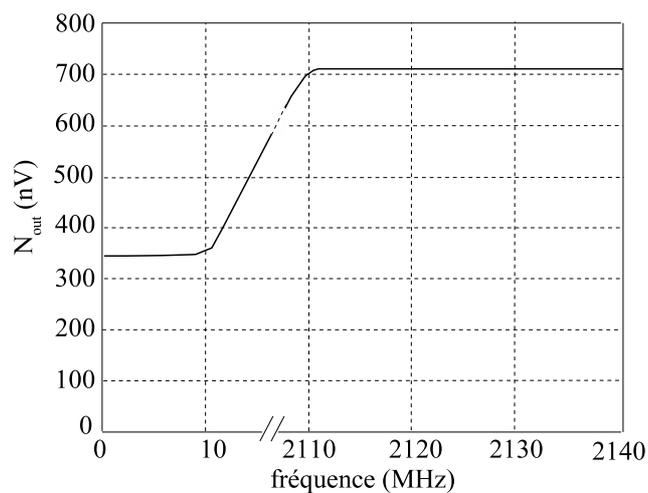


FIG. 3.9 – Niveau de bruit en sortie en fonction de la fréquence

3.7.3 Spécification de bruit pour les chaînes directe et de retour

D'après l'équation (3.16), le bruit N_2 de la chaîne de retour dans la bande passante de la boucle cartésienne est amplifié à la sortie du PPA. Ce bruit est principalement causé par les filtres de boucle. Les contributions en bruit des démodulateurs et de l'atténuateur hors de la bande passante de boucle sont annulées par les filtres de boucle.

Dans la bande passante des filtres de boucle, le bruit de l'atténuateur et du démodulateur n'est pas filtré. Pour éviter des contributions de bruit supplémentaires, l'atténuateur est réalisé à l'aide d'un pont diviseur capacitif.

Le gain de l'atténuateur est fixé par la linéarité de la chaîne de retour dans le paragraphe 3.6.2. Pour relâcher la contrainte de linéarité à l'entrée du démodulateur tout en limitant le gain sur les filtres de boucle, un gain d'atténuateur de -20 dB est choisi (soit un gain linéaire de 0.1).

Pour obtenir un IIP3 élevé de 12 dBm (Cf. paragraphe 3.6.2) à l'entrée du démodulateur, il faut utiliser des mélangeurs passifs dont le gain de conversion vaut $\frac{2}{\pi}$, soit -4 dB (soit un gain linéaire de 0.64).

La démodulation des voies I_{retour} et Q_{retour} en quadrature occasionne une perte de 3 dB (soit un gain linéaire de 0.7).

Dans la bande passante de la boucle cartésienne, les niveaux de bruit N_1 en sortie de la chaîne directe et N_2 à l'entrée des filtres de boucle doivent vérifier l'équation 3.18 déduite de l'équation 3.17.

$$N_{out} \simeq \frac{N_1}{1.84} + \frac{N_2}{0.1 \times 0.64 \times 0.7} = 385 \text{ nV}/\sqrt{Hz} \quad (3.18)$$

Pour un niveau de bruit N_2 de $10 \text{ nV}/\sqrt{Hz}$, N_1 doit être inférieur à $300 \text{ nV}/\sqrt{Hz}$ (soit -126 dBm/Hz) d'après l'équation 3.18. En autorisant un niveau de bruit N_2 supérieur, soit $15 \text{ nV}/\sqrt{Hz}$ par exemple, le niveau N_1 tombe à $90 \text{ nV}/\sqrt{Hz}$. Il est donc plus raisonnable de garder N_2 à $10 \text{ nV}/\sqrt{Hz}$.

Ces spécifications de bruit sont validées par simulation Harmonic Balance du modèle de la figure 3.2, complété par des sources de bruit placées comme sur la figure 3.7.

Considérant les niveaux N_1 et N_2 précédemment définis, l'équation 3.19 permet de calculer

les facteurs de bruit (NF, Noise Figure) des chaînes directe et de retour.

$$NF_{\text{en tension}} = 20 \cdot \log\left(1 + \frac{\text{bruit ramené à l'entrée}}{\text{bruit de la source à l'entrée}}\right) \quad (3.19)$$

Le niveau de bruit de la source d'entrée est équivalent au bruit d'une résistance R_0 de 50Ω . Il est déterminé grâce à l'équation 3.20, où la constante de Boltzman vaut $1.38 \cdot 10^{-23} \text{ JK}^{-1}$ et T vaut 297 K (24°C).

$$\text{bruit de la source à l'entrée} = \sqrt{4KTR_0} \quad (3.20)$$

Finalement, les NF ont été calculés comme étant 18 dB pour la chaîne directe et 22 dB pour la chaîne de retour avec les niveaux N_1 et N_2 requis pour respecter le niveau de bruit dans la bande RX.

Les contraintes de bruit de la boucle cartésienne sont relâchées aux vues des facteurs de bruit élevés. Par contre le niveau de bruit requis dans la chaîne de retour est très sévère. Pour éviter de rajouter du bruit de mode commun au bruit thermique, une structure différentielle est nécessaire dans la boucle de retour.

3.8 Offset DC et fuite d'oscillateur local

Les dispersions liées au procédé technologique engendrent un mauvais appariement des composants entre eux qui se traduit par un décalage en courant continu (offset DC). Cet offset DC est transposé à la fréquence de l'OL dans le modulateur RF, on parle de fuite d'OL comme l'indique la figure 3.10.

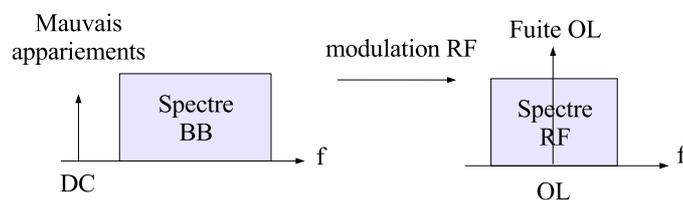


FIG. 3.10 – Fuite d'OL dans un émetteur RF

Cette fuite d'OL est impossible à filtrer, car elle est située dans le canal de propagation. Elle est nuisible pour la sensibilité du récepteur.

3.8.1 Modèle mathématique de l'offset DC pour la boucle cartésienne

Dans une chaîne Zero-IF classique, les CNA et les mélangeurs génèrent une composante continue, appelée a sur la figure 3.11, qui une fois modulée se transforme en fuite d'OL, $a \cos(\omega_{OL}t)$, en sortie du modulateur RF.

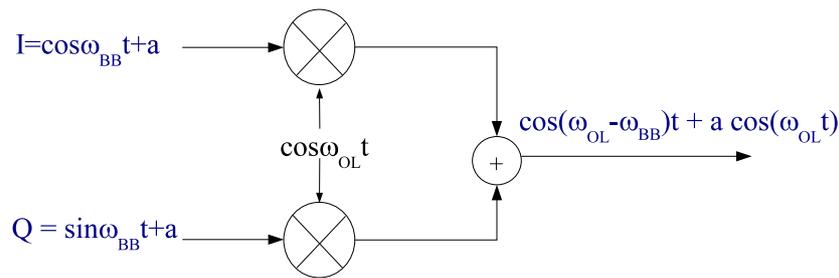


FIG. 3.11 – Création de la fuite d'OL dans une chaîne Zero-IF

Dans la boucle cartésienne, cette fuite d'OL est démodulée dans la chaîne de retour en un terme continu d'amplitude $a/2$ (Cf. figure 3.12).

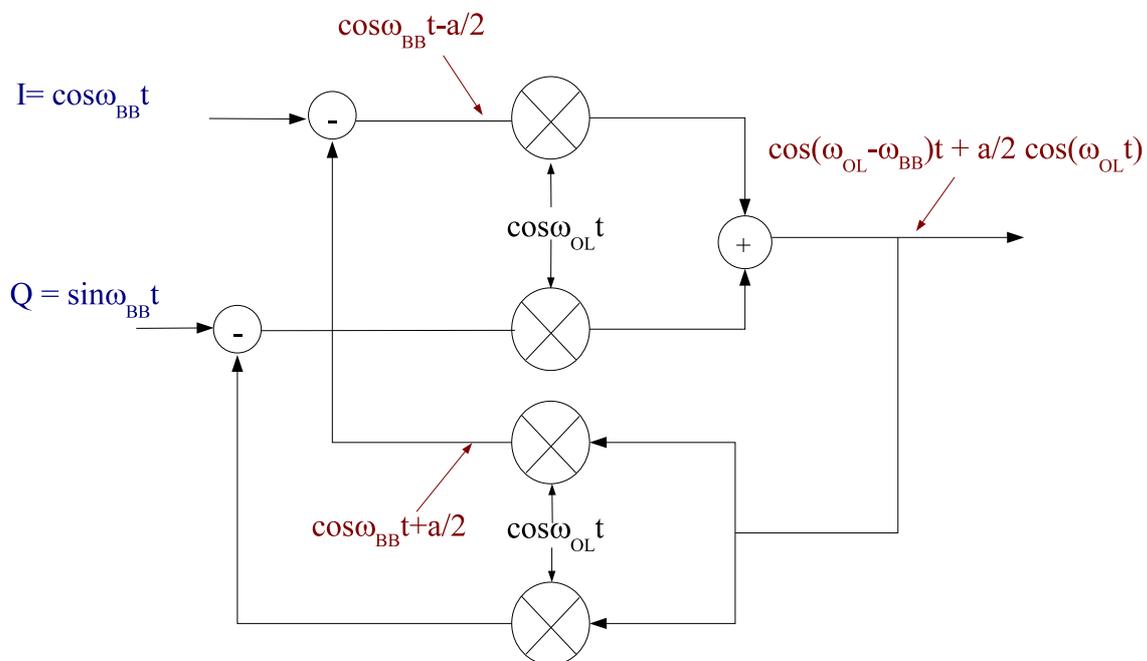


FIG. 3.12 – Correction de la fuite d'OL par la boucle cartésienne

Grâce à la contre-réaction, la composante continue en entrée du modulateur RF est en partie corrigée. La fuite d'OL en sortie de la boucle cartésienne est ainsi réduite par effet de boucle.

Par contre, la composante continue des éléments de la chaîne de retour n'est pas compensée par la boucle. Il faut la corriger, car elle peut saturer les CAN à faible niveau de puissance. Cette correction doit laisser indemne la composante continue dans la chaîne de retour issue de la démodulation de la fuite d'OL de la chaîne directe pour préserver l'effet de boucle sur la réduction de la fuite d'OL en sortie de l'émetteur. Il convient donc de supprimer la composante continue de la chaîne de retour dans la boucle comme le décrit la figure 3.13.

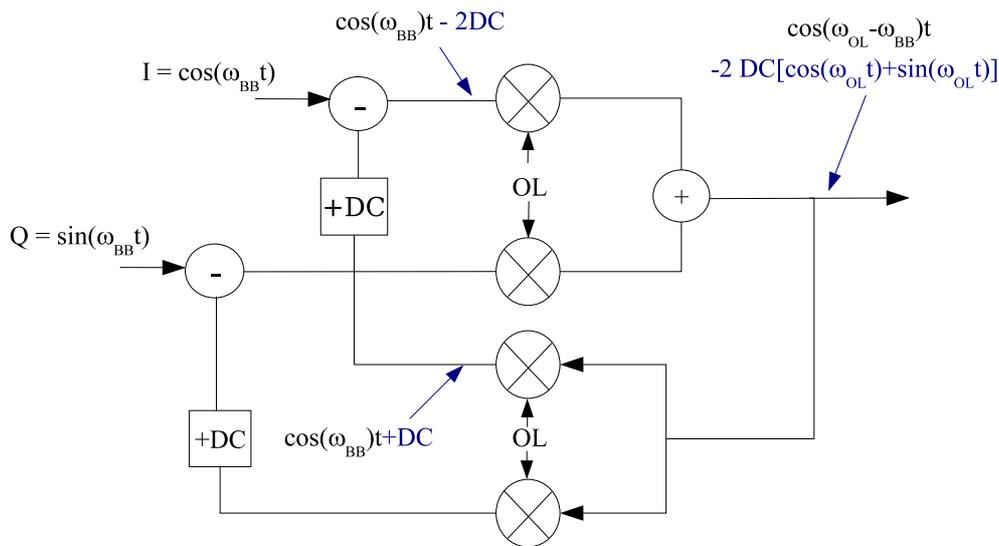


FIG. 3.13 – Correction du DC offset de retour dans la CFB

La correction peut être effectuée dans la partie numérique. La composante DC peut être mesurée à différentes températures dans la chaîne de retour en l'absence de signal RF et quand la boucle est ouverte avant l'atténuateur. On peut tout aussi bien utiliser la boucle cartésienne pour mesurer la valeur de l'offset DC de la chaîne de retour dans une phase de calibration en l'absence de signal.

3.8.2 Spécification WCDMA pour la fuite d'oscillateur local

Le niveau de fuite d'OL autorisé en WCDMA est dérivé de la spécification d'EVM. D'après le paragraphe 1.7.3, l'EVM doit être inférieur à 17.5 % pour des puissances à l'antenne comprises entre 24 et -20 dBm. Pour les puissances inférieures à -20 dBm, une augmentation raisonnable de quelques pourcents de l'EVM est tolérée.

Le PA étant externe à la boucle cartésienne, le budget d'EVM est réduit à 7 %, une fois ramenée en sortie de l'émetteur. Deux spécifications d'EVM sont définies en sortie d'émetteur. La première à 7 % concerne les puissances allant de 24 à -20 dBm à l'antenne, soit 0 à -44 dBm en sortie d'émetteur. La deuxième relâchée à 12 % porte sur les puissances plus faibles de -45 à -74 dBm en sortie d'émetteur. Ces valeurs d'EVM permettent de définir les niveaux de fuite d'OL autorisés. Le niveau de fuite d'OL admissible pour un EVM donné est obtenu par simulation ADS Ptolemy (Cf. figure 3.14).

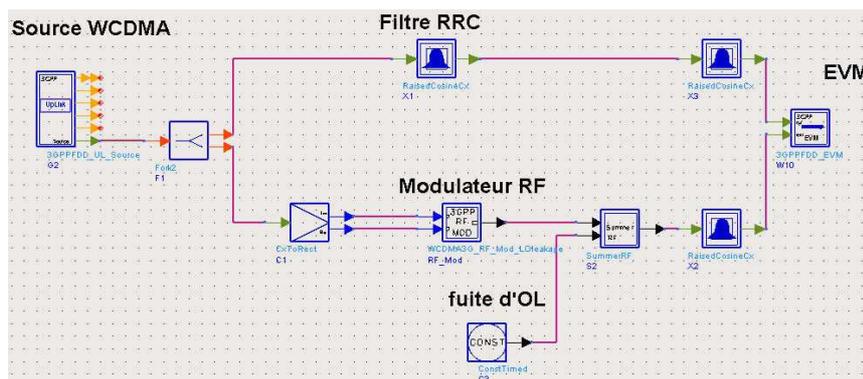


FIG. 3.14 – Simulation de l'EVM en présence de fuite d'OL

En sortie d'un modulateur RF comportemental alimenté par une source WCDMA, une composante de fuite d'OL est ajoutée. L'EVM en sortie de l'émetteur est simulé pour divers niveaux de fuite d'OL. Les spécifications d'OL du tableau 3.3 sont ainsi déterminées.

TAB. 3.3 – Niveaux de fuite d'OL en sortie de l'émetteur

Puissances de sortie (dBm)	EVM (%)	Fuite d'OL (dBc)
0 à -44	7	-67
-45 à -74	12	-42

La boucle cartésienne réduit la fuite d'OL d'un facteur inversement proportionnel au gain de boucle. Avec les valeurs de gain définies au paragraphe 3.3, les spécifications de fuites d'OL en sortie de la boucle cartésienne données dans le tableau 3.4 sont ajustées.

TAB. 3.4 – Niveaux de fuite d'OL en sortie de la boucle cartésienne

Puissances de sortie (dBm)	EVM (%)	Fuite d'OL (dBc)
0 à -44	7	-22
-45 à -74	12	3

3.9 Pulling d'oscillateur local en Zero-IF

Un émetteur Zero-IF ne comporte qu'un seul étage de conversion des signaux bande de base en RF. A la sortie du PPA, le signal RF peut perturber l'oscillateur local comme le montre la figure 3.15.

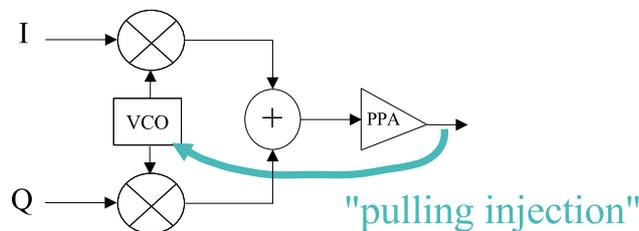


FIG. 3.15 – Pulling en Zero-IF

La fréquence d'oscillation du VCO est décalée de f_{LO} à $f_{LO'}$.

3.9.1 Modèle mathématique du pulling dans la boucle cartésienne

Pour analyser le pulling dans la boucle cartésienne, on utilise la représentation de la figure 3.16.

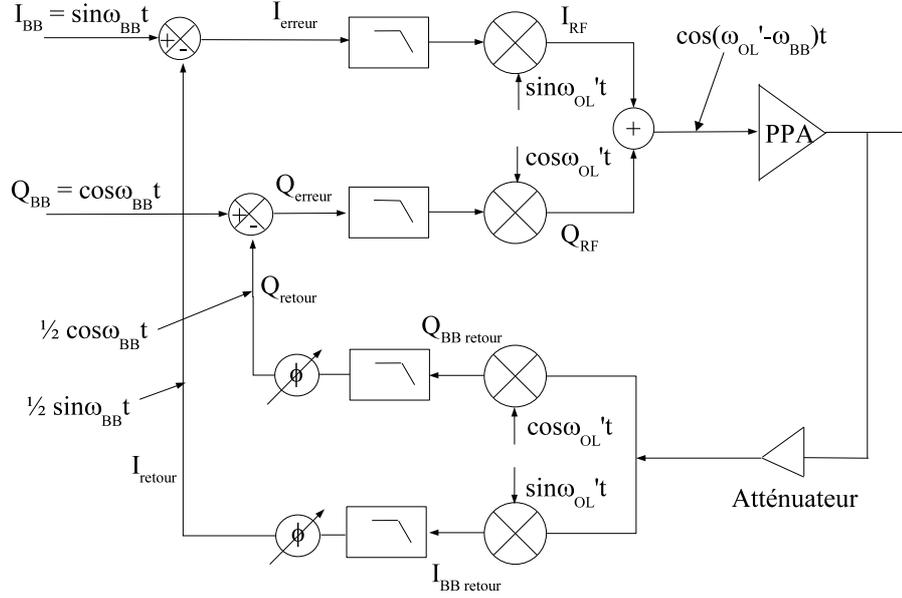


FIG. 3.16 – Pulling dans la boucle cartésienne

La chaîne directe et la boucle de retour utilisent le même oscillateur local. Sous l'effet du pulling, la pulsation de cet oscillateur local ω_{LO} est décalée à la pulsation ω_{LO}' .

Pour comprendre l'influence de la boucle cartésienne sur l'effet de pulling, l'expression du signal de sortie en fonction des signaux d'entrée I et Q et avec un OL décalé à ω_{OL}' est calculée.

$$I_{BB} = \sin \omega_{BB} t \quad (3.21)$$

$$Q_{BB} = \cos \omega_{BB} t \quad (3.22)$$

$$I_{RF} = \sin \omega_{BB} t \cdot \sin \omega_{OL} t = \frac{1}{2} \cos(\omega_{OL}' - \omega_{BB}) t - \frac{1}{2} \cos(\omega_{OL}' + \omega_{BB}) t \quad (3.23)$$

$$Q_{RF} = \cos \omega_{BB} t \cdot \cos \omega_{OL} t = \frac{1}{2} \cos(\omega_{OL}' - \omega_{BB}) t + \frac{1}{2} \cos(\omega_{OL}' + \omega_{BB}) t \quad (3.24)$$

$$I_{RF} + Q_{RF} = \cos(\omega_{OL}' - \omega_{BB}) t \quad (3.25)$$

$$I_{BB \text{ retour}} = \cos(\omega_{OL}' - \omega_{BB}) t \cdot \sin \omega_{OL} t = \frac{1}{2} \sin(2\omega_{OL}' - \omega_{BB}) t + \frac{1}{2} \sin(\omega_{BB}) t \quad (3.26)$$

$$Q_{BB \text{ retour}} = \cos(\omega_{OL}' - \omega_{BB}) t \cdot \cos \omega_{OL} t = \frac{1}{2} \cos(2\omega_{OL}' - \omega_{BB}) t + \frac{1}{2} \cos(\omega_{BB}) t \quad (3.27)$$

Les termes en $(2\omega_{OL}' - \omega_{BB}) t$ sont éliminés par filtrage.

$$I_{\text{erreur}} = \sin \omega_{BB}t - \frac{1}{2} \sin \omega_{BB}t = \frac{1}{2} \sin \omega_{BB}t \quad (3.28)$$

$$Q_{\text{erreur}} = \cos \omega_{BB}t - \frac{1}{2} \cos \omega_{BB}t = \frac{1}{2} \cos \omega_{BB}t \quad (3.29)$$

Les signaux d'erreur des équations 3.28 et 3.29 ne comportent aucun terme qui pourrait corriger le décalage fréquentiel. La boucle cartésienne n'atténue donc pas l'effet du pulling. Le signal de sortie reste décalé à la pulsation ω_{OL} .

On peut tout de même se demander comment se comporterait la boucle cartésienne vis à vis du pulling, dans l'hypothèse où on utiliserait deux oscillateurs différents dans la chaîne directe et dans la boucle de retour, et que cette dernière serait suffisamment isolée de la sortie RF pour ne pas subir le pulling. Dans ce cas, la boucle cartésienne ne corrigerait ni l'effet du pulling, ni aucune autre imperfection la chaîne directe. En effet, une condition indispensable au bon fonctionnement de la boucle cartésienne est la démodulation synchrone dans la boucle de retour. Sans quoi, la puissance de sortie est toujours décalée à la pulsation ω_{OL} , sa valeur est bien supérieure à celle attendue en présence de contre-réaction jusqu'à atteindre la compression des éléments de la chaîne directe.

3.9.2 Pulling en WCDMA

C'est le deuxième harmonique du signal RF qui perturbe le signal d'OL. Il faut distinguer trois cas pour l'harmonique 2 (H2) :

- si H2 est dans la bande d'accrochage de la PLL, alors le signal d'OL est asservi par la PLL et il n'y a pas de pulling
- si H2 est en dehors de la bande d'accrochage de la PLL et dans la bande passante du VCO, alors il y a du pulling
- si H2 est en dehors de la bande d'accrochage de la PLL et en dehors de la bande passante du VCO, alors il n'y a pas de pulling

La bande passante d'une PLL va de quelques dizaines de kHz pour les PLL entières, à une centaine de kHz pour les PLL fractionnaires.

La bande passante d'un VCO est égale à la fréquence centrale divisée par le coefficient de qualité de l'oscillateur, généralement compris entre 15 et 20. Avec une fréquence centrale

de 4 GHz et un facteur de qualité de 20, la bande passante du VCO vaut 200 MHz. Pour un signal WCDMA dans la bande d'émission entre 1920 et 1980 MHz, l'H2 a une fréquence comprise entre 3840 et 3961 MHz. Avec une bande passante de PLL de 100 kHz, une bande passante de VCO de 200 MHz, l'H2 en WCDMA est en dehors de la bande passante de la PLL et en dehors de la bande passante du VCO.

Ainsi, le pulling ne serait pas un problème en WCDMA, car le spectre est large bande.

3.9.3 Précautions contre le pulling

Les mélangeurs doivent voir une faible impédance, car le courant du deuxième harmonique (H2) du signal RF dépend de l'excursion de tension en sortie.

Les blocs suivant les mélangeurs doivent avoir une réjection du mode commun, car l'H2 est principalement en mode commun. Une structure différentielle est donc préférée pour les éléments de la chaîne directe de l'émetteur.

De plus, il faut réduire les émissions magnétiques en évitant les inductances sur le chemin du signal RF, car le pulling est principalement dû au couplage magnétique par le substrat.

Un moyen très répandu pour éviter le pulling consiste à utiliser un oscillateur local fonctionnant à $2 \times \omega_{OL}$ suivi d'un diviseur par 2. Cette méthode est encore plus efficace avec un rapport de fréquence qui n'est pas un multiple pair de la fréquence d'OL.

Le pulling peut aussi être causé par couplage électromagnétique des réseaux d'adaptation en sortie de l'émetteur et en entrée du récepteur.

L'étude approfondie du pulling impose de connaître le récepteur associé à l'émetteur.

3.10 Contrôle de gain

3.10.1 Contrôle de gain pour un émetteur WCDMA

Conformément au paragraphe 1.5, l'émetteur doit fournir une dynamique de puissance de 75 dB par pas de 1 dB. Ces 75 dB peuvent être répartis entre les traitements numériques en bande de base, les circuits analogiques en bande de base et l'émetteur RF. Toutefois, il existe des restrictions au contrôle de gain en bande de base numérique et analogique. En effet, dans la partie bande de base numérique, le contrôle de gain est limité par le

plancher de bruit de quantification des CAN dans la chaîne directe et des CNA dans la boucle de retour.

Les convertisseurs opèrent une quantification du signal en approximant ce dernier à la valeur discrète la plus proche. Ils induisent ainsi une erreur de conversion, appelée bruit de quantification, qui est d'autant plus faible que le nombre de pas de quantification est grand. Lorsque le signal à convertir atteint les derniers pas d'atténuation, son niveau peut devenir inférieur à celui du bruit de quantification et le signal n'est plus converti. Habituellement, le plancher de bruit de quantification des convertisseurs invalide les deux premiers pas de quantification.

Dans la partie bande de base analogique, entre les CNA et le modulateur RF, le contrôle de gain est aussi limité. Le mauvais appariement des composants génère une composante continue qui va être transposée à la fréquence d'OL par le modulateur RF générant de la fuite d'OL. Le niveau de fuite d'OL est constant, car il ne dépend que du mauvais appariement des composants en DC. Lors du contrôle de gain en bande de base analogique, la réjection de fuite d'OL est d'autant plus mauvaise que le signal diminue.

3.10.2 Solution classique à base de VGA

Pour toutes les raisons précédemment évoquées, le contrôle de gain est généralement effectué en RF. Pour ce faire, un ou plusieurs amplificateurs à gain variable (Variable Gain Amplifier, VGA) sont utilisés comme l'indique la figure 3.17.

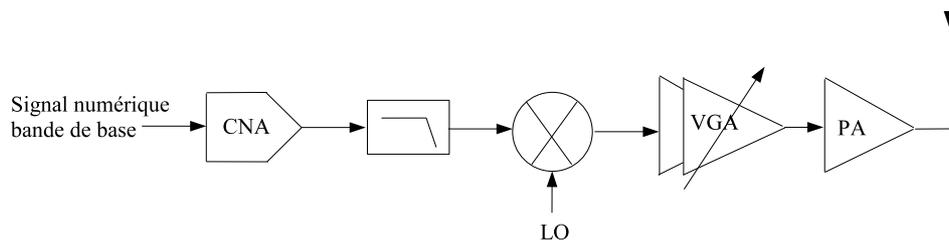


FIG. 3.17 – Chaîne classique de contrôle de gain

Ainsi, c'est l'ensemble du spectre qui voit sa puissance atténuée et le niveau de la fuite d'OL diminue avec le niveau de signal utile. Dans ce cas, le niveau de fuite d'OL est dépendant du niveau du signal.

Poursuivant les objectifs de réduction de surface et de consommation, nous envisageons tout de même de réaliser la plus grande part du contrôle de gain dans la partie numérique. Il faudra donc concevoir des circuits qui permettent de passer outre les problèmes de fuite d'OL et de plancher de bruit de quantification.

3.10.3 Solution numérique

Implémentation logarithmique

Concernant les VGA numériques, le brevet [CNS04] propose de réaliser le contrôle de gain dans le domaine logarithmique. Cette invention permet de remplacer le multiplieur complexe des VGA numériques classiques par une addition réduisant à la fois le délai, la surface et la consommation en courant. La conversion des signaux du domaine linéaire au domaine logarithmique emploie des tables (Look Up Table, LUT). La taille de ces tables est fonction de la plage de dynamique de gain à effectuer.

Dans l'hypothèse où l'émetteur à boucle cartésienne réaliserait la majeure partie du contrôle de gain dans la partie numérique, il faudrait de grandes LUT de l'ordre du Ko (KiloOctet), 2 pour la conversion linéaire/logarithmique et 2 pour la conversion logarithmique/linéaire.

En technologie CMOS 65 nm, le niveau d'intégration est tel que l'utilisation de multiplieur est largement envisageable tant en surface que pour les délais comparé à la taille des LUT nécessaires dans la version logarithmique.

Implémentation linéaire

Le système de contrôle de gain repose sur un VGA pour augmenter ou diminuer le niveau d'entrée (Cf. figure 3.18).

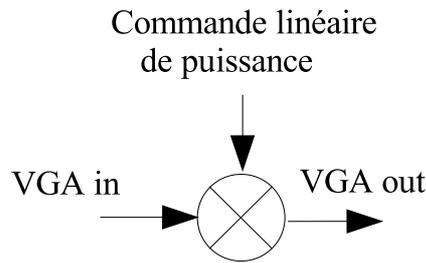


FIG. 3.18 – calcul de l’atténuation de la puissance dans le VGA numérique

Une majeure partie de l’atténuation est fournie par le VGA numérique à l’entrée de la boucle cartésienne [TG05]. Dès lors, de très fortes contraintes pèsent sur les convertisseurs de la boucle cartésienne, car la dynamique de conversion dépend de leur résolution.

Le plus petit niveau codé par un convertisseur appelé LSB (Least Significant Bit) est défini dans l’équation 3.30.

$$LSB = \frac{V_{ref}}{2^n} \quad (3.30)$$

Pour une conversion sur 1 bit, le LSB vaut $0.5 V$, soit $-6 dB$ ($V_{ref} = 1 V$). Pour une conversion sur 2 bits, le LSB vaut $0.25 V$, soit $-12 dB$ ($V_{ref} = 1 V$). Un bit correspond ainsi 6 dB de dynamique.

Pour coder 75 dB, il faut donc une résolution de 13 bits à laquelle on ajoute 2 bits pour coder le bruit de quantification.

La résolution et la fréquence d’échantillonnage sont des caractéristiques antagonistes de la conception des convertisseurs. D’après la section 3.5, la fréquence d’échantillonnage doit être au moins 110 MHz. Un couple résolution/vitesse de 15 bits/110 MHz semble difficile à obtenir avec le savoir-faire actuel de la conception des convertisseurs et ce d’autant plus avec une technologie CMOS 65 nm, où la tension d’alimentation est réduite à 1.2 V.

Etat de l’art des convertisseurs

Les CNA en courant atteignent des fréquences de fonctionnement de 400 MHz, mais leur résolution n’excède pas 10 bits. Une calibration des sources de courant permet d’augmenter la résolution jusqu’à 16 bits au détriment de la fréquence d’échantillonnage.

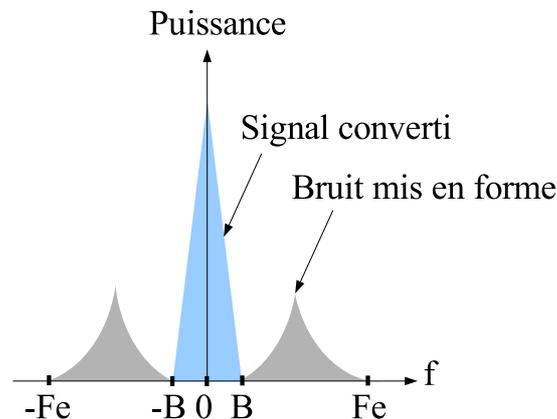
Les CAN flash fonctionnent jusqu'à 1 GHz, mais ont une résolution limitée à 8 bits, alors que les CAN pipeline ont une grande résolution allant jusqu'à 16 bits, mais sont plus lents et ne dépassent pas les 200 MHz.

TAB. 3.5 – Etat de l'art des convertisseurs

CAN pipeline 10 bits [MSS05]	200 MHz
CAN pipeline 12 bits [AHB ⁺ 05]	110 MHz
CAN pipeline 10 bits [YKGW05]	125 MHz
CNA en courant 11 bits [MHM ⁺ 05]	160 MHz
CNA en courant 10 bits [CPYY04]	200 MHz
CNA en courant 12 bits [HJS04]	150 MHz

Pour des résolutions inférieures à 16 bits les fréquences d'échantillonnage des CNA en courant et des CAN pipeline peuvent dépasser les 110 MHz requis pour la boucle cartésienne, comme l'indique le tableau 3.5.

Les CAN $\Sigma\Delta$ [CT91] comportent un CAN 1 bit qui sur-échantillonne le signal d'entrée et une contre-réaction qui effectue une mise en forme du bruit de quantification pour obtenir une plus grande résolution en sortie. Cette mise en forme de bruit est réalisée dans la boucle de retour grâce à un filtre analogique prévoyant l'erreur de quantification soustraite au signal à convertir. Ainsi, le signal converti est débarrassé du bruit de quantification qui est rejeté en dehors de la bande passante $[-B,B]$ du convertisseur comme l'indique la figure 3.19.

FIG. 3.19 – Mise en forme du bruit dans le convertisseur $\Sigma\Delta$

Avec ce type de convertisseur, le filtrage anti-repliement n'est plus nécessaire. Par contre, un filtre numérique est impératif pour supprimer le bruit de quantification hors bande.

Jusqu'à présent, les convertisseurs $\Sigma\Delta$ avaient une faible bande passante de quelques MHz. De récents efforts [YJ05] ont permis de réaliser un CAN $\Sigma\Delta$ avec une bande passante de 23 MHz, une fréquence d'échantillonnage de 276 MHz et une dynamique de 72 dB équivalente à une résolution de 12 bits.

Avec un tel convertisseur, il n'est pas nécessaire de réserver des bits pour le plancher de bruit de quantification puisque ce dernier est mis en forme hors bande.

De plus, il permet de reporter le filtrage de boucle dans la partie numérique pour une meilleure intégration. Ainsi, les contraintes de délais dans la boucle de retour pourraient être relâchées. En effet, les filtres numériques équivalents pourraient être légèrement plus rapides à condition que la fréquence de sur-échantillonnage soit supérieure à 124 MHz. Un filtre analogique de Butterworth d'ordre 3 a un délai de 45 ns et le filtre à réponse impulsionnelle infinie numérique équivalent aurait un délai de 5,6 échantillons, soit 28 ns avec une fréquence de sur-échantillonnage de 200 MHz.

De surcroît, les convertisseurs $\Sigma\Delta$ ont un SNR théorique de 90 dB beaucoup plus élevé que le SNR de 60 dB d'un CAN classique et qui permettrait de diminuer le SNR cible de la partie numérique.

Dynamique de conversion

Les plus petites puissances que des CNA et des CAN de différentes résolutions peuvent convertir, sans tomber sous le plancher de bruit de quantification, avec une tension de référence de 1.2 V, sont données dans le tableau 3.6.

TAB. 3.6 – Puissances minimales théoriques converties pour divers convertisseurs

convertisseurs	Pmin (dBV)
CNA 16 bits	-83
CNA 14 bits	-71
CNA 10 bits	-47
CAN $\Sigma\Delta$ équivalent 12 bits	-70
CAN $\Sigma\Delta$ équivalent 10 bits	-58

Pour un CNA en courant, les 2 premiers bits sont réservés pour coder le plancher de bruit de quantification. Pour un convertisseur $\Sigma\Delta$, le bruit de quantification est filtré. Dans ce cas, le plus petit niveau codé est le LSB.

Les convertisseurs sont conçus pour fonctionner dans une gamme d'amplitudes analogiques limitée (en entrée pour les CAN et en sortie pour les CNA). Cette dynamique de conversion est appelée pleine échelle de conversion.

Plus l'entrée de la boucle cartésienne est atténuée, plus les signaux I/Q_{erreur} sont faibles et risquent de tomber sous le plancher de bruit de quantification des convertisseurs, mais aussi en dehors de la pleine échelle.

Pour la boucle cartésienne, tant que le gain de la chaîne directe est grand devant le gain de boucle, le gain global ne dépend que du gain de boucle. Ainsi, les niveaux des signaux d'entrée des CNA peuvent varier sans modifier la puissance de sortie. Pour les faibles niveaux de puissance, les signaux à convertir peuvent être adaptés à la plage de conversion des CNA par application d'un gain suffisamment grand pour que les signaux convertis soient supérieurs au plancher de bruit de quantification des CNA.

Par contre, le gain de la chaîne de retour doit rester constant. Si on adapte les signaux

démodulés de la chaîne de retour à la plage de conversion des CAN en appliquant un gain G_{adapt} , il faudra atténuer les signaux après conversion dans la partie numérique de $\frac{1}{G_{adapt}}$. Ainsi, le gain de la chaîne de retour ne sera pas affecté par l'opération de conversion.

Par ailleurs, pour des puissances inférieures à -20 dBm à l'antenne, soit -44 dBm en sortie de la boucle cartésienne, il n'est plus nécessaire de linéariser les éléments de la chaîne directe, car la spécifications d'EVM est relâchée (Cf. paragraphe 1.7.3) et le niveau des distorsions harmoniques est faible. Il est alors envisageable de "by-passer" la contre-réaction de la boucle cartésienne, comme l'indique la figure 3.20.

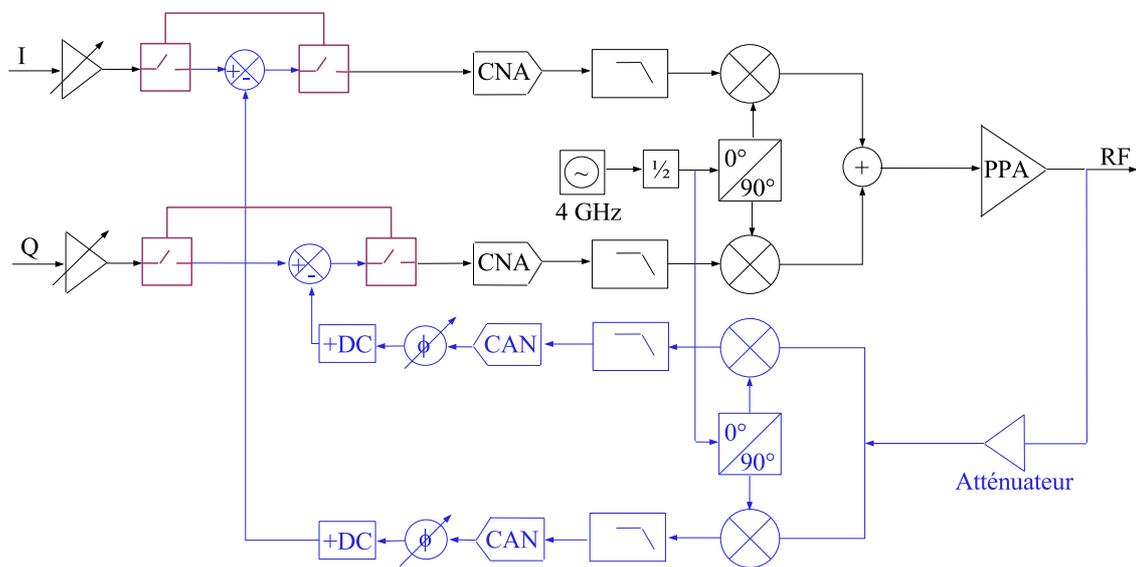


FIG. 3.20 – Ouverture de la boucle pour les faibles niveaux de puissance

Cette technique permet de réduire la consommation en fonction du contrôle de gain et de résoudre le problème de la limitation de la dynamique de conversion des CAN dans la chaîne de retour.

Choix des convertisseurs

Des CNA en courant avec une résolution de 10 bits et une fréquence d'échantillonnage de 110 MHz ont été choisis. Les deux premiers bits servant à coder le bruit de quantification, il reste alors en théorie 8 bits pour coder la dynamique de gain, soit 48 dB. En réalité, les convertisseurs ont une dynamique beaucoup plus limitée que la théorie. Le signal à convertir devra être adapté à la plage de conversion d'une part pour résoudre les problèmes

de pleine échelle, mais aussi pour réaliser la plage complète de 75 dB de dynamique de gain.

Des CAN $\Sigma\Delta$ adéquats pour l'émetteur à boucle cartésienne nécessitant un temps de développement trop important, une solution plus classique, avec des CAN pipeline 10 bits fonctionnant à 110 MHz, est adoptée.

3.11 Partie numérique

La partie numérique est composée d'un VGA pour chacune des voies, d'un bloc de calcul de l'erreur de phase, d'un multiplieur complexe et de deux soustracteurs. La partie analogique introduit du retard sur les symboles (I_{FB}, Q_{FB}) . La marge de phase diminue et le système peut devenir instable. D'autre part, le déphasage en bande de base cause la rotation des symboles (I_{erreur}, Q_{erreur}) par rapport aux symboles d'entrée (I,Q) et par conséquent l'augmentation de l'EVM (Cf. figure 3.21).

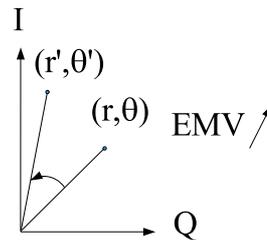


FIG. 3.21 – Rotation des symboles WCDMA

Il est donc nécessaire de corriger la phase des symboles (I_{FB}, Q_{FB}) avant de les soustraire aux symboles d'entrée (I,Q).

3.11.1 Correction de phase

Pour corriger la phase dans la boucle cartésienne, plusieurs solutions ont déjà été présentées au paragraphe 2.3.4. J.L. Dawson décrit un correcteur de phase automatique basé sur un correcteur proportionnel intégral [Daw03]. Malheureusement, cette solution impose que l'amplitude des signaux de retour soit constante, or en WCDMA l'enveloppe du signal varie.

Dans [CSP03], la phase est corrigée par des tensions externes. Cette correction n'est donc

pas complètement automatique. Une autre solution commune consiste à appliquer une correction de phase par modification des signaux d'OL, mais cette solution conduit à une surconsommation contraire à nos objectifs.

Il est donc nécessaire de calculer explicitement le terme d'erreur de phase avant d'opérer la correction qui consiste à faire pivoter le symbole WCDMA S d'un angle θ' égal à l'erreur de phase, comme l'indique la figure 3.22.

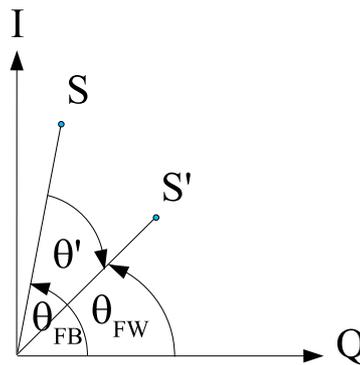


FIG. 3.22 – Correction de phase par rotation circulaire des symboles WCDMA

Cette correction consiste à appliquer une rotation vectorielle plane. Dans le plan, une rotation vectorielle est déterminée par son angle θ . Sa matrice dans une base orthonormée est définie ci-dessous.

$$\begin{bmatrix} \cos \theta & -\sin \theta \\ +\sin \theta & \cos \theta \end{bmatrix} \quad (3.31)$$

Ainsi, un point P de coordonnées $[x, y]$ a pour transformée le point P' de coordonnées $[x', y']$, selon l'égalité vectorielle 3.32.

$$\begin{bmatrix} x' \\ y' \end{bmatrix} = \begin{bmatrix} \cos \theta & -\sin \theta \\ +\sin \theta & \cos \theta \end{bmatrix} \begin{bmatrix} x \\ y \end{bmatrix} \quad (3.32)$$

L'algorithme CORDIC (Coordinate Rotation Digital Computer)[VKP00], présenté en annexe B, permet de calculer la rotation circulaire de l'équation 3.33 de manière itérative en évitant d'utiliser des multiplieurs complexes. Cet algorithme a pourtant été écarté, car il nécessite un grand nombre d'itérations pour obtenir une bonne précision sur le terme

de déphasage (supérieur à 10).

D'autre part, avec la technologie CMOS 65 nm, l'intégration de multiplieur complexe pour calculer la rotation circulaire n'est plus un obstacle.

On opte donc pour un calcul de la rotation circulaire à base de multiplieur complexe, sans pour autant implémenter de fonction trigonométrique qui conduirait à une surface de circuit trop importante. Les valeurs d'arc-tangente, de sinus et de cosinus nécessaires au calcul de la rotation sont lues dans des LUT.

D'abord, l'erreur de phase entre (I_{FB}, Q_{FB}) et (I, Q) est calculé : $\theta' = \theta_{FW} - \theta_{FB}$.

Ensuite, une rotation circulaire (3.33) d'angle θ' est appliquée sur (I_{FB}, Q_{FB}) pour corriger l'erreur de phase.

$$\begin{bmatrix} I'_{FB} \\ Q'_{FB} \end{bmatrix} = \begin{bmatrix} \alpha \cos \theta' & -\sin \theta' \\ +\alpha \sin \theta' & \cos \theta' \end{bmatrix} \begin{bmatrix} I_{FB} \\ Q_{FB} \end{bmatrix} \quad (3.33)$$

Afin de ne pas fausser les traitements de la partie numérique, il est nécessaire de corriger les erreurs d'appariement de gain des signaux I_{FB} et Q_{FB} avant de calculer l'erreur de phase à partir de θ_{FB} . Ainsi, dans l'équation 3.33, α est la valeur de l'erreur d'appariement de gain I/Q_{FB} . Cette valeur peut-être mesurée quand la boucle est ouverte avant l'atténuateur, en l'absence de signal RF et ce pour différentes températures. Finalement, le symbole corrigé (I'_{FB}, Q'_{FB}) est soustrait au symbole d'entrée (I, Q) pour donner $(I'_{erreur}, Q'_{erreur})$.

3.11.2 Délai

Le délai de la partie numérique doit être maîtrisé pour respecter les contraintes temps réel de l'application d'une part et pour garder le système stable d'autre part. Quelque soit le débit binaire des données à émettre, le débit des chips est toujours de 3.84 Mcps. Le délai global de la boucle ne doit donc pas dépasser le délai entre deux chips WCDMA consécutifs, à savoir 260 ns.

Le retard dans la partie analogique est essentiellement causé par les filtres passe-bas. Les filtres choisis pour la chaîne directe et la boucle de retour donnent des délais respectifs de 32 et 45 ns. Un budget de 80 ns de retard est attribué pour la partie analogique, laissant les 180 ns restantes pour le délai de la partie numérique. A la fréquence de 110 MHz, les traitements de la partie numérique devront être réalisés en 20 coups d'horloge.

3.11.3 Budget SNR de la partie numérique

L'utilisation du format virgule fixe, justifiée au paragraphe 3.11.6, pour coder les données de la partie numérique, introduit une erreur de quantification qui se traduit par une dégradation du rapport signal à bruit, noté SNR_{num} , en sortie de la partie numérique, engendrant une augmentation de l'EVM.

Compte-tenu de la définition de l'EVM donnée au paragraphe 1.7.3, l'EVM en sortie de la boucle cartésienne s'exprime en fonction de l'EVM en sortie de chaque composant de l'architecture et du SNR_{num} selon l'équation 3.34.

$$EVM(\%) = \sqrt{\sum_i (EVM_i)^2 + 10^{\frac{-SNR}{10}}} \times 100 < 7\% \quad (3.34)$$

Au paragraphe 3.8.2, un EVM de 7% maximum est spécifié en sortie de la boucle cartésienne, laissant une marge suffisante à la contribution du PA pour garder un EVM à l'antenne inférieur à 17.5 %, comme le recommande la norme WCDMA [3GP02].

Le tableau 3.7 donne l'EVM des blocs de l'émetteur WCDMA du démonstrateur *ST-Microelectronics* en technologie SiGeC BiCMOS présenté dans l'article [Pel05].

TAB. 3.7 – Contributions d'EVM

Contributeur	EVM (%)
filtre RRC	1.5
CNA	1.5
modulateur RF	4.3
PPA	3
CAN	1.5

Utilisant ces valeurs à titre indicatif, l'EVM en sortie de la boucle cartésienne est estimée à 5.3%, à l'aide de l'équation 3.34 (en ignorant la contribution de la partie numérique). Ainsi, sans compter la dégradation de l'EVM due à l'erreur de quantification dans la partie numérique de l'architecture, le budget d'EVM est presque épuisé.

D'autre part, l'étude de la linéarité dans la boucle cartésienne du paragraphe 3.6.2, indique

que les éléments de la chaîne de retour doivent être très linéaires pour préserver l'effet de linéarisation de la boucle. La spécification d'IIP3 du démodulateur fixée à 12 dBm semble déjà difficile à réaliser. La majeure partie des traitements numériques concernent la chaîne de retour. Il faut donc veiller à ce que l'erreur de quantification n'introduise pas de non-linéarité supplémentaire. En d'autres termes, la partie numérique doit avoir un EVM quasi nul.

Il s'agit donc de déterminer le SNR_{num} correspondant à un EVM de la partie numérique (EVM_{num}) proche de 0. Ainsi, la figure 3.23 présente la dégradation de l' EVM_{num} en fonction du SNR_{num} , calculée en utilisant l'équation 3.35.

$$EVM_{num}(\%) = \sqrt{10^{\frac{-SNR_{num}}{10}}} \times 100 \quad (3.35)$$

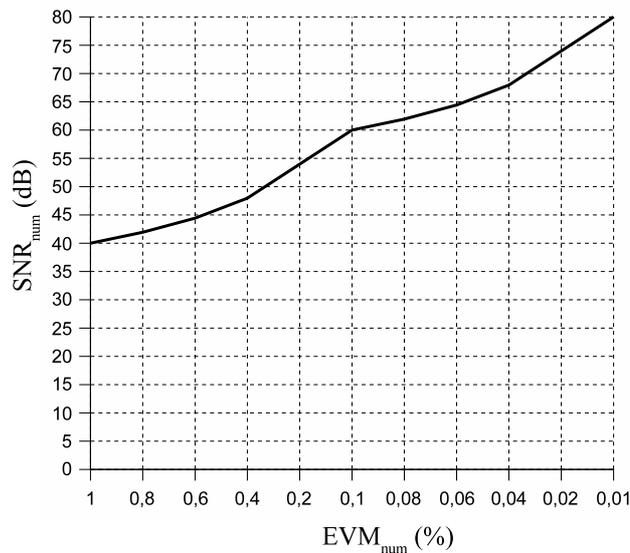


FIG. 3.23 – SNR_{num} en fonction de l' EVM_{num}

Pour des SNR_{num} compris entre 70 et 80 dB, l' EVM_{num} devient négligeable.

Un SNR_{num} élevé de 75 dB est donc choisi. Il sera ensuite utile pour dimensionner la taille du chemin de donnée de la partie numérique.

3.11.4 Architecture de la partie numérique

D'après la figure 3.24, la partie numérique se décompose en quatre blocs fonctionnels : le VGA numérique, le bloc de calcul de l'erreur de phase, le multiplieur complexe qui

exécute la rotation circulaire et le soustracteur.

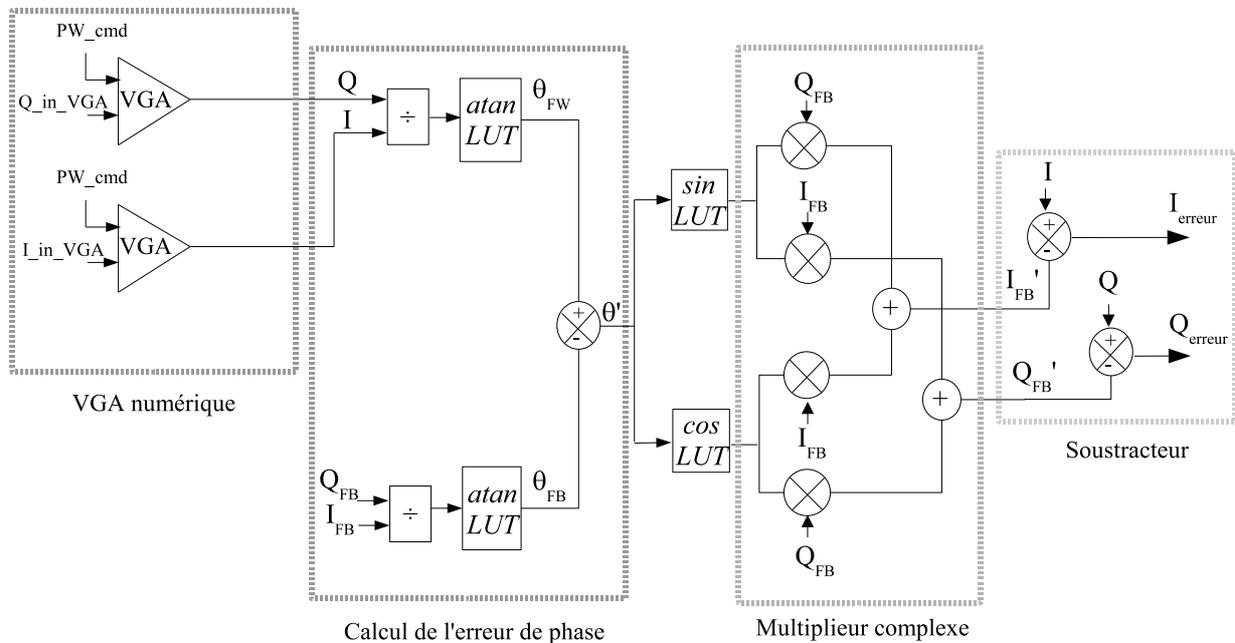


FIG. 3.24 – Architecture de la partie numérique

3.11.5 Validation fonctionnelle : modèle *Matlab Simulink*[®]

Avant de considérer le dimensionnement du chemin de donnée en virgule fixe, il convient de valider les fonctions de la partie numérique, à savoir le calcul de l'erreur de phase, la lecture des valeurs sinus et cosinus associées dans des LUT, la correction de phase dans le multiplieur complexe et la soustraction finale. Pour cette première validation, un modèle *Matlab Simulink*[®] manipulant des données réelles codées en virgule fixe a été utilisé. Des représentations de ce modèle à différents niveaux de hiérarchie sont données en annexe D. Le modèle en virgule fixe a été testé avec des données WCDMA. La simulation est décrite figure 3.25.

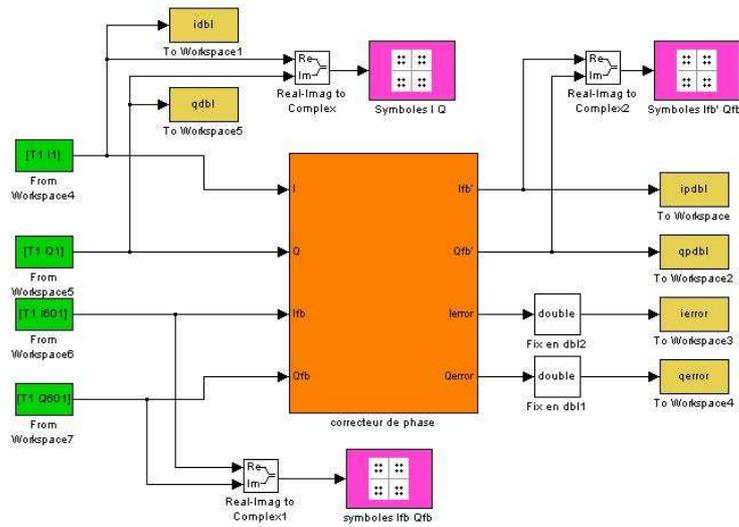


FIG. 3.25 – Test du modèle de correcteur de phase

Les fichiers de données WCDMA I , Q , I_{FB} et Q_{FB} ont été générés sous ADS Ptolemy en simulant l'émetteur à boucle cartésienne décrit avec des blocs comportementaux et alimenté par des sources WCDMA.

La figure 3.26 atteste du bon fonctionnement du correcteur de phase.

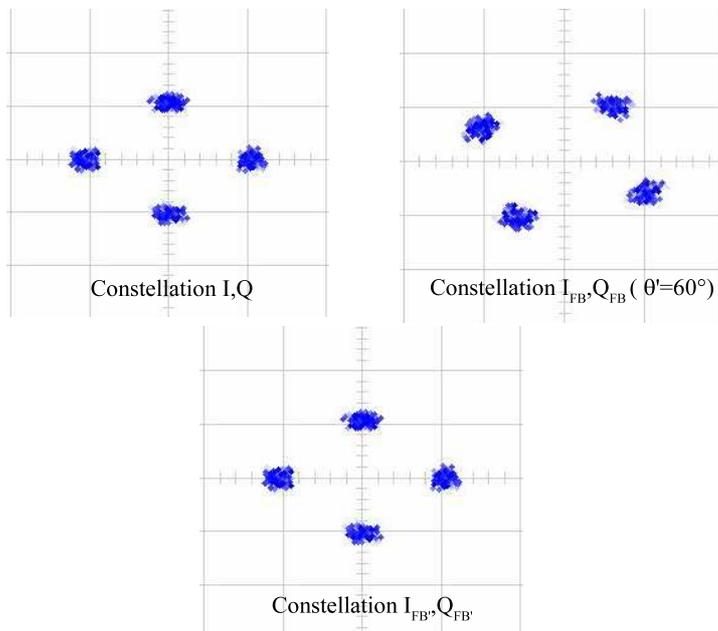


FIG. 3.26 – Correction du déphasage de la constellation WCDMA

En effet, alors que les symboles (I_{FB}, Q_{FB}) sont affectés d'un déphasage de 60° après être passés dans la boucle cartésienne, les symboles corrigés $(I_{FB'}, Q_{FB'})$ retrouvent la même position que les symboles d'entrée (I, Q) .

3.11.6 Dimensionnement du chemin de donnée

Implémentation en virgule fixe

Pour l'intégration de nombreux systèmes embarqués, fortement motivée par la réduction de la complexité des circuits, un codage en virgule fixe est préféré au codage en virgule flottante plutôt réservé aux applications qui nécessitent une grande précision comme le calcul scientifique.

Le format virgule fixe, décrit en annexe C, impose une gestion de la dynamique du signal à coder pour limiter la dégradation des performances des traitements. L'utilisation d'une dynamique finie introduit du bruit de quantification par saturation des données lors du débordement de capacité. Il importe d'ajuster au minimum la taille du chemin de donnée entre chaque opération, tout en respectant les contraintes de bruit. Pour ce faire, les deux modèles Matlab décrits auparavant sont utilisés. Le modèle reposant sur un codage des données en virgule flottante va servir de référence pour le calcul du SNR du modèle en virgule fixe.

Calcul du SNR après simulation du modèle

Les simulations avec *Matlab Simulink*[®] s'opèrent dans le domaine temporel. Pour calculer le SNR, un algorithme de transformée de Fourier rapide (FFT, Fast Fourier Transform) est appliqué sur les données des modèles en virgule fixe et en virgule flottante.

Le SNR est calculé en comparant la FFT des données (I_{erreur}, Q_{erreur}) en sortie du modèle en virgule fixe avec la FFT des données en sortie du modèle en virgule flottante manipulant des données réelles codées en virgule flottante double précision (sur 64 bits, dont 11 bits pour l'exposant). Plusieurs tailles du chemin de donnée ont été testées afin de déterminer la meilleure optimisation.

Avec un SNR cible de 75 dB en sortie de la partie numérique, 10 bits sont nécessaires pour

le calcul de l'erreur de phase (8 bits sur la partie fractionnaire, Cf. figure 3.27) alors que le multiplieur complexe et la soustraction finale requièrent 18 bits (16 bits sur la partie fractionnaire).

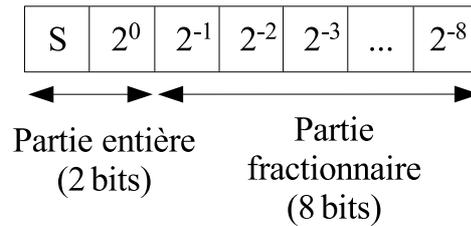


FIG. 3.27 – Format virgule fixe 10 bits

La principale cause de dégradation du SNR tient dans la première troncature lors du passage en virgule fixe après la conversion analogique/numérique.

Le multiplieur complexe requière un chemin de données plus important du simple fait qu'en virgule fixe, le résultat d'une multiplication a la taille de la somme des tailles des opérandes avec un doublement du signe explicité dans l'annexe C. Compte tenu du niveau des données en entrée de la boucle cartésienne, on peut tout de même réduire la taille du chemin de données à 18 bits dans le multiplieur complexe en gardant un SNR satisfaisant. Le soustracteur complexe doit aussi avoir un chemin de données de 18 bits, car la soustraction de valeur faible donne une valeur encore plus faible qui nécessite d'être codée sur une plus grande résolution.

En sortie du soustracteur, les données sont amplifiées de 48 dB pour pouvoir être codées sur 10 bits et ainsi avoir la même résolution que les CAN sans dégrader le SNR. Cette augmentation de gain ne modifie pas le gain global de la boucle cartésienne tant que le gain de la chaîne directe reste grand devant le gain de la chaîne de retour.

La figure 3.28 reprend les différentes tailles du chemin de données dans la partie numérique de la boucle cartésienne.

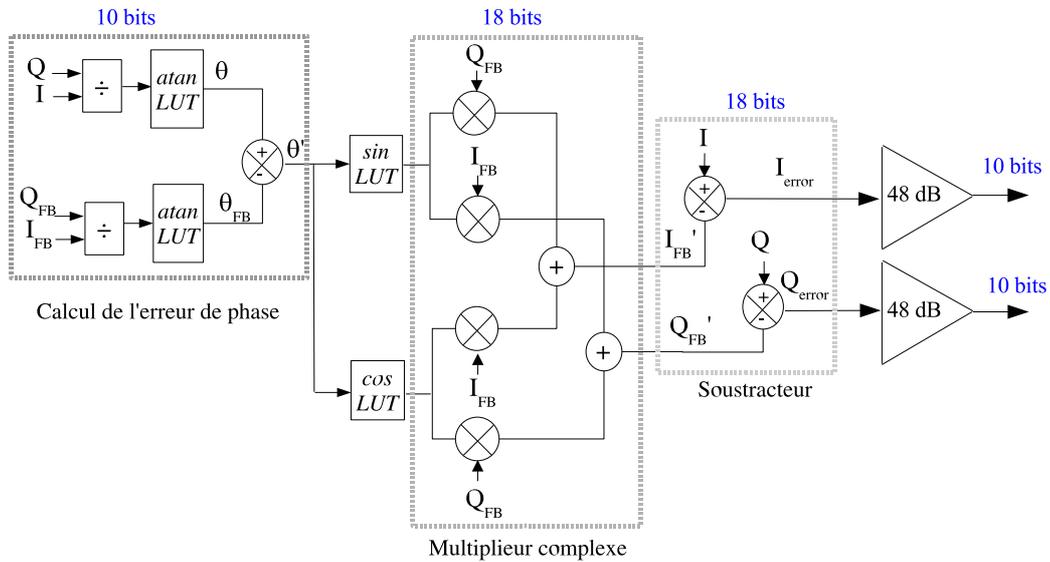


FIG. 3.28 – Chemin de données

3.12 Conclusion

La boucle cartésienne permet de corriger non seulement la linéarité, mais aussi le bruit et la fuite d'OL des composants de la chaîne directe. Tirant partie de cette propriété et dans la limite des spécifications de la norme WCDMA, les caractéristiques des blocs de la chaîne directe et de la chaîne de retour ont été déterminées (Cf. tableau 3.8).

TAB. 3.8 – Spécifications de la partie analogique

Gain de la chaîne directe	20 à 40 dB
Gain de la chaîne de retour	5.3 dB
Filtres chaîne directe	Passe-bas de Butterworth, ordre 2, $f_c = 7 \text{ MHz}$
Filtres de boucle	Passe-bas de Butterworth, ordre 3, $f_c = 7 \text{ MHz}$
Bruit en sortie de la chaîne directe	$300 \text{ nV}/\sqrt{\text{Hz}}$
Bruit ramené à l'entrée des filtres de boucle	$10 \text{ nV}/\sqrt{\text{Hz}}$
Fuite d'OL ($P_{out} \in [0, -44 \text{ dBm}]$)	-22 dBc
IIP3 du démodulateur	-6 dBV

Une boucle cartésienne composée de blocs comportementaux conformément à la figure 3.2, avec les gains et les bandes passantes précédemment définis, incluant une cellule de PPA non linéaire et des sources WCDMA en entrée, a été simulée avec le simulateur temporel Ptolemy d'ADS [TGT⁺05]. La figure 3.29 représente les spectres de sortie de la boucle cartésienne et de la chaîne Zero-IF équivalente à la chaîne directe.

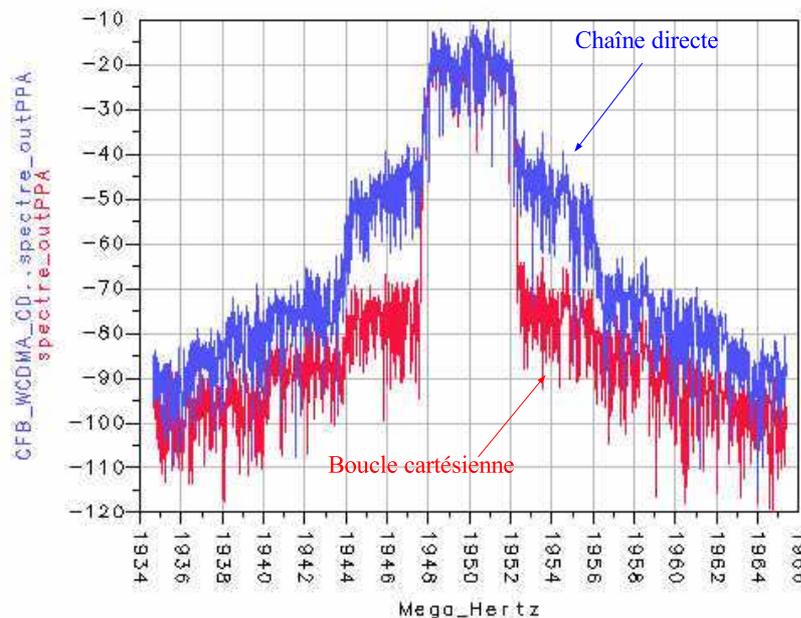


FIG. 3.29 – Linéarisation du spectre WCDMA de sortie grâce à la boucle cartésienne

L'ACPR à 5 MHz et 10 MHz de la porteuse sont respectivement réduits de 28 et 11 dB. L'EVM de 5.35% pour la chaîne directe est réduit à 0.42% grâce à la boucle cartésienne. On peut alors envisager de relâcher les contraintes de linéarité du PPA de -50 à -22 dBc pour l'ACPR à 5 MHz et de -60 à -49 dBc pour l'ACPR à 10 MHz. Le terme d'HD3 est réduit de 24 dB à la puissance maximale.

La taille du chemin de donnée dans la partie numérique résulte d'un compromis entre la complexité du matériel nécessaire, la précision et la rapidité d'exécution des calculs. Le tableau 3.9 résume les principales caractéristiques de la partie numérique.

TAB. 3.9 – Spécifications de la partie numérique

f_{clk}	>110 MHz
Chemin de donnée	10 bits (8 bits pour la partie fractionnaire)
Délai	~ 180 ns
SNR_{num}	75 dB

Le système de contrôle de gain numérique est limité par le plancher de bruit de quantification des convertisseurs et par la fuite d'OL. Le choix des convertisseurs est récapitulé dans le tableau 3.10.

TAB. 3.10 – Spécifications des convertisseurs

CNA en courant	10 bits 110 MHz
CAN pipeline	10 bits 110 MHz

Pour réaliser 75 dB de dynamique dans la partie numérique, en bande de base, il faut utiliser un circuit capable de convertir le signal en bande de base à la fréquence RF avec un niveau de fuite d'OL raisonnable sur toute la plage de puissance. La faisabilité d'un tel circuit en technologie CMOS 65 nm est discutée dans le chapitre 4.

ETUDE DE FAISABILITÉ DE L'INTÉGRATION SUR SILICIUM D'UNE BOUCLE CARTÉSIENNE EN TECHNO- LOGIE CMOS 65 NM

Sommaire

4.1	Contexte technologique	120
4.2	Partie numérique	122
4.2.1	Implémentation VHDL	123
4.2.2	Synthèse logique	126
4.2.3	Synthèse et analyse temporelle statique	127
4.3	Partie RF : chaîne directe	128
4.3.1	Modulateur IQ de la chaîne directe	129
4.3.2	PPA	139
4.3.3	Adaptation en sortie du PPA	139
4.4	Partie RF : chaîne de retour	140
4.4.1	Filtres de boucle	140
4.4.2	Atténuateur	144
4.4.3	Démodulateur IQ	146
4.5	Surface et consommation	149
4.5.1	Estimation de la surface et de la consommation de la boucle cartésienne	149
4.5.2	Comparaison avec les circuits existants	150
4.6	Conclusion	152

Ce dernier chapitre présente une étude de l'intégration des fonctions du système de boucle cartésienne précédemment décrit, en technologie CMOS 65 nm de STMicroelectronics.

Tout d'abord, la réalisation de la partie numérique a pour objectif de démontrer que la correction de phase et la soustraction peuvent être réalisées avec une latence inférieure à 180 ns, tout en présentant une surface et une consommation négligeables comparées à la partie RF. Les principaux aspects de la description VHDL (Very High Speed Integrated Circuit Hardware Description Language) de la partie numérique ainsi que les résultats de la synthèse logique seront exposés.

Ensuite, tirant partie des faibles contraintes de bruit et de linéarité des blocs de la chaîne directe, la conception du modulateur RF et du PPA sera menée dans le but de réduire la surface et la consommation des circuits.

L'élaboration d'une nouvelle topologie de circuit, maintenant un niveau de fuite d'OL faible sur toute la plage de puissance, permettra la réalisation du contrôle de gain numérique en amont de l'émetteur.

Concernant la chaîne de retour, un compromis entre le niveau de bruit ramené à l'entrée des filtres de boucle inférieur à $10 \text{ nV}/\sqrt{\text{Hz}}$ et la linéarité du démodulateur RF avec un IIP3 supérieur à -6 dBV sera adopté.

Enfin, pour déterminer si la boucle cartésienne répond aux attentes de l'industrie concernant la réduction des coûts, la surface du circuit ainsi que la consommation seront estimées. Nous pourrons alors conclure sur l'intérêt de l'architecture d'émetteur à boucle cartésienne.

4.1 Contexte technologique

L'arrivée des technologies nanométriques favorise le développement de systèmes complexes (SoC, System on Chip) répondant aux exigences accrues des nouveaux standards de télécommunication sans fil. La miniaturisation des transistors permet d'augmenter la densité des circuits numériques tout en diminuant à la fois les délais de commutation de grille,

la tension d'alimentation et par conséquent la consommation. De la technologie CMOS 90 nm à la technologie CMOS 65 nm, pour les circuits numériques, la surface est réduite de 50 %, la densité de portes logiques passe de 430 à 800 $kgate/mm^2$ et la vitesse de fonctionnement augmente de 33 %. Les transistors fonctionnant plus vite, il est alors possible d'intégrer des fonctions RF.

Néanmoins, les technologies nanométriques apportent de nouveaux défis aux concepteurs de circuits numériques et analogiques [GDC⁺05]. En technologie 65 nm, les phénomènes relevant de la mécanique quantique ne sont plus négligeables. Lorsque la source et le drain d'un transistor sont trop proches, la barrière de potentiel de source diminue, entraînant une chute de la tension de seuil (V_T).

Par ailleurs, la contribution du courant de fuite sous la tension de seuil (inversement proportionnel à la longueur du canal) devient significative pour la consommation.

Le courant de fuite de grille du transistor en conduction s'ajoute également à la consommation et peut perturber la fonctionnalité des circuits [Mat04].

Jusqu'à la technologie 0.13 μm , le délai de propagation dans les circuits diminue avec la taille des transistors. Ce délai est proportionnel à la longueur des pistes et inversement proportionnel à leur largeur. En CMOS 65 nm, si la largeur des pistes diminue, la longueur reste constante. En conséquence, le délai de propagation augmente. Dès lors, il est de plus en plus difficile de maintenir la synchronisation des circuits numériques avec une bonne distribution de l'arbre d'horloge, lors du placement routage.

Avec la réduction des dimensions des transistors, la variation des paramètres technologiques est d'autant plus sensible. Ainsi, la variation de la tension de seuil avec de faible tension d'alimentation ($V_{dd} - V_T$) peut engendrer des dysfonctionnements des circuits numériques. Pour compenser ces variations, les circuits sont sur-dimensionnés afin de garantir les délais de fonctionnement dans le pire des cas, à savoir pour le plus grand V_T , occasionnant alors une surconsommation.

Avec les technologies submicroniques, la surface des circuits analogiques ne diminue pas de manière significative, car la conception de ces circuits est contrainte par le bruit et le bon appariement des composants.

De plus, la diminution des tensions d'alimentation impose de limiter l'empilement de tran-

sistors pour maximiser la tension d'excursion sur la charge de sortie. En effet, pour un empilement de n transistors, la tension de sortie s'écrit selon l'équation 4.1, en fonction de la tension d'alimentation V_{DD} et de la tension de saturation en sortie de chaque transistor $V_{DSsat,n}$.

$$V_{out} = V_{DD} - \sum_n V_{DSsat,n} \quad (4.1)$$

La puissance de sortie du transistor tient alors dans la surface de silicium. Elle est fonction de la densité de courant.

4.2 Partie numérique

A ce stade du développement de la partie numérique de l'émetteur à boucle cartésienne, il s'agit de décrire les blocs constitutifs de l'architecture de la figure 4.1, dont la validation fonctionnelle sous *Matlab Simulink*[®] a été présentée au paragraphe 3.11.5.

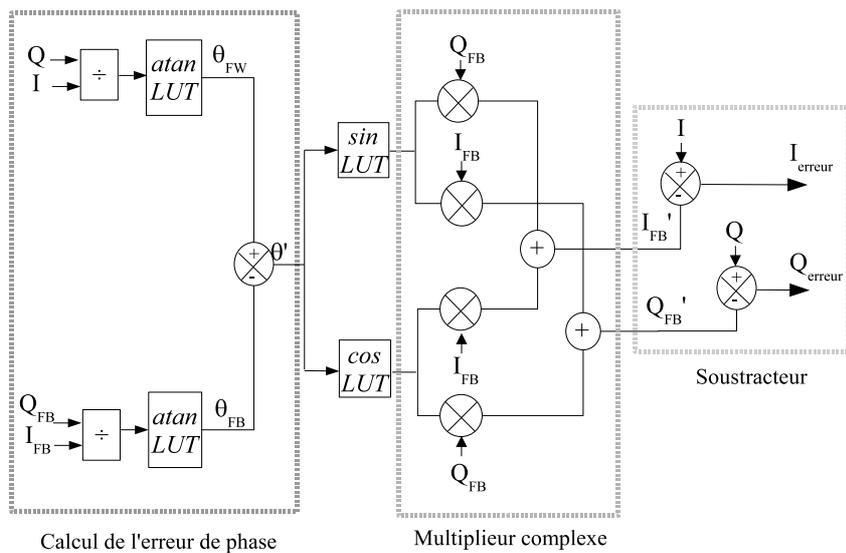


FIG. 4.1 – Architecture de la partie numérique

Pour ce faire, le langage VHDL standard IEEE est utilisé. Il permet de décrire le comportement de circuits logiques combinatoires ou séquentiels à l'aide d'instructions séquentielles ou concurrentes instaurant du parallélisme d'exécution.

Utilisé dans un environnement de Conception Assistée par Ordinateur (CAO), le VHDL

constitue une méthode rigoureuse de conception de circuit numérique conforme au fonctionnement attendu. Après avoir validé le comportement du modèle, on procède à la synthèse logique qui consiste à traduire le modèle VHDL comportemental en code VHDL structurel, instanciant des cellules logiques standards (portes logiques, bascules ou registres), elles-mêmes décrites avec des transistors de la technologie CMOS 65 nm.

Ainsi, la compilation et la vérification fonctionnelle sont effectuées avec le logiciel *Modelsim* de *Mentor Graphics* et la synthèse est réalisée avec *Design Compiler* de *Synopsys*.

4.2.1 Implémentation VHDL

Les données traitées par le modèle sont de type *signed* qui est un sous-type de *std_logic_vector* définissant des tableaux de bits. Le type *signed* permet de coder des nombres binaires en complément à 2. La librairie *ieee.numeric_std* regroupe l'ensemble des fonctions qui réalisent la surcharge des opérateurs arithmétiques et logiques pour des types *signed*. Pour garantir l'intégrité des données en virgule fixe, le modèle VHDL doit vérifier les règles d'arithmétique présentées en annexe C.

LUT sinus, cosinus et arc-tangente

Conformément à l'architecture 4.1, les valeurs de sinus, cosinus et arc-tangente utiles à la correction de l'erreur de phase (Cf. paragraphe 3.11.1) sont lues dans des tables d'interpolation (LUT). Afin de minimiser la taille de ces tables, les propriétés de symétrie 4.2, 4.3 et 4.4 sont utilisées.

$$\cos(-t) = \cos(t) \quad (4.2)$$

$$\sin(-t) = -\sin(t) \quad (4.3)$$

$$\arctan(-t) = -\arctan(t) \quad (4.4)$$

Ainsi, seules les valeurs correspondant à des angles positifs sont enregistrées dans les LUT. Elles sont calculées sous Matlab à l'aide des commandes figurant en annexe E. Pour éviter tout débordement de capacité et garder une précision de 1° sur la correction de phase, le format virgule fixe utilisé est de 16 bits dont 14 bits pour la partie fractionnaire.

Les LUT sont décrites en VHDL sous forme de ROM génériques. La syntaxe VHDL

utilisée est un tableau unidimensionnel d'agrégat de type *signed* accédé par un index entier naturel.

Division en VHDL

Le calcul de l'erreur de phase, préliminaire à la rotation des symboles dans le multiplieur complexe, emploie des diviseurs (Cf. figure 4.1).

La division de deux opérands de type *signed* est effectuée en simulation grâce à l'opérateur `"/`. Par contre, elle n'est pas supportée par les outils de synthèse.

Une implémentation simple de la division sur silicium consiste à décaler le numérateur d'un bit vers la droite tant que ce dernier est supérieur au dénominateur. Le résultat de la division est donné par le nombre de décalage. Cet algorithme impose que les opérands soient positifs et que le numérateur soit supérieur ou égal au dénominateur. Des développements supplémentaires permettent de traiter des opérands négatifs et des numérateurs inférieurs aux dénominateurs. La division par 0 résulte en une saturation à la valeur maximale de la tangente ($\tan(90)=1.56$) si le numérateur tend vers 0 par valeur positive et à la valeur minimale de tangente ($\tan(-90)=-1.56$) sinon.

En simulation, avec des opérands codés sur 10 bits, dans le cas le plus défavorable où le numérateur est égal au dénominateur, 10 coups d'horloge sont nécessaires pour d'obtenir le résultat. Compte tenu du délai induit par les autres traitements de la partie numérique, l'utilisation d'un tel diviseur est exclue. En effet, un délai total de la boucle cartésienne supérieur à 260 ns (durée d'un symbole WCDMA) ne permettrait pas de corriger un symbole avant que le suivant n'arrive en entrée de l'émetteur, occasionnant une dégradation de l'EVM. Le bénéfice de la boucle cartésienne en terme de linéarisation serait perdu.

Il existe des architectures de diviseur rapide, mais leur consommation et leur occupation en surface sont incompatibles avec les objectifs de réduction des coûts.

Une solution plus raisonnable est préférée. L'erreur de phase, qui n'est autre que le déphasage cumulé des blocs analogiques et RF des chaînes directe et de retour, peut être déterminée par caractérisation du circuit en mesurant la différence de phase entre le symbole d'entrée (I,Q) et le symbole démodulé dans la chaîne de retour avant soustraction (I_{FB}, Q_{FB}) (Cf. figure 4.1). Le déphasage, ainsi mesuré pour différentes valeurs de tem-

pérature, peut être stocké dans une LUT. L'erreur de phase peut alors être lue dans la LUT en fonction de la température de fonctionnement.

Modèle VHDL de la partie numérique

La partie numérique, spécifiée dans le paragraphe 3.11.4, fait l'objet d'une description comportementale VHDL, selon une logique séquentielle, dans un unique processus de synchronisation avec reset (mise à zéro) prioritaire.

Sur l'interface de la partie numérique de la figure 4.2, l'entrée *offset DC* correspond au terme de correction de l'offset DC des éléments de la chaîne de retour et l'entrée θ_{erreur} à la différence de phase entre le symbole de la chaîne directe (I_{FW}, Q_{FW}) et le symbole de la chaîne de retour (I_{FB}, Q_{FB}).

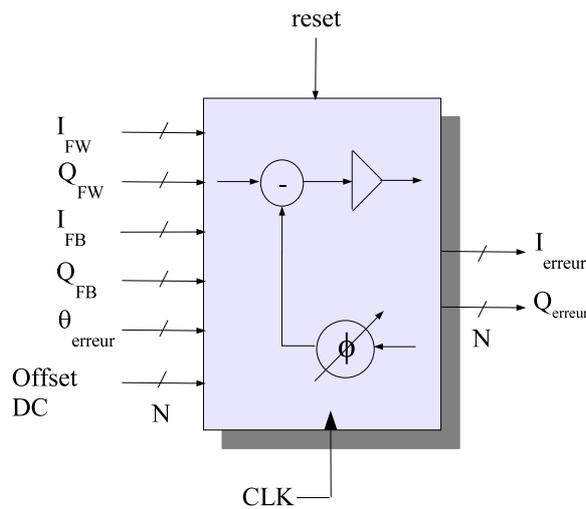


FIG. 4.2 – Interface VHDL de la partie numérique

Dans le composant, les opérations s'enchaînent de manière séquentielle. Après un test de l'entrée *reset*, qui lorsqu'elle est active, permet d'initialiser tous les signaux internes et les sorties du modèle, les adresses des données à lire dans les LUT sinus et cosinus sont calculées. Les LUT ne contenant que les valeurs de sinus ou cosinus pour des angles positifs, il faut alors déterminer si la valeur de θ_{erreur} est négative, auquel cas la valeur positive correspondante est affectée.

Pour calculer l'adresse de lecture, la partie entière de la valeur positive de θ_{erreur} est codée dans un entier naturel qui sert d'indice dans les tableaux d'agrégats que sont les LUT. Après lecture dans les LUT sinus et cosinus, si la valeur initiale de θ_{erreur} est négative, les symétries 4.2 et 4.3 doivent être appliquées.

Une fois les valeurs de sinus et cosinus disponibles, la multiplication complexe du système d'équation 4.5 est effectuée.

$$\begin{cases} I'_{FB} = I_{FB} \cos(\theta_{erreur}) + Q_{FB} \sin(\theta_{erreur}) \\ Q'_{FB} = -I_{FB} \sin(\theta_{erreur}) + Q_{FB} \cos(\theta_{erreur}) \end{cases} \quad (4.5)$$

Ensuite, la soustraction 4.6 est exécutée.

$$\begin{cases} I_{erreur} = I_{FB} - I'_{FB} \\ Q_{erreur} = Q_{FB} - Q'_{FB} \end{cases} \quad (4.6)$$

Puis les données de sortie sont recadrées sur 10 bits.

Le modèle VHDL est reconfigurable dans la mesure où la taille du chemin de données est définie par un paramètre générique N lors de la déclaration des entrées/sorties et des signaux internes.

Un environnement de simulation a été développé pour vérifier le bon fonctionnement du modèle VHDL en utilisant des vecteurs de test mettant en évidence la gestion des débordements de capacité, des saturations, en plus du simple fonctionnement attendu. Les données sont présentes sur les sorties au bout de seulement 4 périodes d'horloge, alors que l'étude système prévoyait 20 périodes d'horloge. La différence vient du fait que l'erreur de phase n'est plus calculée directement, mais elle est lue dans une LUT.

4.2.2 Synthèse logique

La synthèse logique du modèle VHDL a été réalisée en technologie CMOS 65 nm ST-Microelectronics. Cette technologie dispose d'une option Low Power Low Voltage (faible puissance, faible tension) qui permet d'obtenir des circuits plus rapides et de plus faible consommation que dans une version standard du procédé technologique.

La librairie CMOS65LPLVT (Low Power Low Voltage)

Les cellules standards de la librairie CMOS65LPLVT sont caractérisées par leur capacité de charge en sortie et leur délai de propagation. Le délai de propagation à travers une cellule est la somme des délais intrinsèques, du délai dépendant de la charge et du retard à l'entrée. Le temps de transition sur les entrées et les sorties est défini comme l'intervalle entre l'instant où le signal passe à 20 % de Vdd et 80 % de Vdd. Les facteurs qui affectent les délais de propagation et les temps de transition sont la température, la tension d'alimentation, les variations de procédé technologique, la charge, le retard de propagation à l'entrée et la polarité du signal d'entrée. Les modèles temporels de la librairie CMOS65LPLVT prennent en compte l'effet de ces facteurs pour trois combinaisons différentes de tension et de température reprises dans le tableau 4.1.

TAB. 4.1 – Spécifications électriques de la librairie CMOS65LP

Paramètre	meilleur	nominal	pire
Tension d'alimentation DC	1.3 V	1.2 V	1.1 V
Température de jonction	-40°	25°	125°

4.2.3 Synthèse et analyse temporelle statique

La synthèse traduit le modèle VHDL comportemental au niveau registre de transfert (RTL, Register Transfer Level) en une description structurée à base de cellules standards de la librairie et de connexions associées. Elle est réalisée avec le logiciel *Design Compiler* (DC) de *Synopsys*. Afin de respecter l'aspect temps réel de l'application, la contrainte d'optimisation principale est la fréquence de fonctionnement du circuit synthétisé. Elle est souhaitée la plus élevée possible. L'optimisation du modèle VHDL est effectuée avec la combinaison la plus défavorable de variations de procédé technologique, de tension d'alimentation (1,1 V) et de température (125°C).

L'étape de la synthèse est suivie d'une analyse statique temporelle afin de déterminer la fréquence maximale de fonctionnement du circuit numérique.

A partir d'une contrainte d'horloge déterminée, le délai de chaque chemin du circuit est examiné. Si le délai d'un chemin est supérieur à la période d'horloge spécifiée, il constitue

une violation de la contrainte d'horloge.

Ainsi, jusqu'à une fréquence d'horloge de 200 MHz, le rapport de l'analyse statique temporelle ne comporte aucune violation. La fréquence maximale du circuit numérique de 200 MHz est donc bien supérieure aux 110 MHz spécifiés au paragraphe 3.5.2.

Pour cette fréquence maximale, le rapport de synthèse contient les informations de surface et de consommation du circuit synthétisé du tableau 4.2.

TAB. 4.2 – Caractéristiques du circuit synthétisé

$f_{clock\ max}$	200 MHz
Surface	0.035 mm ²
Consommation	1.2 mW

Il a été défini au paragraphe 3.5.2 que compte tenu du délai des composants analogiques, le délai de la partie numérique ne devait pas excéder 20 périodes d'horloge à 110 MHz, de sorte à corriger un symbole WCDMA avant que le suivant n'arrive.

La simulation *Modelsim* du circuit synthétisé indique que 4 coups d'horloge sont nécessaires pour obtenir le traitement d'un symbole WCDMA. Le délai de la partie numérique est alors réduit à 36 ns pour une fréquence d'horloge de 110 MHz. Les spécifications de la partie numérique sont donc satisfaites et ce avec une surface dérisoire et une consommation minimale équivalente à celle d'un convertisseur CNA.

4.3 Partie RF : chaîne directe

Les contraintes de bruit et de linéarité étant relâchées pour la chaîne directe, le filtre de la chaîne directe est réalisé par un simple filtre RC passif à deux étages. Le gain de la chaîne directe doit être élevé, entre 20 et 40 dB avec une puissance de sortie de 0 dBm, pour maximiser l'effet de boucle. Ce gain est réparti entre le modulateur RF et le PPA. La puissance de sortie doit être au moins de 0 dBm. Le choix des topologies des circuits vise à tirer partie du fait que la linéarité de la chaîne directe peut être faible pour réaliser un gain fort avec une consommation minimale avec une fuite d'OL inférieure à $-22\ dBc$ pour des puissances de sortie comprises entre $-44\ dBm$ et $0\ dBm$ et un niveau de bruit inférieur à $300\ nV/\sqrt{Hz}$ en sortie.

4.3.1 Modulateur IQ de la chaîne directe

La multiplication du signal RF par le signal d'OL est réalisée grâce à la relation quadratique du courant de sortie du transistor MOS détaillée en annexe E.2. La difficulté à concevoir des mélangeurs à forte puissance de sortie est accentuée par la diminution des tensions d'alimentation en CMOS [KLWN04].

Mélangeur actif classique

Un mélangeur de Gilbert classique, représenté figure 4.3, a été évalué.

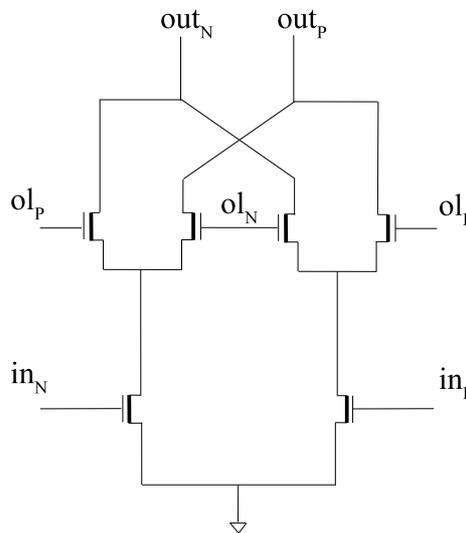


FIG. 4.3 – Mélangeur de Gilbert classique

Il est composé de transistors de transconductance surmontés de cellules de Gilbert pour le mélange en tension. Ces dernières ont un gain de conversion égal à $\frac{2}{\pi}$, soit -4 dB [Gil75]. Le gain en tension du mélangeur est le produit de la transconductance g_m , du gain de conversion des cellules de Gilbert, et du gain apporté par la charge de 40 dB pour 100Ω . La résistance de charge en sortie du mélangeur permet de faire la conversion courant tension entre le mélangeur et le PPA.

Avec des transistors de $0.09 \times 120 \mu m$ pour les cellules de Gilbert, le mélangeur a un gain en tension de 19 dB et une consommation de 22 mA. Un IIP3 de -5 dBV a été simulé avec le test décrit au paragraphe 3.6.1. Ce mélangeur est faiblement non linéaire

pour une consommation élevée, or l'objectif pour la conception des blocs de la chaîne directe consiste à réduire la consommation en dégradant la linéarité. Cette structure de mélangeur n'est donc pas satisfaisante.

Mélangeur actif avec g_m indépendant de la polarisation

La topologie de mélangeur de la figure 4.4 permet de faire varier le courant de polarisation (I_{pol}) indépendamment de la valeur de la transconductance.

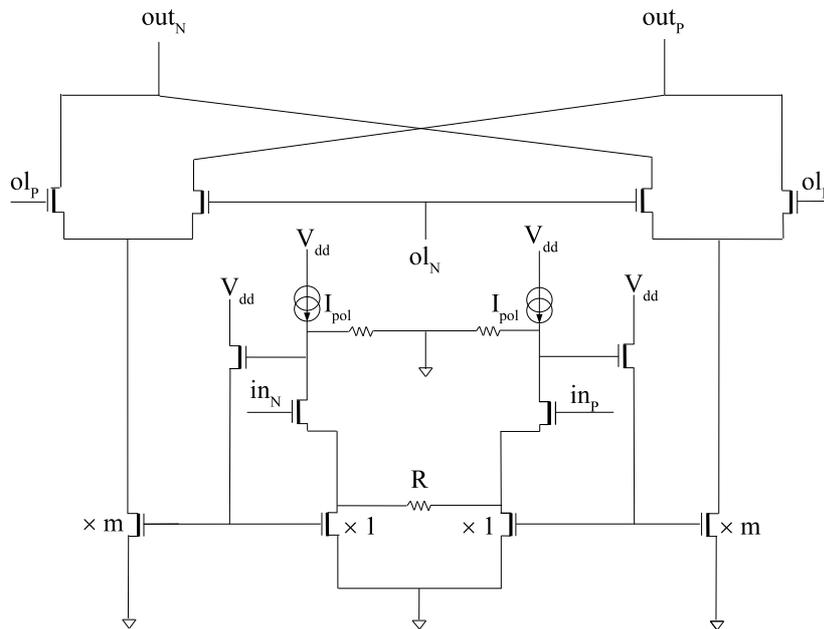


FIG. 4.4 – Mélangeur avec g_m indépendant du courant de polarisation

La consommation peut être réduite tout en gardant un gain en tension élevé, en conséquence la linéarité est dégradée. Le gain de transconductance g_m de cette structure est défini par l'équation 4.7, où m est le facteur de recopie entre les transistors du miroir de courant et R la valeur de la résistance.

$$g_m = \frac{2m}{R} \quad (4.7)$$

Pour maintenir une bonne recopie du courant dans le miroir de courant en limitant l'impacte des mauvais appariements des transistors, le facteur de recopie est limité à 10.

La résistance de charge en sortie du mélangeur permet de faire la conversion courant tension entre le mélangeur et le PPA. Ainsi, avec une résistance de 30Ω et un facteur

de recopie de 10, un gain en tension de 26 dBV sous une charge de 100 Ω a été simulé. Conformément aux attentes, une faible linéarité avec un IIP3 de -21 dBV permet de réduire la consommation du mélangeur à 11 mA.

Fuite d'OL

Le mauvais appariement des transistors du miroir de courant génère une différence de courant en sortie du transconducteur entre les voies positives et négatives qui se traduit par un offset DC. Cette erreur est modulée dans les cellules de Gilbert en fuite d'OL.

Pour contrôler le niveau de fuite d'OL en sortie du mélangeur, des simulations statistiques de rendement ont été réalisées. Une analyse de type *Yield* (rendement) assigne une distribution statistique aux paramètres des éléments du mélangeur. La distribution statique des variations transistor à transistor suit une loi générale σ qui est la somme des variations de centrage technologique, des dispersions technologiques et d'une variable aléatoire d'ajustement.

Le nombre de tirages nécessaires pour l'analyse *Yield* dépend du niveau de confiance souhaité. L'équation 4.8 donne l'expression du nombre de tirages en fonction du niveau de confiance σ et de la valeur initiale de rendement Y .

$$nb\ tirages\ min = ((\sigma/erreur)^2) \cdot (Y(Y - 1)) \quad (4.8)$$

Pour un rendement initial de 78 %, une erreur de $\pm 1\%$ et un niveau de confiance de 99% ($\sigma = 3$), il faut effectuer au moins 15444 tirages.

L'erreur d'appariement est proportionnelle à la racine carrée de la surface du transistor. Pour réduire la fuite d'OL, il faut augmenter la taille des transistors. Pour garder le même gain de transconductance, la valeur de R est réduite en conséquence. Pour des tailles raisonnables de transistors et des valeurs réalistes de R, la fuite d'OL reste supérieure à la spécification.

En effet, la fuite d'OL en sortie du mélangeur, qui sera ensuite amplifiée par le PPA, vaut déjà -21 dBc en simulation *yield*, alors que la spécification de fuite d'OL, donnée au paragraphe 3.8.2, est de -22 dBc pour des puissances de sortie de l'émetteur comprises entre 0 et -44 dBm. La topologie de mélangeur avec un gm classique génère certes moins de fuite d'OL (-17 dBc en simulation *yield*), mais encore trop pour tenir la spécification.

D'ordinaire, le problème de la fuite d'OL est résolu par calibration [BTR⁺04] en injectant une composante continue en sortie du transconducteur des mélangeurs pour annuler la différence de courant. Généralement, une boucle de calibration comporte un détecteur de puissance et un algorithme numérique. La calibration est effectuée pendant un laps de temps où il n'y a pas de signal à transmettre. L'utilisation d'une calibration nuirait sérieusement aux objectifs de réduction des coûts, pas tant pour la consommation, car la calibration est rarement mise en œuvre, mais surtout en terme d'augmentation de la surface du circuit.

Il est donc nécessaire d'utiliser une topologie de mélangeur qui s'affranchisse de la fuite d'OL.

DAC-Mixer

Reposant sur le même concept que celui du modulateur numérique présenté par *Nokia*[®] [ES05], le DAC-Mixer (CNA-mélangeur) combine les fonctions de conversion numérique-analogique et de mélangeur RF pour résoudre le problème de la fuite d'OL.

Les sources de courant de référence d'un CNA en courant sont remplacées par des cellules de Gilbert pondérées. Une cellule unitaire du DAC-Mixer est représentée sur la figure 4.5.

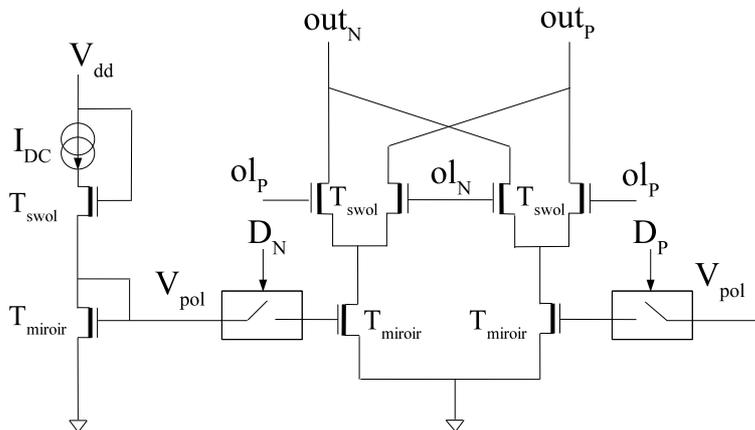


FIG. 4.5 – Cellule élémentaire du DAC-Mixer

Le signal numérique en bande de base est décrit par un mot binaire dont les bits (D_N et D_P pour la cellule unitaire) contrôlent des interrupteurs qui activent ou non les cellules de Gilbert en parallèle. Le signal d'OL est ainsi modulé par le signal numérique en bande

de base.

La topologie du DAC-Mixer [GT06] diffère de celle du modulateur numérique de *Nokia*[®], car la polarisation n'est pas constante dans le temps. De plus, la cellule unitaire ne possède que deux étages, permettant ainsi de fournir d'avantage de puissance sous une tension d'alimentation de 1.2 V.

Des simulations de type système de l'EVM en sortie d'une chaîne d'émission WCDMA pour laquelle la résolution des CNA varie sont effectuées : en passant de 3 à 4 bits de résolution, l'EVM chute de 30 % à zéro. Ainsi, 4 bits suffisent pour représenter le signal WCDMA. L'architecture complète du DAC-Mixer 4 bits, voie I et Q, est donnée sur la figure 4.6.

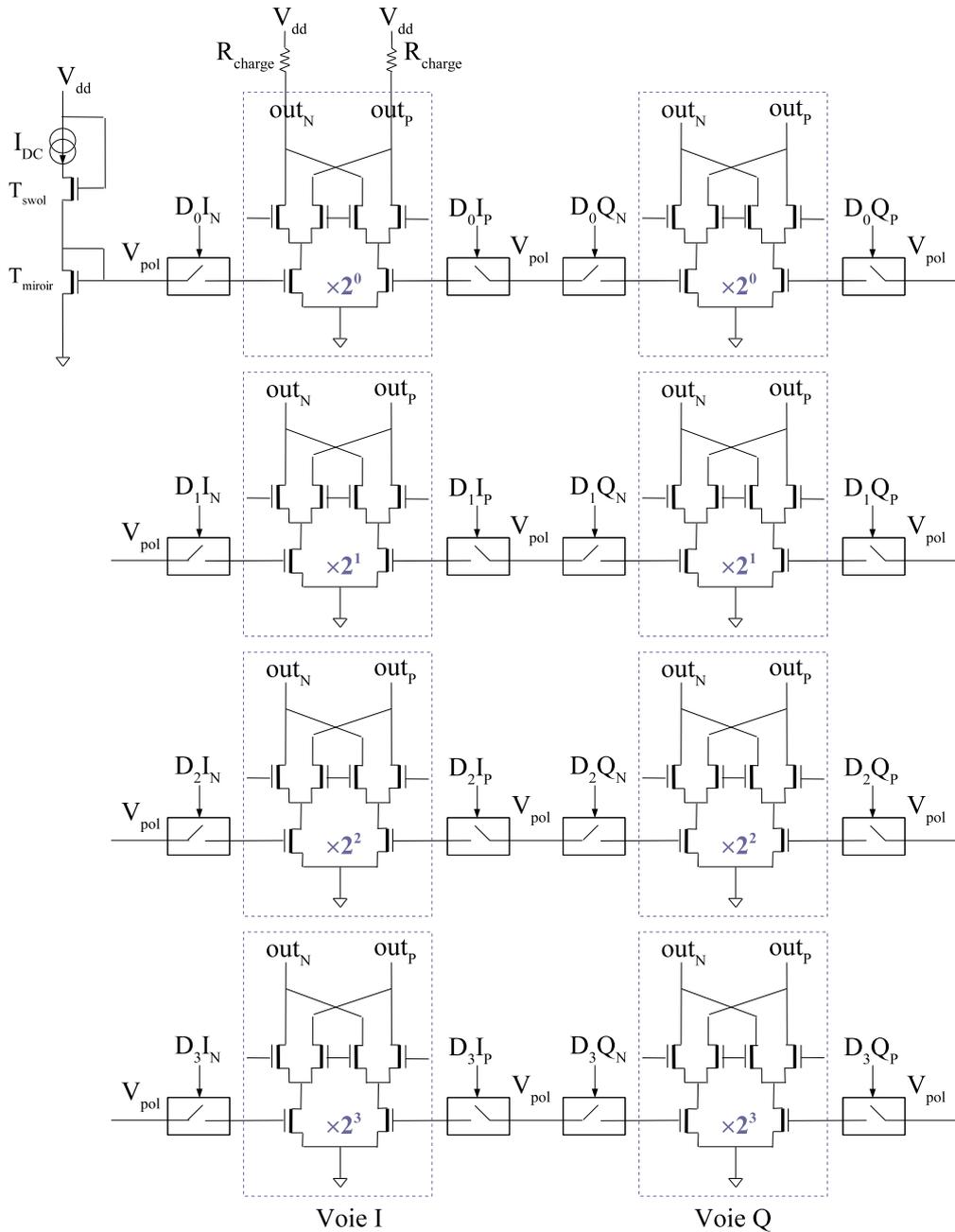


FIG. 4.6 – Architecture du DAC-Mixer 4 bits

Les bits de commandes $D_n I_N$, $D_n I_P$, $D_n Q_N$ et $D_n Q_P$, avec n allant de 0 à 3, sont respectivement les bits de poids n différentiels négatifs et positifs des signaux numériques en bande de base de la voie I et de la voie Q.

Lorsqu'un bit de commande vaut 1, le courant I_{DC} est recopié sur le drain des transistors

de transconductance des cellules de Gilbert associées. La pondération des cellules reposant sur un code binaire, un étage commandé par un bit de poids 2^n aura n cellules de Gilbert en parallèle. Le courant de la voie I en bande de base, $I_{BB \text{ voie } I}$, s'exprime selon l'équation 4.9, avec $D_n = (D_n I_P - D_n I_N)$.

$$I_{BB \text{ voie } I} = D_0 \cdot 2^0 \cdot I_{DC} + D_1 \cdot 2^1 \cdot I_{DC} + D_2 \cdot 2^2 \cdot I_{DC} + D_3 \cdot 2^3 \cdot I_{DC} \quad (4.9)$$

Les composantes du courant analogique en bande de base sont ensuite mélangées au signal d'OL individuellement dans les mélangeurs de Gilbert en parallèle des étages actifs du DAC-mixer. Ainsi, le niveau de puissance de sortie varie en fonction de la valeur du courant de polarisation I_{DC} .

Le DAC-Mixer possède trois atouts majeurs :

- la consommation du DAC-mixer diminue avec le niveau de puissance
- la conversion du signal numérique en signal analogique est toujours pleine échelle
- la fuite d'OL, liée au mauvais appariement des transistors de transconductance du mélangeur de Gilbert est supprimée

Le contrôle de gain peut donc être effectué dans la partie numérique en bande de base sans être limité ni par un plancher de bruit de quantification de CNA classiques, ni par le niveau de fuite d'OL.

La figure 4.7 montre le signal RF en sortie du DAC-Mixer relatif à des signaux d'entrée numériques correspondant à des sinusoïdes à la fréquence de 1 MHz en bande de base, échantillonnées à 110 MHz, codés sur 4 bits et une fréquence d'OL de 1.95 GHz.

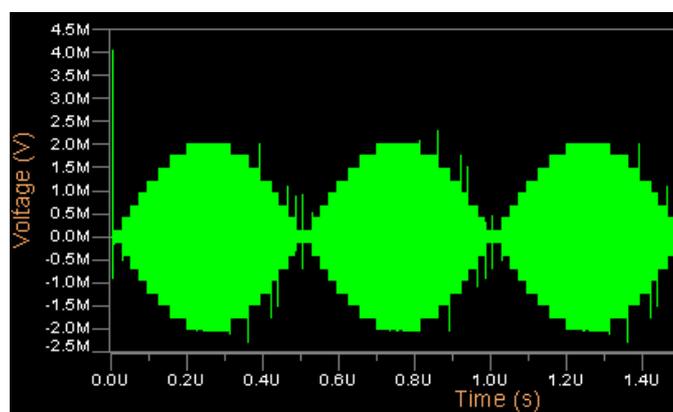


FIG. 4.7 – Signal en sortie du DAC-Mixer

La porteuse est modulée à 1 MHz et quantifiée sur les 16 états prévus pour un codage binaire sur 4 bits. Lors du changement d'état, un parasite appelé "*glitche*" est visible. Il résulte de la différence entre les temps de montée et de descente dans les inverseurs qui servent d'interrupteur pour activer ou inhiber les cellules de Gilbert en parallèle.

Comme dans un CNA en courant, les distorsions non-linéaires en sortie du DAC-Mixer dépendent de la séquence binaire d'entrée. Les sources de distorsions sont multiples. Il peut s'agir de la mauvaise distribution de l'arbre d'horloge entre les bits du mot de contrôle, des couplages entre les lignes de la partie numérique, ou de l'injection de charge dans les interrupteurs liée à l'asymétrie entre les temps de montée et de descente. Le cas qui génère le plus de parasite concerne le changement de code depuis le code milieu où tous les bits de contrôle changent en même temps ¹.

Une transformée de Fourier du signal de sortie représentée figure 4.8 indique que la raie à la fréquence de l'OL n'est pas nulle. Cette raie est issue de la modulation des distorsions non-linéaires liées au code numérique dans les cellules de Gilbert pondérées.

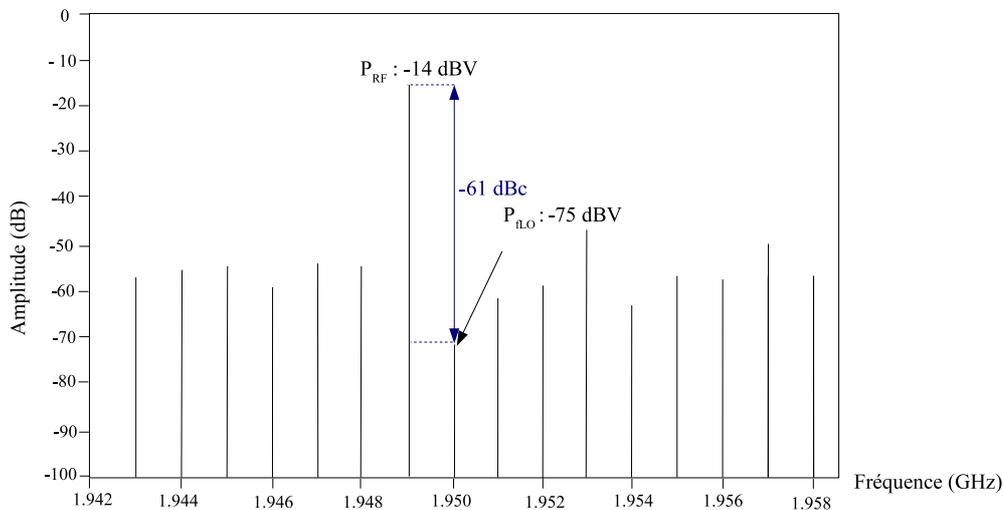


FIG. 4.8 – Spectre de sortie du DAC-Mixer

¹L'utilisation d'un code thermométrique avec lequel d'un code au suivant, un seul bit change, pourrait réduire sensiblement les distorsions [AV05].

Une technique appelée DEM (Dynamic Element Matching, appariement dynamique des composants) permet de répartir les erreurs d'appariement des transistors à l'origine des différences entre temps de montée et temps de descente. Elle consiste à ajouter de la redondance dans le mot de contrôle, afin d'utiliser une sélection aléatoire des différentes représentations d'une même valeur d'entrée.

La puissance des non-linéarités est fonction du niveau du signal. Ainsi, la raie à la fréquence d'OL diminue en même temps que le signal. A la puissance maximale, le niveau de distorsion à la fréquence d'OL est de -61 dBc . A la puissance minimale, il chute à -69 dBc . Les spécifications de fuite d'OL définies au paragraphe 3.8.2 sont ainsi respectées.

Les mélangeurs de Gilbert apportent un gain global de conversion de $\frac{2}{\pi}$ (soit -4 dB) et l'addition des voies I et Q augmente la puissance de sortie de 3 dB. Une résistance de charge permet de convertir le courant en sortie du DAC-Mixer en tension pour attaquer le PPA (Cf. figure 4.6).

Pour maximiser la puissance de sortie, R_{charge} est fixée à 50Ω . L'équation 4.10 donne l'expression de la puissance de sortie du DAC-Mixer en fonction du courant I_{DC} , de la résistance de charge.

$$P_{out} = 20\log(15 \cdot I_{DC}) - 4 + 3 + 20\log(R_{charge}) \quad (4.10)$$

Avec un courant de polarisation I_{DC} de $298 \mu A$, la puissance de sortie maximale vaut -14 dBV . Une simulation de type enveloppe détermine un niveau de bruit faible de -157 dBm/Hz à la puissance maximale. La consommation du DAC-Mixer dépend du niveau de puissance. Une étude du *CDMA Development Group*² permet d'estimer la probabilité que le terminal émette à un niveau de puissance donné pour deux types d'environnements : urbain et banlieue [Fow02]. Pour le milieu urbain la densité d'abonnés est supérieure à $8000 \text{ abonnés/km}^2$, alors que pour la banlieue elle est comprise entre 10 et $3000 \text{ abonnés/km}^2$ [Gru05].

D'après la figure 4.9, en moyenne sur le deux types d'environnement, le terminal a une probabilité de 1% de se trouver à la puissance maximale.

²consortium regroupant des opérateurs, des équipementiers de terminaux mobile et d'infrastructures réseau

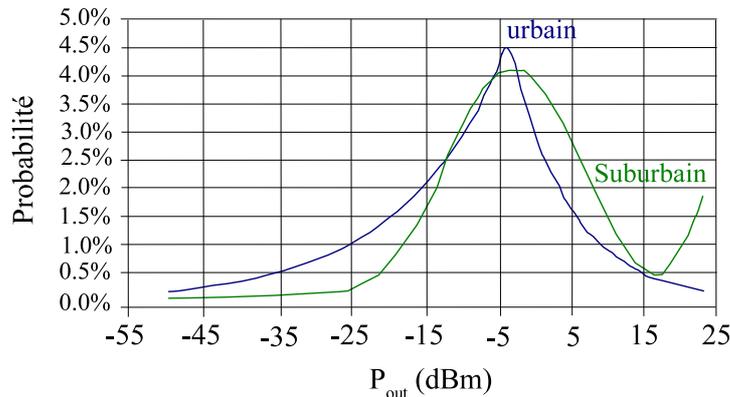


FIG. 4.9 – Probabilité du niveau de puissance

Tenant compte de ces considérations, la consommation du DAC-Mixer peut être estimée comme la consommation à la puissance maximale ($I_{Pmax} = \sqrt{2} \cdot 15 \times I_{DCmax}$, avec $I_{DCmax} = 298 \mu A$), pondérée par la probabilité d'être à cette puissance, soit $63 \mu A$.

A la puissance maximale, le produit d'intermodulation d'ordre 3 en sortie du DAC-Mixer vaut -58 dBV . Le DAC-Mixer est donc fortement non-linéaire en présence de glitches. Afin de pouvoir désactiver la contre-réaction pour les faibles niveaux de puissance, comme l'indique la figure 3.20, il faut que le DAC-Mixer ait une linéarité suffisante pour garantir la spécification de -40 dBc d'HD3 en sortie de l'émetteur. Pour une puissance minimale de -88 dBV en sortie du DAC-Mixer IQ chargé par 50Ω ($I_{DC} = 59 \text{ nA}$), l'amplitude de la raie de distorsion harmonique d'ordre 3 (HD3) vaut -54 dBc , ce qui est de 14 dB inférieur à la recommandation de la norme WCDMA.

A priori, même si le DAC-Mixer est suivi d'un PPA non-linéaire, il ne sera pas nécessaire de recourir à un code thermométrique des données numériques, ou à une DEM pour garantir un HD3 de -40 dBc en sortie de l'émetteur, pour les faibles niveaux de puissance avec le by-pass de la contre-réaction.

En combinant, les fonctions de convertisseur et de mélangeur, les filtres passe-bas de la chaîne directe sont supprimés. Il est alors important de choisir la fréquence d'échantillonnage du DAC-Mixer de 110 MHz , de sorte à ce que les répliques du signal RF aux divers harmoniques de la fréquence d'échantillonnage ne tombent pas dans la bande de réception WCDMA, où les contraintes de bruit sont les plus sévères (Cf. paragraphe 3.5.2).

4.3.2 PPA

Le PPA est réalisé avec un montage cascode [JH73] qui permet d'augmenter le gain de transconductance. La topologie du PPA différentiel est représentée figure 4.10.

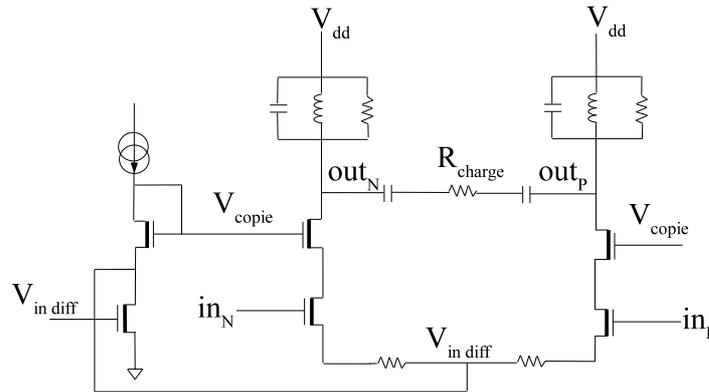


FIG. 4.10 – Topologie de PPA cascodé

4.3.3 Adaptation en sortie du PPA

Pour réduire la consommation en courant, une impédance de charge différentielle élevée de 200Ω est choisie. Le PPA doit alors avoir une excursion de tension en sortie plus importante ($315 \text{ mV}_{\text{crête}}$, différentiel) qu'avec une charge classique de 50Ω .

Pour une charge de 200Ω , les valeurs des composants du réseau d'adaptation, ajustées en simulation de paramètres S, sont définies dans le tableau 4.3.

TAB. 4.3 – Valeurs du réseau d'adaptation

R	350Ω
L	2.4 nH
C	2 pF

Avec une telle adaptation, le point de compression à 1 dB en sortie vaut 4 dBm pour une puissance de -10 dBV en entrée (Cf. figure 4.11). La consommation est de 10.2 mA .

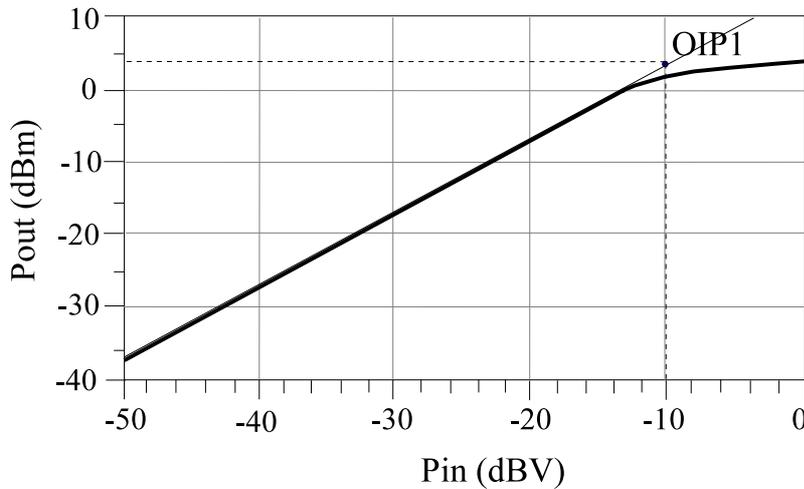


FIG. 4.11 – Puissance en sortie du PPA

Pour une puissance de sortie de 0 dBm, l'excursion de la tension différentielle en sortie vaut 748 mVcrête. Elle est donc suffisante aux vues des 315 mVcrête, différentiels requis pour une charge de 200 Ω .

A la puissance maximale, la sortie du DAC-Mixer vaut -48 dBA. La conversion courant/tension, en sortie du DAC-Mixer, réalisée par une résistance de 50 Ω , augmente la puissance de 34 dB. La puissance maximale d'entrée du PPA est donc de -14 dBV. Comme l'indique la figure 4.11, une puissance d'entrée de -14.6 dBV correspond à une puissance de sortie du PPA de 0 dBm avec un gain de 14 dB. Ainsi, avec le DAC-Mixer suivi du PPA, le gain de la chaîne directe à la puissance maximale vaut 28 dB.

Une simulation de bruit du PPA, avec à l'entrée du PPA, une source de bruit correspondant au niveau de bruit en sortie du DAC-Mixer, permet de déterminer un niveau de bruit en sortie du PPA de $7.35 \text{ nV}/\sqrt{\text{Hz}}$, ce qui est bien inférieur aux $300 \text{ nV}/\sqrt{\text{Hz}}$ spécifiés au paragraphe 3.7.3.

4.4 Partie RF : chaîne de retour

4.4.1 Filtres de boucle

D'après les paragraphes 3.4.2 et 3.7 de l'étude du système, les filtres de boucle doivent être des filtres passe-bas du troisième ordre avec une fréquence de coupure de 7 MHz et

Amplificateur opérationnel

Un amplificateur opérationnel (AOP) est caractérisé par son gain statique G_0 et sa fréquence unitaire f_u encore appelée produit gain-bande (GBW_{AOP}) et qui définit la fréquence pour laquelle G_0 vaut 0 dB. Pour un gain statique supérieur à 0 dB, le produit gain-bande influence la valeur de la fréquence coupure f_c du filtre. En négligeant les deuxième et troisième étages du filtre, la fréquence de coupure s'exprime en fonction du produit gain-bande d'après l'équation 4.11.

$$f_c \approx \frac{1}{(2\pi R_0 \cdot C_0)} \parallel \frac{GBW_{AOP}}{R_0/R_1} \quad (4.11)$$

La simulation du filtre de leapfrog avec des AOP idéaux indique que pour obtenir un gain du filtre de 14 dB et une fréquence de coupure de 7 MHz, les AOP doivent avoir un gain statique d'au moins 40 dB et une fréquence de fonctionnement f_u de 75 MHz.

Un AOP existant en CMOS 65 nm a été réutilisé pour construire le filtre de Butterworth à structure de leapfrog. Il possède les caractéristiques énoncées dans le tableau 4.5. Ces dernières sont conformes aux besoins précédemment exprimés.

TAB. 4.5 – Caractéristiques de l'AOP CMOS 65 nm

G_0	56 dB
f_u	75 MHz
consommation	3,4 mA

Performances du filtre de boucle

Avec la structure de leapfrog, le gain du filtre dépend du rapport des résistances R_0/R_1 . Pour $\frac{R_0}{R_1} = 10$, le gain vaut 14 dB.

Le bruit du filtre est principalement du au bruit thermique des résistances. Il s'exprime en sortie selon l'équation 4.12, où la constante de Boltzmann K vaut $1.38 \times 10^{-23} JK^{-1}$ et la température T vaut 297 K.

$$N = \sqrt{4KT \times 4R_0} = 25.6 \text{ nV}/\sqrt{Hz} \quad (4.12)$$

Une fois ramené à l'entrée du filtre, le bruit thermique théorique vaut $5 \text{ nV}/\sqrt{\text{Hz}}$ et est ainsi bien inférieur aux $10 \text{ nV}/\sqrt{\text{Hz}}$ spécifié.

Une autre contribution au bruit du filtre est le bruit de flicker (scintillement). L'interface Si/SiO₂ sous la grille des transistors présente des défauts qui occasionnent le piégeage dépiégeage aléatoire des porteurs de charge [TEG01]. Le bruit de flicker est aussi appelé bruit en 1/f, car sa densité spectrale diminue quand la fréquence augmente.

La fréquence de corner (coude) $f_{1/f}$ définit la fréquence pour laquelle le bruit en 1/f devient inférieur au bruit thermique, comme l'indique la figure 4.13.

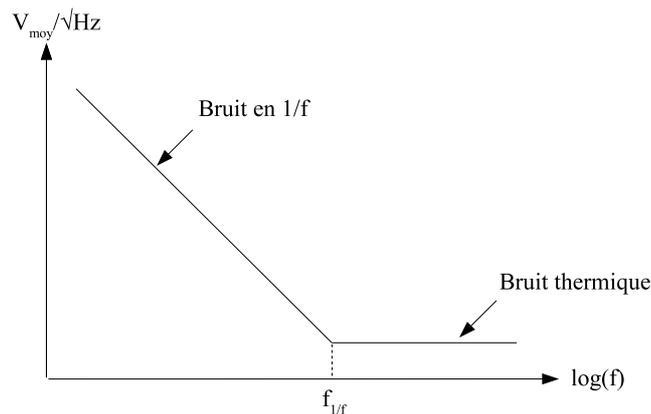


FIG. 4.13 – Fréquence de corner

En pratique, le corner est déterminé à la fréquence pour laquelle le bruit en 1/f est supérieur au plancher de bruit thermique de 3 dB.

Les résultats de simulation la structure de leapfrog avec différentes valeurs de R0 sont présentés dans le tableau 4.6.

TAB. 4.6 – Simulation du filtre pour différentes valeurs de R0

R0 ($k\Omega$)	G0 (dB)	fc (MHz)	1/f (nV) à 100 Hz	Corner (kHz)	Bruit en sortie à $f_{1/f}$ (nV/\sqrt{Hz})	Bruit en entrée à $f_{1/f}$ (nV/\sqrt{Hz})
10	13,83	7,4	362	32	45	9
5	13,79	7,3	360	47	33	6,6
1	13,46	7,2	347	70	18	3,6

Le gain statique G0 et la fréquence de coupure fc du filtre sont peu sensibles aux variations de R0. Les corners restent relativement bas (inférieurs à 100 kHz). Ainsi, le bruit de flicker en 1/f n'est pas dominant comparé au bruit thermique.

Jusqu'à 10 $k\Omega$ pour R0, la spécification de bruit inférieure à 10 nV/\sqrt{Hz} est respectée. Pour garder un corner le plus faible possible, R0 est fixée à 10 $k\Omega$.

Conformément au test de linéarité explicité au paragraphe 3.6.1, un IIP3 élevé de 14 dBV a été simulé pour le filtre. La consommation totale du filtre est de 12 mA.

4.4.2 Atténuateur

Pour ne pas ajouter de contribution de bruit supplémentaire dans la chaîne de retour, un atténuateur capacitif est préféré à un atténuateur résistif. Le schéma de l'atténuateur différentiel est représenté figure 4.14.

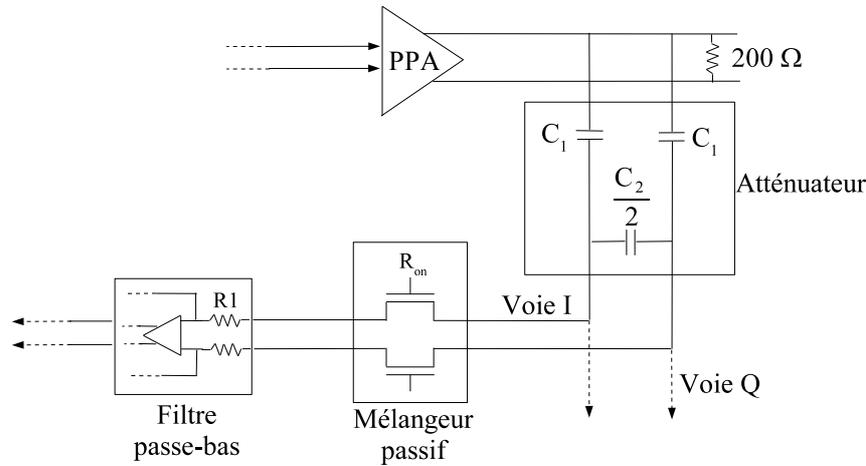


FIG. 4.14 – Atténuateur capacitif différentiel de la chaîne de retour

Le gain de cet atténuateur est défini dans l'équation 4.13.

$$G_{att} = \frac{C_1}{C_1 + C_2} \quad (4.13)$$

Pour obtenir une atténuation de -20 dB , C_2 doit être égale à 9 fois C_1 . Le choix de la valeur de C_1 résulte d'un compromis entre la consommation du PPA et la précision du gain de l'atténuateur. D'une part, la valeur de C_1 doit être suffisamment grande devant la capacité parasite à l'entrée du mélangeur passif pour maintenir une atténuation de -20 dB .

D'autre part, l'impédance d'entrée de l'atténuateur s'ajoute à la charge de sortie du PPA. Ce dernier doit alors fournir un courant plus important pour maintenir la puissance de sortie. C_1 est choisie de sorte à minimiser les pertes à l'entrée de l'atténuateur en maximisant la puissance fournie à la charge de sortie adaptée sous 200Ω . Une simulation Harmonic Balance permet de déterminer les pertes de puissance à l'entrée de l'atténuateur ainsi que la puissance de sortie délivrée à la charge de sortie, quand les mélangeurs passifs de la chaîne de retour fonctionnent. Les pertes en puissance (P_{inAtt}) à l'entrée de l'atténuateur en fonction de la valeur de C_1 sont représentées sur la figure 4.15.

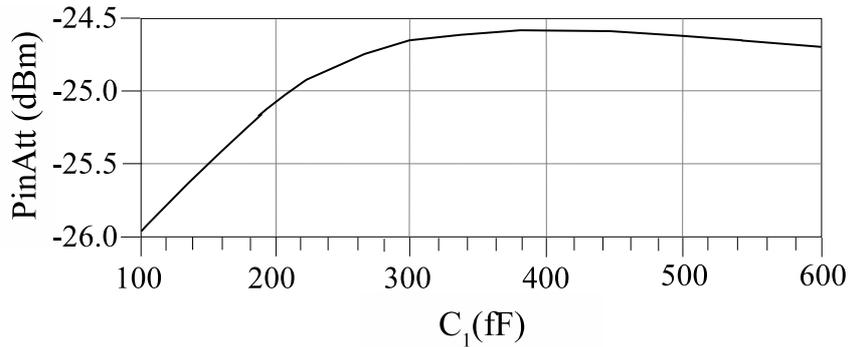


FIG. 4.15 – Pertes de puissance à l'entrée de l'atténuateur

Afin de minimiser ces pertes ainsi que la consommation du PPA, C_1 est fixée à 430 fF. C_2 vaut alors 4 pF.

4.4.3 Démodulateur IQ

Les mélangeurs de la chaîne de retour doivent avoir un IIP3 élevé de 12 dBm. Des mélangeurs passifs en tension dont la topologie est décrite sur la figure 4.16 sont donc choisis.

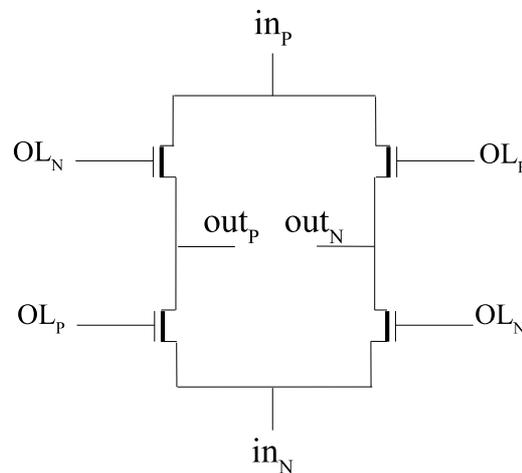


FIG. 4.16 – Mélangeur passif en anneau CMOS différentiel

Les transistors passent de l'état actif (ON) à l'état passif (OFF) respectivement sur niveau haut et niveau bas du signal d'OL (grand signal). Lorsque le signal d'OL vaut 1, la sortie du mélangeur est positive et inversement, lorsque le signal d'OL est négatif, la sortie

est négative. Cette topologie est faible consommation, car il n'y a pas de courant de polarisation. Elle présente une grande linéarité, car le gain est constant pour une large dynamique de la tension de sortie.

Gain des mélangeurs passifs

D'après le paragraphe 3.3, le gain de la chaîne de retour doit être de 5.3 dB. L'atténuation de -20 dB à l'entrée de la chaîne de retour est nécessaire pour relâcher la contrainte de linéarité à l'entrée du démodulateur.

Le gain du filtre est limité à 14 dB par le niveau de bruit, à travers le choix de la valeur de la résistance R_0 .

La séparation des voies I et Q à l'entrée du démodulateur occasionnant une perte de 3 dB, il reste alors 14 dB de gain à réaliser avec les autres éléments de la chaîne de retour. Pour obtenir une bonne linéarité du démodulateur, une structure de mélangeur passif est choisie. Ce type de mélangeur a un gain de conversion négatif défini dans l'équation 4.14 [ZC05b].

$$G_c = \frac{2}{\pi} = -4dB \quad (4.14)$$

Il faudra donc réaliser l'amplification du signal dans la partie numérique pour atteindre le gain souhaité.

Concernant le gain en tension, le mélangeur passif se comporte comme un atténuateur résistif.

$$G_v = \frac{Z_{in}}{Z_{in} + R_{on}} \cdot G_c \quad (4.15)$$

R_{on} est l'inverse de la transconductance G_{DS} du transistor. Ainsi, pour une largeur de canal W grande et une longueur faible, R_{on} est faible.

L'impédance de charge Z_{in} est fixée par le gain de l'atténuateur capacitif qui précède les mélangeurs de la chaîne de retour. L'impédance d'entrée est fixée à -20 dB par l'atténuateur capacitif différentiel de la figure 4.14 pour relâcher les contraintes de linéarité qui pèsent sur les mélangeurs passifs.

Linéarité

La linéarité du mélangeur passif dépend de l'impédance de sortie. Idéalement, une impédance de sortie infinie garantit une bonne linéarité. Mais, une impédance de sortie élevée se traduit par un niveau de bruit important. L'impédance de sortie du mélangeur est

l'impédance d'entrée du filtre, à savoir la résistance R1 (voir figure 4.12). Augmenter R1 impose d'augmenter également R0 pour maintenir le gain du filtre, ce qui conduirait à une augmentation inacceptable du bruit. La seule variable disponible pour dimensionner le mélangeur passif est la taille qui va déterminer la valeur de R_{on} et par conséquent les pertes du mélangeur. Ces dernières doivent être minimisées afin que les signaux à l'entrée des CAN restent dans leur dynamique.

Bruit

Au bruit thermique de l'impédance de sortie (résistances d'entrée des filtres de boucle), s'ajoute le bruit en $1/f$. En théorie, un mélangeur passif ne présente pas de bruit en $1/f$, car il n'y a pas de courant de polarisation. En réalité, les signaux d'OL ne sont pas parfaitement carrés, ils sont déformés par les temps de montée et de descente des buffers en sortie de l'OL. Ainsi, pendant un court instant, le signal d'OL se trouve en entrée du mélangeur, puis est démodulé en une composante basse fréquence assimilable à du bruit en $1/f$.

Le bruit en $1/f$ est inversement proportionnel à la longueur du canal [ZC05a] des transistors du mélangeur passif. Raccourcir le canal réduit le bruit en $1/f$, mais dégrade la linéarité.

Pour simuler le bruit en $1/f$, les signaux d'OL sont distribués à travers des inverseurs en CMOS 65 nm, de sorte à imposer des temps de montée et de descente réalistes de 14 ps. Le bruit du mélangeur est pris en compte dans les simulations de bruit présentées dans le tableau 4.6 pour le filtre de boucle du paragraphe 4.4.1, le filtre étant attaqué par le mélangeur.

La meilleure optimisation de la taille des transistors des mélangeurs passifs pour une linéarité élevée avec des pertes minimales est récapitulée dans le tableau 4.7.

TAB. 4.7 – Dimensionnement des mélangeurs passifs

W	100 μm
L	90 nm
Gv	-2 dB
IIP3	-0.5 dBV

4.5 Surface et consommation

4.5.1 Estimation de la surface et de la consommation de la boucle cartésienne

Pour compléter l'estimation de la surface totale et de la consommation de l'émetteur à boucle cartésienne, un CAN disponible sous forme d'IP (Intellectual Property, propriété intellectuelle) CMOS 65 nm a été considéré. Il s'agit d'un CAN pipeline 10 bits fonctionnant à 100 MHz ³.

La contribution en surface et consommation de chaque élément constitutif de l'émetteur est présentée dans le tableau 4.8.

TAB. 4.8 – Surface et consommation des composants de l'émetteur

composant	surface (mm^2)	consommation (mA)
Partie numérique	0,035	1
DAC-Mixer	$466.88 \cdot 10^{-6}$	$63 \cdot 10^{-3}$
PPA	$151.2 \cdot 10^{-6}$	10.2
Réseau d'adaptation	0.057	-
Atténuateurs	0.006	-
Démodulateurs	$72 \cdot 10^{-6}$	-
Filtres de boucle	0.191	24
CAN ($\times 2$)	0.24	2

Le correcteur de phase et le soustracteur bénéficient d'une bonne intégration dans la partie numérique avec une surface et une consommation minimales, comparées aux fonctions analogiques.

Grâce aux faibles contraintes de linéarité et de bruit des éléments de la chaîne directe, la surface et la consommation du DAC-Mixer et du PPA sont réduites. En effet, pour une

³La fréquence de fonctionnement est certes plus faible que les 110 MHz spécifiés au paragraphe 3.5.2, mais la partie numérique ne nécessitant que 4 périodes d'horloge au lieu des 20 prévus, le délai global de la boucle cartésienne reste inférieur à la durée d'un chip (260 ns). Donc, un CAN fonctionnant à 100 MHz convient.

chaîne d'émission classique un mélangeur RF et un PPA peuvent consommer à eux deux jusqu'à 50 mA.

Par contre, les filtres de boucle ont une forte consommation de 12 mA chacun du fait de la bande passante élevée de 7 MHz.

Une surface totale très réduite est estimée à 0.53 mm^2 .

La consommation globale atteint 37 mA, soit 45 mW, ce qui est assez faible pour un émetteur.

La surface de la boucle cartésienne pourrait encore être réduite en diminuant la taille des LUT sinus et cosinus de la partie numérique. En effet, la phase RF, principale responsable de l'instabilité du système, varie peu avec le contrôle de gain. Les LUT sinus et cosinus sont dimensionnées pour corriger des erreurs de phase comprises entre -90° et $+90^\circ$, avec 1° de précision. Les propriétés de symétrie du sinus et du cosinus étant exploitées, les LUT ne contiennent que 91 valeurs.

Pour des températures comprises entre -30°C et 80°C , par pas de 10°C , la taille des LUT pourrait être réduite à 11 valeurs. La synthèse de la partie numérique avec de telles LUT indique que la surface serait de 0.029 mm^2 avec une consommation de $0.87 \mu\text{W}$. Comparée à la version incluant des LUT à 91 valeurs, la surface est diminuée de $0.0066 \mu\text{m}^2$ et la consommation chute de $272 \mu\text{A}$. Cette réduction des coûts n'est pas très significative.

Une solution efficace pour réduire les coûts de la boucle cartésienne serait d'utiliser des CAN $\Sigma\Delta$ (Cf. paragraphe 3.10.3) à la place des CAN pipeline. Le filtrage de boucle pourrait ainsi être déporté dans la partie numérique et bénéficier de la réduction de la surface et de la consommation liée à la miniaturisation des transistors en CMOS 65 nm.

4.5.2 Comparaison avec les circuits existants

La comparaison de l'émetteur à boucle cartésienne avec des circuits existants est délicate pour différentes raisons.

Tout d'abord, les circuits présentés dans la littérature concernent soit la partie RF seule de l'émetteur, soit l'interface RF complète avec l'émetteur et le récepteur. L'émetteur à boucle cartésienne ne comporte pas de synthèse fréquentielle et n'inclut pas d'amplificateur de puissance. Par contre, elle n'emploie aucun composant programmable de type DSP d'ordinaire utilisé pour la calibration de la fuite d'OL comme dans [BTR⁺04].

Ensuite, la technologie CMOS 65 nm permet une réduction importante de la surface des circuits numériques. Or les circuits propres à la comparaison sont réalisés dans des technologies bipolaires ou CMOS 0.13 μm .

Une première comparaison avec le circuit d'émetteur à boucle cartésienne pour le standard WCDMA présenté dans [CSP03] permet d'évaluer la réduction des coûts apportée par l'implémentation du correcteur de phase et du soustracteur dans un circuit numérique. Le circuit [CSP03], en technologie bipolaire double poly 0.8 μm de STMicroelectronics, n'inclut pas la synthèse et la contribution du PA peut être déduite. Sans le PA, l'émetteur a une surface de 1.048 mm^2 et une consommation de 160 mA.

Cette solution ne concerne que le deuxième étage de conversion d'une chaîne d'émission hétérodyne. Elle ne gère pas le contrôle de gain et la correction de la phase dans la boucle de retour nécessite un contrôle externe. Il est donc difficile de la comparer directement à notre émetteur. Il en ressort tout de même que la réalisation de la correction de phase et de la soustraction dans un circuit numérique permet de réduire la surface et la consommation de manière significative.

Une deuxième comparaison avec la solution de l'article [BTR⁺04], permet de confronter notre solution à un émetteur Zero-IF classique pour le standard WCDMA. Le circuit [BTR⁺04] en technologie 0.13 μm de TSMC comporte un système de calibration de la fuite d'OL et un contrôle de gain associé. Il n'inclut ni la synthèse ni le PA. Il est donc tout à fait comparable à notre émetteur à boucle cartésienne. Il présente une surface de 2.1 mm^2 et une consommation de 45.33 mA.

Une troisième comparaison avec le démonstrateur WCDMA de STMicroelectronics en technologie BiCMOS SiGeC 0.25 μm [Pel05], permet de confirmer la réduction de la consommation liée au choix d'un émetteur Zero-IF. En effet, l'article [Pel05] décrit un module RF avec un émetteur à fréquence intermédiaire variable et un récepteur à conversion directe. La consommation de l'émetteur sans la contribution de la synthèse de fréquence s'élève à 53 mA. La surface de l'émetteur (modulateur IQ, mélangeur RF et PPA) est de 2.3 mm^2 .

La réduction de la surface et de la consommation liée au choix d'une architecture Zero-

IF est confirmée avec la dernière comparaison. Elle concerne un émetteur hétérodyne WCDMA [HYPUYH⁺04] en technologie BiCMOS SiGeC de TSMC 0.35 μm avec une surface de 4.6 mm^2 et une consommation de 88 mA .

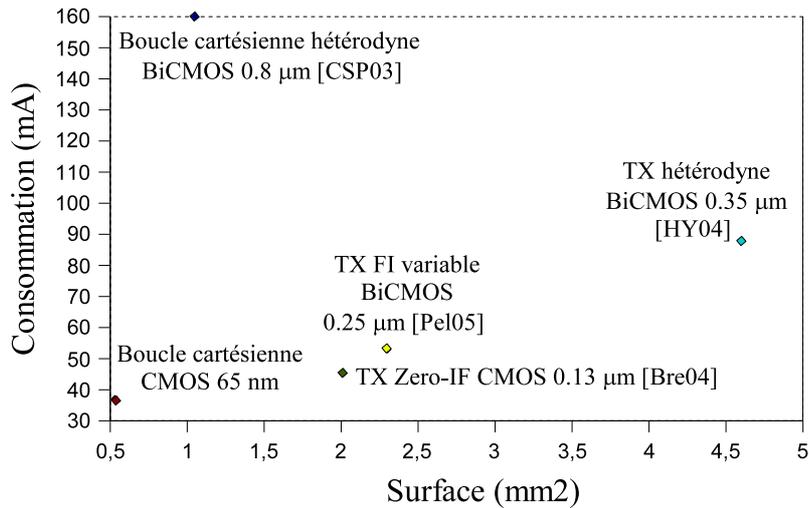


FIG. 4.17 – Comparaison des caractéristiques de surface et consommation

Aux vues de la figure 4.17, il apparaît que l'émetteur à boucle cartésienne en CMOS 65 nm présente la consommation et la surface la plus faible.

De plus, les valeurs de surface et de consommation présentées dans [BTR⁺04] ne tiennent pas compte de la contribution du système de calibration de la fuite d'OL. Ce dernier comporte un détecteur de tension de sortie, un CAN et un algorithme numérique de calibration automatique qui devraient être pris en compte pour que la comparaison reste illégitime.

4.6 Conclusion

L'étude de faisabilité en technologie CMOS 65 nm des blocs de la boucle cartésienne, représentée sur la figure 4.18, n'est pas exhaustive pour la conception d'un circuit fonctionnel.

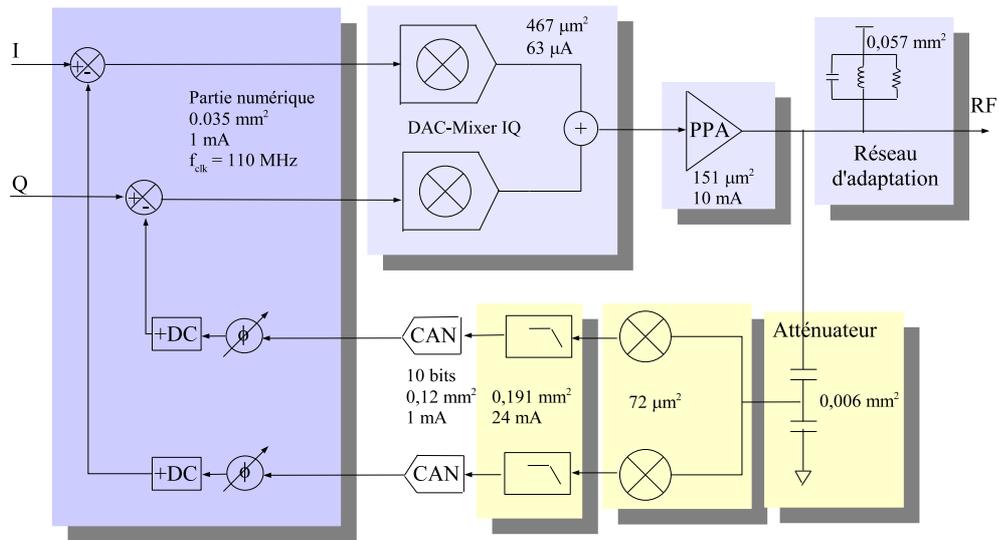


FIG. 4.18 – Faisabilité des blocs de la boucle cartésienne en CMOS 65 nm

Par exemple, les ADC de la boucle de retour n'ont pas été étudiés du point de vue conception, car ils ne constituaient pas un obstacle à la réalisation de l'émetteur compte tenu de l'état de l'art et des spécifications définies dans le paragraphe 3.10.3.

L'étude de faisabilité a pour vocation de valider les points de spécifications qui apparaissaient comme difficiles à mettre en œuvre en technologie CMOS 65 nm à l'issue de l'étude système.

Ainsi, le DAC-Mixer permet de réaliser le contrôle de gain à l'entrée de l'émetteur sans être limité par la fuite d'OL, ni par le plancher de bruit de quantification des CNA.

Concernant la chaîne de retour, la contrainte de linéarité est respectée, car l'IIP3 à l'entrée du démodulateur est de -0.5 dBV, alors que l'étude système prévoyait un IIP3 minimal de -6 dBV. D'autre part, le bruit ramené à l'entrée du filtre ne dépasse pas les $10 \text{ nV}/\sqrt{\text{Hz}}$ spécifiés.

L'analyse temporelle statique de la partie numérique indique que la fréquence d'horloge peut dépasser les 110 MHz requis, puisque la fréquence maximale est de 200 MHz.

De plus, le traitement d'un symbole WCDMA est effectué en 4 périodes d'horloge, soit 36 ns à 110 MHz. Ce délai est 5 fois inférieur au délai maximal spécifié de 180 ns.

D'autre part, l'objectif de réduction des coûts est atteint avec une surface de 0.53 mm^2 et une consommation de 45 mW.

Généralement, la diminution de la taille des transistors avec la technologie CMOS 65 nm ne favorise pas la réduction de la surface des composants analogiques à cause de la diminution de la tension d'alimentation et des problèmes d'appariement. Par contre, elle est très favorable aux circuits numériques. Finalement, le succès en matière de réduction des coûts pour un émetteur à boucle cartésienne, comparé à un émetteur Zero-IF classique, tient principalement dans l'implémentation numérique du correcteur de phase et du soustracteur.

Conclusion générale

Les travaux qui ont été menés au cours de cette thèse ont contribué à l'évaluation d'un émetteur RF WCDMA à boucle cartésienne de linéarisation du point de vue de la réduction de la surface et de la consommation.

Dans le premier chapitre, les éléments de la norme WCDMA auxquels l'émetteur RF mobile doit se conformer ont été présentés. Dans le deuxième chapitre, le passage en revue des différentes architectures d'émetteur et méthodes de linéarisation a permis d'identifier la combinaison d'architecture d'émetteur et de structure de linéarisation la plus favorable aux objectifs de réduction des coûts. Une boucle cartésienne de linéarisation appliquée à un émetteur à conversion directe a été choisie.

Ensuite, il a fallu relier les spécifications de la norme WCDMA, présentées dans le premier chapitre, aux caractéristiques des blocs de la boucle cartésienne. Pour ce faire, différents modèles de stabilité, de bruit, de linéarité ou encore de fuite d'OL ont été décrits dans le troisième chapitre. A l'issue de l'étude du système, les spécifications de chacun des blocs constitutifs de la boucle cartésienne ont été établies.

Dans le dernier chapitre, une étude de faisabilité de la boucle cartésienne en technologie CMOS 65 nm a été menée, afin de valider les points de spécification de l'étude du système qui semblaient pouvoir compromettre l'intégration de l'émetteur sur silicium.

Ainsi, un compromis entre bruit et linéarité a été établi pour les éléments de la chaîne de retour. La nouvelle topologie de DAC-Mixer permet de combiner les fonctions de convertisseurs numérique/analogiques et de modulateur RF en s'affranchissant de la fuite d'OL. Dès lors, le contrôle de gain peut être effectué en amont de l'émetteur sans être limité ni par la fuite d'OL, ni par le plancher de bruit de quantification des CNA.

Les circuits proposés pour réaliser les fonctions de la boucle cartésienne ont des perfor-

mances satisfaisantes pour la norme WCDMA.

A l'issue de l'étude de faisabilité, la surface et la consommation de l'émetteur ont été estimées. Après comparaison avec l'état de l'Art, il apparaît que la boucle cartésienne mixte est une solution avantageuse pour réduire les coûts, puisqu'elle présente une surface faible grâce à l'implémentation numérique du correcteur de phase et du soustracteur, avec une consommation équivalente à celle d'un émetteur Zero-IF classique.

De manière plus générale, ces travaux ont permis de déterminer les limitations de la technologie CMOS 65 nm pour l'intégration des fonctions RF critiques. Au premier abord, la technologie CMOS 65 nm ne semblait pas la plus adaptée à la réalisation de circuit RF pour des questions de bruit et de linéarité. Dans la boucle cartésienne, les contraintes de linéarité et de bruit des éléments de la chaîne directe sont reportées sur les éléments de la boucle de retour, mais ces derniers, fonctionnant à une puissance moindre, restent réalisables en technologie CMOS 65 nm.

De plus, le succès de la réduction des coûts avec la boucle cartésienne étant directement imparté au report de la soustraction et de la correction de phase dans une partie numérique, la technologie CMOS 65 nm reste la plus adaptée, car elle offre une réduction importante de la surface et de la consommation des circuits numériques avec la miniaturisation des transistors.

Perspectives

Dans les équipements de téléphonie mobile 3G, l'intérêt d'une structure de linéarisation est confirmé pour les futures architectures d'émetteur RF faible coût comme la SDR, où des solutions du type DAC-Mixer fortement non-linéaires sont requises pour s'affranchir de la fuite d'OL et réaliser le contrôle de gain en numérique.

Les opérateurs de téléphonie mobile souhaitent embarquer plusieurs standards de télécommunication dans un même équipement. Pour économiser la batterie et réduire les coûts de fabrication au travers de la surface de silicium, il est souhaitable d'utiliser une unique architecture d'émetteur RF reconfigurable de manière logicielle en fonction du standard à adresser, évitant ainsi de multiplier les chaînes d'émission.

Grâce aux modèles développés pour le dimensionnement des blocs de la boucle cartésienne, l'étude du système pourra facilement être adaptée à d'autres standards comme le GSM, EDGE, CDMA 2000 ou WLAN.

La bande passante de la boucle cartésienne étant essentiellement limitée par la bande passante du filtre de boucle, il serait alors intéressant de reporter le filtrage de boucle dans la partie numérique de manière à pouvoir utiliser un filtre large bande compatible avec les différents standards, sans augmenter la consommation ni la surface.

L'arrivée de la 4G est anticipée grâce à l'apparition de nouvelles technologies comme WiMAX [Int05]. La prolifération de cœurs de réseaux cellulaires va être remplacée par un seul basé sur le réseau IP pour le contrôle, la transmission de paquet de données et la voix sur IP (VoIP). Pour augmenter les débits de transmission, les standards de quatrième génération utilisent des techniques multi-porteuses (OFDM [Int92]) qui nécessitent des traitements linéaires [Mar00].

La linéarisation des émetteurs RF faible coût de téléphonie mobile est donc une technique qui est loin d'être révolue.

A

**CALCUL DES NOYAUX DE
VOLTERRA DE LA BOUCLE
CARTÉSIENNE**

Sommaire

A.1	Les Séries de Volterra	160
A.2	Modélisation de l'émetteur pour la linéarité	160
A.3	Calcul de l'expression des non-linéarités de la chaîne de retour	161
A.3.1	Expression des noyaux G de la chaîne directe	161
A.3.2	Expression des noyaux B de la chaîne de retour	162

A.1 Les Séries de Volterra

Les séries de Volterra permettent de décomposer un signal $y(t)$, en sortie d'un système non-linéaire, en une somme de n termes [Nar70, BEG74] selon l'équation A.1, où $y_n(t)$ est défini en fonction du signal d'entrée $x(t)$ et des noyaux de Volterra $h_n(t)$ qui caractérisent les non-linéarités du système (Cf. équation A.2).

$$y(t) = \sum_{n=1}^{+\infty} y_n(t) \quad (\text{A.1})$$

$$y_n(t) = \int_{-\infty}^{+\infty} \dots \int_{-\infty}^{+\infty} h_n(\tau_1, \dots, \tau_n) \cdot x(t - \tau_1) \dots \cdot x(t - \tau_n) d\tau_1 \dots d\tau_n \quad (\text{A.2})$$

Dans le domaine fréquentiel, la décomposition du signal de sortie $Y(f)$ en série de Volterra s'écrit plus simplement avec l'équation A.3, où $Y_n(f)$ dépend du signal d'entrée $X(f)$ et des noyaux de Volterra $H_n(f)$ du système (Cf. équation A.4).

$$Y(f) = \sum_{n=1}^{+\infty} Y_n(f) \quad (\text{A.3})$$

$$Y_n(f_1, \dots, f_n) = H_n(f_1, \dots, f_n) \times X(f_1) \dots X(f_n) \quad (\text{A.4})$$

A.2 Modélisation de l'émetteur pour la linéarité

Pour exprimer les noyaux de Volterra des chaînes directe et de retour de la boucle cartésienne, le système représenté figure A.1 est considéré.

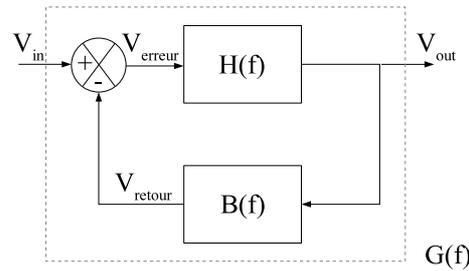


FIG. A.1 – Système bouclé aux fonctions de transfert non-linéaires

H et B sont respectivement les fonctions de transfert non-linéaires de la chaîne directe et de la chaîne de retour de la boucle cartésienne. G est la fonction de transfert globale de l'émetteur. Le système est décrit par les équations suivantes :

$$\begin{aligned} V_{erreur} &= V_{in} - V_{retour} \\ V_{out} &= H(V_{erreur}) \\ V_{retour} &= B(V_{out}) \\ V_{out} &= G(V_{in}) \end{aligned}$$

d'où

$$G_i = H_i(I_d - B_i(G_i(X))) \quad (\text{A.5})$$

I_d est la matrice identité. A l'ordre 1, $I_d = 1$ et $I_d = 0$ pour les ordres supérieurs.

A.3 Calcul de l'expression des non-linéarités de la chaîne de retour

Connaissant le niveau de distorsions harmoniques d'ordre 3 requis en sortie de la boucle cartésienne, le niveau de distorsion maximal dans la boucle de retour dépend des gains des chaînes directe et de retour, mais aussi des non-linéarités de la chaîne directe.

A.3.1 Expression des noyaux G de la chaîne directe

Les noyaux d'ordres pairs ne sont pas considérés, car les non-linéarités d'ordres pairs n'influencent pas le canal d'émission. Le développement des noyaux de Volterra d'ordres

impairs est limité à l'ordre 3 par souci de simplification des calculs.

Posons $K = I_d - B_i(G_i)$.

Pour $i = 1$, $K_1 = 1 - B(G_1) \Leftrightarrow K_1(f_1) = 1 - B_1(f_1)G_1(f_1)$.

On en déduit $G_1(f_1) = H_1(f_1)K_1(f_1)$.

D'après A.5, $G_1(f_1) = H_1(f_1)(1 - B_1(f_1)G_1(f_1))$.

Le gain petit signal du système bouclé $G_1(f_1)$ est défini par l'équation A.6.

$$G_1(f_1) = \frac{H_1(f_1)}{1 + B_1(f_1)H_1(f_1)} \quad (\text{A.6})$$

Pour $i = 3$, $K_3 = -B(G_3)$

$K_3(f_1, f_2, f_3) = -B_1(f_1 + f_2 + f_3)G_3(f_1, f_2, f_3) - B_3(f_1, f_2, f_3)G_1(f_1 + f_2 + f_3) + \dots$

Dans un émetteur Zero-IF, il n'y a qu'une seule fréquence ($f_1 = f_2 = f_3$).

$K_3(f_1, f_1, f_1) = -B_1(f_1)G_3(f_1, f_1, f_1) - B_3(f_1, f_1, f_1)G_1(f_1) + \dots$

$G_3(f_1, f_1, f_1) = H_1(f_1)K_3(f_1, f_1, f_1) + H_3(f_1, f_1, f_1)K_1(f_1)^3 + \dots$

Le noyau de Volterra d'ordre 3 de la boucle cartésienne s'exprime selon l'équation A.7.

$$G_3(f_1, f_1, f_1) \approx \frac{H_3(f_1, f_1, f_1)}{(1 + B_1(f_1)H_1(f_1))^4} - \frac{H_1(f_1)^4 B_3(f_1, f_1, f_1)}{(1 + B_1(f_1)H_1(f_1))^4} \quad (\text{A.7})$$

A.3.2 Expression des noyaux B de la chaîne de retour

Le noyau de Volterra d'ordre 3 de la fonction de transfert B, déduit de l'équation A.7, s'exprime selon l'équation A.8, en fonction des noyaux G_1 et G_3 du système global.

$$B_3(f_1, f_1, f_1) = \frac{-G_3(f_1, f_1, f_1)}{G_1(f_1)^4} + \frac{H_3(f_1, f_1, f_1)}{H_1(f_1)^4} \quad (\text{A.8})$$

B

ALGORITHME CORDIC

Sommaire

B.1	But de l'algorithme	164
B.2	Mise en équation	164
B.3	Principe de l'algorithme	165

B.1 But de l'algorithme

L'algorithme CORDIC (Coordinate Rotation Digital Computer) permet de calculer la rotation circulaire d'angle θ d'un vecteur (x, y) .

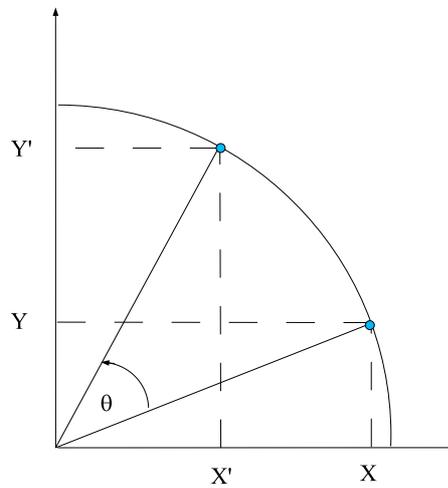


FIG. B.1 – Mode rotation de l'algorithme CORDIC

B.2 Mise en équation

La rotation circulaire du vecteur (x, y) , en fonction de l'angle θ , s'écrit sous forme matricielle d'après l'équation B.1.

$$\begin{bmatrix} x' \\ y' \end{bmatrix} = \begin{bmatrix} \cos \theta & -\sin \theta \\ +\sin \theta & \cos \theta \end{bmatrix} \begin{bmatrix} x \\ y \end{bmatrix} \quad (\text{B.1})$$

$$\Leftrightarrow \begin{cases} x' = x \cos \theta - y \sin \theta \\ y' = x \sin \theta + y \cos \theta \end{cases} \quad (\text{B.2})$$

$$\Leftrightarrow \begin{cases} x' = \cos \theta (x - y \tan \theta) \\ y' = \sin \theta (x + y \tan \theta) \end{cases} \quad (\text{B.3})$$

B.3 Principe de l'algorithme

L'algorithme CORDIC repose sur le fait qu'un angle θ peut être décomposé en n angles élémentaires θ_i . On peut alors écrire les équations suivantes :

$$\begin{aligned} \tan \theta_i &= \pm 2^{-i} \\ \theta_i &= \tan^{-1} 2^{-i} \\ k_i &= \cos(\tan^{-1} 2^{-i}) \end{aligned}$$

Le système de matrice B.1 peut être calculé de manière itérative grâce au système B.4.

$$\begin{cases} x_{i+1} = k_i (x_i - y_i d_i 2^{-i}) \\ y_{i+1} = k_i (y_i + x_i d_i 2^{-i}) \\ k_i = \frac{1}{\sqrt{1+2^{-2i}}} \end{cases} \quad (\text{B.4})$$

La variable de décision d_i vaut -1 si $k_i < 0$ et $+1$ sinon.

La rotation circulaire est calculée de manière itérative en n'employant que des additions et des multiplications par des puissances de 2. En conception de circuit numérique, les multiplications par des puissances de 2 sont réalisées à l'aide de simples décalages à gauche des mots binaires.

Grâce à l'algorithme CORDIC, les multiplications de B.1 sont remplacées par des décalages binaires, assurant une réduction de la complexité du circuit numérique.

CODAGE VIRGULE FIXE

Sommaire

C.1	Arithmétique virgule fixe	168
C.1.1	Nombre négatif	168
C.1.2	Addition en virgule fixe	168
C.1.3	Multiplication en virgule fixe	169

C.1 Arithmétique virgule fixe

Un nombre x codé en virgule fixe s'écrit selon l'équation C.1.

$$x = -2^m S + \sum_{i=-n}^{m+1} b_i 2^i \quad (\text{C.1})$$

S est le bit de signe, les m bits suivants constituent la partie entière et les n bits de poids faible, la partie fractionnaire, comme l'indique la figure C.1.

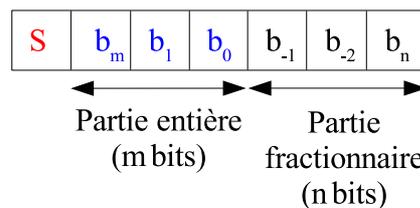


FIG. C.1 – Format virgule fixe

C.1.1 Nombre négatif

Un nombre négatif est codé en complément à 2. Le codage de la valeur négative d'un nombre x codé en binaire, d'après l'équation C.2, est déterminé en prenant le complément binaire de x et en y ajoutant 1.

$$-x = \bar{x} + 1 \quad (\text{C.2})$$

Ainsi, le bit de poids fort est le bit de signe. Il vaut 1 pour les nombres négatifs et 0 pour les nombres positifs.

C.1.2 Addition en virgule fixe

L'addition de deux valeurs OpA et OpB, codées en virgule fixe, impose que les virgules des opérandes soient alignées. En effet, dans le cas présenté figure C.2, l'opérande OpB a une

partie entière et une partie fractionnaire de tailles inférieures à celles de l'opérande OpA. Avant de procéder à l'addition de OpA avec OpB, il convient d'aligner les virgules des deux opérandes, de faire une extension du signe d'OpB pour que la partie entière atteigne la taille m_A et de faire une extension binaire du LSB, afin que la partie fractionnaire soit de taille n_A .

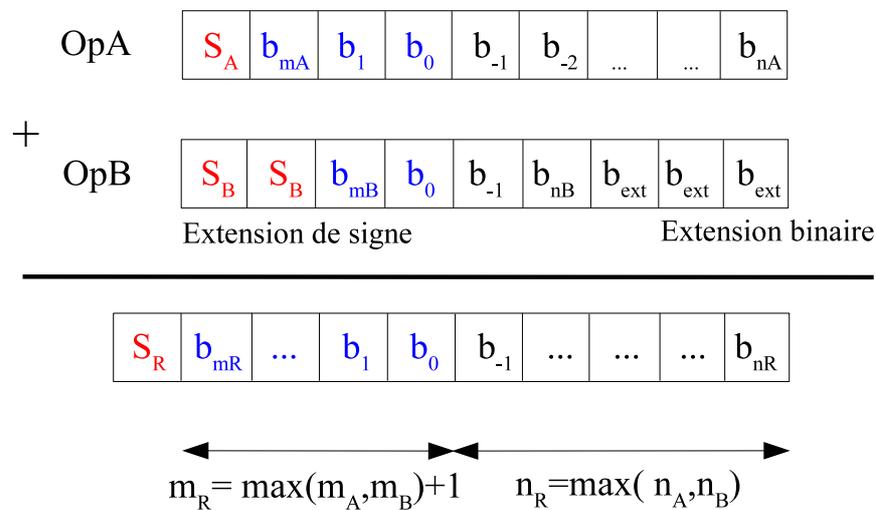


FIG. C.2 – Addition en virgule fixe

C.1.3 Multiplication en virgule fixe

Le résultat d'une multiplication de deux opérandes, codés en virgule fixe, a la taille de la somme des tailles des opérandes avec un doublement du signe, comme le montre la figure C.3.

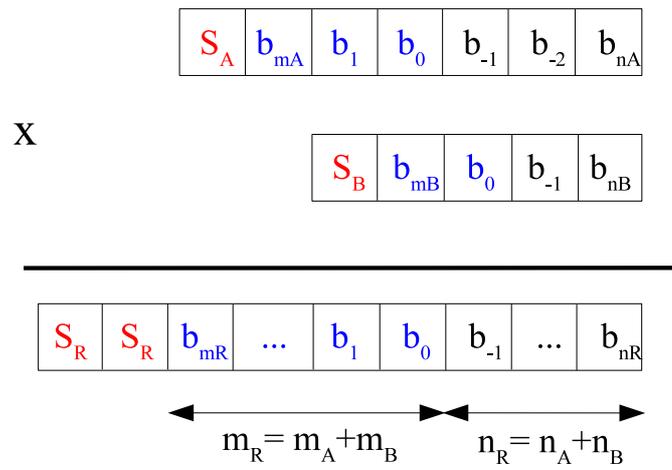


FIG. C.3 – Multiplication en virgule fixe

D**MODÉLISATION***Matlab Simulink*[®] DE LA**PARTIE NUMÉRIQUE****Sommaire**

D.1	Modèle en virgule fixe	172
D.1.1	Calcul de l'erreur de phase	172
D.1.2	Lecture des LUT sinus et cosinus	173
D.1.3	Multiplieur complexe	174
D.1.4	Calcul du SNR	175

D.1 Modèle en virgule fixe

Le modèle en virgule fixe (Cf. figure D.1) emploie des blocksets de la librairie `fixed_point` qui permettent de simuler des calculs conformément à l'arithmétique en virgule fixe.

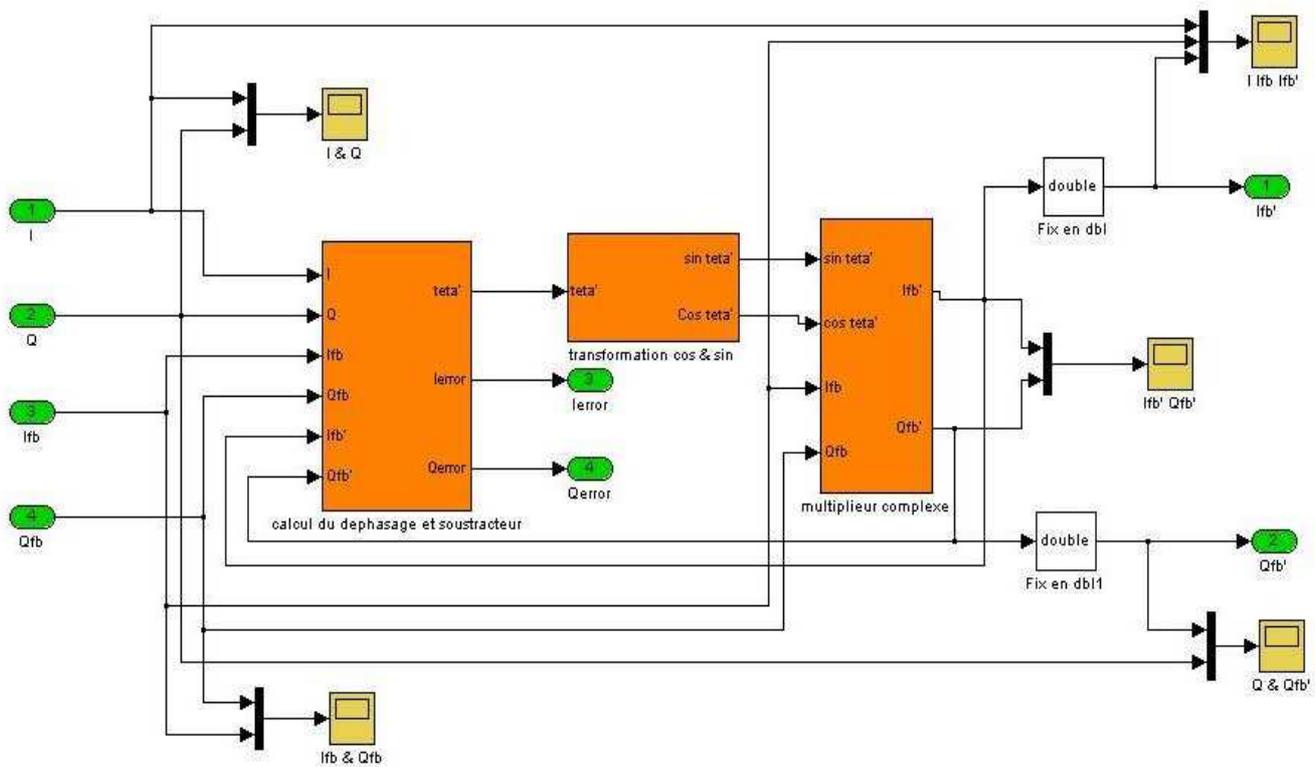


FIG. D.1 – Modèle Simulink en virgule fixe

Pour chacun des blocksets `fixed_point`, le format de virgule fixe désiré est paramétré.

D.1.1 Calcul de l'erreur de phase

Le modèle du calcul de l'erreur de phase est représenté figure D.2.

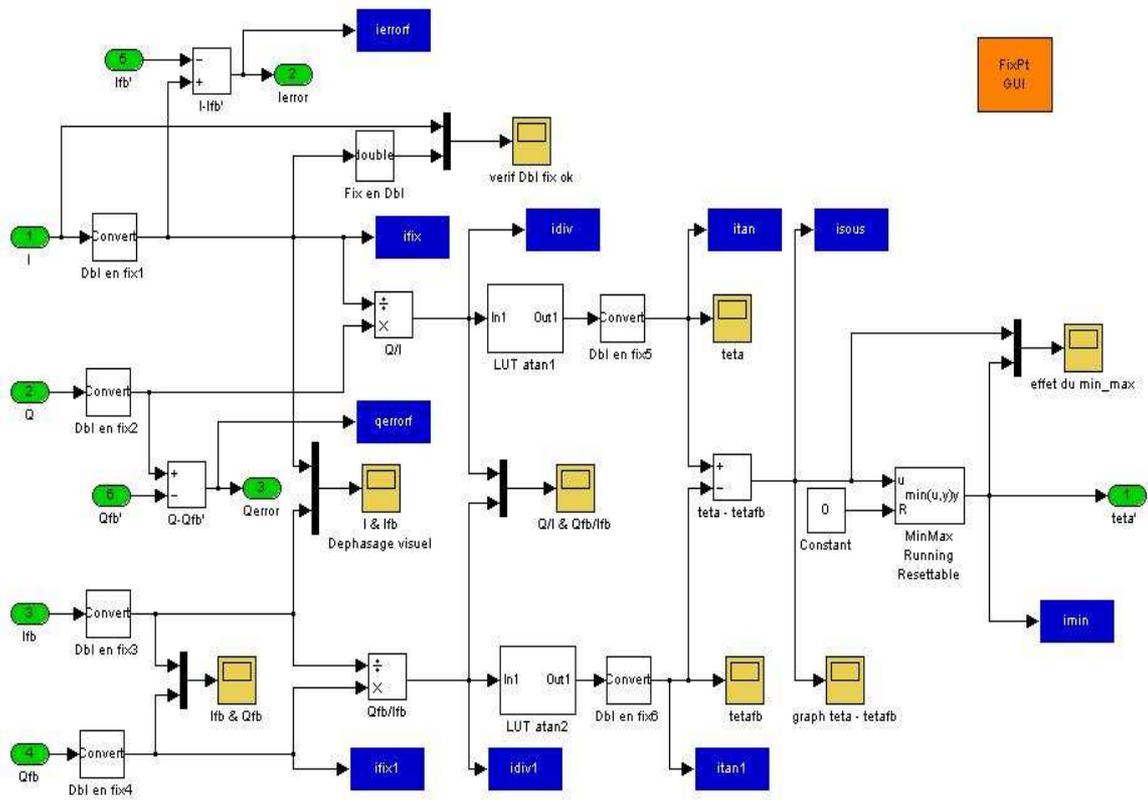


FIG. D.2 – Calcul de l'erreur de phase

D.1.2 Lecture des LUT sinus et cosinus

Les valeurs de sinus et cosinus nécessaires à la correction de phase sont lues dans des LUT contenant des valeurs en virgule fixe (Cf. figure D.3).

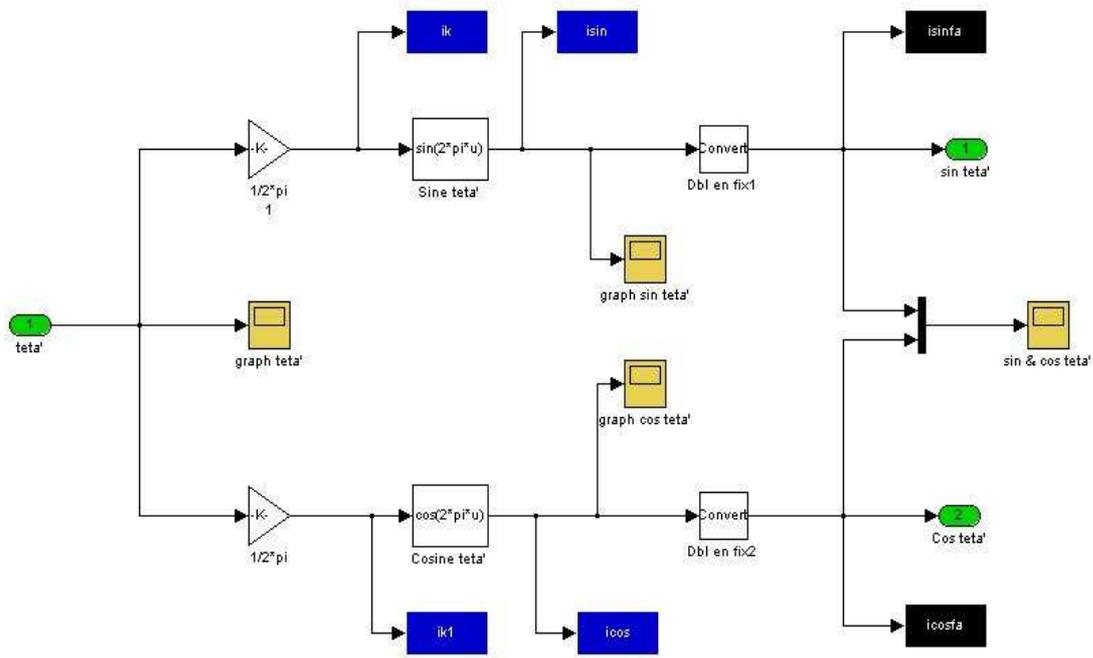


FIG. D.3 – Lecture des LUT sinus et cosinus

D.1.3 Multiplieur complexe

La correction de phase est effectuée dans le multiplieur complexe représenté figure D.4).

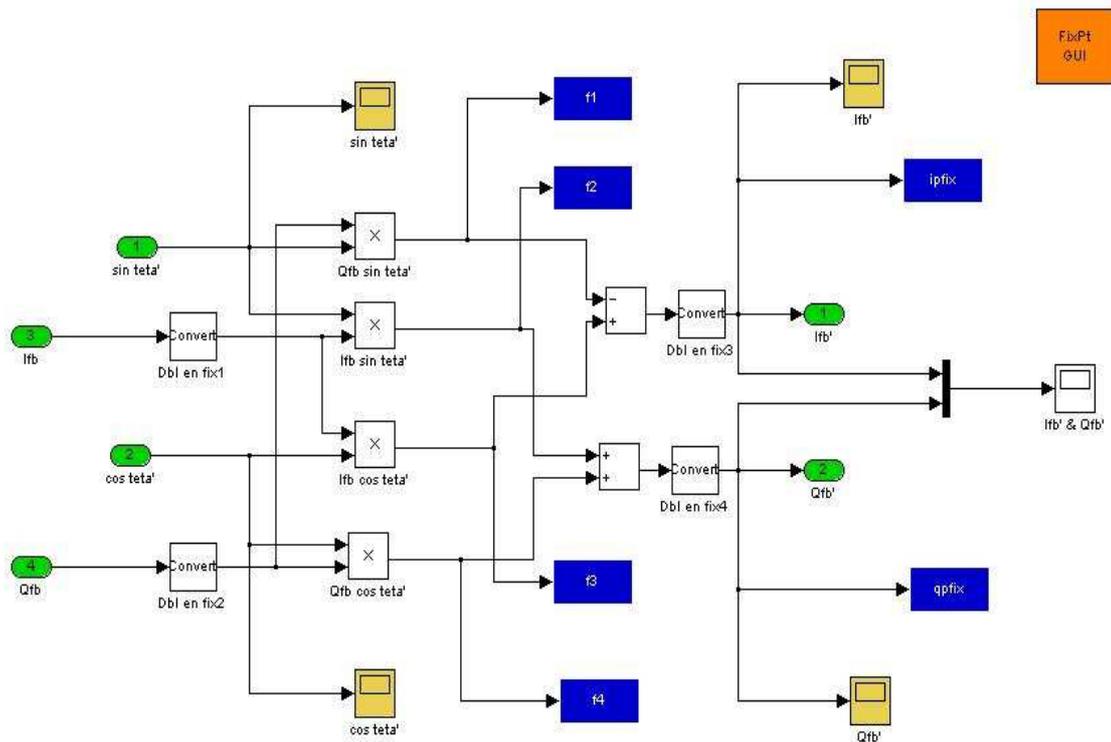


FIG. D.4 – Multiplieur complexe

D.1.4 Calcul du SNR

Les commandes Matlab ci-dessous permettent de calculer le rapport SNR en sortie de la partie numérique modélisée.

```

ys = ipfix;
N = length(ys);
Fs = 8*3.84e6; 8 échantillons par chips et 3.84 Mcps
%tstep = 1/Fs;
%tstop = tstep*32768-tstep; 215
%tstop1 = tstep*16384-tstep; 214
%tstop2 = tstep*65536-tstep; 216
%tstoptrame = tstep*40981;

```

```
%% Fenêtrage pour limiter le spectre numérique
```

```
ysb=ys.*blackmanharris(N);

%% fft de y
Ys=fft(ysb);

%% DSP de y
Pys = Ys.*conj(Ys);

%% Densité Spectrale de Puissance (DSP) en dB
Pys_db=10*log10(Pys);

%% Fenêtre d'observation de la transformée de Fourier
F = [-Fs/2 :Fs/N :Fs/2-Fs/N];
as = Pys_db(1 :N/2);
bs = Pys_db(N/2+1 :N);
cs = [bs;as];

%% Affichage en sortie de calcul
plot (F,cs)
title('Power Spectral Density')
xlabel('Frequency (MHz)')
grid

% Integration de la puissance du spectre utile sur la bande
%% Pfund
PsFund = max(Pys_db)

%% Integration de la puissance de bruit de quantification sur la bande
Psnoise = sum(Pys_db)/length(Pys_db)

%% calcul du SNR
SNRs = PsFund-Psnoise
```

E

**CONCEPTION DE CIRCUITS
EN TECHNOLOGIE
CMOS 65 NM**

Sommaire

E.1	Calcul des valeurs des LUT	178
E.2	Multiplication du signal RF par le signal d'OL	178

E.1 Calcul des valeurs des LUT

Afin de générer les valeurs des LUT sinus, cosinus et arc-tangente, les commandes Matlab suivantes sont utilisées.

```
t=[0 : 1 : 90]; % angles de 0 à 90° par pas de 1°
q=quantizer([16,14]); % définit le format en virgule fixe sur 16 bits dont 14 pour la partie fractionnaire
x=num2bin(q,sin(t)) % donne les valeurs de sinus en virgule fixe binaire
y=num2bin(q,cos(t))
c=tan(t);
z=num2bin(q,atan(c))
```

E.2 Multiplication du signal RF par le signal d'OL

En considérant la représentation de la figure E.1, la multiplication du signal RF par le signal d'OL, exprimée dans l'équation E.2, est réalisée grâce à la relation quadratique du courant de sortie du transistor MOS, donnée dans l'équation E.1.

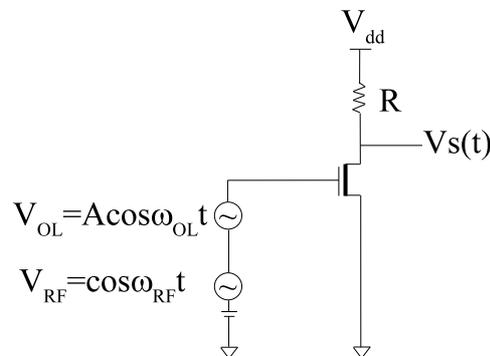


FIG. E.1 – Transistor MOS

$$V_s(t) = V_{dd} - R \cdot I_{DS}(t)$$

$$I_{DS}(t) = K \frac{W}{L} (V_{GS0} - V_t + V_{GS}(t))^2 \quad (\text{E.1})$$

$$I_{DS}(t) = K \frac{W}{L} (V_{GS0} - V_t)^2 + 2K \frac{W}{L} (V_{GS0} - V_t) V_{GS}(t) + K \frac{W}{L} V_{GS}(t)^2$$

$$I_{DS}(t) = I_0 + gm \cdot V_{GS}(t) + K \frac{W}{L} V_{GS}(t)^2$$

$$V_{GS}(t) = \cos \omega_{RF} t + A \cos \omega_{OL} t$$

$$V_s(t) = V_{dd} - R \cdot I_0 - gm \cdot R (\cos \omega_{RF} t + A \cos \omega_{OL} t) \quad (\text{E.2})$$

$$-K \frac{W}{L} R \cdot A [\cos(\omega_{OL} - \omega_{RF})t + \cos(\omega_{OL} + \omega_{RF})t]$$

Bibliographie

- [3GP02] 3GPP : User Equipment (UE) Radio Transmission and Reception (FDD). *Universal Mobile Telecommunications System (UMTS)*, 3GPP TS 25.101 version 4.5.0, Juin 2002.
- [3GP04] 3GPP : UTRA Repeater Radio Transmission and Reception. *Universal Mobile Telecommunications System (UMTS)*, 3GPP TS 25.106 version 5.8.0, Juin 2004.
- [Adl04] Robert ADLER : A Study of Locking Phenomena in Oscillators. *Proceedings of the IEEE*, 61(10), Octobre 2004.
- [Agi99] AGILENT : HPSK Spreading for 3G. *Application Note*, AN 1335, 1999.
- [AHB⁺05] Terje Nortvedt ANDERSEN, Bjørnar HERNES, Atle BRISKEMYR, Frode TELSTØ, Johnny BJØRNSEN, Thomas E. BONNERUD et Øystein MOLDSVOR : A Cost Efficient High-Speed 12-bit Pipeline ADC in 0.18- μm Digital CMOS. *IEEE Journal of Solid State Circuits*, Juillet 2005.
- [AV05] K. Ola ANDERSON et Mark VESTERBACKA : Modeling of Glitches due to Rise/Fall Asymmetry in Current-Steering Digital-to-Analog Converters. *IEEE Transaction on Circuits and Systems*, 52(11):p. 2265–2275, Novembre 2005.
- [BEG74] Julian J. BUSSGANG, Leonard EHRMAN et James W. GRAHAM : Analysis of Nonlinear Systems with Multiple Inputs. *Proceedings of the IEEE*, 62(8), Août 1974.
- [Beh99] Razavi BEHZAD : RF Transmitter Architectures and Circuits. *Custom Integrated Circuits Conference*, Mai 1999.
- [BF94] M. A. BRIFFA et M. FAULKNER : Stability Considerations for Dynamically Biased Cartesian Feedback Linearization. *IEEE Vehicular Technology Conference*, 2:1321–1325, Juin 1994.

- [BF96] M. A. BRIFFA et M. FAULKNER : Stability Analysis of Cartesian Feedback Linearisation for Amplifiers with Weak Non-linearity. *IEE proceedings on Communications*, 143(4), Août 1996.
- [Bla29] H. S. BLACK : Translating System. *US patent*, 1686792, Octobre 1929.
- [BTR⁺04] Gabriel BRENNAN, David TSCHOPP, Juergen ROGIN, Ilian KOUCHEV et Qiuting HUANG : A 2-GHz Carrier Leakage Calibrated Direct-Conversion WCDMA Transmitter in 0.13 μm CMOS. *IEEE Journal of Solid-State Circuits*, 39(8):p. 1253–1262, Août 2004.
- [CNS04] Raghu CHALLA, Katsuri NITIN et Nikolai SCHLEGEL : Digital Voltage Gain Amplifier for Zero IF Architecture. *US patent*, US 2004/0184569 A1, 2004.
- [Cox75] D.C. COX : Linear Amplification by Sampling Techniques : a New Application for Delta Coder. *IEEE Transactions on Communications*, 23(8), Août 1975.
- [CPYY04] Hyung-Ho CHO, Cheong-Yong PARK, Gun-Shik YUNE et Kwang-Sub YOON : A 10-bit 210-MHz CMOS D/C Converter for WLAN. *AP-ASIC*, Août 2004.
- [CSP03] Francesco CARRARA, Antonino SCUDERI et Giuseppe PALMISANO : Wide-band Fully Integrated Cartesian Feedback Transmitter. *CSICC*, Avril 2003.
- [CT91] J.C. CANDY et G.C. TEMES : *Oversampling Delta-Sigma Data Converters : Theory, Design, and Simulation*. Wiley-IEEE press, 1991.
- [Daw03] Joel L. DAWSON : *Feedback Linearization of Rf Power Amplifiers*. Thèse de doctorat, Université de Stanford, Californie, Août 2003.
- [DBVB04] A. DIET, C. BERLAND, M. VILLEGAS et G. BAUDOIN : EER Architecture Specifications for OFDM Transmitter Using a Class E Amplifier. *IEEE Microwave and Wireless Components*, 14(8), Août 2004.
- [DL04] Joel L. DAWSON et Thomas LEE : Automatic phase alignment for high bandwidth cartesian feedback power amplifiers. *ISSCC*, Février 2004.
- [EPC04] EPCOS : Low-Loss Filter for Mobile Communication. *Data sheet B9026*, Juin 2004.

- [ES05] Petri ELORANTA et Pauli SEPPINEN : Direct Digital RF Modulator IC in 0.13 μm CMOS for Wide-Band Multi-Radio Applications. *ISSCC*, pages p. 532–534, Février 2005.
- [Fau00] Michael FAULKNER : An Automatic Phase Adjustment Scheme for RF and Cartesian Feedback Linearizers. *IEEE Vehicular Technology Conference*, 49:956–964, Mai 2000.
- [Fow02] Thomas et al. FOWLER : Efficiency Improvement Techniques at Low Power Levels for Linear CDMA and WCDMA Power Amplifiers. *RFIC*, Juin 2002.
- [GDC⁺05] Georges GIELEN, Wim DEHAENE, Phillip CHRISTIE, Dieter DRAXELMAYR, Edmond JANSSEN, Karen MAEX et Ted VUCUREVICH : Analog and Digital Circuit Design in 65 nm CMOS : End of the Road? *DATE*, Mars 2005.
- [GDDMV02] Paloma GARCIA DUCAR, Jesus DE MINGO et Antonio VALDOVINOS : Linearization Technique Using Digital Cartesian Loop Transmitter. *IEEE Personal Indoor and Mobile Radio Communications*, 5:2377–2381, Septembre 2002.
- [Gil75] Barrie GILBERT : A New Technique for Analog Multiplication. *Journal of Solid-State Circuits*, 10(6), Décembre 1975.
- [Gru05] Christophe GRUET : *Réseau UMTS*. Nortel Networks, 2005.
- [GT06] Franck GOUSSIN et Claire TASSIN : Rf dac-mixer with digital gain control independantly from quantization noise. *PCT patent n° 0608154*, Septembre 2006.
- [HJS04] Yigang HE, Jinguang JIANG et yichuang SUN : A 12-bit 150-MHz 1.25- μm^2 CMOS DAC. *TENCON*, Novembre 2004.
- [Hsu03] June-Ming HSU : A 0.18- μm CMOS Offset-PLL Upconversion Modulation Loop IC for DCS1800 Transmitter. *Journal of Solid-State Circuits*, 38(4), Avril 2003.
- [HYPUYH⁺04] Shih HORNG-YUAN, Su PENG-UN, Chen YEN-HORNG, Fu TZ-HENG, Liu JEN-LUNG, Juang KAI-CHEUNG, Kuo MING-CHING et Hsu CHUN-MING : A Highly-Integrated Inductor-Less SiGe W-CDMA Transmitter. *RFIC*, Juin 2004.

- [Int92] Anibal Luis et al. INTINI : OFDM for Data Communication Over Mobile Radio FM Channels. *IEEE Transactions on Communications*, Avril 1992.
- [Int05] INTEL : *Deploying Licence-Exempt WiMAX Solutions*. <http://www.intel.com>, 2005.
- [Iro05] Fred H. IRON : *Active Filter Integrated-Circuit Applications*. Artech House Microwave Library, 2005.
- [JH73] Richard C. JAEGER et Georges A. HELLWARTH : On the Performance of the Differential Cascode Amplifier. *Journal of Solid-State Circuits*, 8(2), Avril 1973.
- [Kah52] L.R. KAHN : Single-Sideband Transmission by Envelope Elimination and Restoration. *IRE proceedings*, 40, Juillet 1952.
- [KLWN04] Eric A. M. KLUMPERINK, Simon M. LOUWSMA, Gerard J. M. WIENK et Bram NAUTA : A CMOS Switched Transconductor Mixer. *IEEE Journal of Solid State Circuits*, 38(8), Août 2004.
- [KWP97] Peter B. KENNINGTON, Ross J. WILKINSON et Kerian J. PARSONS : Noise Performance of a Cartesian Loop Transmitter. *IEEE Trans. on Vehicular Technology*, 46(2), Mai 1997.
- [Mar00] Max MARTONE : On the Necessity of High Front-ends in Broadband Performance RF Wireless Access Employing Multicarrier Modulations (OFDM). *Global Telecommunications Conference*, Décembre 2000.
- [Mat04] Henry MATHIEU : *Physique des semiconducteurs et des composants électroniques*. Dunod, 2004.
- [MHM+05] Osamu MATSUMOTO, Hisashi HARADA, Yasuo MORIMOTO, Toshio KUMAMOTO, Takahiro MIKI et Masao HOTTA : A 11-bit 160-MS/s 1.35-V 10-mW D/A Converter Using Automated Device Sizing System. *ASP-DAC*, Janvier 2005.
- [MSS05] D. MORIN, Y. SAVARIA et M. SAWAN : A 200 MSPS 10-bit Pipelines ADC Using Digital Calibration. *IEEE NEWCAS*, Juin 2005.
- [Nar70] S. NARAYANAN : Application of Volterra Series to Intermodulation Distortion Analysis of Transistor Feedback Amplifiers. *IEEE Trans. on Circuit Theory*, CT-17(4):p. 518–527, Novembre 1970.

- [Pel05] Bruno et al. PELAT : Fully-Integrated WCDMA SiGec BiCMOS Transceiver. *ESSCIRC*, Septembre 2005.
- [PG79] V. PETROVIC et W. GOSLING : Polar-Loop Transmitter. *Electronics letters*, 15, Mai 1979.
- [PG00] Patrice GARCIA : *Contribution à l'étude et à la réalisation d'une architecture à basse fréquence intermédiaire intégrée pour le standard GSM*. Thèse de doctorat, Institut National Polytechnique de Grenoble, Octobre 2000.
- [Ran94] W. Rhea RANDALL : *HF Filter Design and Computer Simulation*. Noble Publishing Corporation, Atlanta, 1994.
- [Raz04] Behzad RAZAVI : A Study of Injection Locking and Pulling in Oscillators. *Journal of Solid-State Circuits*, 39(9), Septembre 2004.
- [San99] Willy SANSEN : Distortion in Elementary Transistor Circuits. *IEEE Trans. on Circuits and Systems-II : Analog and Digital Signal Processing*, 46(3), Mars 1999.
- [SMPP04] Nicolas SORNIN, Myriam MASSEI, Laurent PERRAUD et Christophe PINATEL : A Robust Cartesian Feedback Loop for a 802.11 a/b/g CMOS Transmitter. *IEEE Trans. on RFIC Symposium*, Avril 2004.
- [TEG01] H. TIAN et A. EL GAMMAL : Analysis of 1/f Noise in Switch Mosfet Circuits. *IEEE Transaction in Circuits and Systems I : Analogue and Digital Signal Processing*, 48(2):p. 151–157, Février 2001.
- [TG05] Claire TASSIN et Patrice GARCIA : Gain control system for a cartesian feedback transmitter with digital processing. *PCT patent n° 0504078*, Avril 2005.
- [TGB⁺05a] Claire TASSIN, Patrice GARCIA, Jean-Baptiste BÉGUERET, Yann DEVAL et Didier BELOT : A Cartesian Feedback Feasibility Study for a Zero-IF WCDMA Transmitter Handset IC. *IEEE NEWCAS*, Juin 2005.
- [TGB⁺05b] Claire TASSIN, Patrice GARCIA, Jean-Baptiste BÉGUERET, Yann DEVAL et Didier BELOT : Emetteur Zero-IF WCDMA à boucle cartésienne avec des traitements numériques. *JNRDM*, Mai 2005.
- [TGT⁺05] Claire TASSIN, Patrice GARCIA, Romaric TOUPÉ, Jean-Baptiste BÉGUERET, Yann DEVAL et Didier BELOT : A Mixed-Signal Cartesian Feedback

- Linearization System for a Zero-IF WCDMA Transmitter. *IEEE PRIME*, Juillet 2005.
- [TwBh02] Ahn TAE-WON et Park BYEONG-HA : A Fast-Locking Up-Conversion Modulation Loop Transmitter. *Journal of the Korean Physical Society*, 40(1), Janvier 2002.
- [VKP00] Javier VALLS, Martin KUHLMANN et Keshab K. PARHI : Efficient Mapping of CORDIC Algorithms on FPGA. *IEEE Workshop on Signal Processing Systems*, 46(3):p. 336–345, Octobre 2000.
- [WM93] Scott D. WILLINGHAM et Kenneth MARTIN : A BiCMOS Low-Distortion 8MHz Lowpass Filter. *ISSCC*, Février 1993.
- [YJ05] N. YAGHINI et D. JOHNS : A 43 mW CT Complex $\Delta\Sigma$ ADC with 23 MHz of Signal Bandwidth and 68.8 dB SNDR. *ISSCC*, Août 2005.
- [YKGW05] Masato YOSHIOKA, Masahiro KUDO, Yunihiro GOTOH et Yuu WATANABE : A 10-bit 125-MS/s 40-mW Pipelined ADC in $0.18\mu\text{m}$ CMOS. *ISSCC*, pages p. 282–284, Février 2005.
- [ZC05a] S. ZHOU et M.-C. F. CHANG : A CMOS Passive Mixer with Low Flicker Noise for Low-Power Direct-Conversion Receiver. *IEEE Journal of Solid-State Circuits*, Mai 2005.
- [ZC05b] Sining ZHOU et M.-C. F. CHANG : A CMOS Passive Mixer with Low Flicker Noise for Low-Power Direct-Conversion Receiver. *Journal of Solid-State Circuits*, 40(5), Mai 2005.

Résumé

L'objectif de cette thèse est d'évaluer une architecture d'émetteur RF mobile WCDMA à boucle cartésienne de linéarisation.

Combinant les efforts d'étude du système et de conception de circuits en CMOS 65 nm, il s'agit de déterminer si l'architecture choisie permet de réduire la surface et la consommation, conformément aux attentes de l'industrie, tout en respectant les contraintes de performances imposées par le standard WCDMA.

Les travaux ainsi menés permettent d'identifier les points critiques pour la réalisation d'une boucle cartésienne sur silicium et propose un mode de réalisation.

Une estimation de la surface et de la consommation des circuits de l'émetteur à boucle cartésienne montre que cette solution est très avantageuse comparée à l'état l'art des émetteurs WCDMA.

Mots clés : *WCDMA, émetteur radio fréquence, linéarisation, CMOS 65 nm*

Abstract

The purpose of this thesis is to evaluate a cartesian feedback linearization system for a WCDMA RF transmitter handset IC.

Combining system study and circuit design in CMOS 65 nm, we have to determine if the selected architecture, fitting WCDMA requirements, leads to silicon area and power consumption reduction as expected for an industrial application.

Work thus undertaken allows to identify the points which make difficult cartesian feedback integration on silicon and brings a circuit design solution.

An area and power consumption estimation of the cartesian feedback transmitter shows this solution as very advantageous compared with WCDMA transmitter state of the Art.

Key words : *WCDMA, radio frequency transmitter, linearization, CMOS 65 nm*